

FPGAおよびDSP用 トリプル電源パワー・マネージメントIC

特長

- 効率95%の3Aバック・コントローラ2チャンネル、および300mA LDOを1チャンネル内蔵
- Spartan™-3、Spartan-3E、およびSpartan-3L FPGAへの電源供給についてXilinxで動作確認テスト済み
- すべてのチャンネルで出力電圧を調整可能
(降圧：1.2V～6.5V、LDO：1.0V～6.5V)
- 入力電圧範囲：2.2V～6.5V
- 各チャンネルに対して独立のソフトスタート
- 各チャンネルを独立してイネーブルでき、柔軟なシーケンシングが可能
- 2.2μFセラミック出力キャパシタでLDOを安定化
- 4.5mm × 3.5mm × 0.9mm QFNの小型パッケージ

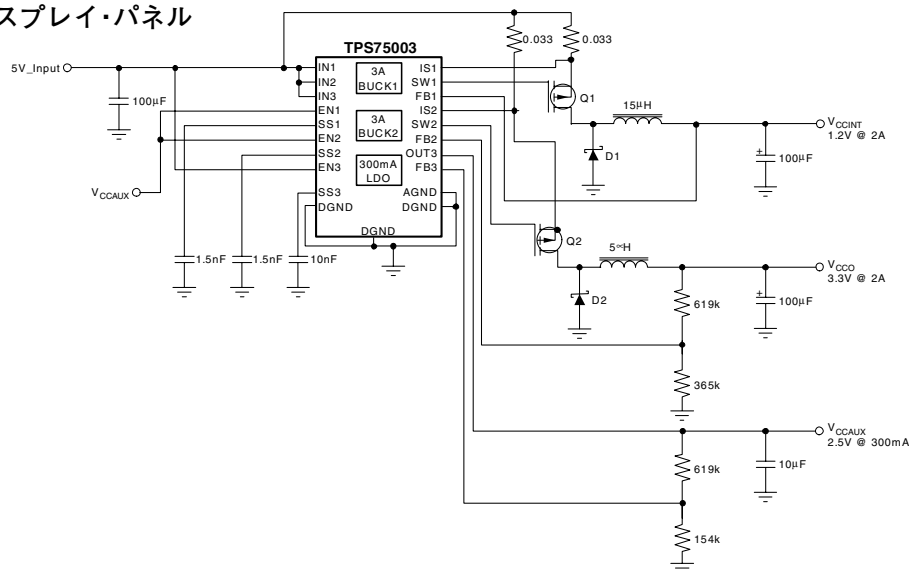
アプリケーション

- FPGA/DSP/ASIC用電源
- セットトップ・ボックス
- DSLモデム
- プラズマTVディスプレイ・パネル

概要

TPS75003は、FPGA、DSPなどのマルチ電源アプリケーションに対する最適なパワー・マネージメント・ソリューションです。XilinxのSpartan-3、Spartan-3E、およびSpartan-3Lスタートアップ・プロファイル要件についてテスト済みであり、単調電圧上昇および最小電圧立ち上がり時間など、すべての要件を満足しています。各出力チャンネルを独立してイネーブルできるため、スタートアップ時の電源要求を最小にするシーケンシングが可能です。また、電源ごとのソフトスタートにより、スタートアップ時の突入電流を制限できます。2つの統合降圧コントローラを使用することで、コアとI/Oなど、低電流と高電流の両方の電源に対して、効率的でコスト・パフォーマンスの高い電圧変換を実現できます。300mAのLDOを内蔵し、Xilinx Spartan-3 FPGAのVCCAUXなどの補助レールを提供します。3つの電源電圧はすべてユーザがプログラミング可能であり、高い柔軟性を備えています。

TPS75003の仕様は-40℃～+85℃の範囲で規定されています。QFNパッケージで提供され、高消費電力のアプリケーションを非常にコンパクトなソリューション・サイズで実現できます。



Spartanは、Xilinxの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ご発注の手引き⁽¹⁾

PRODUCT	V _{OUT}
TPS75003	Buck1: Adjustable Buck2: Adjustable LDO: Adjustable

(1) 最新の仕様およびパッケージ情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト (www.ti.com) をご覧ください。

絶対最大定格

フリーエア中の動作温度範囲内 (特に記述のない限り)⁽¹⁾

	TPS75003	UNIT
V _{INX} range (IN1, IN2, IN3)	-0.3 to +7.0	V
V _{ENX} range (EN1, EN2, EN3)	-0.3 to V _{INX} +0.3	V
V _{SWX} range (SW1, SW2, SW3)	-0.3 to V _{INX} +0.3	V
V _{ISX} range (IS1, IS2, IS3)	-0.3 to V _{INX} +0.3	V
V _{OUT3} range	-0.3 to +7.0	V
V _{SSX} range (SS1, SS2, SS3)	-0.3 to V _{INX} +0.3	V
V _{FBX} range (FB1, FB2, FB3)	-0.3 to +3.3	V
Peak LDO output current (I _{OUT3})	Internally limited	—
Continuous total power dissipation	See Dissipation Ratings Table	—
Junction temperature range, T _J	-55 to +150	°C
Storage temperature range	-65 to +150	°C
ESD rating, HBM	1	kV
ESD rating, CDM	500	V

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「電気的特性」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

定格消費電力

BOARD	R _{θJC}	R _{θJA}	DERATING FACTOR ABOVE T _A = 25°C	T _A ≤ 25°C POWER RATING	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
Reference Layout ⁽¹⁾	—	44	22.7mW/°C	2.27W	1.25W	0.91W

(1) 「PCBレイアウト」の項を参照してください。内部の消費電力の制限は、LDOの動作によって決定されます：P_{DISS} = (V_{IN3} - V_{OUT3}) × I_{OUT3}

電気的特性

$V_{EN1} = V_{IN1}$ 、 $V_{EN2} = V_{IN2}$ 、 $V_{EN3} = V_{IN3}$ 、 $V_{IN1} = V_{IN2} = 2.2V$ 、 $V_{IN3} = 3.0V$ 、 $V_{OUT3} = 2.5V$ 、 $C_{OUT1} = C_{OUT2} = 47\mu F$ 、 $C_{OUT3} = 2.2\mu F$ 、 $T_A = -40^{\circ}C$ to $+85^{\circ}C$
(特に記述のない限り)。標準値は $T_A = 25^{\circ}C$ での値です。

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNIT
Supply and Logic						
V_{INX}	Input Voltage Range (IN1, IN2, IN3) ⁽¹⁾		2.2		6.5	V
I_Q	Quiescent Current, $I_Q = I_{DGND} + I_{AGND}$	$I_{OUT1} = I_{OUT2} = 0mA$, $I_{OUT3} = 1mA$		75	150	μA
I_{SHDN}	Shutdown Supply Current	$V_{EN1} = V_{EN2} = V_{EN3} = 0V$		0.05	3.0	μA
$V_{IH1, 2}$	Enable High, enabled (EN1, EN2)		1.4		V_{INX}	V
V_{IH3}	Enable High, enabled (EN3)		1.14		V_{IN3}	V
V_{ILX}	Enable Low, shutdown (EN1, EN2, EN3)		0		0.3	V
I_{ENX}	Enable pin current (EN1, EN2, EN3)			0.01	0.5	μA
Buck Controllers 1 and 2						
$V_{OUT1,2}$	Adjustable Output Voltage Range ⁽²⁾		V_{FBX}		V_{INX}	V
$V_{FB1,2}$	Feedback Voltage (FB1, FB2)			1.220		V
	Feedback Voltage Accuracy ⁽¹⁾ (FB1, FB2)		-2		+2	%
$I_{FB1,2}$	Current into FB1, FB2 pins			0.01	0.5	μA
$V_{IS1,2}$	Reference Voltage for Current Sense		80	100	120	mV
$I_{IS1,2}$	Current into IS1, IS2 Pins			0.01	0.5	μA
$\Delta V_{OUT\%}/\Delta V_{IN}$	Line Regulation ⁽¹⁾	Measured with the circuit in Figure 1, $V_{OUT} + 0.5V \leq V_{IN} \leq 6.5V$		0.1		% / V
$\Delta V_{OUT\%}/\Delta I_{OUT}$	Load Regulation	Measured with the circuit in Figure 1, $30mA \leq I_{OUT} \leq 2A$		0.6		% / A
$\eta_{1,2}$	Efficiency ⁽³⁾	Measured with the circuit in Figure 1, $I_{OUT} = 1A$		94		%
$t_{STR1,2}$	Startup Time ⁽³⁾	Measured with the circuit in Figure 1, $R_L = 6\Omega$, $C_{OUT} = 100\mu F$, $C_{SS} = 2.2nF$		5		ms
$R_{DS,ON1,2}$	Gate Driver P-Channel and N-Channel MOSFET On-Resistance	$V_{IN1,2} > 2.5V$		4		Ω
		$V_{IN1,2} = 2.2V$		6		
$I_{SW1,2}$	Gate Driver P-Channel and N-Channel MOSFET Drive Current			100		mA
t_{ON}	Minimum On Time		1.36	1.55	1.84	μs
t_{OFF}	Minimum Off Time		0.44	0.65	0.86	μs

(1) レギュレーション範囲に収めるためには、 V_{IN1} (または V_{IN2})の最小値が、 $V_{OUT1, NOM}$ (または $V_{OUT2, NOM}$)よりも、外部部品で決定される値だけ大きい必要があります。 V_{IN3} の最小値は、 $(V_{OUT3} + V_{DO})$ と $2.2V$ のうち大きいほうになります。

(2) V_{OUT} の最大値は外部部品に依存し、 V_{IN} より小さい値です。

(3) 外部部品に依存します。

電気的特性 (続き)

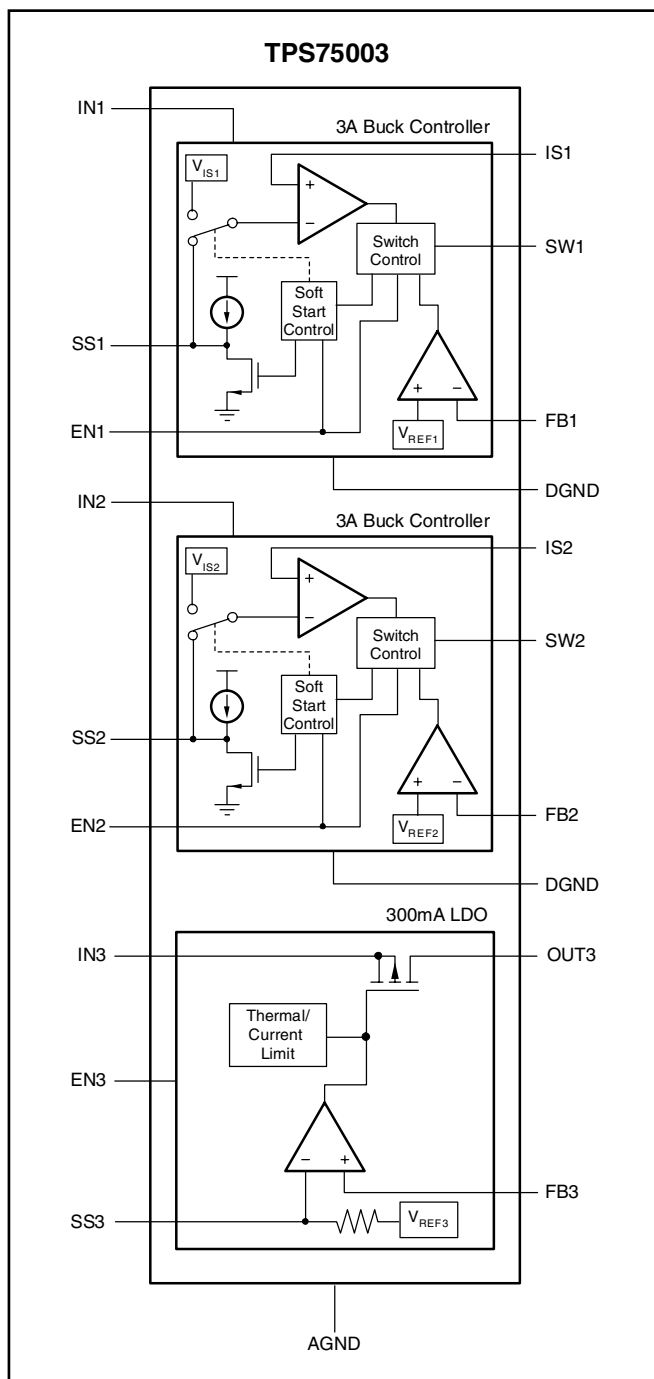
$V_{EN1} = V_{IN1}$ 、 $V_{EN2} = V_{IN2}$ 、 $V_{EN3} = V_{IN3}$ 、 $V_{IN1} = V_{IN2} = 2.2V$ 、 $V_{IN3} = 3.0V$ 、 $V_{OUT3} = 2.5V$ 、 $C_{OUT1} = C_{OUT2} = 47\mu F$ 、 $C_{OUT3} = 2.2\mu F$ 、 $T_A = -40^{\circ}C$ to $+85^{\circ}C$
(特に記述のない限り)。標準値は $T_A = 25^{\circ}C$ での値です。

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNIT
LDO						
V_{OUT3}	Output Voltage Range		1.0		$6.5 - V_{DO}$	V
V_{FB3}	Feedback Pin Voltage			0.507		V
	Feedback Pin Voltage Accuracy ⁽⁴⁾	$2.95V \leq V_{IN3} \leq 6.5V$ $1mA \leq I_{OUT3} \leq 300mA$	-4.0		+4.0	%
$\Delta V_{OUT\%}/\Delta V_{IN}$	Line Regulation ⁽⁴⁾	$V_{OUT3} + 0.5V \leq V_{IN3} \leq 6.5V$		0.075		% / V
$\Delta V_{OUT\%}/\Delta I_{OUT}$	Load Regulation	$10mA \leq I_{OUT3} \leq 300mA$		0.01		% / mA
V_{DO}	Dropout Voltage ($V_{IN} = V_{OUT(NOM)} - 0.1$) ⁽⁵⁾	$I_{OUT3} = 300mA$		250	350	mV
I_{CL3}	Current Limit	$V_{OUT} = 0.9 \times V_{OUT(NOM)}$	375	600	1000	mA
I_{FB3}	Current into FB3 pin			0.03	0.1	μA
V_n	Output Noise	BW = 100Hz - 100kHz, $I_{OUT3} = 300mA$		400		μV_{RMS}
PSRR	Power-Supply Rejection Ratio	f = 1kHz		TBD		dB
		f = 10kHz		TBD		
t_{SD}	Thermal Shutdown Temperature for LDO	Shutdown, Temp Increasing		175		$^{\circ}C$
		Reset, Temp Decreasing		160		
UVLO	Under-Voltage Lockout Threshold	V_{IN} Rising		1.80		V
	Under-Voltage Lockout Hysteresis	V_{IN} Falling		100		mV

(4) レギュレーション範囲に収めるためには、 V_{IN1} (または V_{IN2}) の最小値が、 $V_{OUT1, NOM}$ (または $V_{OUT2, NOM}$) よりも、外部部品で決定される値だけ大きい必要があります。 V_{IN3} の最小値は、 $(V_{OUT3} + V_{DO})$ と $2.2V$ のうち大きいほうになります。

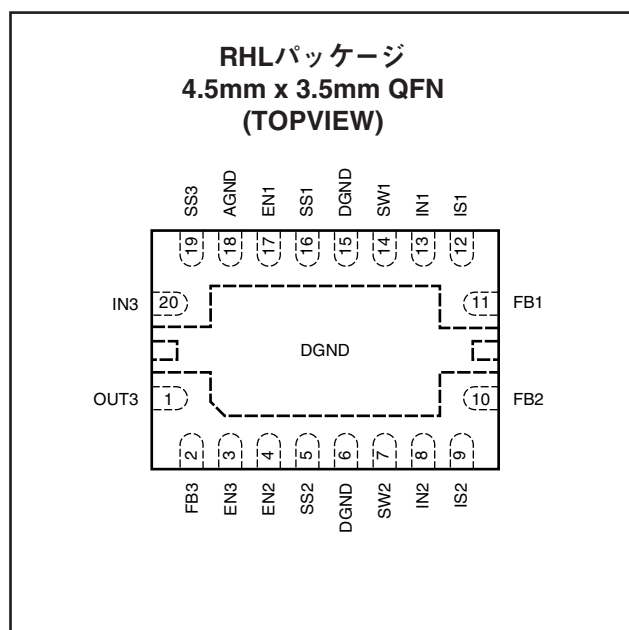
(5) V_{DO} は、 $V_{OUT} + V_{DO} < 2.2V$ の場合には該当しません。

デバイス情報
機能ブロック図



ピン機能

TERMINAL		機能
NAME	RHL	
DGND	6, 15, PAD	BUCK1およびBUCK2用グラウンド端子。6ピンおよび15ピンはパッケージ裏面に露出した放熱パッドとプリント基板上でショートしなければなりません。
AGND	18	LDO用グラウンド端子
IN1	13	BUCK1用入力電源電圧
IN2	8	BUCK2用入力電源電圧
IN3	20	LDO用入力電源電圧
EN1	17	EN1ピンを"H"にすることでBUCK1がイネーブルとなります。"L"にすることで消費電力の低いシャットダウンモードとなります。また、EN1ピンは最初の立下りエッジは無視します。
EN2	4	BUCK2用イネーブルピン。動作はEN1ピンと同じになります。
EN3	3	LDO用イネーブルピン。動作はEN1ピンと同じになります。
SS1	16	グラウンドに対してコンデンサを接続することによりBUCK1の立ち上がり時間をコントロール出来ます。コントロールは電流制限を変化させることにより行っています。また、このピンはハイインピーダンスのためノイズに対して敏感ですのでPCBレイアウトには注意して下さい。
SS2	5	BUCK2用 SSピン。動作はSS1と同じになります。
SS3	19	グラウンドに対してコンデンサを接続することによりLDOの立ち上がり時間をコントロール出来ます。コントロールは内部リファレンス電圧の立ち上がりを遅くすることにより行っています。
IS1	12	BUCK1用電流センス入力ピン。IN1ピンとの電位差と内部リファレンスを比較することで電流制限を行っています。確実に出力をコントロールするためにPCBレイアウトに注意が必要です。
IS2	9	BUCK2用電流センス入力ピン。IN2ピンとの電位差と内部リファレンスを比較することで電流制限を行っています。確実に出力をコントロールするためにPCBレイアウトに注意が必要です。
SW1	14	BUCK1 外付けP-MOSFETゲート駆動用出力
SW2	7	BUCK2 外付けP-MOSFETゲート駆動用出力
FB1	11	BUCK1出力電圧設定用フィードバックピン。
FB2	10	BUCK2出力電圧設定用フィードバックピン。
FB3	2	LDO出力電圧設定用フィードバックピン。
OUT3	1	LDOレギュレータ出力。安定動作のため2.2 μ F以上のセラミックコンデンサを接続して下さい。



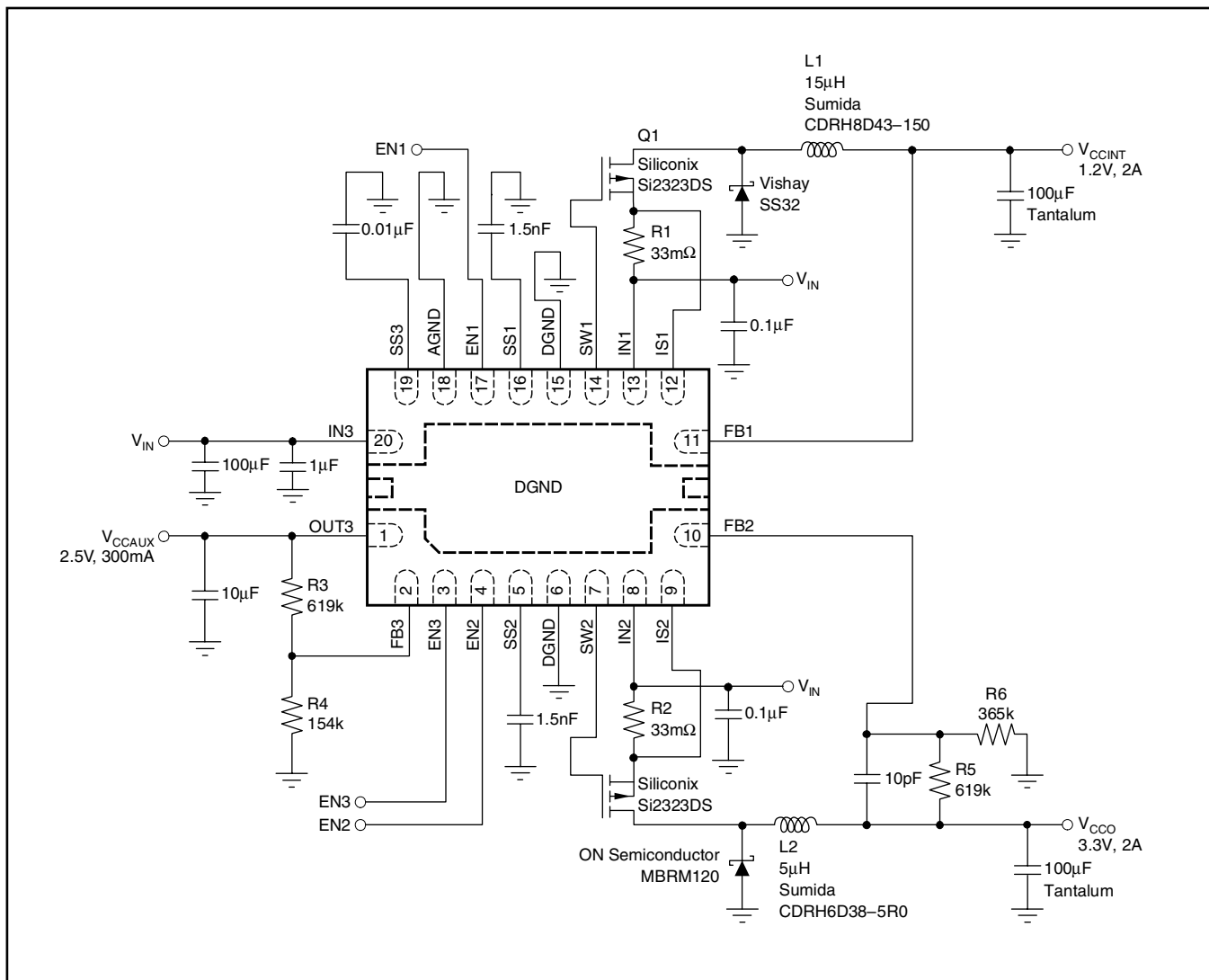


図1. Xilinx Spartan-3 FPGAに電源供給する標準的なアプリケーション回路

代表的特性

図1の回路を使用して測定

バック・コンバータ

BUCK LOAD REGULATION

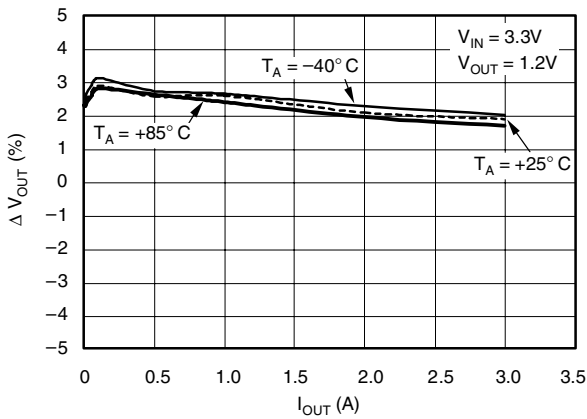


図 2

BUCK LOAD REGULATION

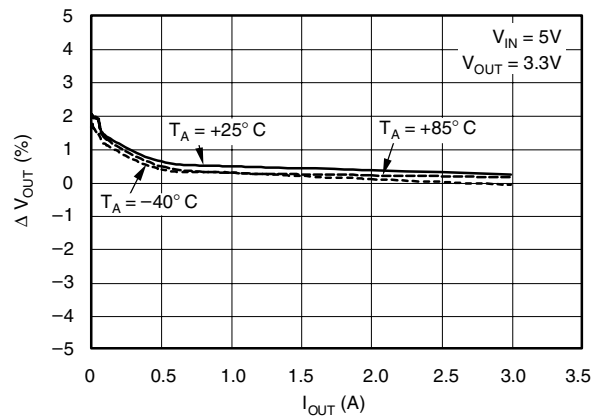


図 3

BUCK LINE REGULATION

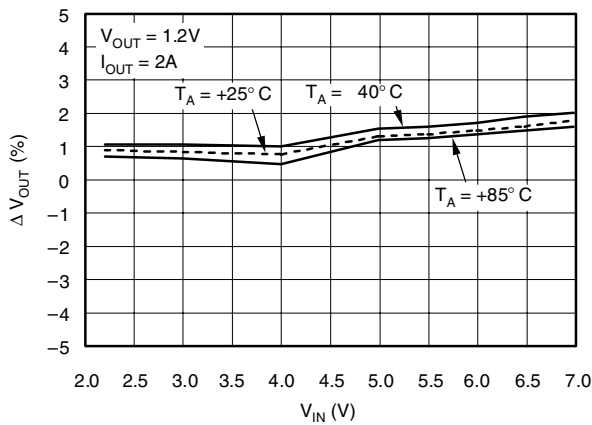


図 4

BUCK LINE REGULATION

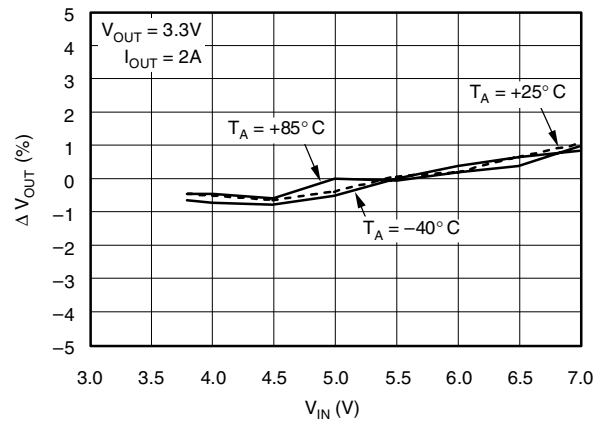


図 5

BUCK SWITCHING FREQUENCY vs I_OUT, T_A

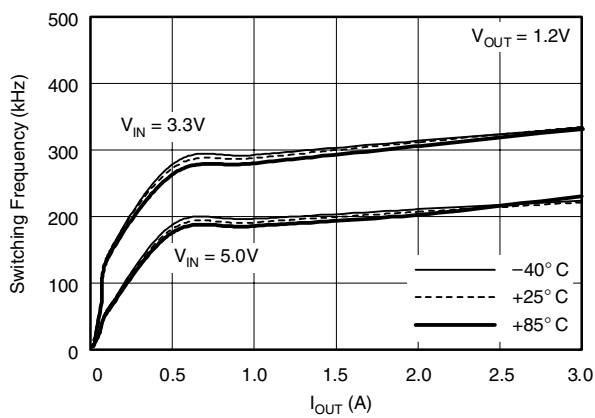


図 6

BUCK SWITCHING FREQUENCY vs I_OUT

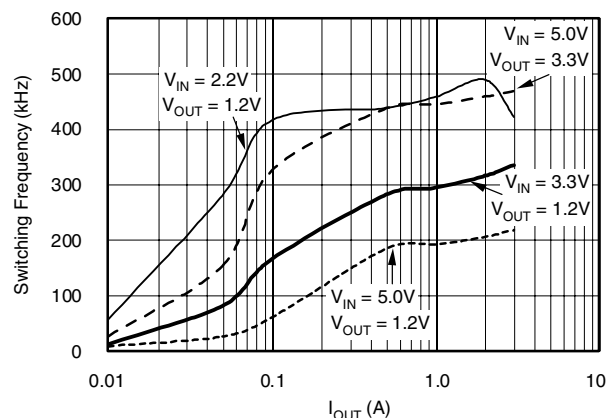


図 7

代表的特性 (続き)

図1の回路を使用して測定

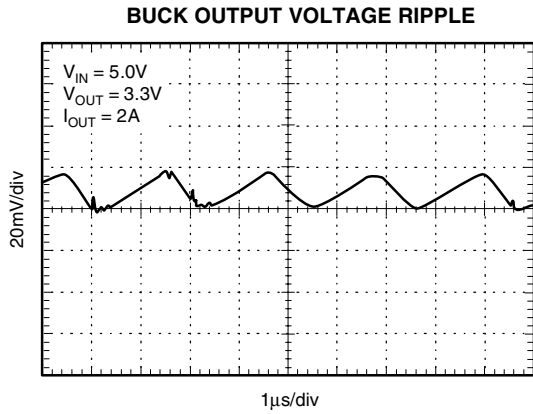


図 8

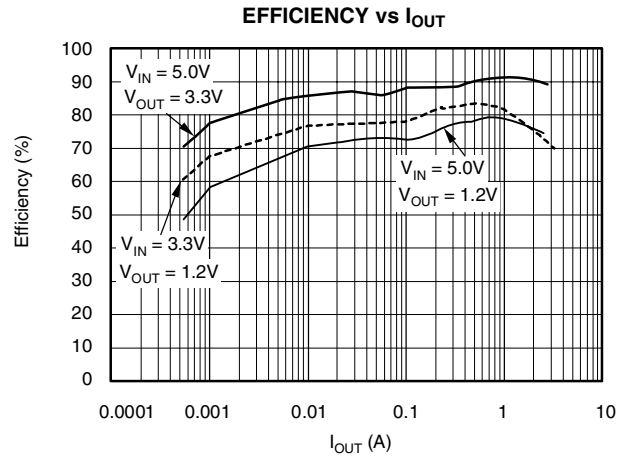


図 9

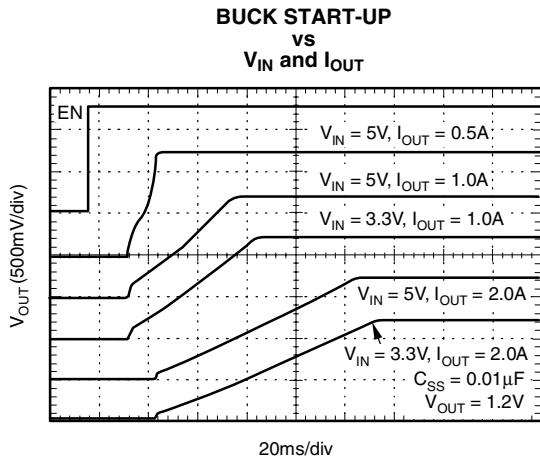


図 10

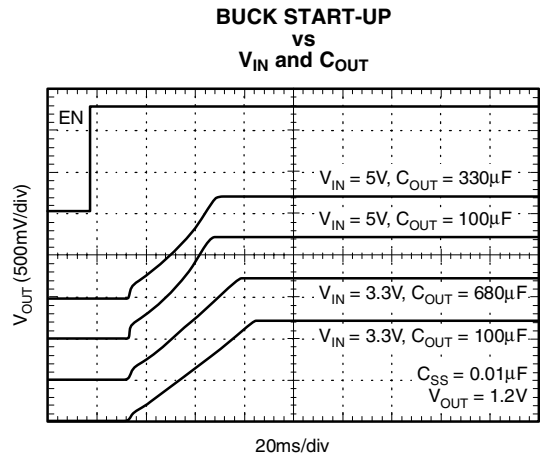


図 11

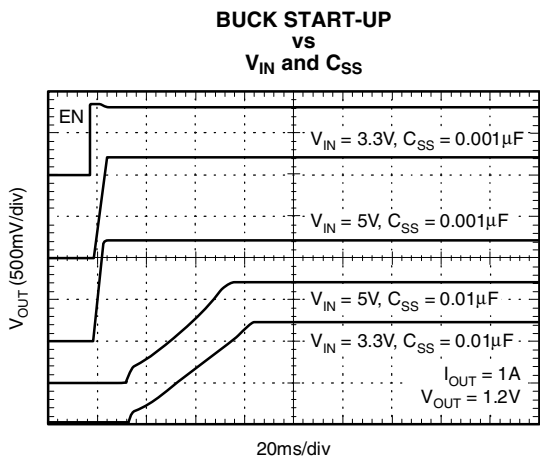


図 12

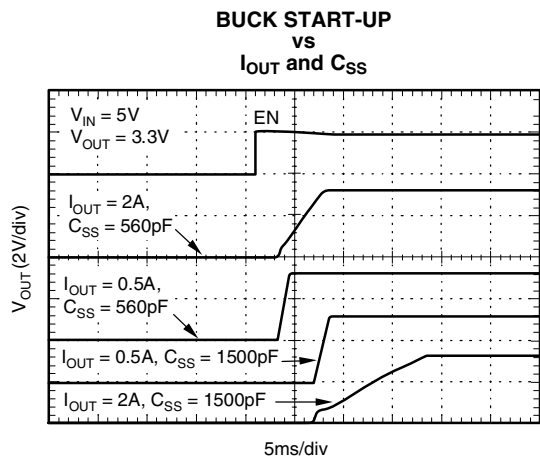


図 13

代表的特性 (続き)

図1の回路を使用して測定

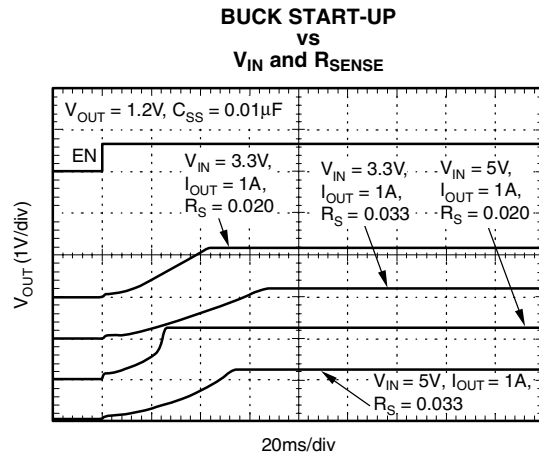


図 14

LDOコンバータ

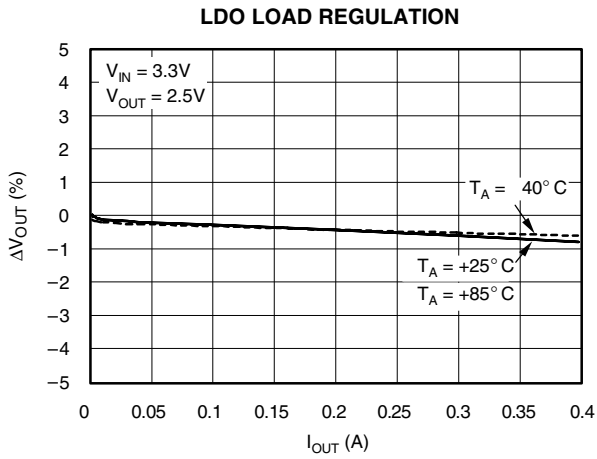


図 15

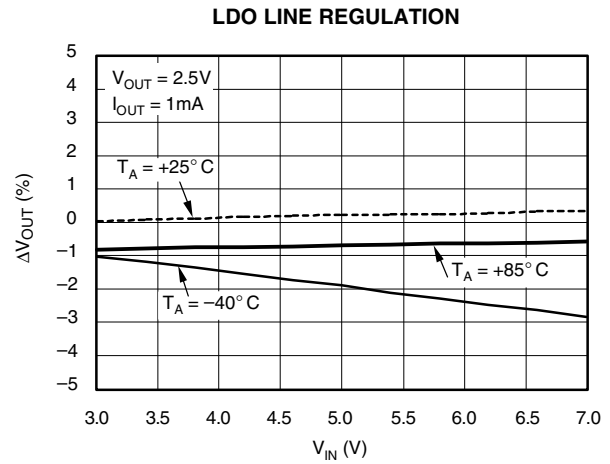


図 16

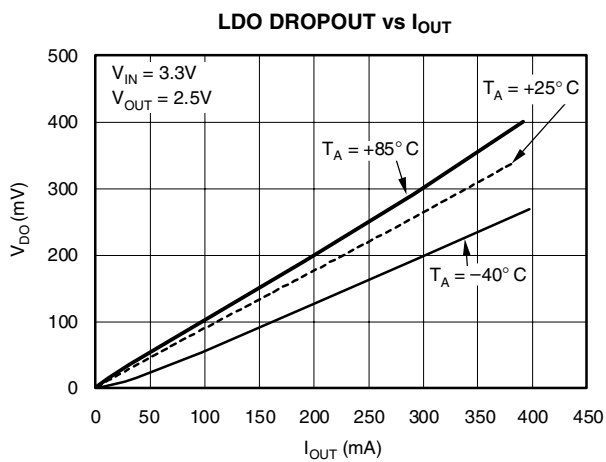


図 17

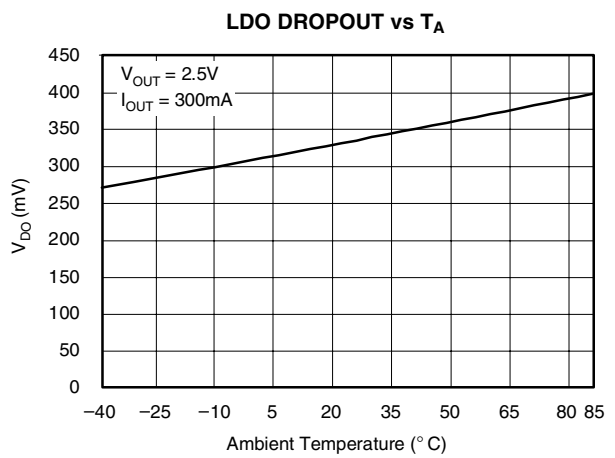


図 18

代表的特性 (続き)

図1の回路を使用して測定

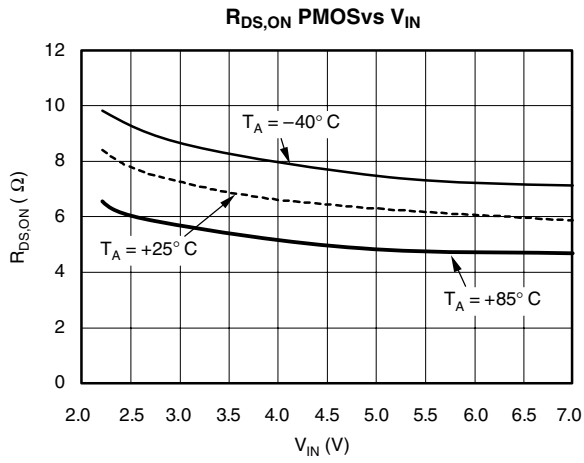


図 19

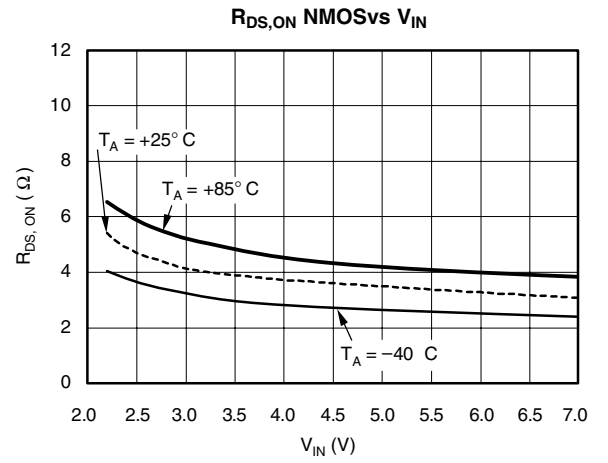


図 20

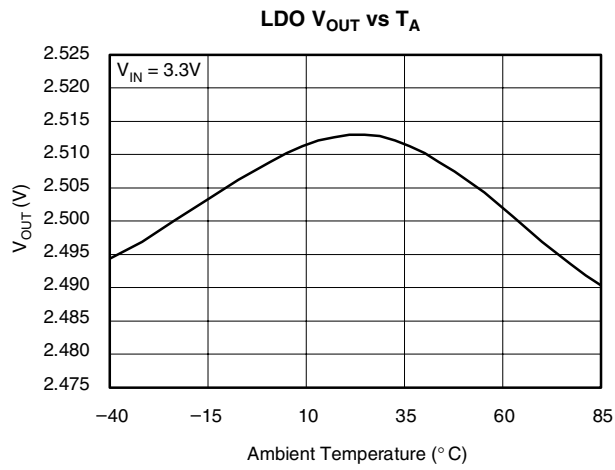


図 21

アプリケーション情報

TPS75003は、Xilinx Spartan-3、Spartan-3E、Spartan-3LなどのDSPやFPGAへの電源供給用に設計された統合パワー・マネジメントICです。2つの非同期降圧・コントローラを使用して、コアおよびI/Oレールの両方に対して最大3Aを供給するように構成できます。また、1つの低ドロップアウト・リニア・レギュレータにより、補助レールに最大300mAを供給します。各チャンネルには独立したイネーブルおよびソフトスタートが備えられ、アプリケーションでの必要に応じて突入電流や出力電圧上昇時間を制御できます。

図1に、Xilinx Spartan-3 FPGAに電源供給する標準的なアプリケーション回路を示しています。表1～表4には、負荷電流2Aおよび3Aでの使用をテストされた部品値を示していますが、必要に応じて他の同様な外部部品に置き換えることもできますが、いずれの場合も、使用する回路はアプリケーション要件への適合についてテストする必要があります。

PART NUMBER	MANUFACTURER	INDUCTANCE	DC RESISTANCE	SATURATION CURRENT
SLF7032T-100M1R4	TDK	10 μ H \pm 20%	53m Ω \pm 20%	1.4A
SLF6025-150MR88	TDK	15 μ H \pm 20%	85m Ω \pm 20%	0.88A
CDRH6D28-5R0	Sumida	5 μ H	23m Ω	2.4A
CDRH6D38-5R0	Sumida	5 μ H	18m Ω	2.9A
CDRH103R-100	Sumida	10 μ H	45m Ω	2.4A
CDRH4D28-100	Sumida	10 μ H	96m Ω	1.0A
CDRH8D43-150	Sumida	15 μ H	42m Ω	2.9A
CDRH5D18-6R2	Sumida	6.2 μ H	71m Ω	1.4A
DO3316P-472	Coilcraft	4.7 μ H	18m Ω	5.4A
DT3316P-153	Coilcraft	15 μ H	60m Ω	1.8A
DT3316P-223	Coilcraft	22 μ H	84m Ω	1.5A
744 052 006	Würth	6.2 μ H	80m Ω	1.45A
74451115	Würth	15 μ H	90m Ω	0.8A

表 1. TPS75003でテスト済みのインダクタ

PART NUMBER	MANUFACTURER	R _{DS,ON} (TYP)	V _{DS}	I _D	PACKAGE
Si5447DC	Vishay Siliconix	0.11 Ω at VGS = -2.5V	-20V	-3.5A at +25°C	1206
Si5475DC	Vishay Siliconix	0.041 Ω at VGS = -2.5V	-12V	-6.6A at +25°C	1206
Si2323DS	Vishay Siliconix	0.052 Ω at VGS = -2.5V	-20V	-4.1A at +25°C	SOT23
Si2301ADS	Vishay Siliconix	0.19 Ω at VGS = -2.5V	-20V	-1.4A at +25°C	SOT23
Si2323DS	Vishay Siliconix	0.41 Ω at VGS = -2.5V	-20V	-4.1A at +25°C	SOT23
FDG326P	Fairchild	0.17 Ω at VGS = -2.5V	-20V	-1.5A	SC70

表 2. TPS75003でテスト済みのPMOSTランジスタ

PART NUMBER	MANUFACTURER	V _R	I _F	PACKAGE
MBRM120LT3	ON Semiconductor	20V	1.0A	DO216AA
MBR0530T1	ON Semiconductor	30V	1.5A	SOD123
ZHCS2000TA	Zetex	40V	2.0A	SOT23 \bar{n} 6
B320	Diodes Inc.	20V	3.0A	SMA
SS32	Fairchild	20V	3.0A	DO214AB

表 3. TPS75003でテスト済みのダイオード

PART NUMBER	MANUFACTURER	CAPACITANCE	ESR	VOLTAGE RATING
6TPB47M (PosCap)	Sanyo	47 μ F	0.1 Ω	6.3V
T491D476M010AS	Kemet	47 μ F	0.8 Ω	10V
B45197A	Epco	47 μ F	0.175 Ω	16V
B45294-R1107-M40	Epco	100 μ F	0.045 Ω	6.3V
594D476X0016C2	Vishay	47 μ F	0.11 Ω	16V
594D127X96R3C2	Vishay	120 μ F	0.085 Ω	6.3V
TPSC107K006R0150	AVX	100 μ F	0.15 Ω	6.3V
6TPS100MC	Sanyo	100 μ F	0.45 Ω	6.3V

表 4. TPS75003でテスト済みのキャパシタ

動作(バック・コントローラ)

チャンネル1および2には、2つの同一な非同期バック・コントローラが含まれています。これらのバック・コントローラは、最小オン時間/最小オフ時間のヒステリシス制御を使用します(図1を参照)。説明を単純にするために、以降のデバイス動作説明ではBUCK1を例として使用します。V_{OUT1}が目標値より低いときには、外部PMOS(Q1)が最小オン時間以上の間オンになり、V_{OUT1}が目標値に到達するか、または電流制限(R1で設定)に達するまで、インダクタ(L1)を通る電流を増加させます。これらのいずれかの条件が満足されると、デバイスの最小オフ時間以上の間、PMOSがオフになります。最小オフ時間が経過すると、出力電圧がモニタされ、必要に応じてスイッチが再度オンになります。

出力電流が低い場合、バック・コントローラは非連続モードで動作します。このモードでは、各スイッチング・サイクルがインダクタ電流=0から開始し、最大値にまで上昇した後、再び0に戻ります。電流が立ち下がりエッジで0になると、インダクタおよびスイッチ・ノードの浮遊容量の共振周波数でリングングが発生します。これは通常の動作であり、回路の性能には影響しません。必要に応じて、図22に示すように、RCスナバまたはPMOSゲートと直列な抵抗(あるいはその両方)を使用することで、リングングを最小限に抑えることができます。

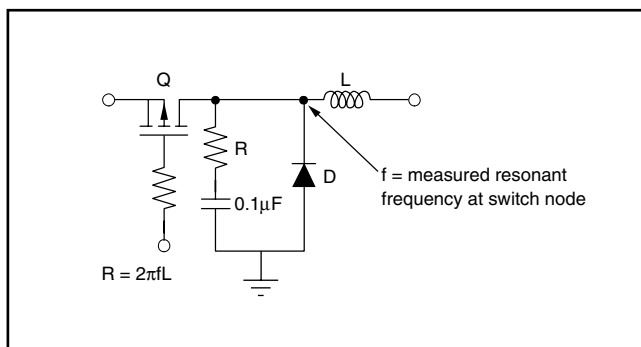


図22. RCスナバおよび直列ゲート抵抗によるリングングの最小化

出力電流が高い場合、TPS75003は連続モードで動作します。連続モードでは、スイッチ・ノードでのリングングは発生せず、V_{OUT}はV_{IN} × (スイッチング波形のデューティ・サイクル)に等しくなります。

V_{IN}がV_{OUT}に近づくかまたは下回ると、バック・コントローラは100%デューティ・サイクル・モードで動作し、外部PMOSを完全にオンにして、最小のドロップアウトでのレギュレーションを可能にします。

イネーブル(バック・コントローラ)

バック・コントローラのイネーブル・ピン(EN1およびEN2)はアクティブ“ハイ”です。イネーブル・ピンが“ロー”になり、IN1またはIN2に入力電圧が印加されている場合は、ソフトスタート・ピンSS1またはSS2の内蔵FETがオンになり、コンデンサをそれぞれ放電します。ソフトスタート機能を使用する場合は、この放電サイクルが確実に行われるように、V_{IN}の印加後10 μ s以上たってからイネーブルを“ハイ”にする必要があります。

UVLO(バック・コントローラ)

該当するレギュレータ(IN1またはIN2)上で確実な動作電圧に達するまで外部PMOS(Q1またはQ2)がオンしないように、低電圧ロックアウト回路が備えられています。これにより、低入力電圧でバック・コントローラが誤動作するのを防ぎます。

電流制限(バック・コントローラ)

外部抵抗(R1またはR2)を使用して、外部PMOSトランジスタ(Q1またはQ2)の電流制限を設定します。これらのトランジスタは、IN1とIS1(またはIN2とIS2)の間に接続され、PMOSトランジスタを流れる電流に比例した電圧をこれらのピン間に提供します。この電圧を内部の基準電圧と比較することで、過電流状態を検出します。電流制限を超えた場合には、最小オフ時間だけ外部PMOSをオフにします。電流制限検出は、PMOSがオンされたときには10nsの間だけディスエーブルになり、スイッチングノイズによる誤動作を防ぎます。100%デューティ・サイクル・モードでは、電流制限は常にイネーブルです。電流制限は、「電気的特性」のV_{IS1}またはV_{IS2}規格を使用して、式1のように計算されます。

$$I_{LIMIT} = \frac{V_{IS1,2}}{R_{1,2}} \quad (1)$$

電流制限抵抗は、式2で計算されるRMS電流によって決定される消費電力に対して、適切な定格を持つ必要があります。

$$I_{RMS} = I_{OUT} \sqrt{D} = I_{OUT} \sqrt{\frac{V_{OUT}}{V_{IN}}}$$

$$P_{DISS} = (I_{RMS})^2 \cdot R \quad (2)$$

低コストのアプリケーションでは、電流制限の設定にR1、R2の代わりにR_{DS,ON}を使用して、IS1、IS2ピンをPMOSのドレインに接続することができます。電流制限によってインダクタ、ダイオードなどの外部部品やスイッチ自体を過電流による損傷から確実に保護するためには、PMOSのR_{DS,ON}の変動を考慮に入れる必要があります。

短絡保護(バック・コントローラ)

過負荷状態では、外部部品 (PMOS、ダイオード、インダクタ) の電流定格を超える場合があります。それを避けるために、TPS75003では、帰還ピンの電圧が基準電圧より低い場合には最小オフ時間が延長されます。出力が短絡された場合 (V_{FB} = 0)、最小オフ時間は約4μsに増加します。オフ時間の増加量は、帰還ピンの電圧と内部基準電圧との差に比例します。

ソフトスタート(バック・コントローラ)

各バック・コントローラは、独立したソフトスタート機能により、スタートアップ時の突入電流を制限し、Xilinx Spartan-3 FPGAのタイミング条件を満足しています。ソフトスタートまたは、電源レールのパワーオンのタイミングをずらすことにより突入電流を制限することで、入力ソースでの出力インピーダンスによる電圧降下も防止できます。図23にソフトスタート回路を、図24にソフトスタートのタイミング図を示しています。ここではBUCK1について説明しますが、BUCK2も同様です。ピンSS1およびSS2は非常に高インピーダンスであり、標準的なオシロスコープ設定ではプローブできないことに注意してください。IN1に入力電圧を印加し、EN1を“ロー”にすると、内蔵プルダウン抵抗によりSSピン上の電荷が放電されます。EN1を“ハイ”にすると、内蔵電流源により外部ソフトスタート・キャパシタCSS1の充電が開始されます。このキャパシタの電圧を、電流センス抵抗R1の両端の電圧と比較することで、過電流状態を検出します。センス抵抗での電圧降下が基準電圧を上回っている場合、外部PMOSが最小オフ時間だけオフになります。この動作により、サイクルごとの電流制限が提供され、ほとんどのアプリケーションにおいてユーザがソフトスタート時間を幅広い範囲でプログラムできます。CSS1およびCSS2の選択の詳細については、「ソフトスタート・キャパシタの選択」を参照してください。

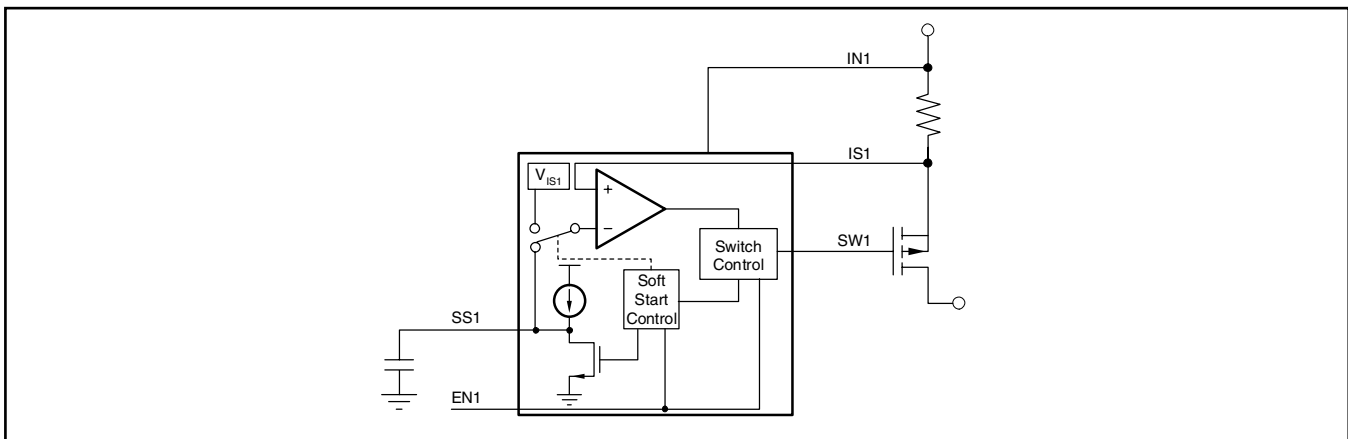


図23. ソフトスタート回路

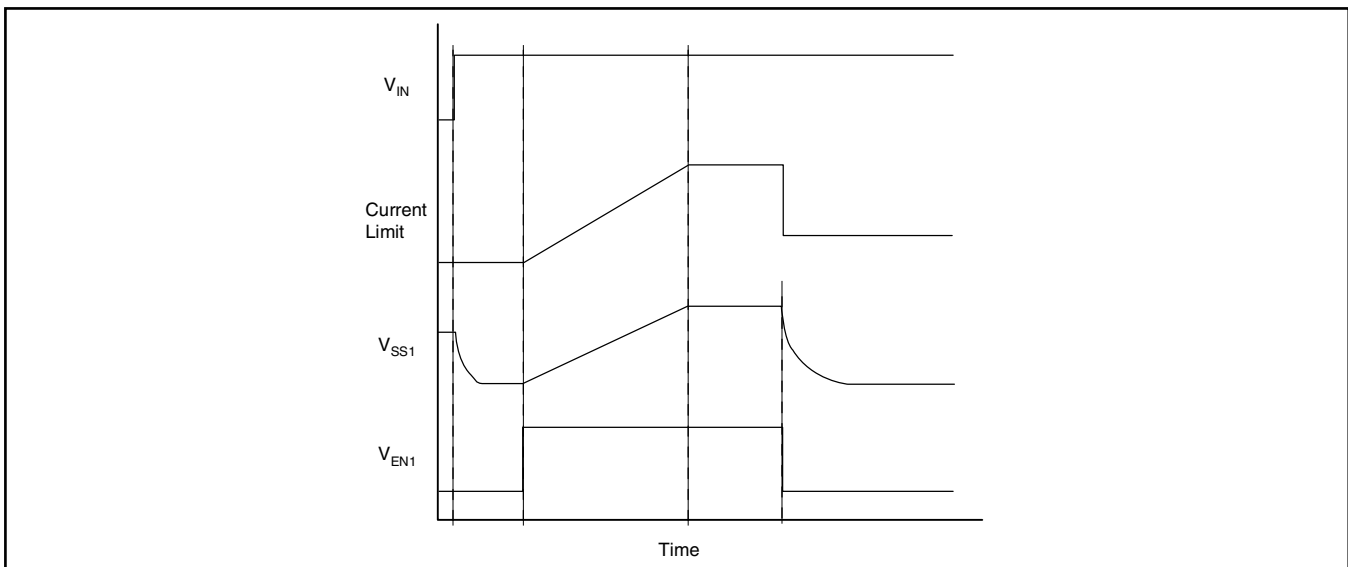


図24. ソフトスタートのタイミング図

入力キャパシタC_{IN1}、C_{IN2}の選択 (バック・コントローラ)

アナログ設計では、入力電源のインピーダンスを低くするために、デバイスの入力付近にキャパシタを配置することが推奨されます。ほとんどのアプリケーションでは各バック・コンバータに10μF～22μFの容量で十分であり、IN1およびIN2ピンから100mils (2.54mm) 以内の位置に配置する必要があります。それにより、出力電圧上昇時初期電圧～1Vの期間にソフトスタート回路に発生するパルス電流スイッチングノイズの影響を最小限に抑えることができます。また、低ESRのキャパシタを使用することで電源ラインのノイズを最小化できます。容量の最小値は式3によって求めることができます。

$$C_{IN, MIN} = \frac{(1/2)L \times (\Delta I_L)^2}{V_{(RIPPLE)} \times V_{IN}} \approx \frac{(1/2)L \times (0.3 \times I_{OUT})^2}{V_{(RIPPLE)} \times V_{IN}} \quad (3)$$

これらのキャパシタは、連続モードでのRMS電流を処理できる必要があります。これは式4で計算できます。

$$I_{C,IN(RMS)} \approx I_{OUT} \sqrt{\left(\frac{V_{OUT}}{V_{IN, MIN}}\right)} \quad (4)$$

インダクタ値の選択(バック・コントローラ)

インダクタは、インダクタンス値と最大電流定格に基づいて選択します。インダクタンスが大きければ電流リップルが(したがって出力電圧リップルも)減少しますが、インダクタのサイズが大きくなり、高価になります。一般にDC抵抗の低いインダクタを使用すると効率が向上しますが、これも高コストでサイズが大きくなります。ほとんどのアプリケーションにおいて、バック・コンバータは4.7μH～47μHの範囲のインダクタ値で良好に動作します。インダクタを選択するには、電流定格がR_{IS}またはR_{DS,ON}で設定される電流制限よりも大きいものを選ぶ必要があります(「電流制限」の項を参照)。インダクタの最小サイズを決定するには、まずデバイスが最小オン時間モードと最小オフ時間モードのどちらで動作するかを決定します。式5が満たされる場合、デバイスは最小オン時間モードで動作します。

$$V_{IN} - V_{OUT} - I_{OUT} \times r_{DS(on)} - R_L \times I_{OUT} \geq \frac{t_{(OFF, min)} \times (V_{OUT} + V_{SCHOTTKY} + R_L \times I_{OUT})}{t_{ON, MIN}} \quad (5)$$

ここで、R_L = インダクタのDC抵抗です。

最小オン時間モードで動作する場合に必要な最小インダクタ・サイズは、式6によって求められます。

$$L_{MIN} = \frac{(V_{IN} - V_{OUT} - I_{OUT} \times r_{DS(on)} - R_L \times I_{OUT}) \times t_{ON, MIN}}{\Delta I} \quad (6)$$

最小オフ時間モードで動作する場合に必要な最小インダクタ・サイズは、式7によって求められます。

$$L_{MIN} = \frac{(V_{OUT} + V_{SCHOTTKY} + R_L \times I_{OUT}) \times t_{OFF, MIN}}{\Delta I} \quad (7)$$

外部PMOSトランジスタの選択 (バック・コントローラ)

外部PMOSトランジスタは、しきい値電圧(V_T)、オン抵抗(R_{DS,ON})、ゲート容量(C_G)、および電圧定格に基づいて選択します。PMOS V_Tの大きさは、使用するIN1またはIN2での最小電圧よりずっと低くする必要があります。通常は、最小入力電圧より0.5V低いV_Tで十分です。PMOSゲートには0Vから最大入力電圧までの電圧がかかるので、ゲート - ソース間の降伏電圧は最大入力電源電圧よりも数ボルト高くする必要があります。デバイスのドレイン - ソース間にもこのフル電圧スイングがかかるので、やはり降伏電圧は最大入力電源電圧よりも数ボルト高くする必要があります。PMOSのRMS電流は式8で計算できます。

$$I_{PMOS(RMS)} \approx I_{OUT} \sqrt{D} = I_{OUT} \sqrt{\frac{V_{OUT}}{V_{IN}}} \quad (8)$$

PMOSで消費される電力は、導通損失とスイッチング損失の両方から成ります。一般に、スイッチング損失はほとんど無視できます。導通損失はRMS電流およびPMOSのR_{DS,ON}の関数であり、式9で計算されます。

$$P_{(cond)} = (I_{OUT} \sqrt{D})^2 \times r_{DS(on)} \times (1 + TC \times [T_J - 25^\circ C]) \approx (I_{OUT} \sqrt{D})^2 \times r_{DS(on)} \quad (9)$$

ダイオードの選択(バック・コントローラ)

ダイオードは、PMOSがオンのときにオフになり、PMOSがオフのときにオンになります。比較的高い周波数でオン/オフされるため、良好な性能を得るにはショットキー・ダイオードを推奨します。ダイオードのピーク電流定格は、センス抵抗R_{IS1,2}で設定されるピーク電流制限よりも大きい必要があります。動作電流での逆方向リーク電流と順方向電圧が低いダイオードを使用すると、最適な効率が得られます。平均消費電力は式10で見積もることができます。

$$I_{(diode)(RMS)} \approx I_{OUT}(1 - D) = I_{OUT} \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \quad (10)$$

出力キャパシタの選択(バック・コントローラ)

出力キャパシタは、出力電圧リップルおよび過渡応答要件に基づいて選択します。フィードフォワード抵抗を使用しない場合、ヒステリシス制御ループの特性により、良好な動作のためには数十mΩの最小ESRを維持する必要があります。ほとんどのアプリケーションでは、低ESRのバルク・タンタルまたはPosCapキャパシタが適切です。このキャパシタとともに1.0μFのセラミック・キャパシタを並列で使用することで、高周波スパイクをフィルタリングできます。出力電圧リップルは式11で見積もることができます。

$$\Delta V_{PP} = \Delta I \times \left[ESR + \left(\frac{1}{8 \times C_{OUT} \times f} \right) \right] \approx 1.1 \Delta I \times ESR \quad (11)$$

ゼロ出力から最大電流までの負荷過渡状態による電圧リップルを特定の値に抑えるのに必要な容量は、式12で計算できます。

$$C_{OUT} = \frac{L \times \Delta I_{OUT}^2}{(V_{IN} - V_{OUT}) \times \Delta V} \quad (12)$$

V_{OUT}に対する出力電圧リップルの影響(バック・コントローラ)

出力電圧リップルにより、V_{OUT}はピーク・ツー・ピーク電圧リップルの1/2だけ目標値よりも高くまたは低くなります。最小オン時間ではリップルが電圧に加算され、最小オフ時間ではリップルが電圧から減算されます。

ソフトスタート・キャパシタの選択(バック・コントローラ)

ここではBUCK1について説明しますが、BUCK2も同様です。バック・コントローラにおけるソフトスタートは、ユーザ定義

の時間にわたって電流制限を0から目標値(R1で設定)まで上昇させる様に動作します。この時間は、ピンSS1に接続される外部ソフトスタート・キャパシタによって設定します。SS1をオープンにすると、小容量の内蔵キャパシタにより電流制限上昇時間は約250μsになります。図25に、R1およびSS1によるスタートアップ時の電流制限上昇の変化を示します。

このソフトスタート電流制限上昇を使用して、突入電流または出力電圧上昇を制御することができます。電流制限上昇は図25を見れば簡単に理解できますが、出力電圧上昇は多くの変数の複雑な関数となっています。このプロセスにおける主要な変数はV_{OUT1}、C_{SS1}、I_{OUT1}、およびR1です。より影響の小さい変数としてV_{IN1}およびL1があります。

目標のスタートアップ時間を設定するための最善の方法は、目標条件下でベンチ測定を行い、C_{SS1}の調整によって目的のスタートアップ・プロファイルを得ることで、最小スタートアップ時間よりも長い時間を確保するには、公称スタートアップ時間を最小値の約5倍に設定します。最大時間よりも短い時間を確保するには、公称スタートアップ時間を最大時間の1/5に設定します。最も高速なスタートアップ時間は、V_{IN1}が最大で、V_{OUT1}、L1、C_{OUT1}、C_{SS1}、I_{OUT1}が最小のときに得られます。最も遅いスタートアップ時間は、その逆の条件で得られます。

これらの重要なパラメータによってスタートアップ・プロファイルがどのように変化するかを示した特定曲線を図10～図14に示します。

出力電圧設定の選択(バック・コントローラ)

出力電圧は、図1のBuck2に示された2つの抵抗を使用して設定します。したがって、出力電圧は式15により計算されます。

$$V_{OUT} = V_{FB} \left(\frac{R_5}{R_6} + 1 \right) \quad (13)$$

ここで、V_{FB} = 1.24Vです。

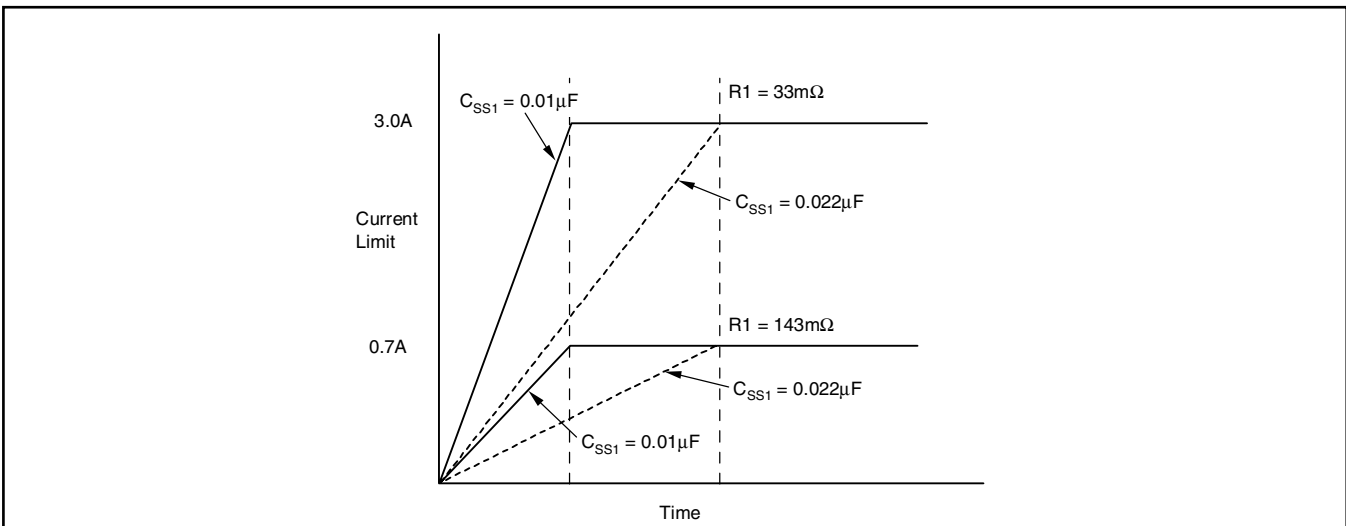


図25. C_{SS1}およびR1による電流制限上昇の変化

LDOの動作

TPS75003のLDOは、PMOS FETを使用し、任意の出力電圧に簡単にプログラムできるよう調整可能になっています。V_{CC},AUXへの電源供給に使用の場合は2.5Vに設定します。他の回路に電源を供給する場合には他の出力電圧にも任意に設定できます。LDOには内蔵ソフトスタート、独立したイネーブル、および短絡保護、過熱保護が備えられています。LDOはXilinx Spartan-3 FPGAのV_{CC}, AUXへの電源供給に使用できます。その場合、アプリケーション・ノートSLVA159(www.ti.comからダウンロード可能)に記載されているように3.3VのJTAG信号を使用します。

入力キャパシタの選択(LDO)

入力キャパシタは必須ではありませんが、アナログ設計として、レギュレータの近くで入力電源間に0.1μF~10μFの低ESRキャパシタを接続するのは望ましいことです。このキャパシタは、リアクタンスを持つ入力ソースの影響を打ち消し、過渡応答、安定性、およびリップル除去を改善します。立ち上がりの速い大きな負荷過渡電流が予期される場合や、デバイスの位置が電源から離れている場合には、大容量のキャパシタが必要です。

出力キャパシタの選択(LDO)

安定性を確保するために、デバイスの出力の近くに2.2μF以上のキャパシタが必要です。LDOは、セラミックを含めどのような種類のキャパシタでも安定して動作します。過渡応答やリップル除去性能を向上させる場合は、大容量/低ESRの出力キャパシタを使用します。

ソフトスタート(LDO)

LDOでは、外部ソフトスタート・キャパシタC_{SS3}を使用して、制御ループにRCランプ基準電圧を提供します(「機能ブロック図」を参照)。これは電圧制御のソフトスタートであり、バック・コントローラの電流制御のソフトスタートとは異なります。

出力電圧の設定(LDO)

出力電圧は、図1に示された2つの抵抗を使用して設定します。したがって、出力電圧は式14により計算されます。

$$V_{OUT} = V_{FB} \left(\frac{R_3}{R_4} + 1 \right) \quad (14)$$

ここで、V_{FB} = 0.507Vです。

内部電流制限(LDO)

LDOの内部電流制限により、異常発生時にレギュレータを保護することができます。過電流状態が検出された場合、電流がデバイスを損傷しないレベルに下がるまで、出力電圧を低下さ

せません。デバイスの信頼性を高めるために、電流制限に達した場合はLDOを動作させないことを推奨します。

イネーブル・ピン(LDO)

アクティブ“ハイ”のイネーブル・ピン(EN3)を使用して、デバイスをシャットダウン・モードにすることができます。シャットダウンおよびソフトスタート機能が必要でない場合は、EN3をIN3に接続します。

ドロップアウト電圧(LDO)

LDOでは、PMOSトランジスタを使用して低ドロップアウトを実現しています。(V_{IN} - V_{OUT})がドロップアウト電圧(V_{DO})より小さい場合、パス・デバイスがリニア動作領域にあり、入出力抵抗はパス・トランジスタのR_{DS,ON}です。この領域では、レギュレータは“レギュレーション外れ”の状態であり、(V_{IN} - V_{OUT})が0.5Vを大きく下回ると、リップル除去、ライン・レギュレーション、および負荷レギュレーションの性能が低下します。

過渡応答(LDO)

LDOには、過電圧状態の出力に対する内蔵ブルダウン回路がありません。これにより、代替電源などの高電圧ソースを出力に接続するアプリケーションが可能になります。また、この設計では、負荷電流が急速にゼロに低下した場合に、数パーセントの出力オーバーシュートが生じます。オーバーシュートの振幅はC_{OUT}を増加させることで低減できます。オーバーシュートの時間は、負荷抵抗の追加により短縮できます。

過熱保護(LDO)

過熱保護により、接合部温度(T_J)が安全でないレベルに達すると出力がディスエーブルになります。接合部の温度が下がると、出力は再度イネーブルになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン/オフを繰り返します。これによりレギュレータの消費電力が制限され、損傷から保護されます。長期間信頼性を保つために、過熱保護が働く温度付近でデバイスを連続して動作させないようにしてください。

消費電力(LDO)

TPS75003はQFNスタイルのパッケージで提供され、パッケージ下部にリード・フレームが露出しています。この露出したリード・フレームは放熱用の主経路であり、LDOで消費された電力(式15で計算)を除去するように構成されたプリント基板に半田付けする必要があります。

$$P_D = (V_{IN3} - V_{OUT3}) \times I_{OUT3} \quad (15)$$

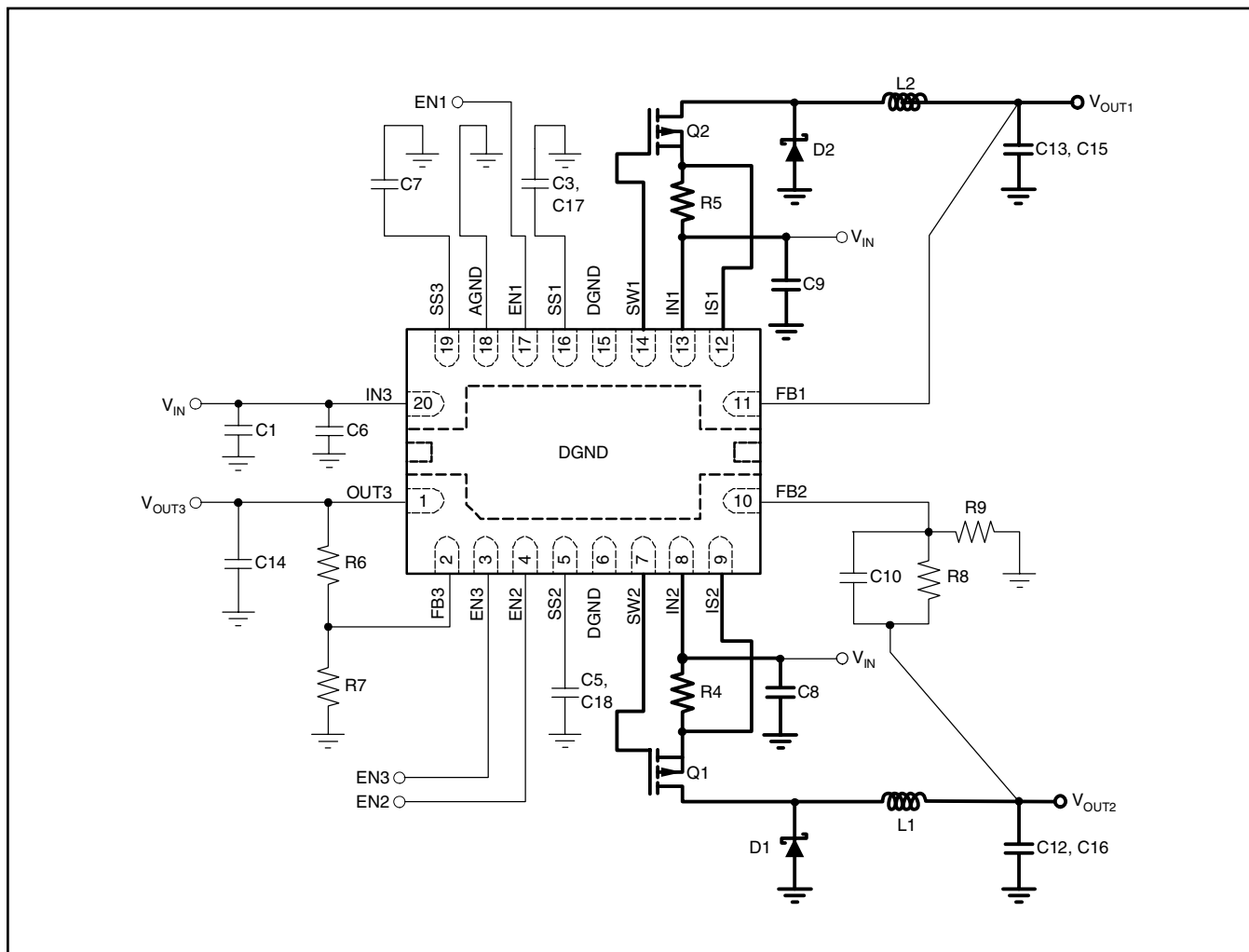


図26. 標準アプリケーション回路

必要な出力電圧を確保できる最小の入力電圧を使用することで、消費電力を最小限に抑えることができます。2つのバックコンバータは、消費電力への寄与は大きくありません。より重い銅を使用することで、デバイスの全体的な放熱効果が高まります。また、放熱層にめっきスルーホールを付加することによっても、ヒートシンクの効果が向上します。

プリント基板レイアウトに関する考慮事項

他のスイッチングレギュレータの場合と同様に、基板レイアウトには十分な注意を払う必要があります。図26～図28に、標準的なアプリケーション回路と対応する推奨プリント基板(PCB)レイアウトを、最も重要度の高い領域を強調して示しています。

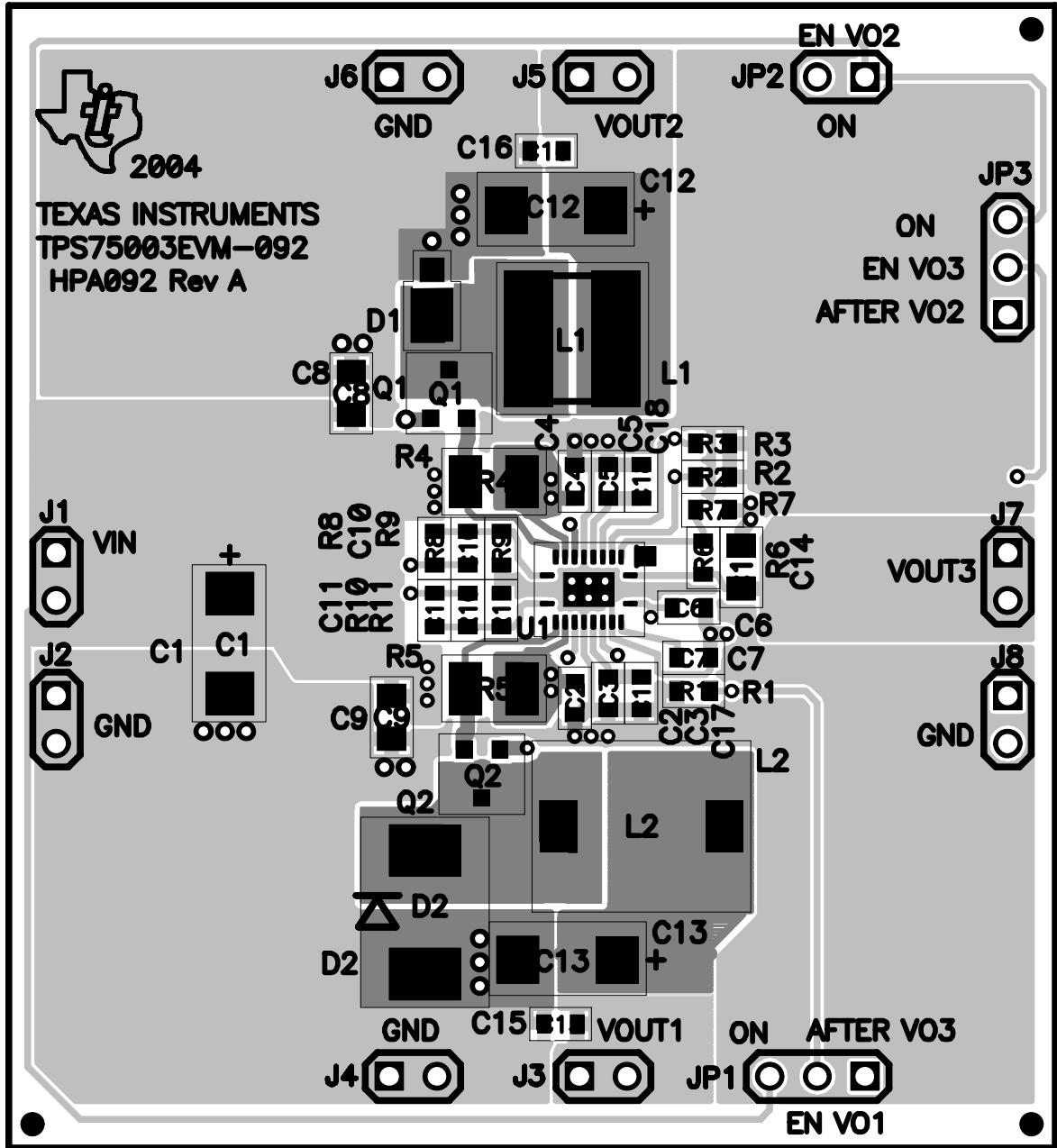


図27. 推奨PCBレイアウト、部品面(平面図)

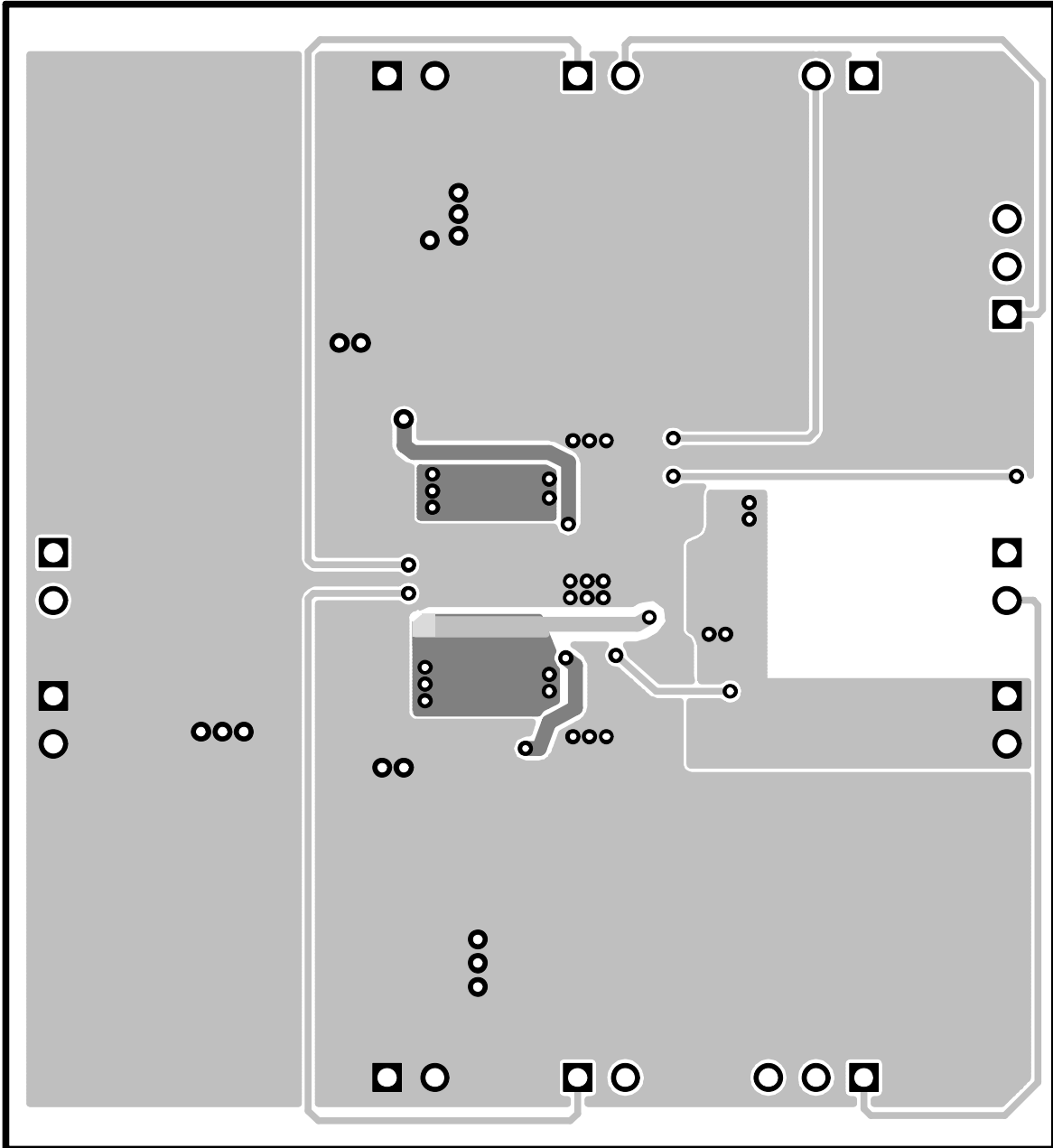


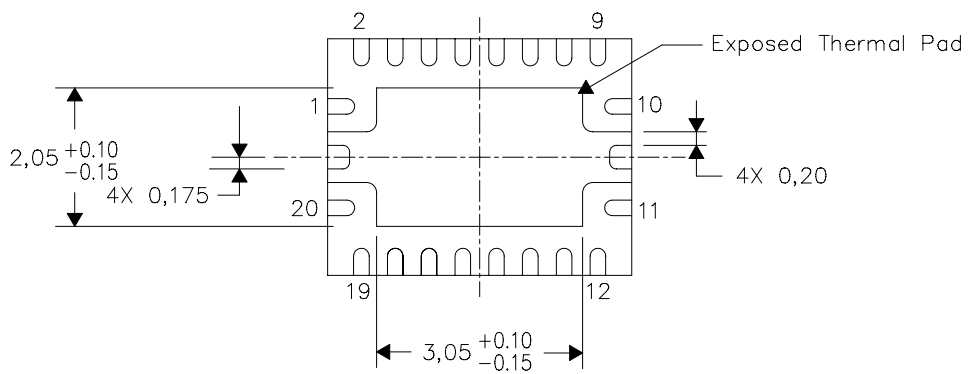
図28. 推奨PCBレイアウト、裏面(平面図)

熱特性について

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマル・ビアを使用して、サーマル・パッドをグランド・プレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーション・レポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SCBA017)を参照してください。このドキュメントは、www.ti.comからダウンロードできます。

このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



Bottom View

注: リニア寸法の単位はすべてミリメートルです。

露出サーマル・パッドの寸法

XXXXXXXXXX XXXXX

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS75003RHLLR	PREVIEW	QFN	RHL	20	3000	None	Call TI	Call TI
TPS75003RHLLT	PREVIEW	QFN	RHL	20	250	None	Call TI	Call TI

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 現在対応していない製品もあります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

None：鉛フリー未対応です。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”に加えて、パッケージの材質にハロゲンを含まないことを意味しています。製品の全重量の0.1%を超える臭素(Br)またはアンチモン(Sb)を含まないという条件が含まれます。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じるTIの責任は、TIによって年次ベースで顧客に販売される、このドキュメント発行時点でのTI製品の合計購入価格を超えることはありません。

(SBVS052C)

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認ください。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認することの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上