

広入力電圧範囲 同期整流式バック・コントローラ

特長

- 動作入力電圧：10V～55V
- 入力電圧フィードフォワード補償
- 0.7V、誤差0.5%の内部基準電圧
- 最大1MHzまでプログラム可能な固定周波数の電圧モード・コントローラ
- ハイサイドPチャネルMOSFET及び同期式NチャネルMOSFET用ゲート駆動出力内蔵
- 16ピンPowerPAD™パッケージ($\theta_{JC} = 2^{\circ}\text{C/W}$)
- サーマル・シャットダウン機能
- 外部同期可能
- プログラマブルに設定できるハイサイド電流制限
- プログラマブルに設定できる閉ループのソフトスタート
- TPS40060はソースのみ/TPS40061はソース/シンク

概要

TPS40060及びTPS40061は、高電圧で広い入力電圧範囲(10V～55V)をもつ同期式降圧型コンバータです。

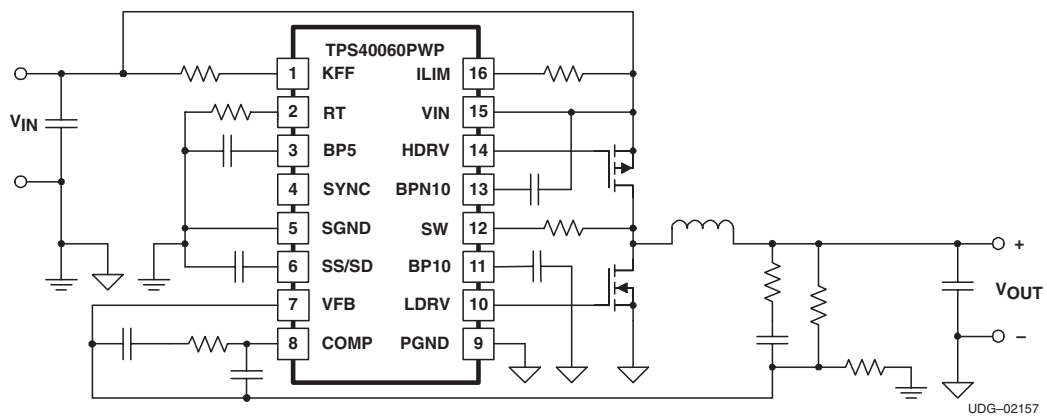
このデバイス・ファミリは、設計する上でのフレキシビリティを備えており、ソフトスタート、UVLO、動作周波数、電圧フィードフォワード、ハイサイド電流制限、ループ補償などのユーザーがプログラマブルに設定できる多種多様な機能をもっています。また、このデバイスは外部電源にも同期させることができます。

TPS40060及びTPS40061は外部のPチャネル・ハイサイドMOSFET及びNチャネル同期整流(SR)MOSFET用のMOSFETゲート・ドライバを内蔵しています。ゲート駆動のロジックにはハイサイドと同期整流器の導通が同時に起こるのを防ぐアンチ・クロス導通回路が含まれています。

アプリケーション

- ネットワーキング装置
- テレコム機器
- 基地局
- サーバー

SIMPLIFIED APPLICATION DIAGRAM



SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ORDERING INFORMATION

T _A	LOAD CURRENT	PACKAGE ⁽¹⁾	PART NUMBER
-40°C to 85°C	SOURCE	Plastic HTSSOP (PWP)	TPS40060PWP
	SOURCE/SINK	Plastic HTSSOP (PWP)	TPS40061PWP

(1) PWPパッケージはテープ/リールでも供給できます。デバイス・タイプの末尾にRを付けてください(すなわち、TPS40060PWP_R)。PowerPADの図面及びレイアウト情報についてはこのデータシートのアプリケーションの節を参照してください。

ABSOLUTE MAXIMUM RATINGS

特に記述のない限り、動作周囲温度⁽¹⁾

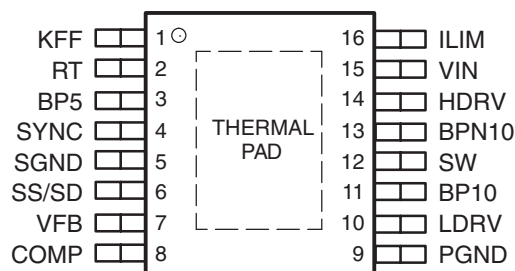
		TPS40060 TPS40061	UNIT
Input voltage range, V _I	VIN	60	V
	VFB, KFF, SS/SD, SYNC	-0.3 to 6	
	SW	-0.3 to 60V or VIN + 5V (whichever is less)	
	SW, transient < 50 ns	-2.5 V	
Output voltage range, V _O	COMP, RT, KFF, SS	-0.3 to 6	
Output current, I _{OUT}	RT	200	μA
Operating junction temperature range, T _J		-40 to 125	°C
Storage temperature, T _{stg}		-55 to 150	
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds		260	

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

RECOMMENDED OPERATING CONDITIONS

	MIN	NOM	MAX	UNIT
Input voltage, V _I	10		55	V
Operating free-air temperature, T _A	-40		85	°C

PWP PACKAGE⁽³⁾⁽⁴⁾
(TOP VIEW)



(3) PWPパッケージの詳細な情報についてはTIテクニカル・ブリーフ文献番号SLMA002を参照してください。

(4) PowerPAD™のヒート・スラグはSGND(5ピン)に接続するか、または、他の全ピンと電氣的に絶縁してください。

ELECTRICAL CHARACTERISTICS

$T_A = -40^{\circ}\text{C}$ to 85°C , $V_{IN} = 24\text{ V}_{dc}$, $R_T = 165\text{ k}\Omega$, $R_{KFF} = 182\text{ k}\Omega$, $f_{SW} = 300\text{ kHz}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
INPUT SUPPLY					
V_{IN} Input voltage range, V_{IN}		10		55	V
OPERATING CURRENT					
I_{DD} Quiescent current	Output drivers not switching		1.5	2.5	mA
5-V REFERENCE					
V_{BP5} Input voltage		4.5	5.0	5.5	V
OSCILLATOR/RAMP GENERATOR					
f_{OSC} Frequency		270	300	330	kHz
V_{RAMP} PWM ramp voltage ⁽¹⁾			2		V
V_{IH} High-level input voltage, SYNC		2			
V_{IL} Low-level input voltage, SYNC				0.8	
I_{SYNC} Input current, SYNC			5	10	
	Pulse width, SYNC	Pulse amplitude = 5 V			ns
V_{RT} RT voltage		2.32	2.50	2.68	V
	Maximum duty cycle	$V_{FB} = 0\text{ V}$, $100\text{ kHz} \leq f_{SW} \leq 1\text{ MHz}$		98%	
	Minimum duty cycle	$V_{FB} \geq 0.75\text{ V}$		0%	
V_{KFF} Feed-forward voltage		3.35	3.50	3.65	V
I_{KFF} Feed-forward current operating range ⁽¹⁾		20		1100	μA
SOFT START					
I_{SS} Soft-start source current		1.8	2.3	2.9	μA
V_{SS} Soft-start clamp voltage		3.1	3.7	4.0	V
t_{DSCH} Discharge time	$C_{SS} = 220\text{ pF}$	1.8	2.2	2.8	μs
t_{SS} Soft-start time	$C_{SS} = 220\text{ pF}$, $0\text{ V} \leq V_{SS} \leq 1.6\text{ V}$	120	155	190	
$V_{SS/SD}$	Shutdown outputs threshold voltage	90	120	145	mV
	Enable outputs threshold voltage	160	210	260	
10-V REFERENCE					
V_{BP10} Input voltage		9.0	9.7	10.7	V
ERROR AMPLIFIER					
V_{FB} Feedback regulation voltage	$T_A = 250^{\circ}\text{C}$	0.698	0.700	0.704	V
	$0^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$	0.690	0.700	0.707	
		0.690	0.700	0.715	
G_{BW} Gain bandwidth		3	5		MHz
A_{VOL} Open loop gain		60	80		dB
I_{OH} High-level output source current	$V_{COMP} = 2.0\text{ V}$, $V_{FB} = 0\text{ V}$	1.5	4.0		mA
I_{OL} Low-level output sink current	$V_{COMP} = 2.0\text{ V}$, $V_{FB} = 1\text{ V}$	2.5	4.0		
I_{BIAS} Input bias current	$V_{FB} = 0.7\text{ V}$		100	300	nA
V_{OH} High-level output voltage	$I_{OH} = 0.5\text{ mA}$, $V_{FB} = 0\text{ V}$	3.25	3.45	3.60	V
V_{OL} Low-level output voltage	$I_{OL} = 0.5\text{ mA}$, $V_{FB} = 1\text{ V}$	0.050	0.215	0.350	

(1)設計で保証されており、テストは行っていません。

(2)すべてのパラメータは消費電力ゼロで測定されています。

ELECTRICAL CHARACTERISTICS (continued)

T A = -40°C to 85°C, V IN = 24 V dc, R T = 165 kΩ, R KFF = 182 kΩ, f_{SW} = 300 kHz (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
CURRENT LIMIT					
I _{SINK} Current limit sink current		8.3	10.0	11.5	μA
t _{DELAY} Propagation delay to output	V _{ILIM} = 23.7 V, V _{SW} = (V _{ILIM} - 0.5 V)		330	400	ns
	V _{ILIM} = 23.7 V, V _{SW} = (V _{ILIM} - 2 V)		200	300	
t _{ON} Switch leading-edge blanking pulse time ⁽¹⁾		100			
t _{OFF} Off time during a fault			7		cycles
V _{OS} Overcurrent comparator offset voltage		-175	-60	35	mV
OUTPUT DRIVER					
t _{HFALL} High-side driver fall time ⁽¹⁾	C _{HDRV} = 2200 pF, (V _{IN} - V _{BPN10})		48	96	ns
t _{HRISE} High-side driver rise time ⁽¹⁾	C _{HDRV} = 2200 pF, (V _{IN} - V _{BPN10})		36	72	
t _{LFALL} Low-side driver fall time ⁽¹⁾	C _{LDRV} = 2200 pF, BP10		24	48	
t _{LRISE} Low-side driver rise time ⁽¹⁾	C _{LDRV} = 2200 pF, BP10		48	96	
V _{OH} High-level output voltage, HDRV	I _{HDRV} = 0.1 A, (V _{IN} - V _{HDRV})		1.0	1.4	V
V _{OL} Low-level output voltage, HDRV	I _{HDRV} = 0.1 A, (V _{HDRV} - V _{BPN10})			0.75	
V _{OH} High-level output voltage, LDRV	I _{LDRV} = 0.1 A, (V _{BP10} - V _{LDRV})		1.0	1.5	
V _{OL} Low-level output voltage, LDRV	I _{LDRV} = 0.1 A			0.5	
Minimum controllable pulse width			100	150	ns
BPN10 REGULATOR					
V _{BPN10} Output voltage	Referenced to V IN	-7.5	-8.5	-9.5	V
RECTIFIER ZERO CURRENT COMPARATOR (TPS40060 ONLY)					
V _{SW} Switch voltage	LDRV output OFF	-6	0	6	mV
SW NODE					
I _{LEAK} Leakage current ⁽¹⁾				1	μA
THERMAL SHUTDOWN					
T _{SD}	Shutdown temperature ⁽¹⁾		165		°C
	Hysteresis ⁽¹⁾		25		
UNDERVOLTAGE LOCKOUT					
V _{UVLO} Undervoltage lockout threshold voltage, BP10	R _{KFF} = 10 kΩ	6.25	6.5	7.5	V
Undervoltage lockout hysteresis			0.4		
V _{KFF} KFF programmable threshold voltage	R _{KFF} = 82.5 kΩ	9	10	11	

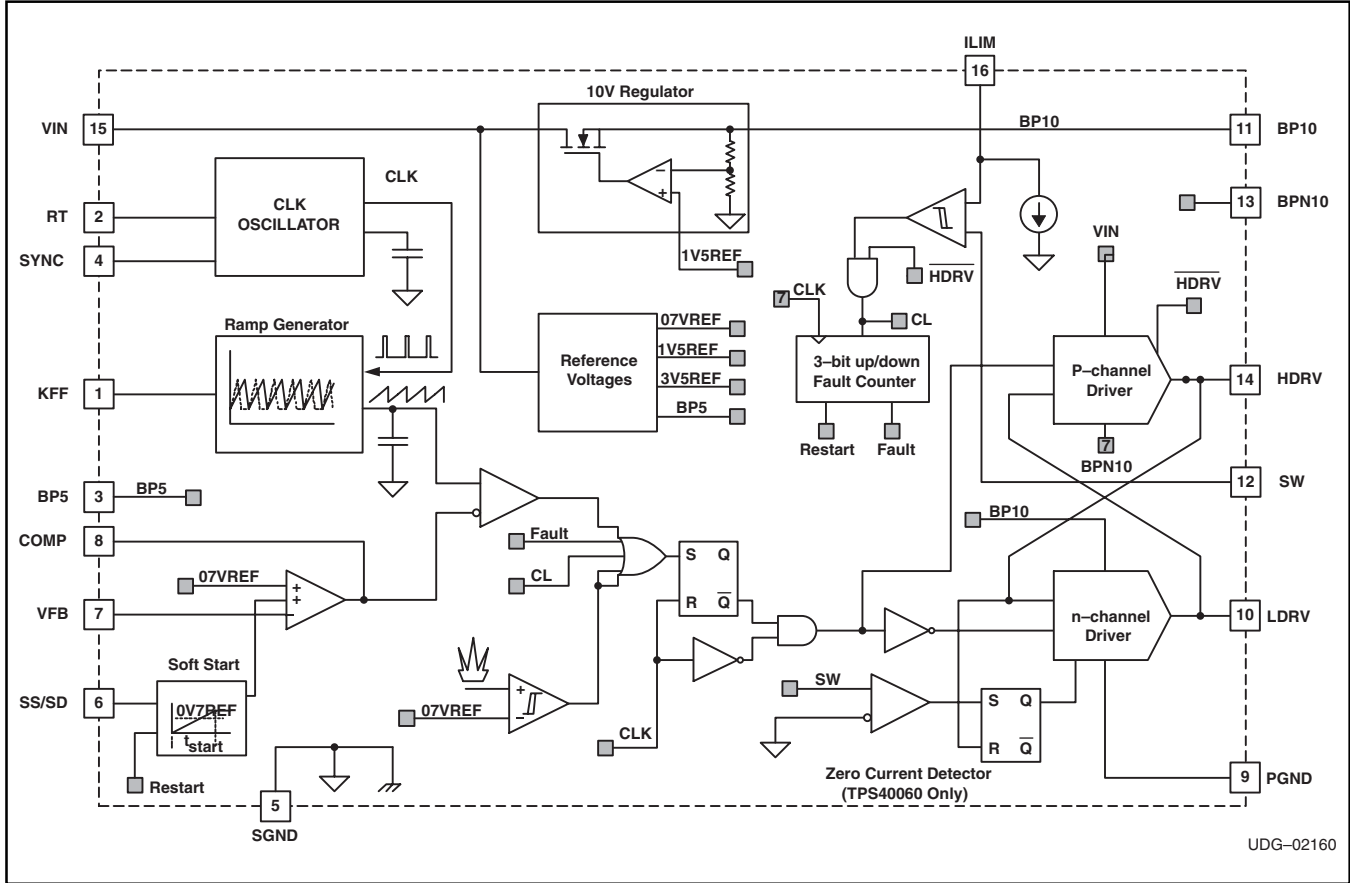
(1)設計で保証されており、テストは行っていません。

(2)すべてのパラメータは消費電力ゼロで測定されています。

端子機能

TERMINAL NAME	NO.	I/O	DESCRIPTION
BP5	3	O	デバイス内部のロジックのみのための5V基準電圧。このピンは0.1 μ Fのセラミック・キャパシタでグラウンドにバイパスしてください。このピンは外部使用のためのものではありません。
BP10	11	O	Nチャネル同期整流器のゲート駆動に使用される10V基準電圧。このピンは1 μ Fのセラミック・キャパシタでバイパスしてください。このピンは外部使用のためのものではありません。
BPN10	13	O	VINを基準とした-8Vの基準電圧。この電圧はハイサイドPチャネルMOSFET用のゲートを駆動するのに使用されます。このピンは0.1 μ Fのセラミック・キャパシタでVINにバイパスしてください。
COMP	8	I	誤差増幅器の出力で、PWMコンパレータの入力。ループ全体を補償するためフィードバック回路をこのピンからVFBピンに接続します。COMPピンは大信号の過渡応答を改善するため内部でランプのピークより上でクランプされます。
HDRV	14	O	ハイサイドPチャネルMOSFET用のフローティングのゲート駆動ピン。このピンの電圧はVIN(MOSFETオフ)とBPN10(MOSFETオン)間で切り換わります。
ILIM	16	I	電流制限ピンで、過電流スレッシュホールドを設定するのに使用されます。このピンからグラウンドへシंकする内部電流により、このピンとVIN間の外付け抵抗の電圧降下が定まります。このピンの電圧は導通時ハイサイドMOSFET端の電圧降下(VIN - SW)と比較されます。
KFF	1	I	電圧フィードフォワード量をプログラムするためこのピンとVIN間に抵抗を接続します。このピンに流れ込む電流は内部で分割されPWMランプの勾配をコントロールするのに使用されます。
LDRV	10	I	Nチャネル同期整流器用ゲート駆動ピン。このピンの電圧はBP10(MOSFETオン)とグラウンド(MOSFETオフ)間で切り換わります。
PGND	9	-	デバイスの基準パワーグラウンド。このピンとパワーMOSFETのソースを低インピーダンスのラインで接続します。
RT	2	I	内部発振器のランプ充電電流とスイッチング周波数を設定するためこのピンからグラウンドに抵抗を接続します。
SGND	5	-	デバイスの基準信号グラウンド
SS/SD	6	I	ソフトスタートのプログラミング・ピン。このピンからグラウンドに接続するキャパシタによりソフトスタート時間がプログラムされます。キャパシタは2.3 μ Aの内部電流源により充電されます。その結果として生じるSSピンの電圧ランプは誤差増幅器への2番目の非反転入力として使用されます。出力電圧のレギュレーションはSSピンの電圧が1.6VになるまでSSの電圧ランプによりコントロールされます。
SW	12	I	このピンはコンバータのスイッチ・ノードに接続され、過電流の検出に使用されます。このピンはTPS40060でゼロ電流の検出に使用されます。
SYNC	4	I	デバイスの同期入力ピン。このピンは発振器を外部のマスター周波数に同期させるのに使用することができます。
VFB	7	I	誤差増幅器の反転入力。通常動作ではこのピンの電圧は内部基準電圧0.7Vと同じです。
VIN	15	I	デバイスの電源電圧

SIMPLIFIED BLOCK DIAGRAM



アプリケーション情報

スイッチング周波数の設定 (クロック発振器のプログラミング)

TPS40060及びTPS40061は独立したクロック発振器とランプ・ジェネレータ回路を内蔵しています。クロック発振器はランプ・ジェネレータ回路へのマスター・クロックとして働きます。クロック発振器のスイッチング周波数 f_{SW} (単位はkHz)はグランドへの1つの抵抗(R_T)で設定されます。クロック周波数は式(1)により R_T (単位はk Ω)に關係しており、その相関關係を図2に示します。

$$R_T = \left(\frac{1}{f_{SW} \times 17.82 \times 10^{-6}} - 23 \right) \text{ (k}\Omega\text{)} \quad (1)$$

ランプ・ジェネレータ回路のプログラミング

ランプ・ジェネレータ回路はPWMコンパレータにより使用される実際のランプを供給します。ランプ・ジェネレータは、ランプの振幅を一定に保ちながら、PWMランプの勾配をライン電圧により変えることで電圧フィードフォワード・コントロールを行な

います。PWMランプを直接ライン電圧により変えることで、PWMはループの遅れを待つことなしにデューティ・サイクルを変更することができるため、ラインの変動に対して優れた応答が実現します(図1参照)。

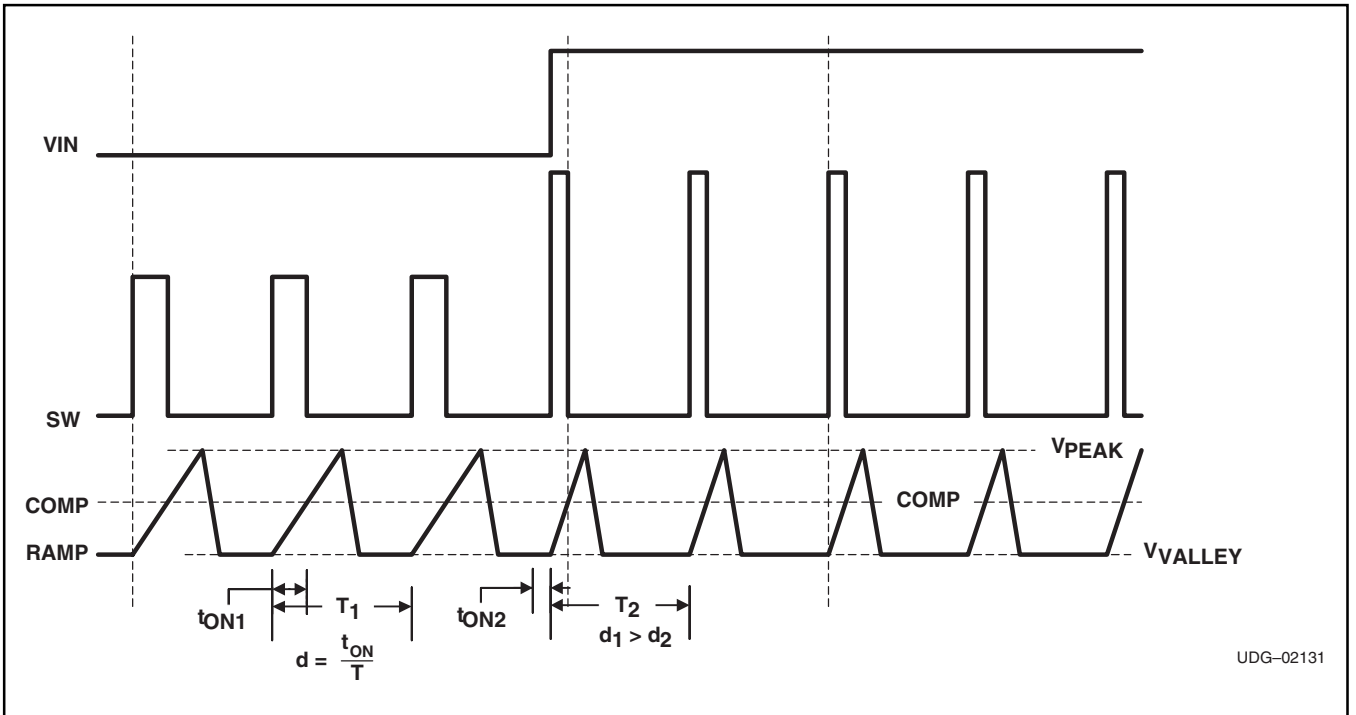
PWMランプの周期はマスター・クロック周波数の周期よりも短くなくてはならず、そうでなければPWMは起動が妨げられます。PWMランプの時間はVINにプルアップされている1つの抵抗(R_{KFF})によってプログラムされます。 R_{KFF} は以下のように R_T と最小入力電圧 $V_{IN(min)}$ に關係しています。

$$R_{KFF} = (V_{IN(min)} - 3.5) \times (65.27 \times R_T + 1502) \text{ (}\Omega\text{)} \quad (2)$$

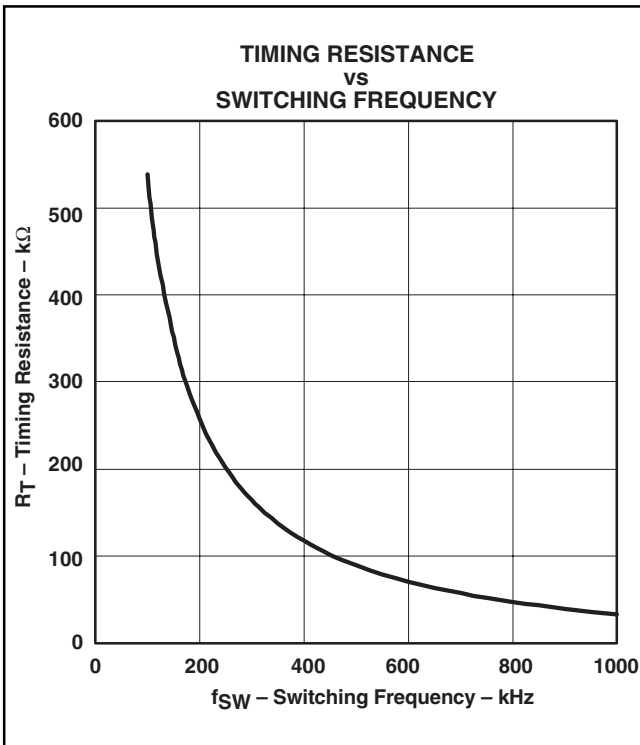
但し、

- V_{IN} は設定する起動(UVLO)入力電圧です。
- R_T はタイミング抵抗で単位はk Ω です。

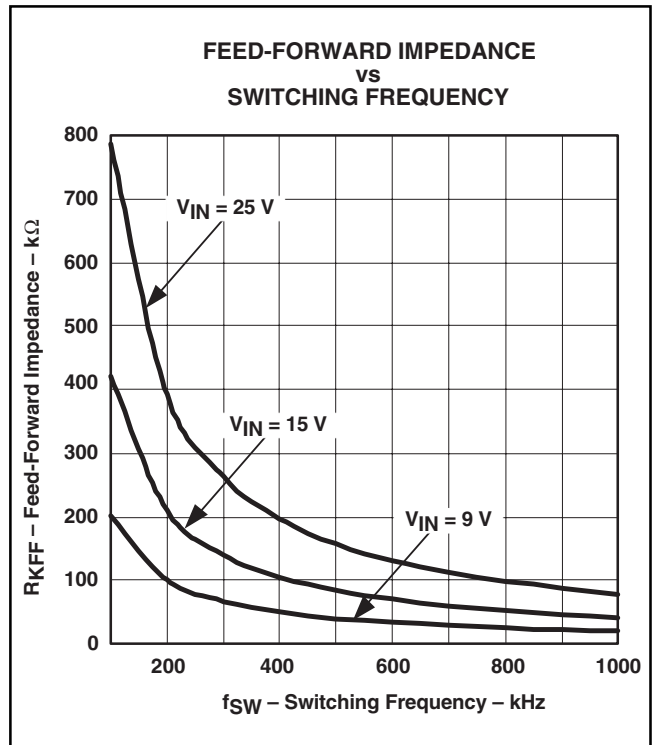
詳細な説明についてはUVLO動作の節を参照してください。各種入力電圧での所定のスイッチング周波数 f_{SW} に要するフィードフォワード・インピーダンスを示す曲線を図3に示します。



☒1. Voltage Feed-Forward Effect on PWM Duty Cycle



☒2.



☒3.

UVLO動作

TPS40060及びTPS40061は固定及び調整可能(ユーザーがプログラムできる)の両方のUVLO保護を使用しています。固定方式のUVLOはBP10とBP5の両方のバイパス電圧をモニタします。UVLO回路は、BP5とBP10の電圧レールがそのスレッシュホールドを越え、かつ、入力電圧がユーザーがプログラムした低電圧スレッシュホールドを越えるまでソフトスタートを“L”レベルに保持しています。

TPS40060及びTPS40061はユーザーがプログラムできる低ラインのUVLO保護としてフィードフォワード・ピンKFFを使用しています。この調整可能な低ラインのUVLOスレッシュホールドはPWMランプの幅を発振器のクロック周期と比較します。ランプがその全振幅の90%に達する前にデバイスがクロック・パルスを受け取った場合低電圧状態にあることとなります。ランプ幅はランプの勾配の関数で、KFFピンに流れ込む電流に直接関係しています。KFFピンに流れる電流は入力電圧とKFFピンから入力電圧へ接続される抵抗の関数です。KFFピンの抵抗は式(3)で表されるように発振器の周波数を基準として求めることができます。

$$R_{KFF} = (V_{IN(\min)} - 3.5) \times (65.27 \times R_T + 1502) \quad (\Omega) \quad (3)$$

但し、

- V_{IN} は設定する起動(UVLO)入力電圧です。

調整可能なUVLO機能では、スパイクまたは高速のライン過渡により誤ってシャットダウンあるいはターンオンするのを防ぐため3ビットの全加算器が使用されています。加算器で、ランプ幅がクロック・サイクルよりも短いことが合計7カウントに達すると、パワーグッド信号がアクティブになりソフトスタートが開始し、上下のMOSFETはオフになります。

ソフトスタートが開始すると、UVLO回路は、低電圧状態を宣言する前に、ランプ幅がクロック・サイクルよりも長いことがサイクルで合計7カウント分あることを確かめなければなりません(図4参照)。

入力電圧ラインに高インピーダンスをもつか、あるいは V_{IN} ラインに過大なリングングがあるシステムなど、アプリケーションによってはUVLO電圧レベルで誤って再起動するのを防ぐために回路を追加することが必要とされることがあります。入力電圧のインピーダンスは起動時にUVLOシャットダウンやそれに続く再起動を起こすのに十分なほど入力電圧を下げる原因となります。簡素な回路を外付けすると迷惑なUVLOシャットダウンを防ぐためのヒステリシス量を選択することができます。

ヒステリシス電流が I_{KFF} の10%、ピーク検出器が8Vにチャージされ、 $V_{IN(\min)} = 18V$ とすると、 R_A の値は以下の式で計算されます。

$$R_A = \frac{R_{KFF} \times (8 - 3.5)}{0.1 \times (V_{IN(\min)} - 3.5)} = 565 \text{ k}\Omega, \approx 562 \text{ k}\Omega \quad (4)$$

C_A の値はスイッチング・サイクル間で十分な高さのピーク電圧を保持するよう選ばれます。キャパシタの電荷を0.1Vのドループ(この場合8Vから7.9V)にならないようにするには、以下の式で C_A を計算します。

$$C_A = \frac{(8 - 3.5)}{(R_A \times 7.9 \times f_{SW})} \quad (5)$$

C_A の値は10pF以下まで計算できますが、最大470pFまでの標準値の設計でも十分に機能します。この設計では定格が20V以上の小信号のスイッチング・ダイオードまたはショットキーにすることができます。図5に代表的実施例を示します。

ソフトスタート

ソフトスタート回路により出力電圧のランプアップが閉ループでコントロールされます。ソフトスタートの持続時間はSS/SDピンに接続される1つのキャパシタによりプログラムされます。内部の0.7V基準電圧を誤差増幅器の1番目の非反転入力に接続し、ソフトスタートのランプを2番目の非反転入力に入れることで閉ループのコントロールが行なわれます。誤差増幅器は最小の非反

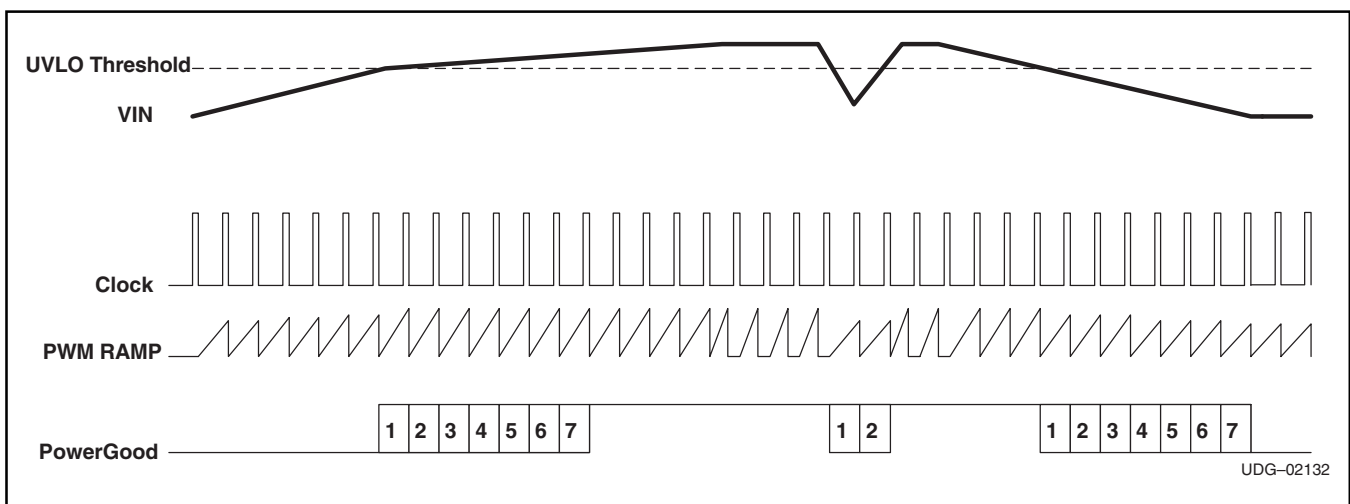


図4. Undervoltage Lockout Operation

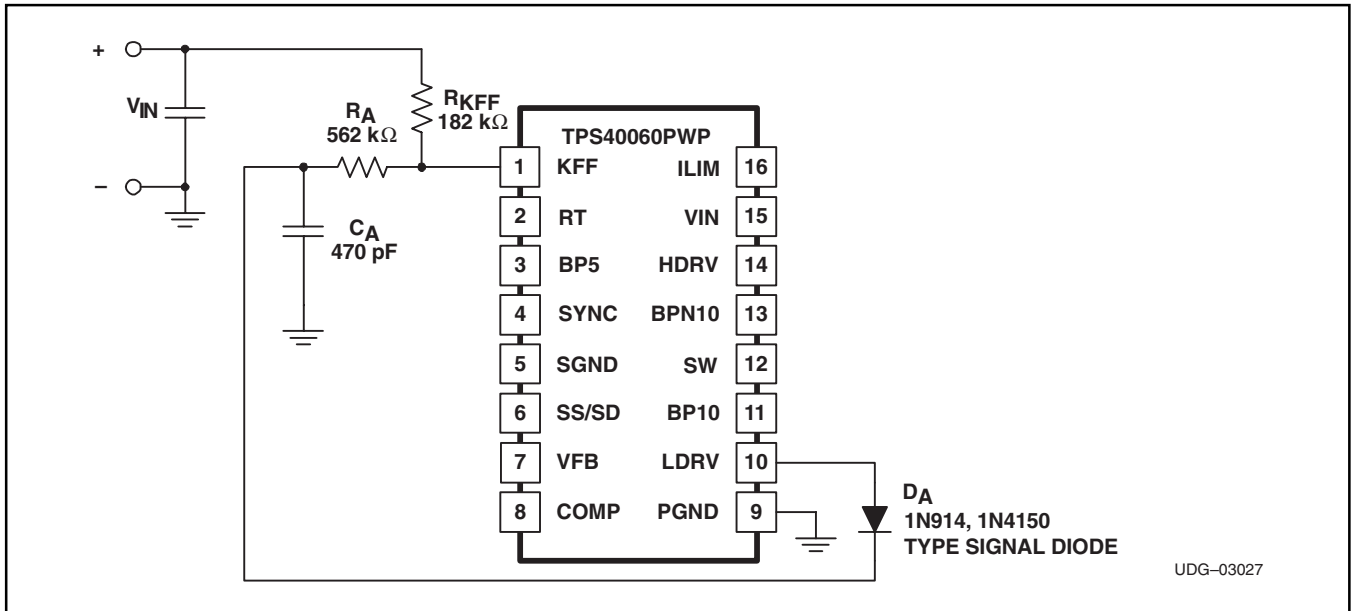


図5. Hysteresis for Programmable Undervoltage Lockout

転入力電圧でレギュレーションを行いません。外付けのソフトスタート・キャパシタは標準2.3μAの内部電流源により充電されます。出力電圧は、SS/SDピンの電圧が0.8V~1.5Vに上昇した場合ランプアップします。

$$t_{SS} = 0.304 \times C_{SS} \quad (\text{s}) \quad (6)$$

但し、

- CSSの単位はμFです

パワーの印加からソフトスタートのランプの開始までには t_{SS} の時間遅延があります。

V_{IN} 電源がゆっくりとランプアップする(一般的には50ms)アプリケーションでは、誤ってUVLOが作動するのを防ぐためソフトスタート時間を増加させることが必要かも知れません。ソフトスタート時間は、 V_{IN} 電源が6Vと7Vの間を遷移する時間よりも長くしてください。

イネーブル

SS/SDピンの電圧が0.2V以下になると出力はディスエーブルになります。オープンドレイン型のMOSFETがこの特性を実現するのに適しています。

電流制限のプログラミング

このデバイスでは過電流保護に2段の手法を使用しています。1段目はパルス毎の保護という仕組みです。電流制限はハイサイドMOSFETで実行され、ゲートが“L”レベルに駆動されている時にMOSFET端の電圧降下を検出します。MOSFETの電圧は一定の電流シンクで駆動されている時VINピンからILIMピンに接続されている抵抗端での降下電圧と比較されます。MOSFET端の電

圧降下がILIM抵抗端の電圧降下より大きい場合、スイッチング・パルスは即座に終了します。MOSFETは次のスイッチング・サイクルが開始するまでオフのままです。

第2段目はフォルト・カウンタで構成されています。フォルト・カウンタは過電流パルスによって増加し、過電流パルスのないクロック・サイクルにより減少します。カウンタが7に達した時、再起動がなされ7サイクルのソフトスタートが開始します。上下両方のMOSFETともこの期間オフになります。カウンタはソフトスタートのサイクルごとに減少してゆきます。カウンタがゼロに減少した時、PWMは再びイネーブルになります。障害条件が取り除かれたら、出力は正常に作動し始めます。出力に依然として障害が存在している場合、カウンタは7個の過電流パルスをカウントし、再び第2段目のフォルト・モードに入ります。代表的な過電流保護の波形については図6を参照してください。

電流制限の最小設定点(I_{LIM})は t_{START} 、 C_O 、 V_O 、ターンオン時の負荷電流(I_L)により決まります。

$$I_{LIM} = \left[\frac{(C_O \times V_O)}{t_{SS}} \right] + I_L \quad (\text{A}) \quad (7)$$

電流制限をプログラムする抵抗(R_{ILIM})は以下の式(8)を使って計算されます。

$$R_{ILIM} = \frac{I_{OC} \times R_{DS(on)[max]} + \frac{V_{OS}}{I_{SINK}}}{1.12 \times I_{SINK}} \quad (\Omega) \quad (8)$$

但し、

- I_{SINK} はILIMピンに流れ込む電流で標準値は10μAです。
- I_{OC} は過電流の設定点で、DC出力電流にピーク・インダクタ電流の1/2を加えたものです。
- V_{OS} は過電流コンパレータのオフセットで標準値は-95mVです。

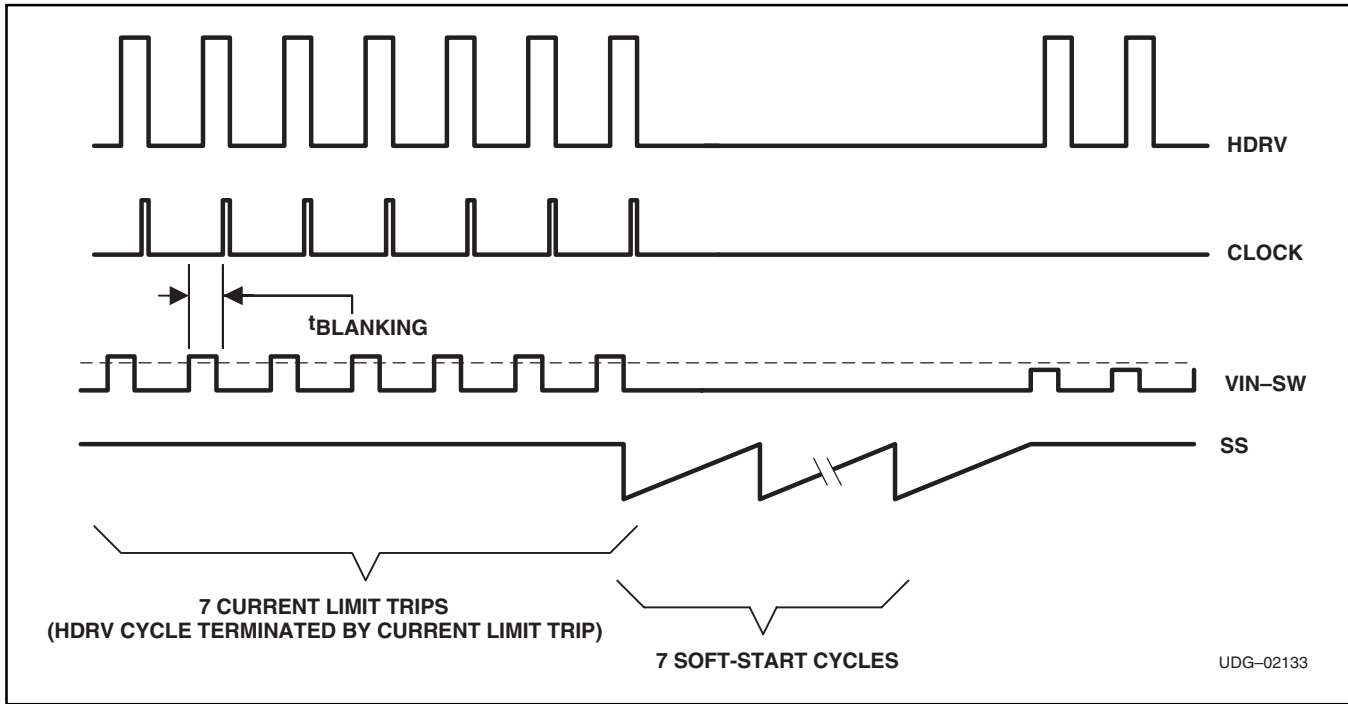


図6. Typical Current Limit Protection Waveforms

BPN10及びBP10Vバイパス・キャパシタの計算

BPN10容量はハイサイド・ドライバに部分的な低インピーダンス源を供給します。BPN10キャパシタは品質が優れた高周波のキャパシタにしてください。バイパス・キャパシタの大きさはMOSFETの総ゲート電荷とバイパス・キャパシタに許容されるドループ量に依存します。BPN10容量は以下の式で表されます。

$$C_{BPN10} = \frac{Q_g}{\Delta V} \quad (F) \quad (9)$$

10V基準電圧ピンBP10VはBP10Vキャパシタを介して同期MOSFETのゲート駆動にエネルギーを供給する必要があります。効率上で不利な条件をすべて無視すると、BP10Vの容量は以下の式で表されます。

$$C_{BP10V} = \frac{Q_{gSR}}{\Delta V} \quad (F) \quad (10)$$

外部電源への同期

TPS40060及びTPS40061はSYNCピンにより外部のクロックに同期することができます。このデバイスはそのプログラムされたフリーラン周波数よりも20%高い周波数で同期させなければなりません。SYNCピンのクロック周波数は発振器回路で生成されるマスター・クロックに取って代わります。SYNCピンを“L”レベルにするとデバイスは R_T でプログラムされる周波数でフリーランするようプログラムされます。

PWMランプのジェネレータ回路をプログラムする時は高い周波数で同期させることを考慮に入れなければなりません。PWMランプがSYNCパルスで妨げられると、UVLO状態が宣言されPWMはディスエーブルになります。一般的にはこのことは低ライン条件下のみで懸念されます。いかなる場合でも、スイッチング周波数が高い場合にはRKFFを調整することが必要です。

インダクタ値の選択

インダクタ値により、コンバータが不連続モードになる時の負荷電流だけでなく、出力キャパシタのリプル電流の大きさも決まります。インダクタンスが過度に大きいと、リプル電流は小さくなりますが、同一負荷電流では物理的寸法は大きくなります。一方、インダクタンスが過度に小さいと、リプル電流は大きくなり、同じ出力リプル電圧を満たすための要件が多くなります(または出力キャパシタが高価になります)。妥協案として望ましいのは、負荷が定格出力の10%と30%の間の値に近づくまでコンバータが不連続モードにならない程度のインダクタンス値を選択することです。インダクタンス値の計算は以下の式で表されます。

$$L = \frac{(V_{IN} - V_O) \times V_O}{V_{IN} \times \Delta I \times f_{SW}} \quad (H) \quad (11)$$

但し、

- V_O は出力電圧です
- ΔI はピーク間インダクタ電流です

出力容量の計算

出力容量は、負荷過渡時の出力電圧偏位の要件に加え、出力リプル電圧と出力リプル電流で決まります。

出力リプル電圧は出力容量とキャパシタのESRの両方の関数です。ワースト・ケース時の出力リプル電圧は以下の式で表されます。

$$\Delta V = \Delta I \left[ESR + \left(\frac{1}{8 \times C_O \times f_{SW}} \right) \right] \quad (V_{P-P}) \quad (12)$$

出力リプル電圧はESR成分により一般的に90%から95%の間です。

出力容量の要件は一般的に負荷過渡の要件に伴い増加します。ステップ負荷時、出力容量は、出力電圧を許容範囲内に保持しながら、エネルギーを負荷に供給(軽負荷から重負荷へのステップ)するか、あるいは過度のインダクタ・エネルギーを吸収(重負荷から軽負荷へのステップ)しなければなりません。容量は、負荷ステップの大きさ、ループの速度、インダクタの大きさに依存します。

重負荷から軽負荷への負荷ステップでは出力がオーバーシュートします。インダクタに蓄えられた過度のエネルギーは出力容量で吸収されなければなりません。インダクタに蓄えられたエネルギーは以下の式で表されます。

$$E_L = \frac{1}{2} \times L \times I^2 \quad (\text{J}) \quad (13)$$

ここで、

$$I^2 = \left[(I_{OH})^2 - (I_{OL})^2 \right] \quad ((\text{Amperes})^2) \quad (14)$$

但し、

- I_{OH} は重負荷条件での出力電流です
- I_{OL} は軽負荷条件での出力電流です

キャパシタのエネルギーは以下の式で表されます。

$$E_C = \frac{1}{2} \times C \times V^2 \quad (\text{J}) \quad (15)$$

ここで、

$$V^2 = (V_f)^2 - (V_i)^2 \quad (\text{Volts}^2) \quad (16)$$

但し、

- V_f はキャパシタの最終ピーク電圧です
- V_i はキャパシタの初期電圧です

式(14)を式(13)に代入し、次に式(16)を式(15)に代入し、さらにその次に式(13)が式(15)に等しいとして、 C_O について解くと以下の式で求められます。

$$C_O = \frac{L \times \left[(I_{OH})^2 - (I_{OL})^2 \right]}{\left[(V_f)^2 - (V_i)^2 \right]} \quad (\text{F}) \quad (17)$$

入力容量の計算

入力キャパシタの大きさは入力電圧の許容リップルと運ぶのに必要とされるRMS電流をもとに選択されます。標準的なバック・コンバータのアプリケーションでは、前段のコンバータからその出力容量が供給されます。この例での単独型の電源では、入力電圧リップルとRMS電流を考慮してオンボード上に容量が付加されます。この電力レベルの場合、150mVの入力電圧リップルが妥当で、内輪に見積もった最小容量値は以下の式で計算されます。

$$C = \frac{I \times \Delta t}{\Delta V} = \frac{10 \text{ A} \times 2.5 \mu\text{s}}{0.15 \text{ V}} = 167 \mu\text{F} \quad (18)$$

この最小容量の要件に加え、RMS電流のストレスを考慮しなければなりません。式(19)は、台形の電流波形のRMS電流の計算を簡略化した式で、10A時入力24V/出力2.5Vの場合について計算します。

$$I_{RMS} = I \times \sqrt{D} = I \times \sqrt{\frac{V_{OUT}}{V_{IN}(\text{min})}} = 10 \text{ A} \times \sqrt{\frac{2.5 \text{ V}}{24 \text{ V}}} = 3.23 \text{ A} \quad (19)$$

電流のリップル成分について式に項を追加するのは少量を総RMS電流に加えるのみで、それは無視できます。この小型化、コストの初期要件に適合させるには、キャパシタの組み合わせを考慮します。高周波のリップル電流を通すため、2つ、または3つの10 μ FのX5Rセラミック・キャパシタを電源回路に近づけて配置します。このキャパシタのESRは非常に小さく、データシートでは500kHzで2A_{RMS}電流の場合部品の温度が30°C上昇すると表されているため、このセラミック・キャパシタは2つ、または3つで十分です。

ループ補償

電圧モードの降圧型コントローラは一般的にはタイプIIIの回路を使用して補償されます。TPS40060及びTPS40061は電圧フィードフォワード・コントロールを使用しているため、電圧フィードフォワード回路を含んだPWM変調器の利得が含まれなければなりません。変調器の利得を、ランプ動作を全スイッチング周期の範囲にわたらせるのに必要な最小入力電圧 V_{IN} とともに図7に示します。

$$A_{MOD} = \frac{V_{IN}}{V_S} \quad \text{or} \quad A_{MOD(\text{db})} = 20 \times \log \left(\frac{V_{IN}}{V_S} \right) \quad (20)$$

デューティ・サイクルDはコントロール電圧 V_C が最小ランプ電圧から最大ランプ電圧 V_S に変化するにつれ0から1に変わります。また、同期式バック・コンバータの場合は、 $D = V_O/V_{IN}$ です。出力電圧に対するコントロール電圧を得るのに、変調器の利得の入力電圧とランプ電圧に置き換えると、

$$D = \frac{V_O}{V_{IN}} = \frac{V_C}{V_S} \quad \text{or} \quad \frac{V_O}{V_C} = \frac{V_{IN}}{V_S}$$

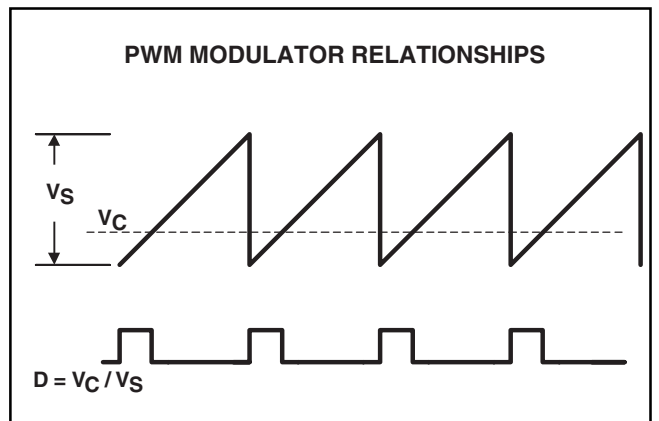


図7.

極とゼロの計算

電圧モード・コントロールを使用したバック・コンバータでは、出力のL-C₀により二重極があります。二重極は式(21)で計算される周波数の位置にあります。

$$f_{LC} = \frac{1}{2\pi \times \sqrt{L \times C_0}} \quad (21)$$

また、出力容量C₀とそのESRにより生成されるゼロもあります。ESRのゼロは式(22)で計算される周波数の位置にあります。

$$f_Z = \frac{1}{2\pi \times ESR \times C_0} \quad (22)$$

連続モードで動作する電圧フィードフォワード・コントロールをもつバック・コンバータの出力電圧対開ループ・コントロール電圧の利得V₀対V_Cのボード線図を図8に示します。

最大クロスオーバー周波数(0dBのループ利得)は式(23)で計算されます。

$$f_C = \frac{f_{SW}}{4} \quad (23)$$

一般的には、f_CはL-C₀の二重極とESRゼロの中間点の近くに選択されます。タイプIIIのトポロジでは+1の勾配(20dB/ディケード)であるのに対し、この周波数では、出力対コントロールの利得は-2の勾配(-40dB/ディケード)であるため、閉ループ全体では-1の勾配(-20dB/ディケード)になります。

図8に変調器の利得、L-Cフィルタ、出力キャパシタのESRゼロ、及びその結果として補償すべき応答を示します。

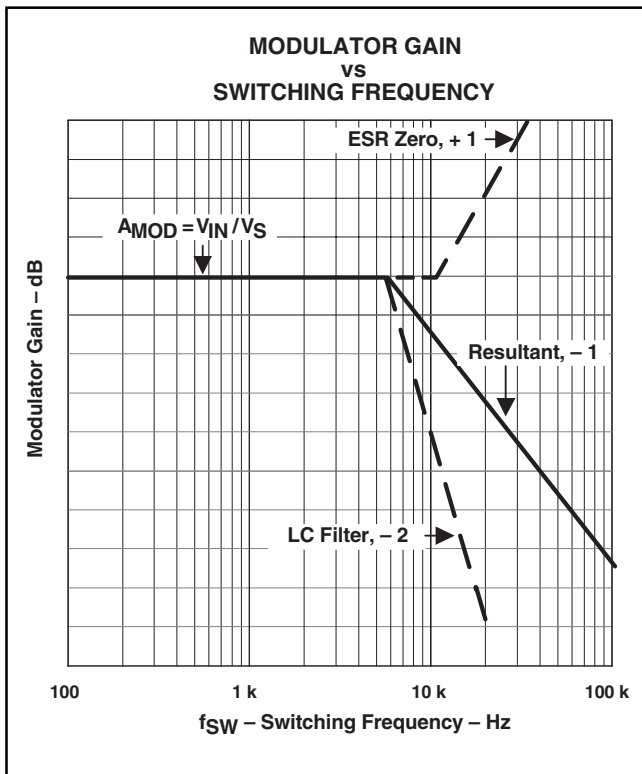


図8.

図9に示されるタイプIIIのトポロジには原点の極に加え2組のゼロ/極があります。タイプIIIのトポロジの利得と位相のブーストを図10に示します。2つのゼロはL-C₀の二重極を補償するのに使われ、位相のブーストを行いません。二重極はESRゼロを補償するのに使われ、利得のロールオフをコントロールします。ほとんどの場合、2番目の極は取り除くことができ、増幅器の利得のロールオフは高周波で総利得をロールオフするのに使用されます。タイプIIIの回路の極とゼロは式(24)で表されます。

$$f_{Z1} = \frac{1}{2\pi \times R2 \times C1} \quad (Hz) \quad f_{Z2} = \frac{1}{2\pi \times R1 \times C3} \quad (Hz) \quad (24)$$

$$f_{P1} = \frac{1}{2\pi \times R2 \times C2} \quad (Hz) \quad f_{P2} = \frac{1}{2\pi \times R3 \times C3} \quad (Hz)$$

単一利得周波数は式(25)で表されます。

$$f_C = \frac{1}{2\pi \times R1 \times C2} \quad (Hz) \quad (25)$$

二重ゼロf_{Z1}, f_{Z2}と二重極f_{P1}, f_{P2}はVenablesのK Factor^[1]により選択され、それは以下のようにになっています。

$$f_{Z1} = f_{Z2} = \frac{f_C}{\sqrt{K}} \quad \text{and} \quad f_{P1} = f_{P2} = f_C \times \sqrt{K} \quad (26)$$

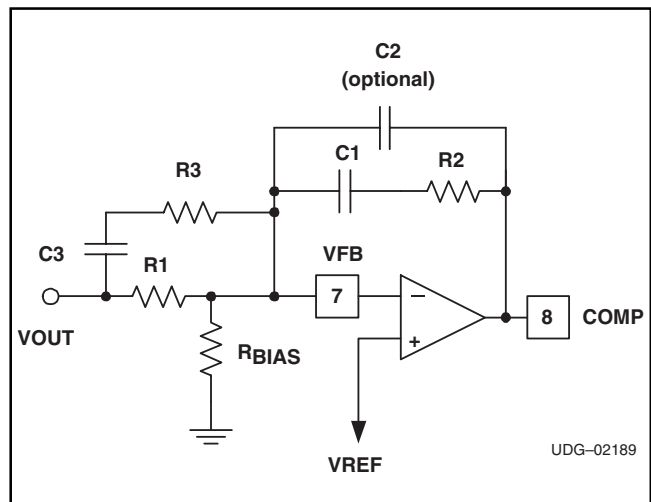


図9. Type III Compensation Configuration

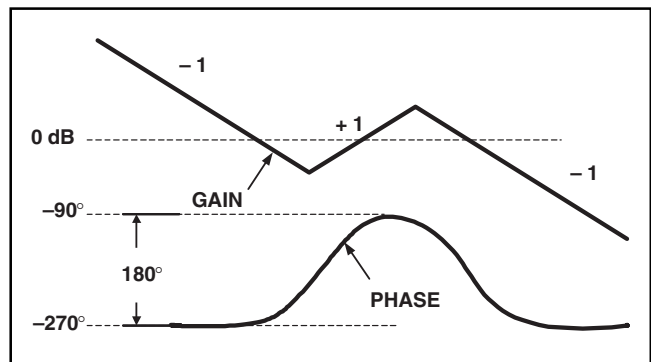


図10. Type III Compensation Gain and Phase

ファクタKを決めるには、単利得周波数 f_c における目標の位相余裕Mと変調器の位相シフトPが分かった後位相のブーストを計算しなければなりません。その上で、 $\text{Boost} = M - P - 90$ で計算します。Pは測定することが最善ですが、一般的な値は $-140^\circ \sim -170^\circ$ の範囲です。よって、Kの値は以下の式で求められます。

$$K = \left(\tan \left(\frac{\text{Boost}}{4} + 45^\circ \right) \right)^2 \quad (27)$$

出力電圧 V_{OUT} を設定するため R_{BIAS} の値を計算します。

$$R_{\text{BIAS}} = \frac{0.7 \times R1}{V_{\text{OUT}} - 0.7} \quad (28)$$

誤差増幅器の最小負荷抵抗

極端に小さいフィードバック抵抗 $R2$ により誤差増幅器の出力の負荷をダウンさせないよう注意が必要です。誤差増幅器には $R2$ の大きさを決める場合に考慮しなければならないある有限の出力ソース/シンク電流があります。過度に小さな値では出力はそのフル・レンジ全体に振れることはできません。

$$R2_{(\text{MIN})} = \frac{V_C (\text{max})}{I_{\text{SOURCE}} (\text{min})} (\Omega) = \frac{3.45 \text{ V}}{2.0 \text{ mA}} = 1.725 \text{ k}\Omega \quad (29)$$

dv/dtにより誘発されるターンオン

MOSFETは特に高電圧(V_{DS})のアプリケーションでdv/dtによるターンオンに影響を受けやすくなっています。ターンオンは C_{GD} と C_{GS} で形成されるキャパシタ・デバイダにより引き起こされます。高いdv/dtとMOSFETのドレイン/ソース間電圧により C_{GD} に電流が流れ、ゲート/ソース間電圧を上昇させます。ゲート/ソース間電圧がMOSFETのスレッシュホールド電圧以上に上昇

すると、MOSFETはオンになり、その結果大きなシュートスルー電流が流れます。従って、同期整流MOSFETは C_{GD} 容量が C_{GS} 容量よりも小さくなるよう選んでください。上側MOSFETのゲートのリードに $2\Omega \sim 5\Omega$ の値の抵抗を入れるとターンオンとSWノードのdv/dtを適合させ、ターンオンが誘発されることを少なくするのに役立ちます。

ハイサイドMOSFETの消費電力

外付けハイサイドMOSFETで消費される電力は導通損失とスイッチング損失より構成されます。導通損失はMOSFETを流れる I_{RMS} 電流とMOSFETの $R_{\text{DS(on)}}$ の関数です。ハイサイドMOSFETの導通損失は式(30)で定義されます。

$$P_{\text{COND}} = (I_{\text{RMS}})^2 \times R_{\text{DS(on)}} \times (1 + TC_R \times [T_J - 25^\circ\text{C}]) \quad (\text{W}) \quad (30)$$

但し、

- TC_R はMOSFET $R_{\text{DS(on)}}$ の温度係数です

TC_R はMOSFET技術と製造メーカーにより変動しますが、一般的には $0.0035\text{ppm}/^\circ\text{C} \sim 0.010\text{ppm}/^\circ\text{C}$ の範囲にあります。

ハイサイドMOSFETの I_{RMS} 電流は以下の式(31)で表されます。

$$I_{\text{RMS}} = I_O \times \sqrt{d} \quad (\text{Amperes}_{\text{RMS}}) \quad (31)$$

ハイサイドMOSFETのスイッチング損失は以下の式(32)で表されます。

$$P_{\text{SW}(f_{\text{sw}})} = V_{\text{IN}} \times \left(\frac{I_{\text{D1}} \times t_{\text{s1}}}{6} + \frac{I_{\text{D2}} \times t_{\text{s2}}}{2} \right) \times f_{\text{SW}} \quad (32)$$

但し、

- I_{D1} と I_{D2} はMOSFETのスイッチング時の電流の大きさです(図11参照)。

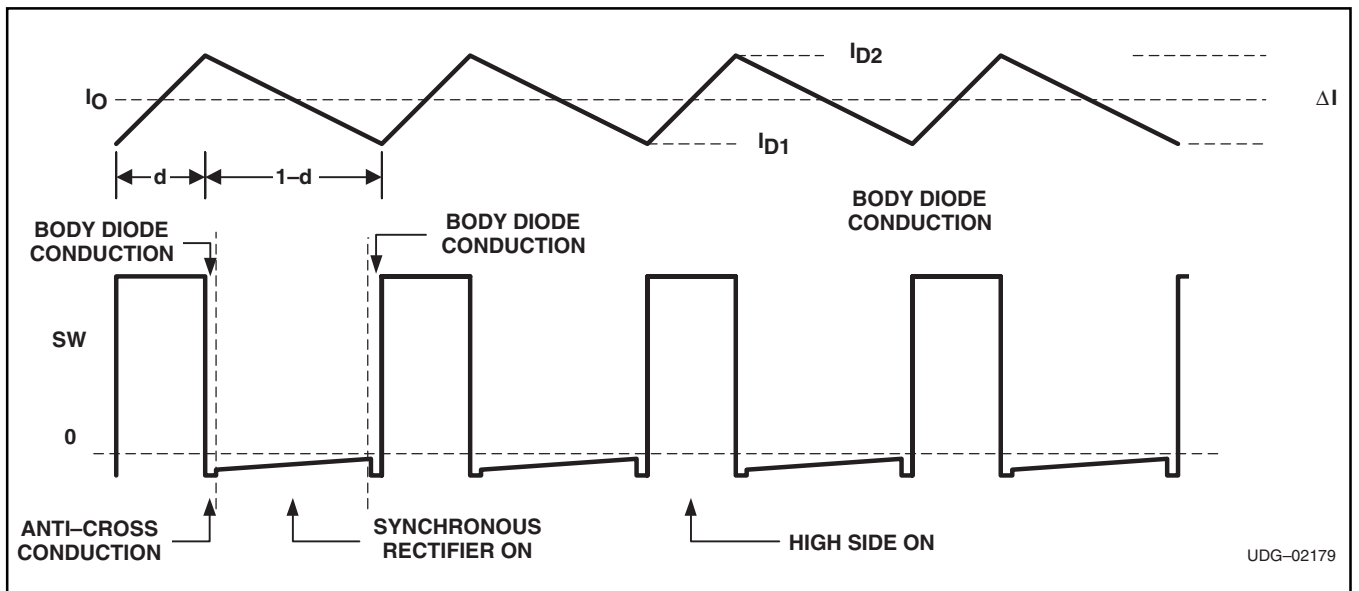


図11. Inductor Current and SW Node Waveforms

I_{D1} と I_{D2} はインダクタ値と負荷電流の関数です。インダクタンス値は通常、標準負荷の約10%から30%が達成されるまでコンバータが連続動作モードにとどまるよう選択されます。インダクタ電流の変化は式(33)で表されます。

$$\Delta I = 2 \times I_{O(\text{dis})} \quad (A) \quad (33)$$

但し、

- $I_{O(\text{dis})}$ はコンバータが不連続動作モードになった時の負荷電流です。

I_{D1} と I_{D2} は以下の式(34)で計算できます。

$$I_{D1} = I_O - \left(\frac{\Delta I}{2}\right) \quad \text{and} \quad I_{D2} = I_O + \left(\frac{\Delta I}{2}\right) \quad (A) \quad (34)$$

但し、

- ΔI はインダクタのリップル電流です(図11参照)

コンバータはDC出力電流がインダクタ・リップル電流の1/2の時不連続モードになります。詳細についてはインダクタ値の選択の節、及び式(11)を参照してください。

過渡時間 t_{s1} と t_{s2} は選択した外付けMOSFETの関数です。MOSFETの許容最大消費電力は以下の式で決まります。

$$P_T = \frac{(T_J - T_A)}{\theta_{JA}} \quad (W) \quad (35)$$

ここで、

$$P_T = P_{\text{COND}} + P_{\text{SW}(f_{\text{sw}})} \quad (W) \quad (36)$$

また、 θ_{JA} はパッケージの熱抵抗です。

同期整流MOSFETの消費電力

同期整流MOSFETで消費される電力は、 $R_{DS(\text{on})}$ の導通損失、ボディ・ダイオードの導通損失、逆回復損失の3つの要素より構成されています。 $R_{DS(\text{on})}$ の導通損失は式(30)を使って求めることができ、同期整流MOSFETを流れるRMS電流は以下の式(37)で表されます。

$$I_{\text{RMS}} = I_O \times \sqrt{1-d} \quad (A_{\text{RMS}}) \quad (37)$$

ボディ・ダイオードの導通損失はアンチ・クロス導通の遅延時間にボディ・ダイオードが順方向に導通することが原因です。ボディ・ダイオードの導通損失は以下の式(38)で表されます。

$$P_{\text{DC}} = I_O \times V_F \times t_{\text{DELAY}} \times f_{\text{SW}} \quad (W) \quad (38)$$

但し、

- V_F はボディ・ダイオードの順方向電圧です
- t_{DELAY} はスイッチング周期ごとの総遅延時間です

逆回復損失はボディ・ダイオードが順方向のバイアスから逆遮断状態への回復に要する時間が原因で生じます。逆回復損失は以下の式(39)で表されます。

$$P_{\text{RR}} = 0.5 \times Q_{\text{RR}} \times V_{\text{IN}} \times f_{\text{SW}} \quad (W) \quad (39)$$

但し、

- Q_{RR} はボディ・ダイオードの逆回復電荷です
- 同期整流MOSFETの総消費電力は以下の式(40)で表されます。

$$P_{\text{SR}} = P_{\text{DC}} + P_{\text{RR}} + P_{\text{COND}} \quad (W) \quad (40)$$

TPS40060/TPS40061の消費電力

TPS40060とTPS40061の消費電力はMOSFETドライバ電流と入力電圧に大きく依存します。ドライバ電流は外付けMOSFETの総ゲート電荷 Q_g に比例します。外付けのゲート抵抗を無視すると(参考資料[2]参照)ドライバの電力は式(41)で計算できます。

$$P_D = Q_g \times V_{\text{DR}} \times f_{\text{SW}} \quad (W) \quad (41)$$

そして、デバイスの総消費電力は、ハイサイドと同期整流器の両方が類似したゲート電荷をもつMOSFETであるとする、以下の式(42)で表されます。

$$P_T = \left(\frac{2 \times P_D}{V_{\text{DR}}} + I_Q\right) \times V_{\text{IN}} \quad (W) \quad (42)$$

または、

$$P_T = \left[(2 \times Q_g \times f_{\text{SW}}) + I_Q \right] \times V_{\text{IN}} \quad (W) \quad (43)$$

但し、

- I_Q は静止時の動作電流です(ドライバは無視)

PowerPAD™パッケージデバイスがもつ最大の電力能力はエア・フローと同様にレイアウトにも依存します。接合部から外気への熱抵抗は、2オンスの銅配線、サーマル・パッドがはんだ付け、エア・フローなしとすると以下の値になります。

$$\theta_{JA} = 36.51^\circ\text{C/W}$$

パッケージの許容最大消費電力は式(35)により周囲温度に関係します。式(35)を式(43)に代入して、 f_{SW} について解くとTPS40060とTPS40061の最大動作周波数が求められます。その結果は以下の式(44)で表されます。

$$f_{\text{SW}} = \frac{\left(\left[\frac{(T_J - T_A)}{(\theta_{JA} \times V_{\text{DD}})} \right] - I_Q \right)}{(2 \times Q_g)} \quad (\text{Hz}) \quad (44)$$

レイアウトについての考察

PowerPAD™パッケージ

PowerPAD™パッケージはデバイスから熱を取り除くため低い熱抵抗を提供します。PowerPAD™はその名前の由来のとおりデバイスの底面の大きな接合用パッドにより熱抵抗が低くなります。最良の熱特性を得るには、回路ボードにはパッケージの真下にはんだ/スズめっき/銅の領域があることが必要です。この領域の大きさはPowerPAD™パッケージの寸法により決まります。16ピンのTSSOP(PWP)パッケージではこの領域は5 mm x 3.4 mm[3]です。

放熱用ビアは、この領域を内部または外部の銅のプレーンに接続し、また、そのビア穴はビア・パレルが銅めっきされる場合効率よく埋まるよう十分に小さな直径にしておきます。この埋め栓は、はんだリフロー時パッケージ本体とデバイスの下のはんだ/スズめっき領域との接触面からはんだが逃げるのを防ぐために必要です。1オンスの銅がボード表面にめっきされ、同時にビア・パレルをめっきした場合、ビアの直径は0.33mm(13ミル)が適切です。銅めっきされる場合に放熱用ビアを埋めなければ、最小が

0.1mmであるビア直径に等しい直径のはんだマスク材を使ってビアに蓋をしてください。この蓋により、はんだが放熱用ビアの中を通過して逃げ、可能性として起こりうるパッケージの下にはんだのボイドができることが防止されます。PowerPAD™パッケージの詳細な情報についてはPowerPAD™ Thermally Enhanced Package^[3]を参照してください。

MOSFETのパッケージ

MOSFETのパッケージの選択はMOSFETの消費電力と予測される動作条件によります。一般的に、表面実装のアプリケーションでは、DPAK型のパッケージが熱抵抗(θ_{JA})が最小にできるため、消費電力の能力が最大になります。しかし、DPAKの有効性は適切にレイアウトすることと熱管理にかかっています。MOSFETのデータシートに規定されている θ_{JA} は所定の銅面積と厚さを基準にしています。ほとんどの場合、40°C/Wの最小熱抵抗を達成するにはG-10/FR4ボード上で1平方インチあたり2オンスの銅が必要です。ボード面積を犠牲にすると熱抵抗を低くすることができます。実装を適切に行なうことについての詳細な情報は選択するMOSFETのデータシートを参照してください。

グラウンドと回路のレイアウトについての考察

このデバイスには信号グラウンド(SGND)ピンと電源グラウンド(PGND)ピンが別々に用意されています。回路のグラウンドは適切に分離されていることが重要です。各グラウンドは、そのインピーダンスを最小限に抑えるため、できればプレーンで構成してください。出力、同期整流器、MOSFETドライバのデカップリング・キャパシタ(BP10)、入力キャパシタなどの高電力でノイズの多い回路は入力キャパシタ点でPGNDのプレーンに接続してください。

FB抵抗デバイダ、 R_T 、ILIMなどのノイズに敏感なノードはSGNDのプレーンに接続してください。SGNDのプレーンはPGNDのプレーンに一点のみで接続するようにしてください。

部品の配置はできるだけバイパス・キャパシタ(BP10, BP5, BPN10)がそれぞれの電源ピン及びグラウンド・ピンの近くに配置されるようにします。また、FB, R_T , ILIMなどのノイズに敏感な回路は、HDRV, LDRV, BPN10, スイッチ・ノード(SW)などの高いdv/dtのノードの近くに置かないようにしてください。

設計例

- 入力電圧: 18V_{DC}~55V_{DC}
- 出力電圧: 3.3V ±2%
- 出力電流: 5A(最大、定常状態時)、7A(サージ、持続時間10ms、最大デューティ・サイクル10%)
- 出力リップル電圧: 33mV_{p,p}(5A時)
- 出力負荷応答: 0.3V(ステップ負荷変化10%~90%)
- 動作温度: -40°C~85°C
- $f_{SW} = 300\text{kHz}$

1. 最大/最小デューティ・サイクルの計算

$$d_{\text{MIN}} = \frac{V_{O(\text{min})}}{V_{IN(\text{max})}} = 0.0588 \quad d_{\text{MAX}} = \frac{V_{O(\text{max})}}{V_{IN(\text{min})}} = 0.187 \quad (45)$$

2. ΔIの選択

この場合、ΔIはコンバータが標準負荷の20%で不連続モードになるよう選択します。

$$\Delta I = I_O \times 2 \times 0.2 = 2.0 \text{ A} \quad (46)$$

3. 48V入力時のハイサイドMOSFET (Si9407AEY)の電力損失の計算

$$d_{48V} = \frac{V_O}{V_{IN}} = 0.069 \quad (47)$$

式(31)より、

$$I_{\text{RMS}} = I_O \times \sqrt{d} = 5 \times \sqrt{0.069} = 1.31 \text{ A} \quad (48)$$

式(48)を式(30)に代入して、

$$P_{\text{COND}} = I_{\text{RMS}}^2 \times R_{\text{DS(on)}} \times (1 + T_{\text{CR}} \times [T_J - 25^\circ\text{C}]) \quad (49)$$

$$= 1.31^2 \times 0.12 \times (1 + 0.007 \times (150 - 25)) = 0.386 \text{ W}$$

式(34)より、

$$I_{D1} = I_O - \frac{\Delta I}{2} = 5 - 1.0 = 4.0 \text{ A} \quad (50)$$

$$I_{D2} = I_O + \frac{\Delta I}{2} = 5 + 1.0 = 6.0 \text{ A}$$

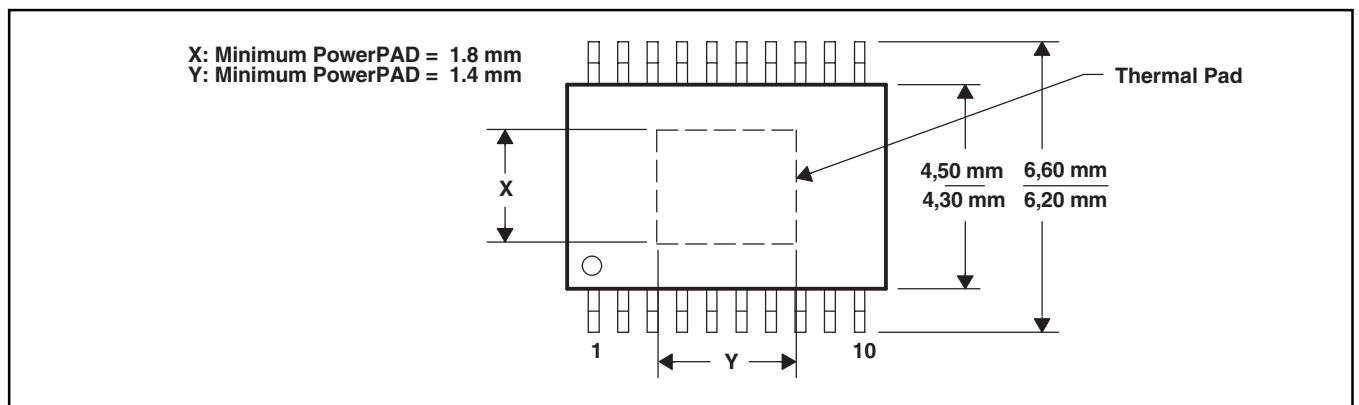


図12. PowerPAD™ Dimensions

t_{S1} (立上がり時間)と t_{S2} (立下り時間)はMOSFETのデータシートのゲート電荷特性グラフより概算されます。

Q2-Q1をゲート電圧がそのプラトー電圧(V_{PLT})まで増加するのに要する電荷に等しいとします。この期間での等価入力容量は、

$$C_{IN} = \frac{dQ}{dV} = \frac{5 \text{ nC}}{4.5 \text{ V}} = 1111 \text{ pF} \quad (51)$$

等価容量を充電するのに要する時間は、

$$4.5 = 10 - (10 - 2) \times e\left(\frac{-t}{R \times C}\right) \quad (52)$$

但し、Rは実効ゲート駆動抵抗で 10Ω です。

$$t_1 = -10 \times 1111 \text{ pF} \times \ln\left(\frac{5.5}{8}\right) = 4.2 \text{ ns} \quad (53)$$

ドレイン/ソース間電圧 V_{DS} が降下するのにかかる時間はデータシートで計算します。この時間では、電荷の変化は V_{GS} がミラー充電電圧 3.1 V で一定の时起こります。

$$\Delta Q = Q3 - Q2 = 2 \text{ nC} \quad (54)$$

この期間では V_{GS} は一定に保たれています。従って、MOSFETのゲート駆動は以下の電流をもつ一定の電流ソースのようにみえます。

$$I_{DRV} = \frac{V_{DRV} - V_{GS}}{R_{DRV}} = \frac{8 - 3.1}{10} = 490 \text{ mA} \quad (55)$$

ここで V_{DS} が降下するのにかかる時間を計算することができます。

$$t_2 = \frac{\Delta Q}{I_{DRV}} = \frac{2.0 \text{ nC}}{0.490 \text{ A}} = 4.1 \text{ ns} \quad (56)$$

総立上がり時間は、

$$t_{S1} = t_R = t_1 + t_2 = 4.2 \text{ ns} + 4.1 \text{ ns} = 8.3 \text{ ns} \quad (57)$$

同様に立下り時間も以下のように求めることができます。

$$t_3 = (Q3 - Q2) \times \frac{R_{DRV}}{V_{PLT}} = 2.0 \text{ nC} \times \frac{7.5 \Omega}{3.1 \text{ V}} = 4.8 \text{ ns} \quad (58)$$

$$t_4 = -R_{DRV} \times C_{IN} \times \ln\left(\frac{3.1}{8}\right) = 8.0 \text{ ns} \quad (59)$$

総立下り時間は、

$$t_{S2} = t_F = t_3 + t_4 = 4.8 \text{ ns} + 8 \text{ ns} = 12.8 \text{ ns} \quad (60)$$

t_{S1} , t_{S2} , I_{D1} , I_{D2} を式(32)に代入すると、

$$P_{SW}(f_{SW}) = 48 \times \left(\frac{8.3 \text{ ns} \times 4.0}{6} + \frac{12.6 \text{ ns} \times 6.0}{2} \right) \times 300 \text{ kHz} \\ = 477 \text{ mW} \quad (61)$$

式(35)を並び替えて式(36)を代入するとMOSFETの接合部温度が求められます。

$$T_J = (P_{COND} + P_{SW}) \times \theta_{JA} + T_A$$

4. 同期整流器の損失の計算

同期整流MOSFETには、導通損失、ダイオード逆回復損失の2つの損失要素があります。導通損失はアンチクロス導通遅延に伴うデッドタイム時のボディ・ダイオードの導通損失に加え I_{RMS} 損失にも起因します。

式(37)より同期整流器を流れる I_{RMS} 電流は、

$$I_{RMS} = I_O \times \sqrt{1-d} = 5 \times \sqrt{1-0.069} = 4.82 \text{ A}_{RMS} \quad (62)$$

式(30)より同期MOSFETの導通損失は、

$$P_{COND} = I_{RMS}^2 \times R_{DS(on)} \times (1 + T_{CR} \times [T_J - 25^\circ\text{C}]) \\ = 4.82^2 \times 0.011 \times (1 + 0.007(150 - 25)) = 0.48 \text{ W} \quad (63)$$

式(38)よりボディ・ダイオードの導通損失は、

$$P_{DC} = I_O \times V_{FD} \times t_{DELAY} \times f_{SW} \\ = 5.0 \times 0.8 \times 100 \text{ ns} \times 300 \text{ kHz} = 0.120 \text{ W} \quad (64)$$

式(39)よりボディ・ダイオードの逆回復損失は、

$$P_{RR} = 0.5 \times Q_{RR} \times V_{DD} \times f_{SW} \\ = 0.5 \times 30 \text{ nC} \times 48 \times 300 \text{ kHz} = 0.216 \text{ W} \quad (65)$$

式(40)より同期整流MOSFETで消費される総電力は、

$$P_{SR} = P_{RR} + P_{COND} + P_{DC} \\ = 0.216 + 0.48 + 0.12 = 0.816 \text{ W} \quad (66)$$

同期整流器の接合部温度は、

$$T_J = P_{SR} \times \theta_{JA} + T_A = (0.816) \times 40 + 85 = 118^\circ\text{C} \quad (67)$$

標準的なアプリケーションでは、同期整流MOSFETをショットキー・ダイオードと並列にするとボディ・ダイオードの導通期間と逆回復期間で消費電力が小さくなるためコンバータの総効率が約2%上昇します。

5. インダクタ値の計算

インダクタ値は式(11)より計算されます。

$$L = \frac{(48 - 3.3) \times 3.3}{48 \times 1.0 \times 300 \text{ kHz}} = 10.2 \mu\text{H} \quad (68)$$

$10 \mu\text{H}$ の標準インダクタ値を選択します。

6. スイッチング周波数の設定

クロック周波数はRTピンからグランドへの抵抗(R_T)により設定されます。 R_T の値は f_{SW} (単位はkHz)を用い以下の式より求めることができます。

$$R_T = \left(\frac{1}{f_{SW} \times 17.82 \text{ E} - 06} - 23 \right) \text{ k}\Omega = 164 \text{ k}\Omega, \text{ use } 165 \text{ k}\Omega \quad (69)$$

7. ランプ・ジェネレータ回路のプログラミング

PWM ランプはKFFピンから V_{IN} への抵抗(R_{KFF})によりプログラムされます。また、ランプ・ジェネレータは入力UVLO電圧もコントロールします。低電圧レベルが14.4V(18Vの $V_{IN(min)}$ の20%ダウン)の場合、 R_{KFF} は以下の式より計算することができます。

$$R_{KFF} = (V_{IN(min)} - 3.5) (65.27 \times R_T + 1502) \Omega$$

$$= 133.7 \text{ k}\Omega, \text{ use } 133 \text{ k}\Omega \quad (70)$$

8. 出力容量(C_O)の計算

この例では、出力容量は1Aから5Aへのステップ負荷で $\Delta V = 0.3V$ という負荷応答要件により決まります。 C_O は式(17)を使って求められます。

$$C_O = \frac{10 \mu\text{H} \times (5^2 - 1^2)}{(3.3^2 - 3.0^2)} = 127 \mu\text{F} \quad (71)$$

式(12)を使用して、出力リップルの要件に適合するのに必要なESRを計算することができます。

$$33 \text{ mV} = 2.0 \left(\text{ESR} + \frac{1}{8 \times 127 \mu\text{F} \times 300 \text{ kHz}} \right) \quad (72)$$

$$\text{ESR} = 14.9 \text{ m}\Omega$$

必要とされるESRを得るには、上記計算結果の127 μF より大きな容量が必要です。例えば、ESRが12m Ω で180 μF のPanasonicのSPキャパシタを1つ使用します。この新しい値180 μF により必要とされるESRの再計算を式(73)に示します。

$$33 \text{ mV} = 2.0 \left(\text{ESR} + \frac{1}{8 \times 180 \mu\text{F} \times 300 \text{ kHz}} \right) \quad (73)$$

$$\text{ESR} = 16.5 \text{ m}\Omega$$

9. ソフトスタート・キャパシタ(C_{SS})の計算

この設計では、ソフトスタート時間(t_{START})は1msが要求されています。 C_{SS} は以下の式で計算することができます。

$$C_{SS} = \frac{2.3 \mu\text{A}}{0.7 \text{ V}} \times 1 \text{ ms} = 3.28 \text{ nF} = 3300 \text{ pF} \quad (74)$$

10. 電流制限抵抗(R_{ILIM})の計算

電流制限の設定点は、式(7)に示されるように、 t_{START} 、 V_O 、 C_O 、起動時の I_{LOAD} により決まります。

$$I_{LIM} > \frac{180 \mu\text{F} \times 3.3}{1 \text{ m}} + 7.0 = 7.6 \text{ A} \quad (75)$$

この設計では、 I_{LIM} は最小10.0Aに設定します。式(8)より、

$$R_{ILIM} = \frac{10 \times 0.14}{1.12 \times 10.0 \mu\text{A}} + \frac{V_{OS}}{I_{SINK}} \Omega$$

$$= \frac{10 \times 0.14}{1.12 \times 10.0 \mu\text{A}} + \frac{(-60 \text{ mV})}{10 \text{ mA}} \Omega \quad (76)$$

$$= 119 \text{ k}\Omega = 118 \text{ k}\Omega$$

11. ループ補償値の計算

式(20)より電圧フィードフォワード定数(K)を計算します。

$$A_{MOD} = \frac{10}{2} = 5 \quad (77)$$

$$A_{MOD(dB)} = 20 \times \log(5.0) = 14 \text{ dB} \quad (78)$$

L-Cフィルタの式(21)と式(22)より出力の極とゼロを計算します。

$$f_{LC} = \frac{1}{2\pi \sqrt{10 \mu\text{H} \times 180 \mu\text{F}}} = 3.7 \text{ kHz} \quad (79)$$

及び、

$$f_Z = \frac{1}{2\pi \times 0.012 \times 180 \mu\text{F}} = 74 \text{ kHz} \quad (80)$$

閉ループの0dBクロスオーバー周波数 f_C を選択します。この例では $f_C = 20 \text{ kHz}$ です。

タイプIIIの補償回路の二重ゼロの位置を選択します。参考資料[1]により極/ゼロの配置位置はクロスオーバーで必要とされる位相ブーストにより決まります。この例では位相余裕 60° が望ましい値です。この例で要求される位相ブーストは、

$$\text{Boost} = M - P - 90^\circ = 60^\circ - (-145^\circ) - 90^\circ = 115^\circ \quad (81)$$

但し、

- Mは望ましい位相余裕
- Pは変調器の位相シフト(この例では -145°)

$$K = \left(\tan \left[\frac{115^\circ}{4} + 45^\circ \right] \right)^2 \approx 11.77 \text{ and } \sqrt{K} = 3.43 \quad (82)$$

従って、

$$f_{P1} = f_{P2} = \sqrt{K} \times 20 \text{ kHz} = 69 \text{ kHz}$$

$$\text{and } f_{Z1} = f_{Z2} = \frac{1}{\sqrt{K}} \times 20 \text{ kHz} = 5.8 \text{ kHz}$$

参考資料[1]に従い、二重ゼロは5.8 kHz付近に置かれ、二重極は69 kHzに置かれます。式(24)、式(25)、式(28)より図9の部品値について解きます。 $R1 = 100 \text{ k}\Omega$ を選択します。

$$C_3 = \frac{1}{2\pi \times 100 \text{ k}\Omega \times 5.8 \text{ kHz}} = 274 \text{ p} \approx 270 \text{ pF, from } f_{Z2} \quad (83)$$

$$R_3 = \frac{1}{2\pi \times 270 \text{ pF} \times 69 \text{ kHz}} = 8.54 \text{ k}\Omega \approx 8.45 \text{ k}\Omega, \text{ from } f_{P2} \quad (84)$$

$$C_2 = \frac{1}{2\pi \times 100 \text{ k}\Omega \times 20 \text{ kHz}} = 79.6 \text{ pF, from } f_C \approx 82 \text{ pF} \quad (85)$$

$$R_2 = \frac{1}{2\pi \times 82 \text{ pF} \times 69 \text{ kHz}} = 28.1 \text{ k}\Omega, \text{ from } f_{P1} \approx 28 \text{ k}\Omega \quad (86)$$

$$C_1 = \frac{1}{2\pi \times 28 \text{ k}\Omega \times 5.8 \text{ kHz}} = 980 \text{ pF} \approx 1000 \text{ pF, from } f_{Z1} \quad (87)$$

$$R_{BIAS} = \frac{0.7 \times 100 \text{ k}\Omega}{3.3 - 0.7} = 26.9 \text{ k}\Omega \approx 26.7 \text{ k}\Omega \quad (88)$$

ゲート駆動の構成

Si4470のもつ高速のMOSFETスイッチング時間、高い V_{DS} 電圧、低いゲート・スレッシュホールドから dv/dt によりターンオンが誘発される可能性があるため、この設計では上側MOSFETのゲート・リードに 2Ω の抵抗が含まれています。この抵抗はスイッチ・ノードの“L”レベルから“H”レベルへの遷移を成形するのに使用することができ、 dv/dt によるターンオンを誘発しにくくします。

BPN10及びBP10Vバイパス容量の計算

バイパス・キャパシタの大きさは、使用されているMOSFETの総ゲート電荷とバイパス・キャパシタに許容されるドループ量により決まります。BPN10ピンで $0.5V$ の電圧ドループが許容されるとすると、BPN10容量は式(9)より、以下の式(89)で求められます。

$$C_{BPN10} = \frac{Q_g}{\Delta V} = \frac{30 \text{ nC}}{0.5} = 60 \text{ nF} \quad (89)$$

また、BP10V容量は式(10)より以下の式(90)で求められます。

$$C_{BP10X} = \frac{Q_{gSR}}{\Delta V} = \frac{57 \text{ nC}}{0.5} = 114 \text{ nF} \quad (90)$$

このアプリケーションでは、BPN10Vバイパス・キャパシタには $0.1\mu F$ のキャパシタ、BP10Vには $1.0\mu F$ のキャパシタが使用されます。図13に、この設計例で規定されている出力電流 $5A$ 、入力電圧 $18V \sim 55V$ /出力電圧 $3.3V$ のDC/DCコンバータについて選択した部品を示します。

REFERENCES

1. Venable, H. Dean, *The K Factor: A New Mathematical Tool for Stability Analysis and Synthesis* Proceedings of Powercon 10, pp A5-1 through A5-12
2. Balogh, Laszlo, *Design and Application Guide for High Speed MOSFET Gate Drive Circuits*, Texas Instruments/Unitrode Corporation, Power Supply Design Seminar, SEM-1400 Topic 2.
3. *PowerPAD™ Thermally Enhanced Package* Texas Instruments, Semiconductor Group, Technical Brief: TI Literature No. SLMA002

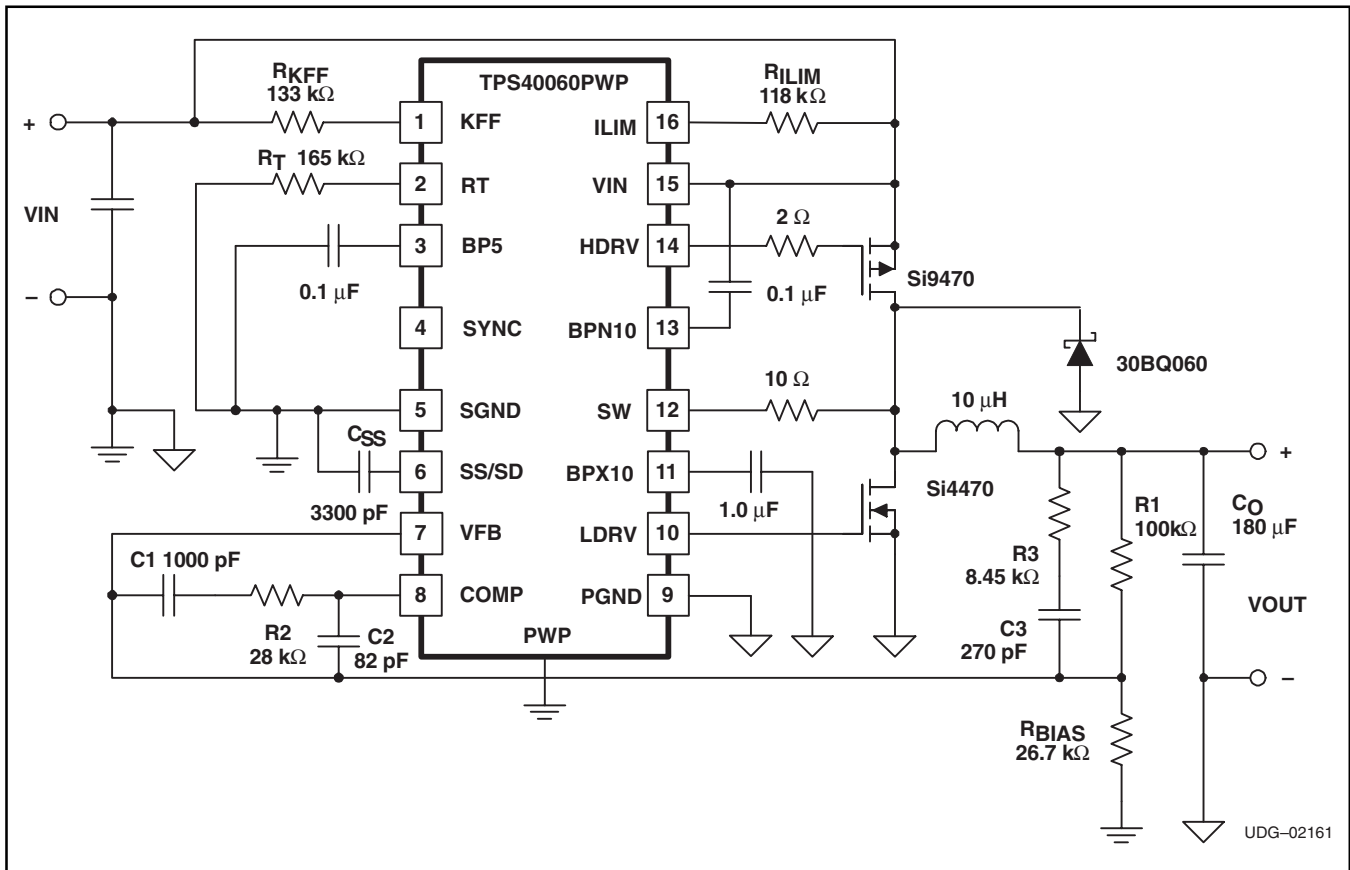


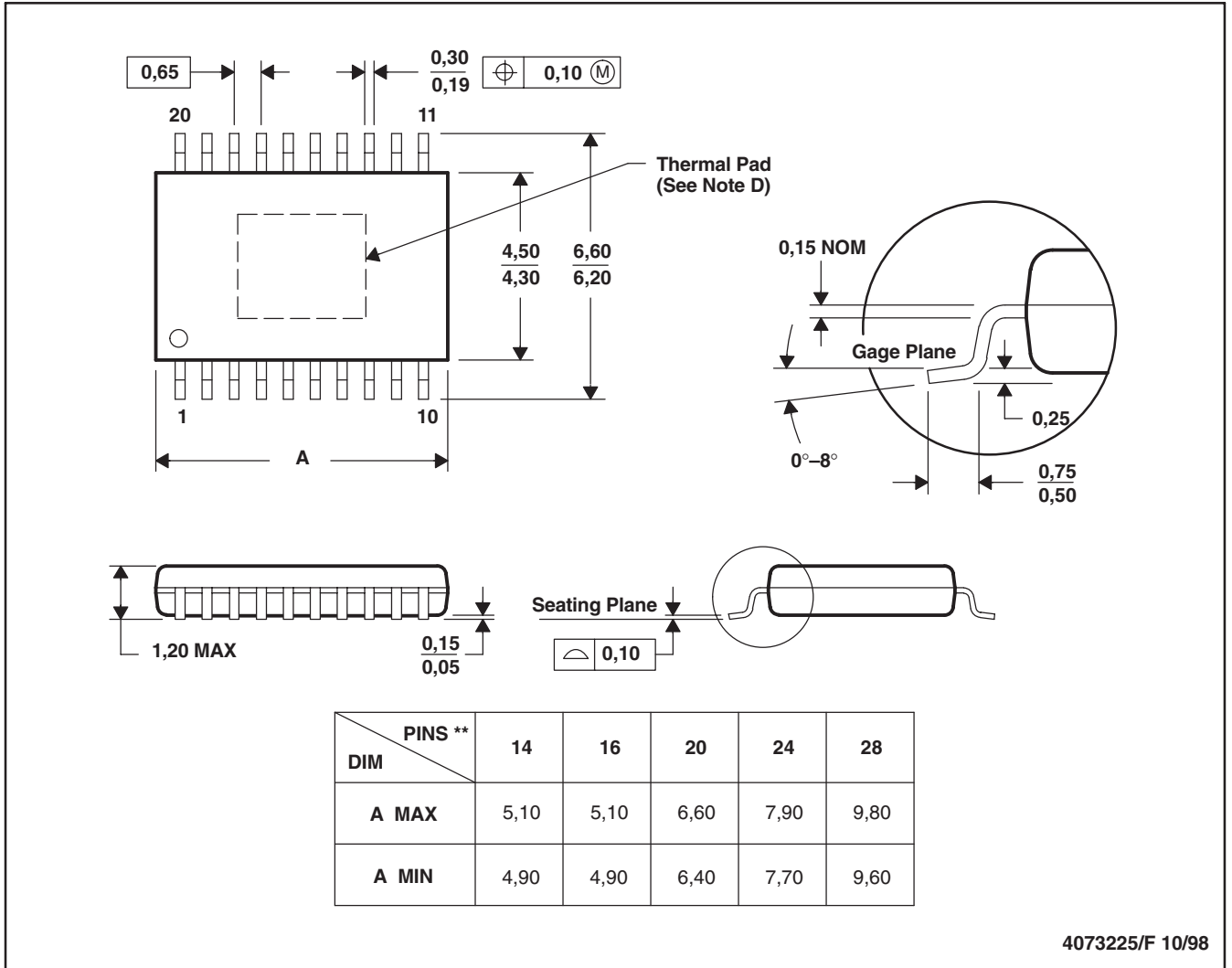
図13. Design Example, 48 V to 3.3 V at 5 A dc-to-dc Converter

外観

PWP (R-PDSO-G**)

20 PINS SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE



注：A. 全ての線寸法の単位はミリメートルです。

B. 図は予告なく変更することがあります。

C. ボディ寸法はモールド突起部を含みません。

D. パッケージの熱特性はサーマル・パッドを外部のサーマル・プレーンに接合することで改善されることがあります。

このパッドはダイの裏側と一部のリードに電気的にかつ熱的に接続されています。

E. JEDEC MO-153に準拠します。

4073225/F 10/98

ご注意

日本テキサス・インスツルメンツ株式会社及びTexas Instruments Incorporated (以下TIといいます)は、TI所定の手続きに従い、あるいはお客様とTIとの間に取引契約が締結されている場合は当該契約条件に従い、その製品を変更し、もしくは製品の製造中止またはサービスの提供を中止することがありますので、お客様は、発注される前に、これから参照しようとする情報が最新かつ完全なものであることを確かなものとするため、最新版の情報を取得するようお勧めします。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また取引契約が締結されていない場合は、ご注文の受諾の際に提示される保証、特許侵害、責任制限に関する条項を含むTIの標準販売契約約款に従って販売されます。

TIは、その製品が、TIの標準保証条件に従い販売時の仕様書に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様書に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TI製部品を使用しているお客様の製品についてはお客様が責任を負っています。

そのようなお客様の製品について想定されうる危険を最小のものとするため、製品固有の障害発生要因もしくは組み合わせによる障害発生要因を減らすための、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、製品の使用用途に関する支援もしくはお客様の製品の設計について責任を負うことはありません。TIは、その製品もしくはサービスが使用される、もしくは使用されている組み合わせ、機械装置、もしくは方法をカバーしている、もしくはそれ等に関連している特許権、著作権、回路配置利用権、その他の知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表示もしておりません。TIが第三者の製品もしくはサービスについて情報を提供しているということは、TIが当該製品もしくはサービスを承認、ライセンス、保証もしくは支持することを意味しません。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加え、あるいはその一部のみ、表示もしくは複製することは当該情報に係るTI製品もしくはサービスに対して提供された全ての保証を無効にし、かつ不公正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他と異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2003, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上