

低入力 電圧モード 同期整流式バック・コントローラ

特長

- 動作入力電圧：2.25V～5.5V
- 最小出力電圧0.7V
- 0.7V、誤差1%の内部基準電圧
- Predictive Gate Drive™を用いたNチャネルMOSFETドライバ駆動による効率化
- 外部から調整可能なソフトスタート及び過電流制限
- 300kHzまたは600kHzの固定周波数動作、電圧モード・コントロール
- ソース電流のみ、またはソース/シンク電流
- 10ピンMSOP PowerPAD™パッケージによる高性能化
- プリ・バイアス・スタート用バージョン
- サーマル・シャットダウン機能
- ブーストラップ・ダイオード内蔵

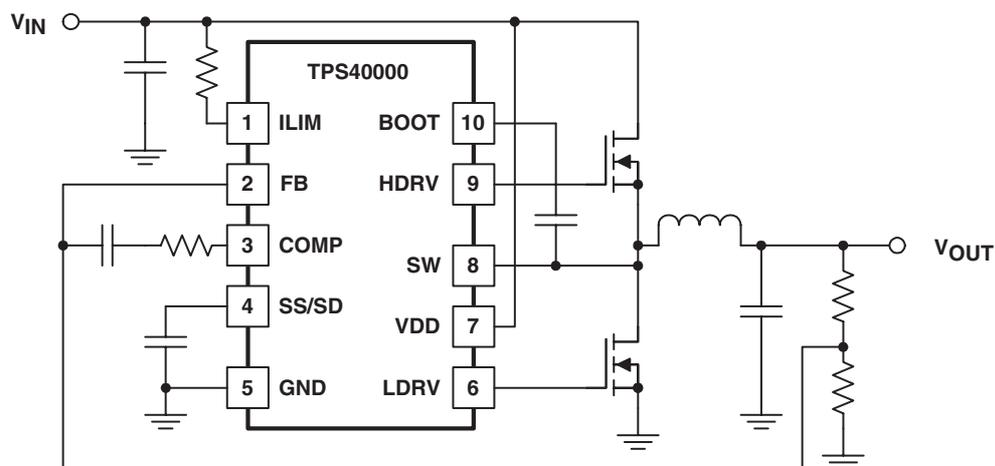
アプリケーション

- ネットワーク機器装置
- テレコム機器
- 基地局
- サーバー
- DSP電源
- 電源モジュール

概要

TPS4000xは、低電圧で非絶縁型同期整流式バック・レギュレータ用コントローラです。このコントローラ・ファミリは一次側バック・スイッチ用にハイサイドN型MOSFETを用います。ハイサイドNチャネルは完全にオンになるようブートストラップ回路が必要ですが、N型デバイスは与えられたデバイスのサイズやゲート電荷に対しオン抵抗が低いということはその余分な複雑さを補って余りあります。このデバイスはTIが所有権をもつ Predictive Gate Drive™技術を用いて同期整流器のダイオード損失(導通及び回復の両方)を最小限に抑えるという方法でメイン・スイッチのオフから整流器のターンオン及び整流器のターンオフからメイン・スイッチのターンオンまでの遅延をコントロールし

SIMPLIFIED APPLICATION DIAGRAM



UDG 01141

SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

ます。この損失を低減することは大きな意義があります、つまり、コンバータのあるパワー・レベルにおいて、小さなFETが使用できるようになり、あるいは、放熱板の使用を削減または除去することさえもできます。

電流制限のスレッシュホールドは1つの抵抗を接続することで調整することができます。TPS4000xコントローラは閉ループのソフトスタート機能をもっています。起動時のランプ時間はSS/SDピンに接続される1つの外付けキャパシタにより設定されます。また、SS/SDピンはシャットダウンにも使用されます。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ORDERING INFORMATION

T _A	FREQUENCY	PACKAGED DEVICES MSOP ⁽²⁾ (DGQ)		
		APPLICATION		
		SOURCE ONLY	SOURCE/SINK WITH PREBIAS ⁽³⁾	SOURCE/SINK (3)
-40 °C to 85 °C	300 kHz	TPS4000DGQ	TPS40001DGQ	TPS40004DGQ
	600 kHz	TPS40002DGQ	TPS40003DGQ	TPS40005DGQ

(2) DGQパッケージはテープ/リールでも供給できます。デバイス・タイプの末尾にRを付けてください(すなわち、TPS4000DGQR)。発注数量単位はリールあたり2500個、チューブあたり80個です。

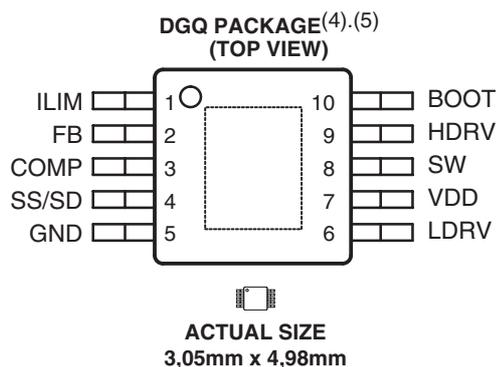
(3) アプリケーション情報を参照してください。

ABSOLUTE MAXIMUM RATINGS

特に記述のない限り、動作周囲温度⁽¹⁾

	TPS4000x	UNIT
Input voltage range, V _{IN}	BOOT	V _{SW} + 6
	COMP, FB, ILIM, SS/SD	-0.3 to 6
	SW	-0.7 to 10.5
	SW _T (SW transient < 50 ns)	-2.5
	VDD	6
Operating junction temperature range, T _J	-40 to 150	°C
Storage temperature, T _{stg}	-55 to 150	
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260	

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。



(4) PowerPADパッケージのPCBガイドラインについてはTIテクニカル・ブリーフ(文献番号SLMA002)を参照してください。

(5) PowerPAD™のヒート・スラグはGND(5ピン)に接続することができます。

ELECTRICAL CHARACTERISTICS

over recommended operating temperature range, $T_A = -40\text{ }^\circ\text{C}$ to $85\text{ }^\circ\text{C}$, $V_{DD} = 5.0\text{ V}$, all parameters measured at zero power dissipation (unless otherwise noted)

input supply

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{DD}	Input voltage range		2.25		5.5	V
V_{HGATE}	High-side gate voltage	$V_{BOOT} - V_{SW}$			5.5	
I_{DD}	Shutdown current	$SS/SD = 0\text{ V}$, Outputs off		0.25	0.45	mA
	Quiescent current	$FB = 0.8\text{ V}$		1.4	2.0	
	Switching current	No load at HDRV/LDRV		1.5	4.0	
UVLO	Minimum on-voltage		1.95	2.05	2.15	V
	Hysteresis		80	140	200	mV

oscillator

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{OSC}	Oscillator frequency	$2.25\text{ V} \leq V_{DD} \leq 5.00\text{ V}$	250	300	350	kHz
			500	600	700	
V_{RAMP}	Ramp voltage	$V_{PEAK} - V_{VALLEY}$	0.80	0.93	1.07	V
	Ramp valley voltage		0.24	0.31	0.41	

PWM

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
Maximum duty cycle ⁽²⁾	TPS40000 TPS40001 TPS40004	$FB = 0\text{ V}$, $V_{DD} = 3.3\text{ V}$	87%	94%	97%	
	TPS40002 TPS40003 TPS40005		83%	93%	97%	
Minimum duty cycle					0%	

error amplifier

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{FB}	FB input voltage	Line, Temperature	0.689	0.700	0.711	V
		$T_A = 25\text{ }^\circ\text{C}$	0.693	0.700	0.707	
FB input bias current				30	130	nA
V_{OH}	High-level output voltage	$FB = 0\text{ V}$, $I_{OH} = 0.5\text{ mA}$	2.0	2.5		V
V_{OL}	Low-level output voltage	$FB = V_{DD}$, $I_{OL} = 0.5\text{ mA}$		0.08	0.15	
I_{OH}	Output source current	$COMP = 0.7\text{ V}$, $FB = GND$	2	6		mA
I_{OL}	Output sink current	$COMP = 0.7\text{ V}$, $FB = V_{DD}$	3	8		
G_{BW}	Gain bandwidth ⁽¹⁾		5	10		MHz
A_{OL}	Open loop gain		55	85		dB

(1) 設計で保証されており、テストは行っていません。

(2) 入力電圧 V_{DD} が2.25Vの場合は、最大デューティ・サイクルは3%下がります。

ELECTRICAL CHARACTERISTICS

over recommended operating temperature range, $T_A = -40\text{ }^{\circ}\text{C}$ to $85\text{ }^{\circ}\text{C}$, $V_{DD} = 5.0\text{ V}$, all parameters measured at zero power dissipation (unless otherwise noted)

current limit

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_{SINK}	ILIM sink current	$V_{DD} = 5\text{ V}$	11	15	19	μA
		$V_{DD} = 2.25\text{ V}$	9.5	13.0	16.5	
V_{OS}	Offset voltage SW vs ILIM ⁽¹⁾	$2.25\text{ V} \leq V_{DD} \leq 5.00$	-20	0	20	mV
V_{ILIM}	Input voltage range		2		VDD	V
t_{ON}	Minimum HDRV pulse time in overcurrent	$V_{DD} = 3.3\text{ V}$		200	300	ns
	SW leading edge blanking pulse in over-current detection			100		ns
t_{SS}	Soft-start capacitor cycles as fault timer ⁽¹⁾			6		

rectifier zero current comparator

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{SW}	Sense voltage to turn off rectifier	TPS40000 TPS40002	-15	-7	-2	mV
		LDRV output OFF				
	SW leading edge blanking pulse in zero current detection			75		ns

predictive delay

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{SWP}	Sense threshold to modulate delay time			-350		mV
T_{LDHD}	Maximum delay modulation range time	LDRV OFF – to – HDRV ON	50	75	100	ns
	Predictive counter delay time per bit	LDRV OFF – to – HDRV ON	3.0	4.5	6.2	ns
$T_{HDL D}$	Maximum delay modulation range	HDRV OFF – to – LDRV ON	40	65	90	ns
	Predictive counter delay time per bit	HDRV OFF – to – LDRV ON	2.4	4.0	5.6	ns

shutdown

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
V_{SD}	Shutdown threshold voltage	Outputs OFF	0.09	0.13	0.18	V
V_{EN}	Device active threshold voltage		0.14	0.17	0.21	V

soft start

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_{SS}	Soft-start source current	Outputs OFF	2.0	3.7	5.4	μA
V_{SS}	Soft-start clamp voltage		1.1	1.5	1.9	V

bootstrap

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
R_{BOOT}	Bootstrap switch resistance	$V_{DD} = 3.3\text{ V}$		50	100	Ω
		$V_{DD} = 5\text{ V}$		35	70	

(1) 設計で保証されており、テストは行っていません。

(2) 入力電圧 V_{DD} が2.25Vの場合は、最大デューティ・サイクルは3%下がります。

ELECTRICAL CHARACTERISTICS

over recommended operating temperature range, $T_A = -40\text{ }^\circ\text{C}$ to $85\text{ }^\circ\text{C}$, $V_{DD} = 5.0\text{ V}$, all parameters measured at zero power dissipation (unless otherwise noted)

output driver

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
R_{HDHI}	HDRV pull-up resistance	$V_{BOOT} - V_{SW} = 3.3\text{ V}$, $I_{SOURCE} = -100\text{ mA}$		3	5.5	Ω
R_{HDLO}	HDRV pull-down resistance	$V_{BOOT} - V_{SW} = 3.3\text{ V}$, $I_{SINK} = 100\text{ mA}$		1.5	3	
R_{LDHI}	LDRV pull-up resistance	$V_{DD} = 3.3\text{ V}$, $I_{SOURCE} = -100\text{ mA}$		3	5.5	
R_{LDLO}	LDRV pull-down resistance	$V_{DD} = 3.3\text{ V}$, $I_{SINK} = 100\text{ mA}$		1.0	2.0	
t_{RISE}	LDRV rise time	$C_{LOAD} = 1\text{ nF}$		15	35	ns
t_{FALL}	LDRV fall time			10	25	
	HDRV rise time			15	35	
	HDRV fall time			10	25	

thermal shutdown

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{SD}	Shutdown temperature ⁽¹⁾			165		$^\circ\text{C}$
	Hysteresis ⁽¹⁾			15		

sw node

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_{SW}	Leakage current in shutdown ⁽¹⁾			15		μA

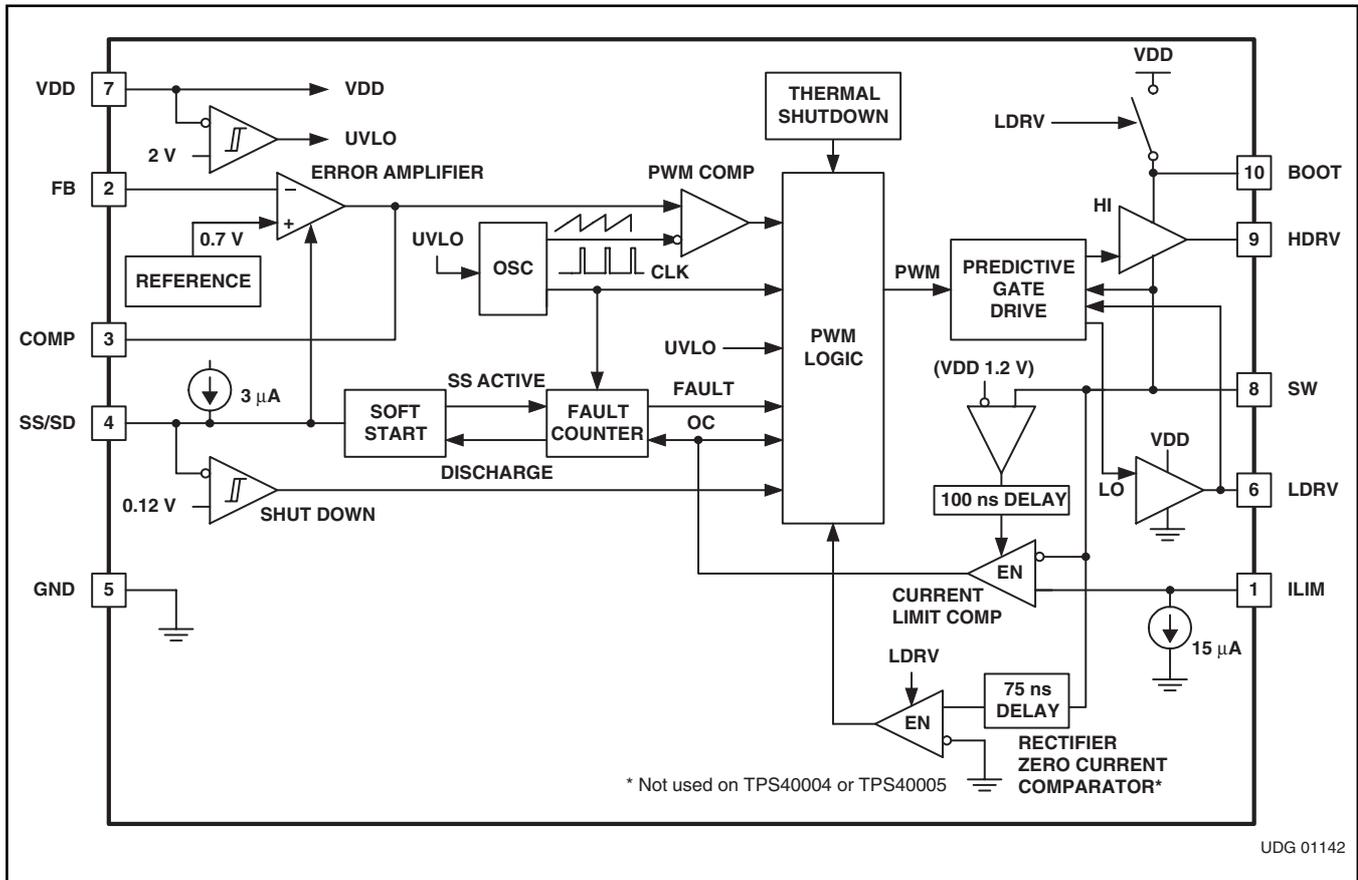
(1) 設計で保証されており、テストは行っていません。

(2) 入力電圧 V_{DD} が2.25Vの場合は、最大デューティ・サイクルは3%下がります。

Terminal Functions

TERMINAL		I/O	端子機能
NAME	NO.		
BOOT	10	O	ブートストラップされた電源をハイサイドMOSFETドライバに供給し、ハイサイドMOSFETのゲートが入力電源レールより上に駆動されるようにします。
COMP	3	O	誤差増幅器の出力。
FB	2	I	誤差増幅器の反転入力。通常動作ではこのピンの電圧は内部基準電圧レベルの700mVです。
GND	5	-	デバイスの電源帰還端子。ボード上のパワー一段のグラウンド帰還は他の敏感な信号グラウンドの帰還から分離したパスにすることが必要です。
HDRV	9	O	ハイサイドNチャンネルMOSFET用ゲート駆動出力。HDRVピンはハイサイドMOSFETが十分にエンハンスメント・モードとなるよう $2 \times V_{DD}$ の近辺の電圧にブートストラップされます。
ILIM	1	I	過電流スレッシュホールド電圧を設定するためこのピンとVDDの間に抵抗を接続します。15 μ Aの電流シンクにより、このピンとVDD間に電位差が生じ、過電流時にはハイサイドNチャンネルMOSFETのドレイン/ソース間電圧がこの電位差を上まわります。ILIM過電流コンパレータはハイサイドMOSFETが十分にエンハンスメント・モードになるよう最初の100ns間は無効です。ILIMの電圧レベルは、 V_{DD} の800mV以内、つまり、 $(V_{DD} - 0.8) \leq I_{LIM} \leq V_{DD}$ のように設定します。
LDRV	6	O	ローサイド同期整流器NチャンネルMOSFETのゲート駆動出力。
SS/SD	4	I	ソフトスタート及び過電流異常時のシャットダウン時間がこのピンに接続されるキャパシタを充電することで設定されます。3 μ Aの内部電流源が外付けキャパシタを0.17Vから0.70Vに充電する時間ループのソフトスタートが起こります。ソフトスタート期間では、TPS40001とTPS40003の電流シンク能力はディスエーブルになります。SS/SD電圧が0.12V以下になると、デバイスは停止し、HDRVとLDRVは“L”レベルになります。通常動作時は、キャパシタは1.5Vに充電されています。異常状態になると、HDRVは“L”レベルに、LDRVは“H”レベルに駆動されます。ソフトスタート・キャパシタは6つの充電サイクルを経て、7番目のサイクルでコンバータを再起動させます。
SW	8	O	コンバータのスイッチ・ノードに接続します。このピンは、ハイサイドNチャンネルMOSFETの過電流検出、同期整流器NチャンネルMOSFETのゼロ電流検出、プレディクティブ遅延回路のレベル検出に使用されます。過電流は、ハイサイドNチャンネルMOSFETがオンの時、VDDに対するSWの電圧とVDDに対するILIMの電圧を比較して決められます。ゼロ電流は、整流器NチャンネルMOSFETがオンの時、グラウンド基準でSWの電圧を測定することで検出されます。ゼロ電流の検出はTPS40000とTPS40002のみに適用されます。
V _{DD}	7	I	デバイスの電源入力で、最大5.5Vです。このピンの近くに1 μ Fまたはそれ以上の値の低ESRのデカップリング・キャパシタを配置/接続してください。

functional block diagram



アプリケーション情報

TPS4000x同期整流式バック・コントローラ・シリーズは非絶縁型分散電源システムにおける高効率のDC/DC変換に最適です。代表的なアプリケーション回路を図1に示します。

TPS40004とTPS40005は多くの汎用タイプ同期式バック・コンバータを設計するのに適したコントローラです。それぞれ常時2象限モード(ソースまたはシンク・モード)で動作します。このデバイスを選択すると、広い負荷電流範囲にわたって出力電圧の負荷過渡応答が最高の特性になります。

TPS40001とTPS40003にはさらに別の特長が追加されています。このデバイスはコンバータの起動時は1象限モード(ソース電流のみ)で動作し、次に、コンバータがレギュレーション点に達した時、コントローラは2象限モードの動作に変わります。このことは、コントローラがイネーブルになる前に出力がある電圧にプリ・バイアスされているアプリケーションに好都合です。TPS40001またはTPS40003がイネーブルの場合、起動時電流をシンクしないため、プリ・バイアス電源から電流を吸い込みません。

TPS40000とTPS40002は常時1象限モード(ソース電流のみ)で動作し、コンバータの並列化を可能にします。1象限動作により確実に1つのコンバータは並列コンバータから電流を吸い込みません。このコントローラのうちの1つを使用したコンバータは軽負荷時非同期式バック・コンバータとして動作します。出力インダクタの電流が反転しようとする時、内部のゼロ電流検出回路が同期整流器をオフにし、インダクタに流れる電流が不連続になりま

す。平均負荷電流がインダクタのリップル電流のピーク時振幅以上である時は、コンバータは効率を最大限にするため同期式バック・コンバータとしての動作に復帰します。

誤差増幅器

誤差増幅器は最小55dBの開ループ利得で5MHz以上の帯域幅をもっています。COMP出力電圧は大きな過渡応答を改善するため発振器のランプ電圧より上のレベルにクランプされます。

発振器

発振器は内部の抵抗とキャパシタを使用して発振周波数を設定します。ランプ波形はピーク電圧1.25V、下限電圧0.25VのPWM周波数の三角波です。PWMのデューティ・サイクルは最大95%に制限されるため、ブートストラップ・キャパシタは全サイクルで充電することができます。

ブートストラップ/チャージ・ポンプ

VDDとBOOT間にはスイッチが内蔵されています。このスイッチにより一時的な電源用に外付けのブートストラップ・キャパシタが充電されます。このスイッチの抵抗がアプリケーションにとってあまり大きすぎる場合にはVDDとBOOT間に外付けのショットキー・ダイオードを使用することができます。ブートストラップ・キャパシタのピーク電圧はほぼVDDと同じです。

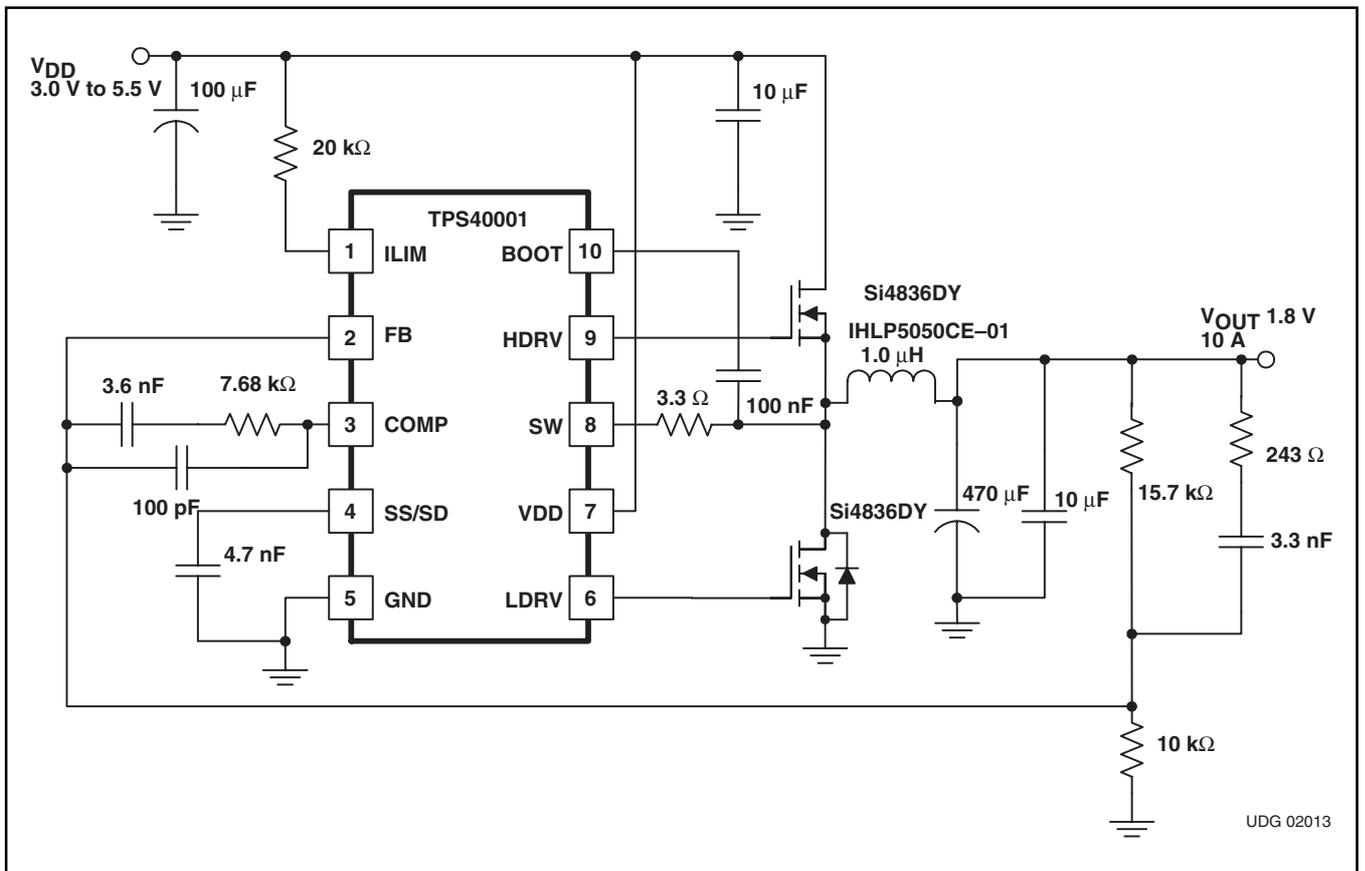


図1. Typical Application Circuit

ドライバ

HDRV/LDRVのMOSFETドライバはゲート/ソース間電圧を最大5.5Vまで駆動することができます。V_{IN}が5Vで、適切なMOSFETを使用したとすると、20Aのコンバータが実現できます。LDRVドライバはVDDとグラウンド間でスイッチングし、一方、HDRVドライバはSW基準であり、BOOTとSW間でスイッチングします。BOOTとSW間の最大電圧は5.5Vです。

同期整流とプレディクティブ遅延

通常のバック・コンバータでは、メイン・スイッチがオフになった場合、電流はインダクタから負荷に流れます。この電流は無限大の電圧を使わなければすぐには停止できません。電流パスに電流が流れ安全なレベルに電圧レベルが維持されるには、整流器またはキャッチ・デバイスを使用します。このデバイスは従来型のダイオードでも、あるいはコントロール信号がその駆動に使用できるのであればコントロール型能動デバイスでも可能です。TPS4000xは整流器としてのNチャネルMOSFETを駆動する信号を供給します。このコントロール信号は、整流器MOSFETがオフ、メイン・スイッチがオンになる時間からの最小遅延時間、及びメイン・スイッチがオフ、整流器MOSFETがオンになる時間からの最小遅延時間が存在するよう、注意深くメイン・スイッチの駆動信号との整合性を図ります。この仕組み、つまりPredictive Gate Drive™遅延は、次のサイクルで使用されるべき遅延を調節するため電流のスイッチング・サイクルからの情報を使います。図2に、同期整流されたバック・コンバータのスイッチ・ノードの

電圧波形を示します。この図は、固定遅延の駆動体系(ターンオフからターンオンの合間の一定遅延とプリセット遅延)、アダプティブ遅延の駆動体系(電流のスイッチング・サイクルで検出された電圧をもとにした可変遅延)、プレディクティブ遅延の駆動体系の効果をそれぞれ比較したものです。

整流器の導通期間でダイオードの導通に費やされた時間が長くなるにつれ、効率が低下することに注意してください。また、図2にはプレディクティブ遅延回路がクロス導通またはシュートスルーを回避すると同時にボディ・ダイオードが順方向にバイアスされるようになることを防止できるということは表されていません。このことにより、メインのMOSFETがオンになった時電力の大省力化が実現し、整流器MOSFETのボディ・ダイオードの逆回復損失が最小限に抑えられます。

過電流

TPS4000xの過電流状態はメインのMOSFETがオンの間にその両端の電圧を検出することにより感知されます。

基本説明

電圧が予め設定されているスレッシュホールドを越えると、電流パルスは停止し、デバイス内のカウンタが増分します。このカウンタが満杯になると異常状態が宣言され、デバイスはしばらくの間スイッチングをディスエーブルにし、その後ソフトスタート・サイクルでコンバータを再起動させようとしています。

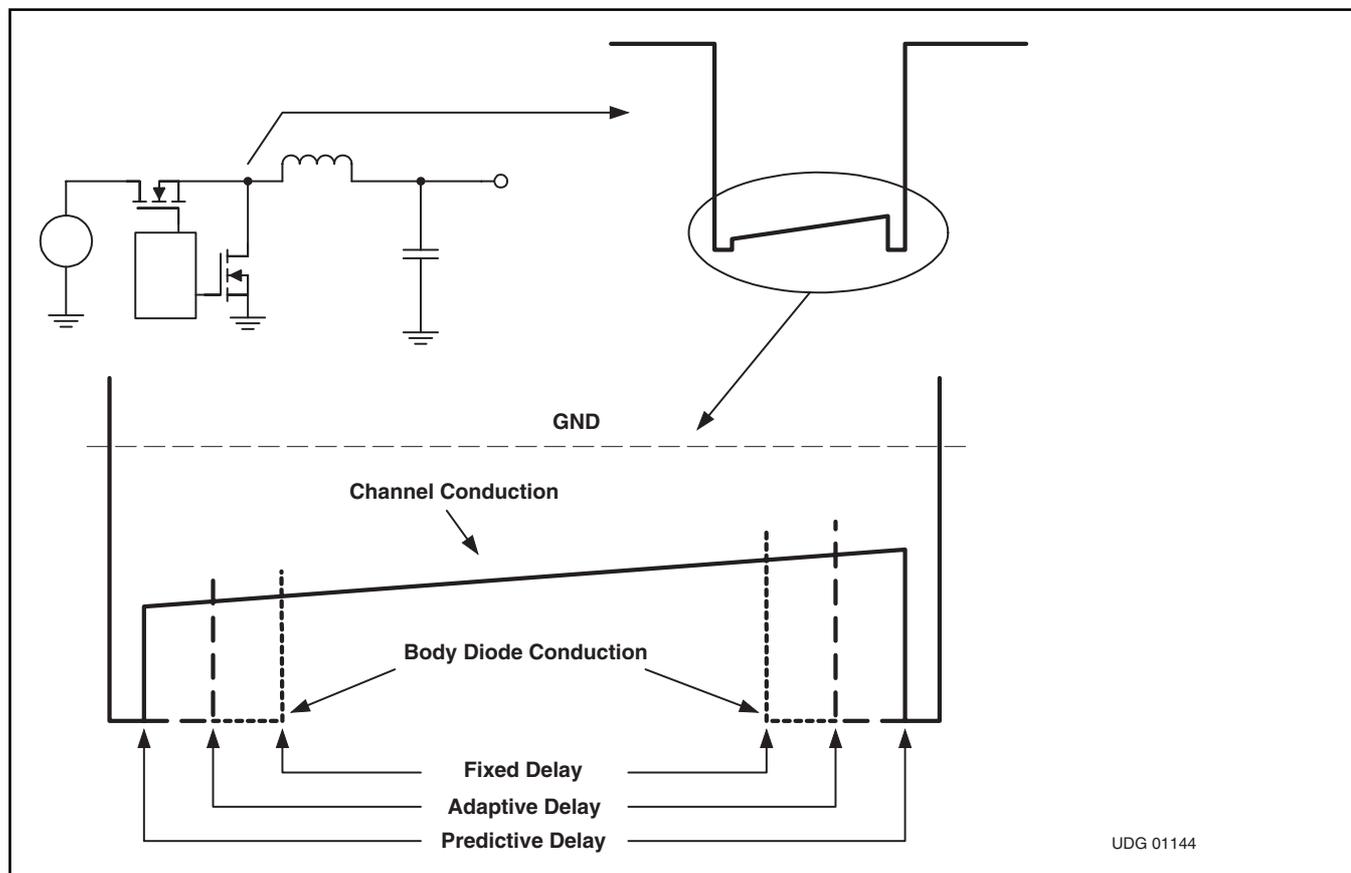


図2. Switch Node Waveforms for Synchronous Buck Converter

詳細説明

各スイッチング・サイクルで、コンパレータはハイサイド MOSFETがオンの間にその両端の電圧を観察しています。このコンパレータはSWノードが($V_{DD} - 1.2V$)以上の電圧になり、その後100nsのブランキング時間の後イネーブルになります。MOSFET端の電圧がプログラムで設定可能なスレッシュホールド電圧を越えると、電流スイッチング・パルスは停止し、3ビットのカウンタが1カウント増加します。スイッチング・サイクル時、ハイサイド MOSFETの電圧が予め設定されている電圧を越えないと、このカウンタは1カウント減少します。(カウンタは7から0または0から7というような回り込みはしません)。カウンタがフル・カウンタの7に達すると、デバイスは異常状態がコンバータの出力に存在することを宣言します。この異常状態では、HDRVはオフに、LDRVはオンになり、ソフトスタート・キャパシタは放電します。カウンタはソフトスタート・キャパシタ(C_{SS})が放電するごとに1カウントずつ減少します。ソフトスタート・キャパシタが完全に放電すると、放電回路はオフになり、キャパシタは標準の充電速度で充電することが可能となります。ソフトスタート・キャパシタが約700mVに達すると、再度放電し、過電流カウンタが1カウント減少します。キャパシタは充放電し、カウンタはカウントがゼロになるまで減少します(合計6回)。このことが起こると、ソフトスタート・キャパシタが再起動しようとする間追従するためのコンバータ用基準ランプを生成した時出力は再びイネーブルになります。

このソフトスタート期間(コントローラが異常回復を行なおうとするか、または初期起動しているかにかかわらず)では、パルスごとの電流制限は実施されますが、ソフトスタート・サイクルが完了するまで異常を宣言する過電流パルスはカウントされませ

ん。ソフトスタート時間に7スイッチング・サイクルを加えた期間中電源の短絡が起こりえます。パワー段の設計は熱的に影響があるのであればこのことを考慮に入れなければなりません。図3に、過電流動作の詳細を示します。

図4に、異常及び正しい異常復帰時における初期起動時の主要な信号の動作を示します。時間 t_0 で、コンバータに電源が供給されます。ソフトスタート・キャパシタ(V_{CSS})の電圧が上昇し始め、 t_1 で内部基準電圧を通過するまで基準電圧として機能します。この地点で、ソフトスタート期間は終わり、コンバータは出力を目標電圧レベルにレギュレーションします。 t_0 から t_1 で、パルスごとの電流制限が実施され、 t_1 から先では過電流パルスが考えられる異常状態を割り出す目的でカウントされます。 t_2 で、大きな過負荷がコンバータに加わっています。この過負荷は過電流スレッシュホールドを越えています。コンバータは電流の制限を開始し、出力電圧は加えられた過負荷によりあるレベルまで低下します。 t_2 から t_3 の間では、カウンタは過電流パルスをカウントしており、 t_3 でフル・カウンタの7に達します。その結果、ソフトスタート・キャパシタは放電し、カウンタは減少し、異常状態が宣言されます。

ソフトスタート・キャパシタが完全に放電した時、標準 $3\mu A$ の電流源により起動時と同じ速度で再び充電を開始します。キャパシタの電圧が全電荷に達した時、再び放電しカウンタは1カウント減少します。この変遷は t_3 から t_9 で起こり、 t_9 でカウンタは0まで減少してしまいます。その結果異常ロジックはクリアされ、出力はイネーブルになり、コンバータはソフトスタート・サイクルで再起動しようとし、コンバータは t_{10} でレギュレーション状態になります。

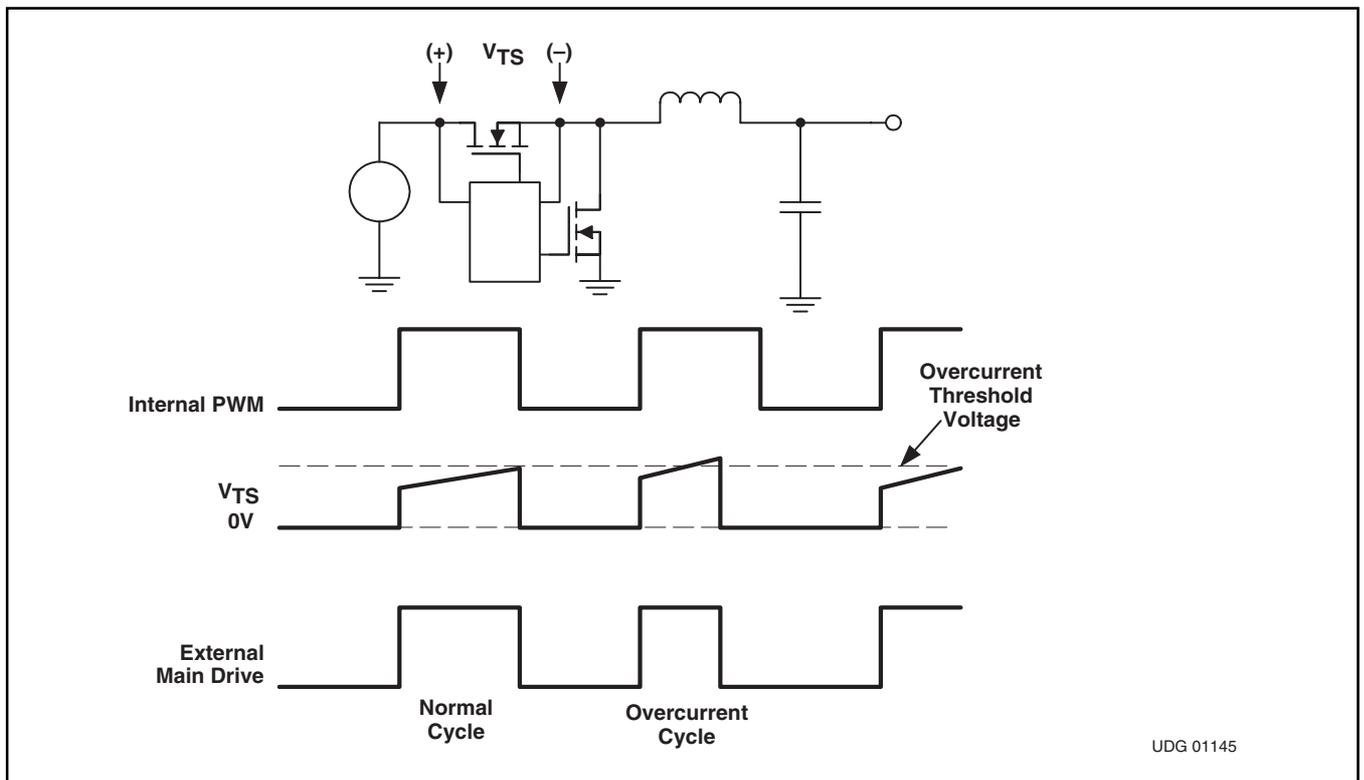


図3. Switch Node Waveforms for Synchronous Buck Converter

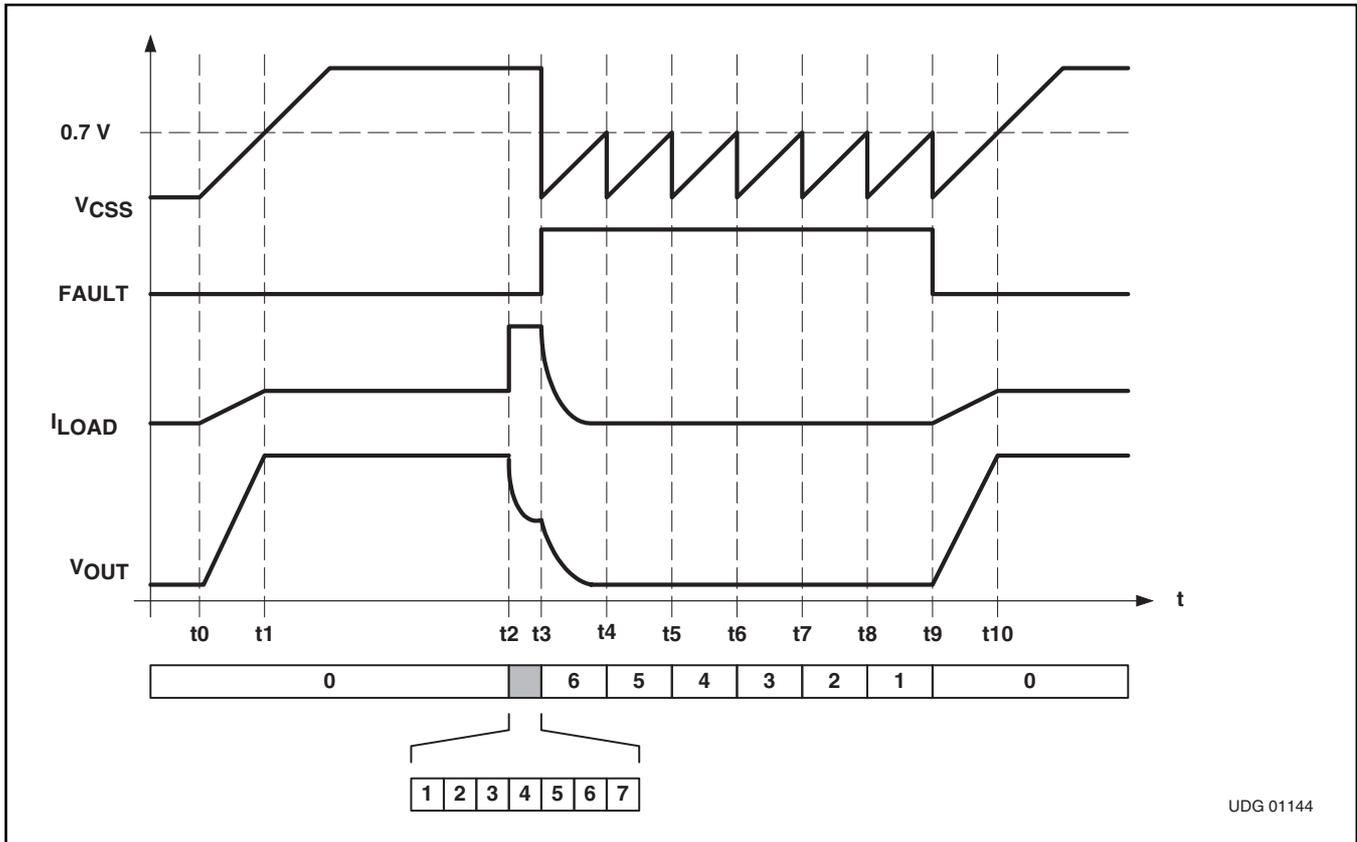


図4. Switch Node Waveforms for Synchronous Buck Converter

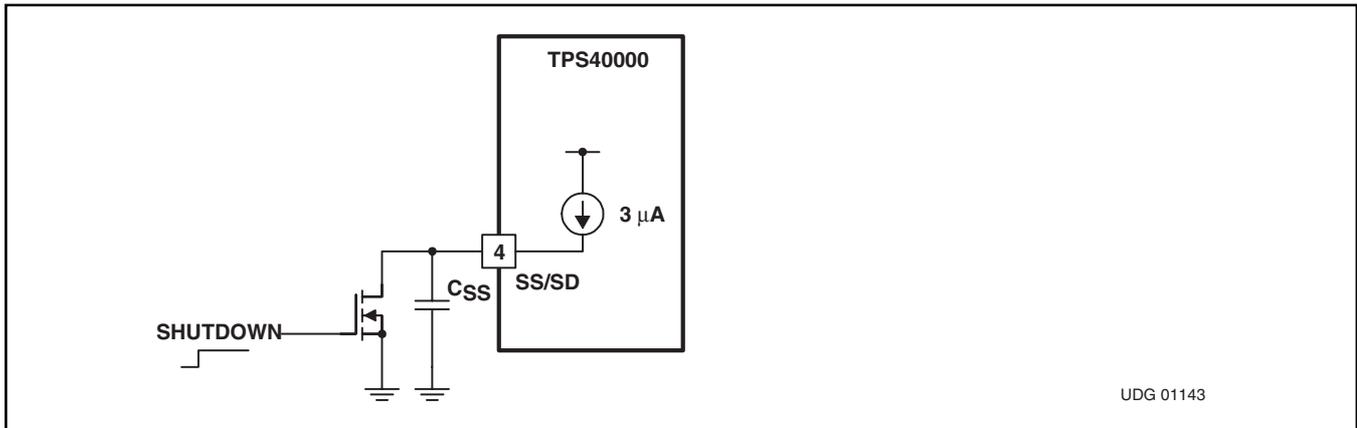


図5. Shutdown Implementation

電流制限の設定

VDDからILIMに抵抗を接続することにより電流制限が設定されます。デバイスに内蔵されている15μAの電流シンクによりILIMに過電流スレッシュホールド電圧に等しい電圧の電圧降下が生じます。確実に $(V_{DD} - 0.8V) \leq V_{ILIM} \leq V_{DD}$ となるようにしてください。電流シンクの公差は正確な電流制限を行なうには大きすぎます。この主な目的はパワー・スイッチを確実に異常から保護することです。与えられたILIMシンク電流の公差とMOSFETのオン抵抗 $R_{DS(on)}$ の範囲から、コンバータに熱的に損傷を与えるような負荷が加わることは一般的に起こりえます。このデバイスは、負荷特性が規定されて、コントロールすることができる組み込み型コンバータに適しています。

ソフトスタートとシャットダウン

SS/SDピンには共通して2つの機能があります。このピンの電圧が起動時誤差増幅器をコントロールする電圧です。このことにより、起動時出力キャパシタを充電するのに必要な過渡電流が低減し、正しく行なわれれば出力電圧がオーバーシュートせずに円滑な起動が可能となります。シャットダウン機能は図5に示すような手段を講じることができます。

デバイスはSS/SDピンの電圧が120mV以下に低下すると停止します。この制約のため、図5のように、コントロールするデバイスとしてMOSFETを使用することを推奨します。オープン・ドレイン出力のCMOSロジックも同等の機能をします。

整流器のゼロ電流

TPS40000とTPS40002の両デバイスはソースのみであるため、同期整流器の逆電流を防止できます。同期整流はローサイドMOSFET端のグランド基準のSW電圧を検出することにより終了します。SWノードが -7mV より大きい場合、整流は停止し、次のPWMサイクルまでオフ状態のままです。SWノードの好ましくないノイズをフィルタで除去するために、ゼロ電流コンパレータは整流器がオンになった時から 75ns 無効状態になります。

TPS40001とTPS40003は、ソフトスタートがアクティブの間、ゼロ電流コンパレータをイネーブルにします(よって逆電流が防止される)が、出力がレギュレーションに達した時、つまり、ソフトスタート時間の終わりで、このコンパレータはディスエーブルになり同期整流器は電流をシンクできるようになります。

以下にいくつかのアプリケーションに対する設計案を示します。その他の設計案、詳細設計情報、有用なヒントについては<http://power.ti.com>のTPS40000リソースにアクセスしてください。

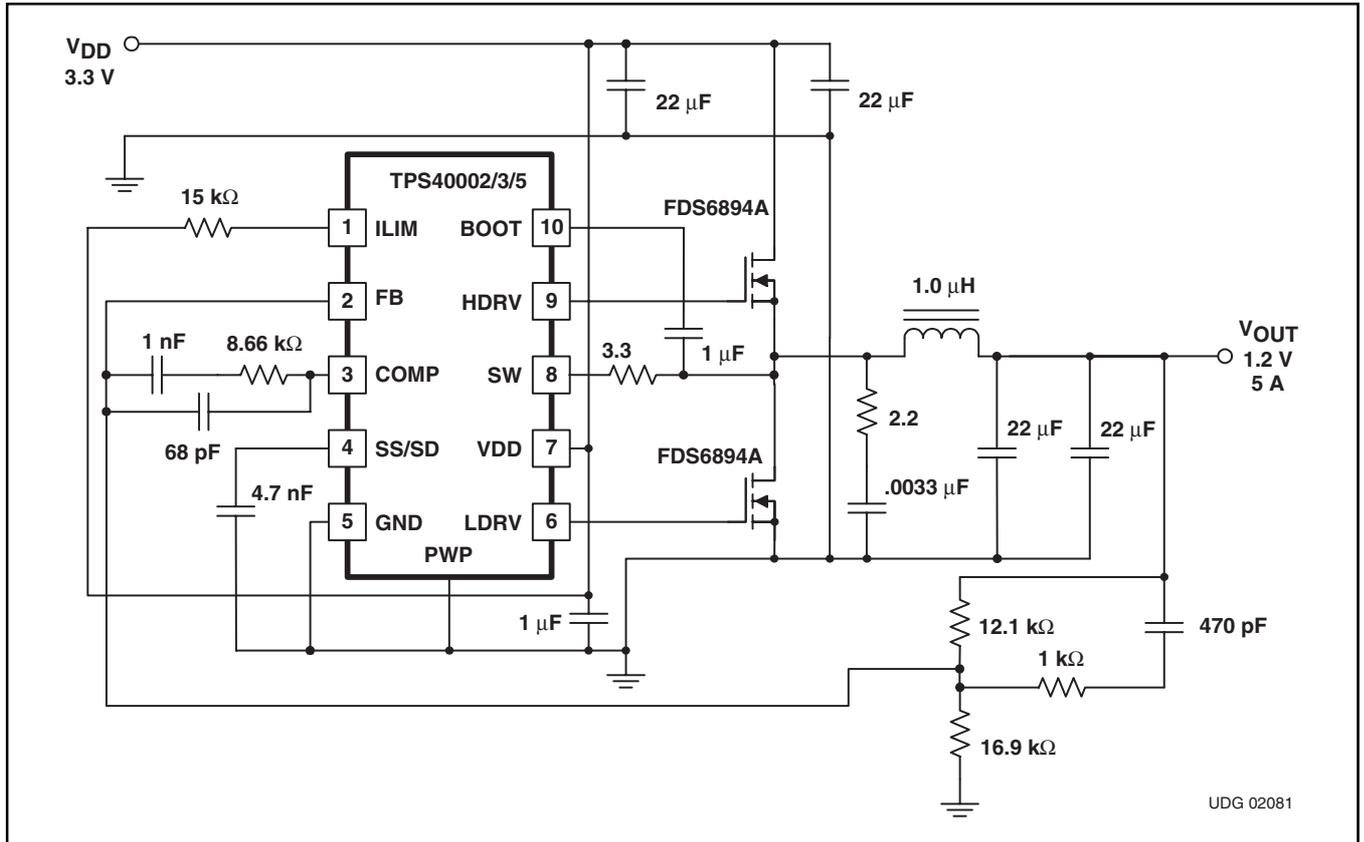


図6. Small-Form Factor Converter for 3.3 V to 1.2 V at 5 A.

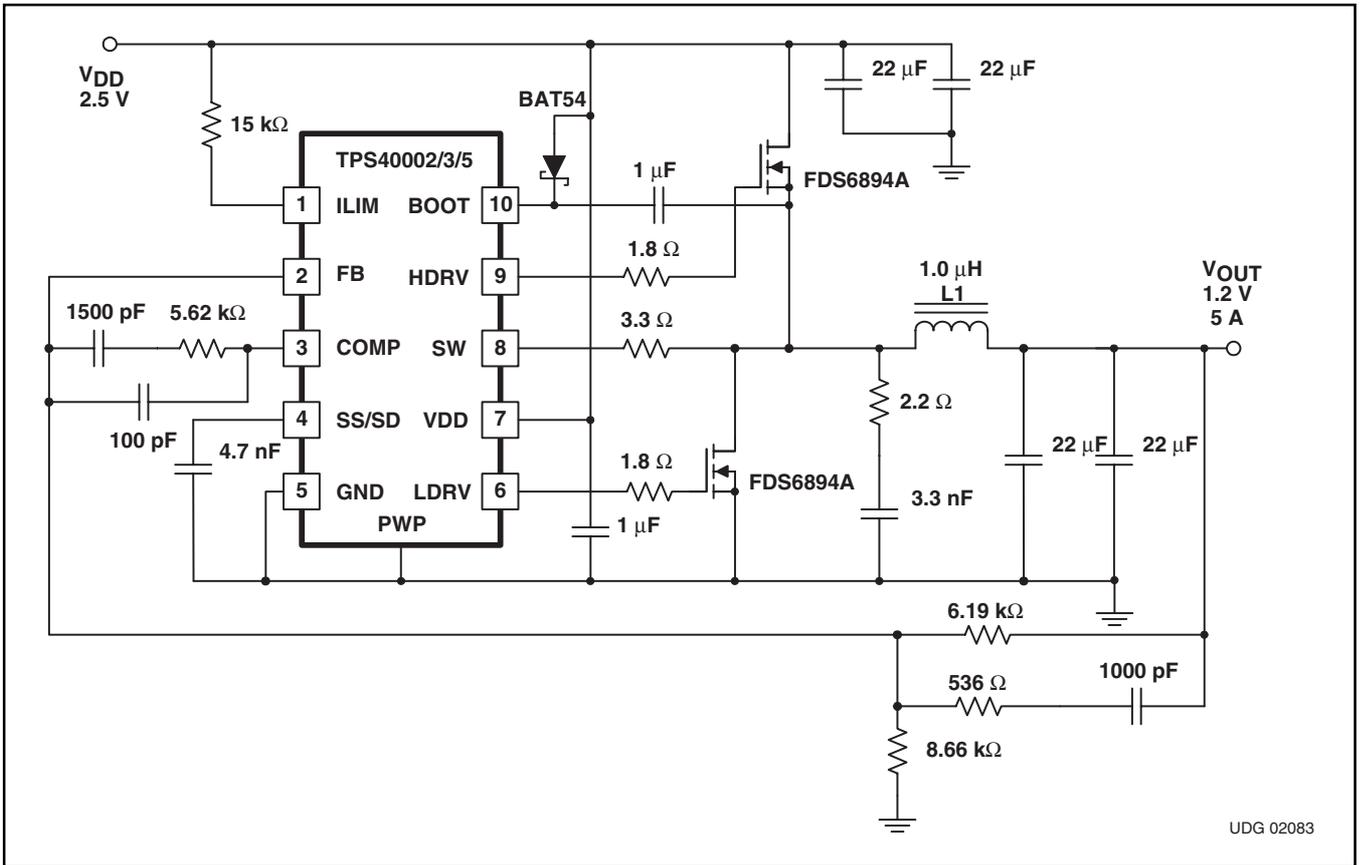


图8. Ultra-Low-Input Voltage Converter for 2.5 V to 1.2 V at 5 A

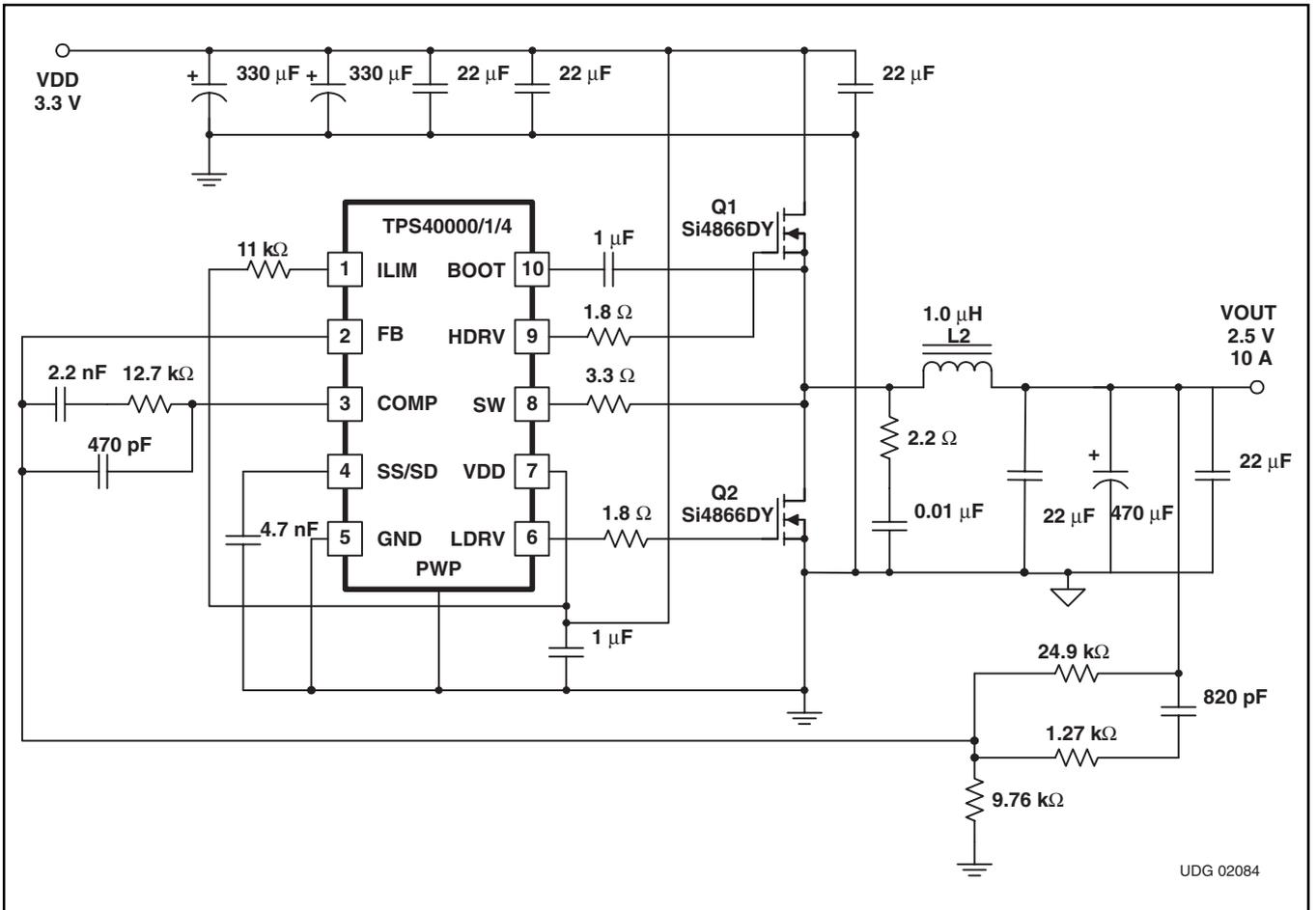


图9. Ultra-High-Efficiency Converter for 3.3 V to 2.5 V at 10 A

TYPICAL CHARACTERISTICS

OSCILLATOR FREQUENCY PERCENT CHANGE

vs
INPUT VOLTAGE

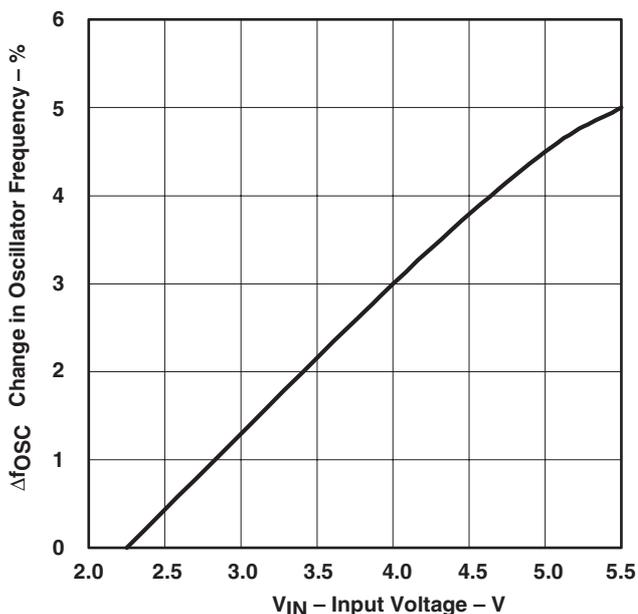


FIG10

OSCILLATOR FREQUENCY PERCENT CHANGE

vs
TEMPERATURE

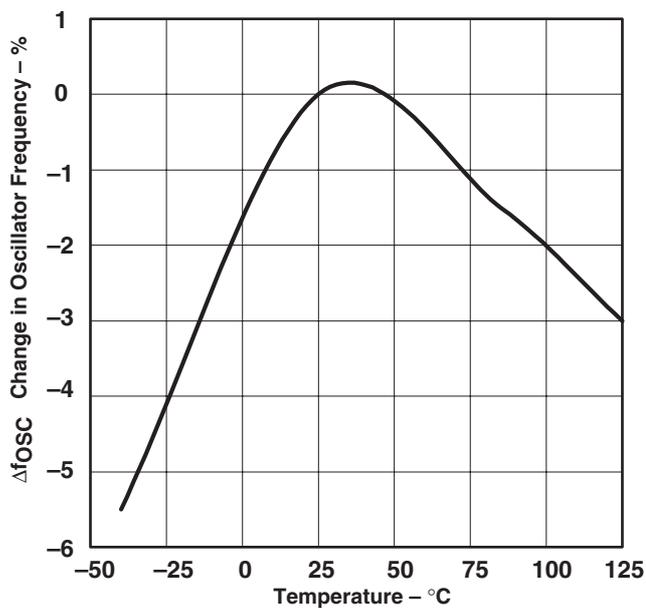


FIG11

FEEDBACK VOLTAGE

vs
INPUT VOLTAGE

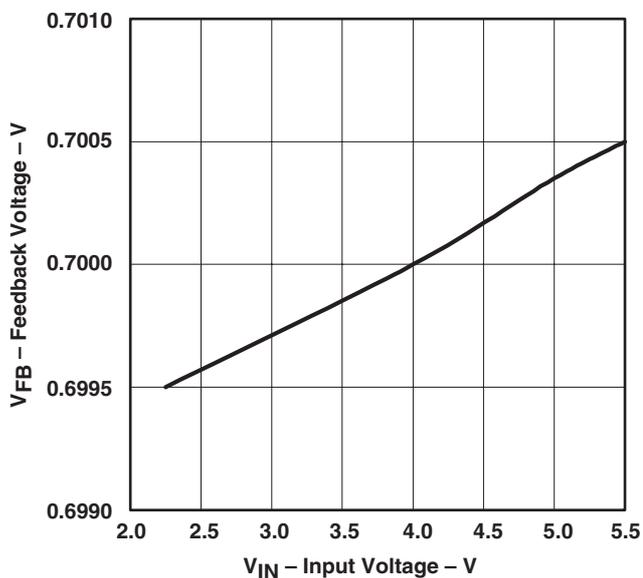


FIG12

FEEDBACK VOLTAGE

vs
TEMPERATURE

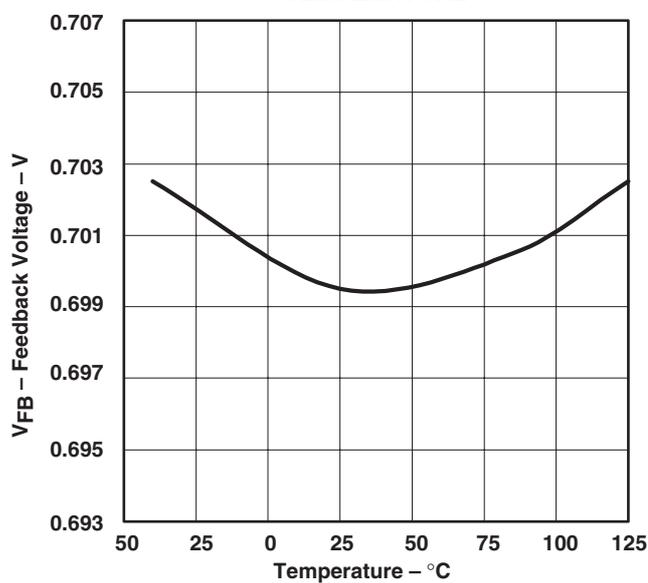


FIG13

TYPICAL CHARACTERISTICS

CURRENT LIMIT SINK CURRENT
VS
INPUT VOLTAGE

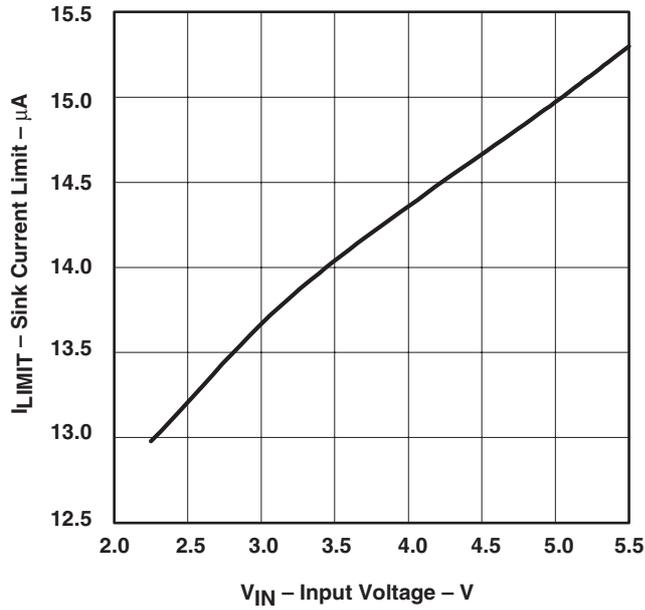


Figure 14

CURRENT LIMIT SINK CURRENT
VS
TEMPERATURE

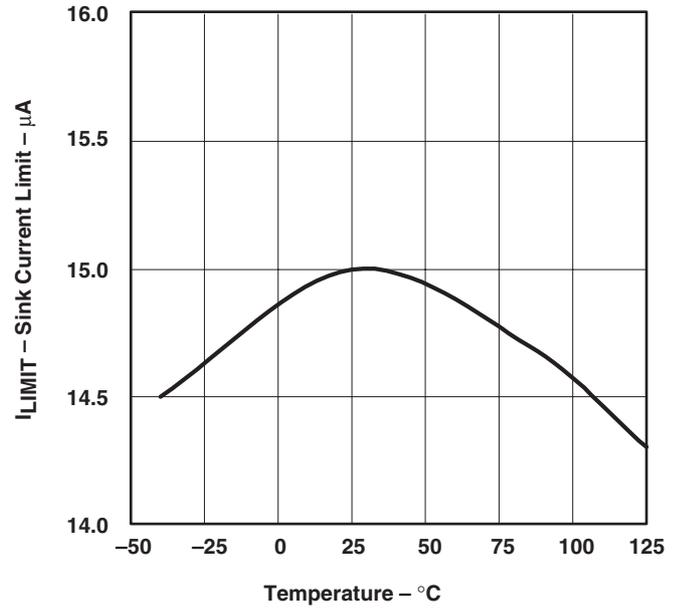


Figure 15

OVERCURRENT

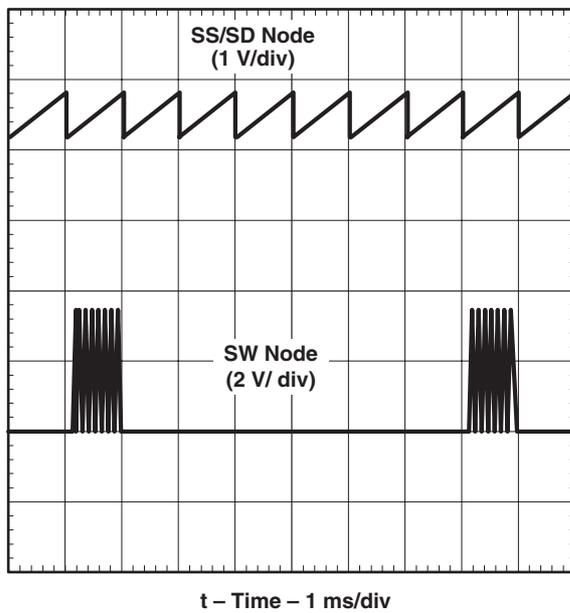


Figure 16

TYPICAL PREDICTIVE
DELAY SWITCHING

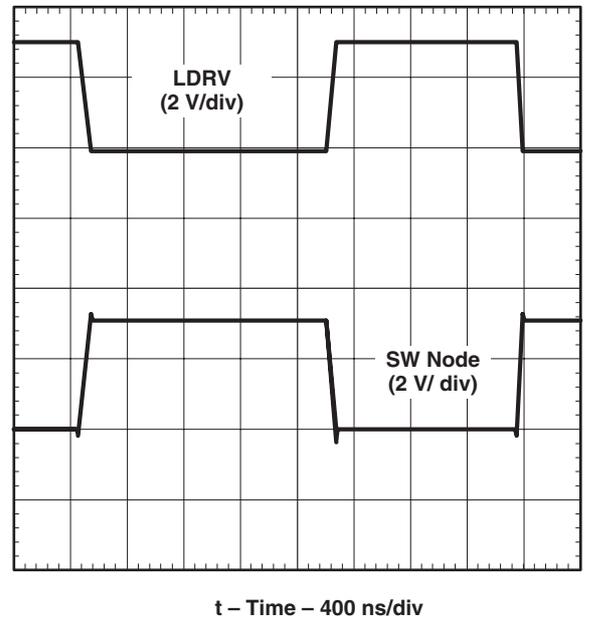


Figure 17

ご注意

日本テキサス・インスツルメンツ株式会社及びTexas Instruments Incorporated (以下TIといいます)は、TI所定の手続きに従い、あるいはお客様とTIとの間に取引契約が締結されている場合は当該契約条件に従い、その製品を変更し、もしくは製品の製造中止またはサービスの提供を中止することがありますので、お客様は、発注される前に、これから参照しようとする情報が最新かつ完全なものであることを確かなものとするため、最新版の情報を取得するようお勧めします。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また取引契約が締結されていない場合は、ご注文の受諾の際に提示される保証、特許侵害、責任制限に関する条項を含むTIの標準販売契約約款に従って販売されます。

TIは、その製品が、TIの標準保証条件に従い販売時の仕様書に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様書に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TI製部品を使用しているお客様の製品についてはお客様が責任を負っています。

そのようなお客様の製品について想定されうる危険を最小のものとするため、製品固有の障害発生要因もしくは組み合わせによる障害発生要因を減らすための、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、製品の使用用途に関する支援もしくはお客様の製品の設計について責任を負うことはありません。TIは、その製品もしくはサービスが使用される、もしくは使用されている組み合わせ、機械装置、もしくは方法をカバーしている、もしくはそれ等に関連している特許権、著作権、回路配置利用権、その他の知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表示もしておりません。TIが第三者の製品もしくはサービスについて情報を提供しているということは、TIが当該製品もしくはサービスを承認、ライセンス、保証もしくは支持することを意味しません。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付られた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加え、あるいはその一部のみ、表示もしくは複製することは当該情報に係るTI製品もしくはサービスに対して提供された全ての保証を無効にし、かつ不公正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他と異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2003, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上