

UCC2817A, UCC2818A UCC3817A, UCC3818A

SLUS620

BiCMOS パワー・ファクタ プリレギュレータ

特長

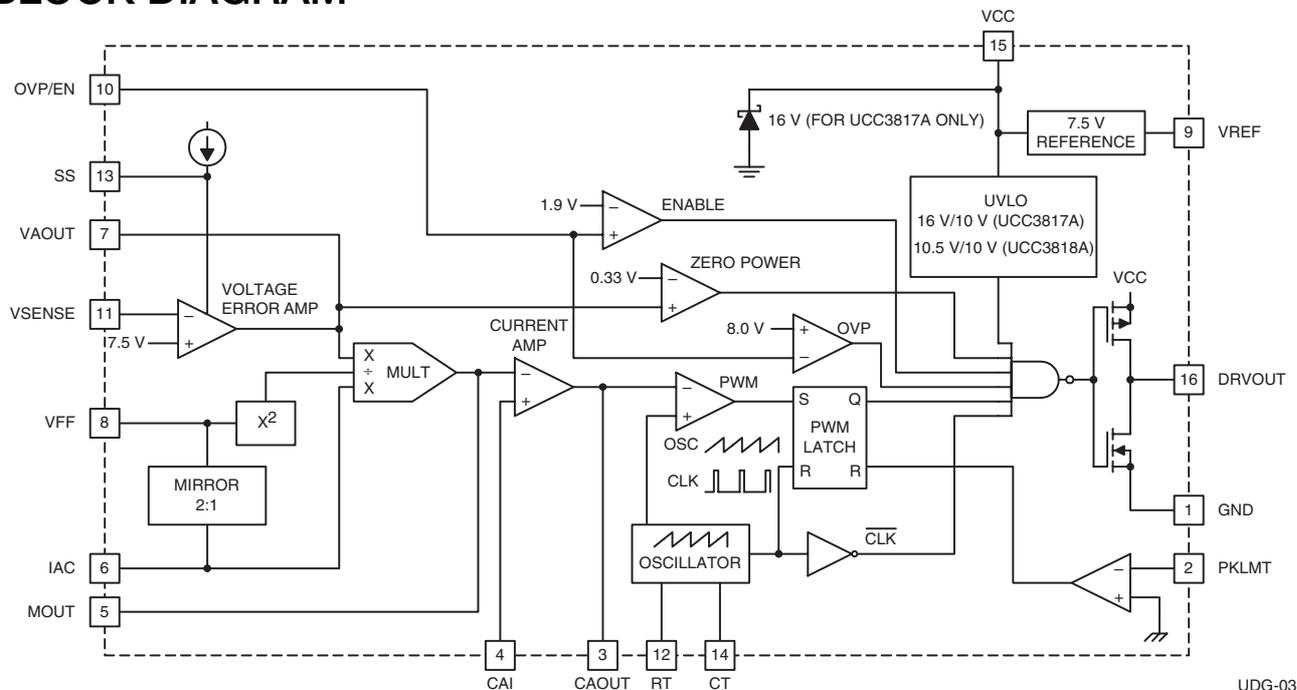
- 高精度力率改善コントロールIC
- 平均電流モード制御
- 広入力高精度なマルチプライヤ<乗算器>内蔵
- 軽負荷まで安定した制御が可能なライン歪み制御
- ワールドワイド電源ライン入力に対応可能
- サイクルバイサイクルの過電圧保護機能内蔵
- サイクルバイサイクルの過電流制限回路内蔵
- 外部信号によるイネーブル機能内蔵
- パワー-MOSFETを直接駆動可能なドライブ回路内蔵
- ライン・レギュレーション/ノイズ耐性の改善
- リーディングエッジ変調
- 低起動電流150 μ A(Typ)
- ローパワーのBiCMOSプロセスにより低消費動作
- 12V~17V動作

概要

UCC3817A及びUCC3818Aファミリーは、アクティブ・タイプの力率改善プリレギュレータに必要な全ての機能を備えています。このコントローラはACライン電流の位相がライン電圧の位相に合うよう制御することでほぼ1の力率を実現します。ピーク電流を抑え定周波数で動作する平均電流モード制御で広入力なマルチプライヤ回路の構成により、安定した低歪みの正弦ライン電流を定格負荷から軽負荷までの広範囲な負荷をワールドワイド入力電圧にて維持することができます。

UCC3817A/UCC3818AはTIの低消費BiCMOSプロセスを用いて設計されており、低起動電流、低消費電流を達成し広い負荷・入力変動にも対応できるダイナミックレンジが広い高性能な乗算器。高信頼性のための過電圧過電流保護、高精度基準回路イネーブル機能、UVLO検出回路等の内蔵。コンデンサのリップル電流を低減するためのリーディングエッジ変調手法、軽負荷状態時の歪みをも確実に制御するために低オフセット($\pm 2mV$)の改良型電

BLOCK DIAGRAM



UDG-03122

SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



流アンプなどの機能を持ち16ピンのD、N、PWパッケージで供給されます。

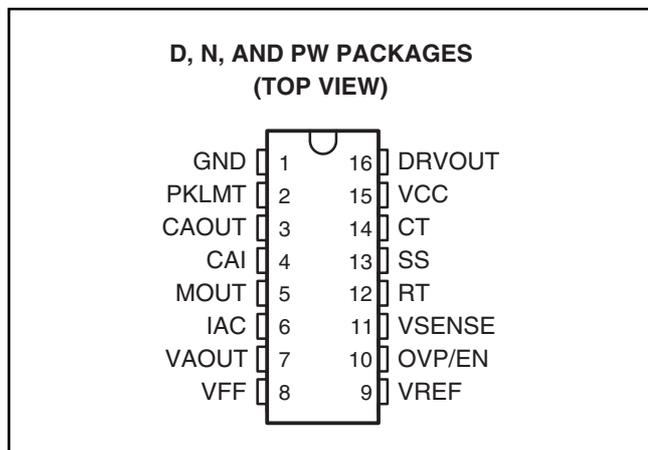
UCC3817A/18A PFCコントローラ・ファミリーはUCC3817/UCC3818ファミリーと完全にピン互換です。UCC3817A/18Aファミリーの出力段のみが変更されておりより強固な出力段を提供しています。またゲート駆動能力は高く、ピーク電流±1.2Aです。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

PIN CONNECTION DIAGRAM



AVAILABLE OPTIONS TABLE

T _A = T _J	PACKAGE DEVICES					
	SOIC (D) PACKAGE ⁽¹⁾		PDIP (N) PACKAGE		TSSOP (PW) PACKAGE ⁽¹⁾	
	Turn-on Threshold 16 V	Turn-on Threshold 10.2 V	Turn-on Threshold 16 V	Turn-on Threshold 10.2 V	Turn-on Threshold 16 V	Turn-on Threshold 10.2 V
-40°C to 85°C	UCC2817AD	UCC2818AD	UCC2817AN	UCC2818AN	UCC2817APW	UCC2818APW
0°C to 70°C	UCC3817AD	UCC3818AD	UCC3817AN	UCC3818AN	UCC3817APW	UCC3818APW

(1)D及びPWパッケージはテープ/リールでも供給できます。デバイス・タイプの末尾にRを付けてください(例、UCC3817ADR)。個数はリール当たり2500個(Dパッケージ)、2000個(PWパッケージ)です。チューブの場合は40個(Dパッケージ)、90個(PWパッケージ)です。

THERMAL RESISTANCE TABLE

PACKAGE	θ _{jc} (°C/W)	θ _{ja} (°C/W)
SOIC-16 (D)	22	40 to 70 ⁽¹⁾
PDIP-16 (N)	12	25 to 50 ⁽¹⁾
TSSOP-16 (PW)	14 ⁽²⁾	123 to 147 ⁽²⁾

(1)規定されているθ_{ja}(接合部/周囲間)は1オンスの銅をもつ5平方インチのFR4 PCボードにデバイスを実装した場合の値です。抵抗の範囲が与えられている場合、その低いほうの値は5平方インチのアルミニウムPCボードの場合の値です。テスト用PWBボードは0.062インチ厚で、標準でパワー・パッケージの場合0.635mmの配線幅、パワー・パッケージでない場合1.3mmの配線幅で、各配線端に100x100ミルのブローブ・ランド領域があります。

(2)モデル化によるデータです。θ_{ja}の値に範囲があると、その低いほうの値は3x3インチで1オンスの銅のランド・プレーンが内部にある場合の値です。一方、高いほうの値は1x1インチのランド・プレーンがある場合の値です。全てのモデル・データはヒューズをもたない各リード線に対し1配線のみとしています。

ABSOLUTE MAXIMUM RATINGS

over operating free-air temperature (unless otherwise noted)[†]

	UCCx81xA	UNIT
Supply voltage VCC	18	V
Supply current ICC	20	mA
Gate drive current, continuous	0.2	A
Gate drive current	1.2	
Input voltage, CAI, MOUT, SS	8	V
Input voltage, PKLMT	5	
Input voltage, VSENSE, OVP/EN	10	
Input current, RT, IAC, PKLMT	10	mA
mA Input current, VCC (no switching)	20	
Maximum negative voltage, DRVOUT, PKLMT, MOUT	-0.5	V
Power dissipation	1	W
Junction temperature, T _J	-55 to 150	°C
Storage temperature, T _{stg}	-65 to 150	
Lead temperature, T _{soj} (soldering, 10 seconds)	300	
Power dissipation	1	

† 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

ELECTRICAL CHARACTERISTICS

T_A = 0°C to 70°C for the UCC3817A and T_A = -40°C to 85°C for the UCC2817A, T_A = T_J, VCC = 12 V, R_T = 22 kΩ, C_T = 270 pF, (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current Section					
Supply current, off	VCC = (VCC turn-on threshold - 0.3 V)		150	300	μA
Supply current, on	VCC = 12 V, No load on DRVOUT	2	4	6	mA
UVLO Section					
VCC turn-on threshold (UCCx817)		15.4	16	16.6	V
VCC turn-off threshold (UCCx817)		9.4	9.7		
UVLO hysteresis (UCCx817)		5.8	6.3		
Maximum shunt voltage (UCCx817)	I _{VCC} = 10 mA	15.4	17	17.5	
VCC turn-on threshold (UCCx818)		9.7	10.2	10.8	
VCC turn-off threshold (UCCx818)		9.4	9.7		
UVLO hysteresis (UCCx818)		0.3	0.5		
Voltage Amplifier Section					
Input voltage	T _A = 0°C to 70°C	7.387	7.5	7.613	V
	T _A = -40°C to 85°C	7.369	7.5	7.631	
V _{SENSE} bias current	V _{SENSE} = V _{REF} , VAOUT = 2.5 V		50	200	nA
Open loop gain	VAOUT = 2 V to 5 V	50	90		dB
High-level output voltage	I _L = -150 μA	5.3	5.5	5.6	V
Low-level output voltage	I _L = 150 μA	0	50	150	mV

ELECTRICAL CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to 70°C for the UCC3817A and $T_A = -40^\circ\text{C}$ to 85°C for the UCC2817A, $T_A = T_J$, $V_{CC} = 12\text{ V}$, $R_T = 22\text{ k}\Omega$, $C_T = 270\text{ pF}$,
(unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Over Voltage Protection and Enable Section					
Over voltage reference		VREF +0.48	VREF +0.50	VREF +0.52	V
Hysteresis		300	500	600	mV
Enable threshold		1.7	1.9	2.1	V
Enable hysteresis		0.1	0.2	0.3	
Current Amplifier Section					
Input offset voltage	$V_{CM} = 0\text{ V}$, $V_{CAOUT} = 3\text{ V}$	-3.5	0	2.5	mV
Input bias current	$V_{CM} = 0\text{ V}$, $V_{CAOUT} = 3\text{ V}$		-50	-100	nA
Input offset current	$V_{CM} = 0\text{ V}$, $V_{CAOUT} = 3\text{ V}$		25	100	
Open loop gain	$V_{CM} = 0\text{ V}$, $V_{CAOUT} = 2\text{ V to }5\text{ V}$	90			dB
Common-mode rejection ratio	$V_{CM} = 0\text{ V to }1.5\text{ V}$, $V_{CAOUT} = 3\text{ V}$	60	80		
High-level output voltage	$I_L = -120\text{ }\mu\text{A}$	5.6	6.5	6.8	V
Low-level output voltage	$I_L = 1\text{ mA}$	0.1	0.2	0.5	
Gain bandwidth product	(1)		2.5		MHz
Voltage Reference Section					
Input voltage	$T_A = 0^\circ\text{C to }70^\circ\text{C}$	7.387	7.5	7.613	V
	$T_A = -40^\circ\text{C to }85^\circ\text{C}$	7.369	7.5	7.631	
Load regulation	$I_{REF} = 1\text{ mA to }2\text{ mA}$	0		10	mV
Line regulation	$V_{CC} = 10.8\text{ V to }15\text{ V}^{(2)}$	0		10	
Short-circuit current	$V_{REF} = 0\text{ V}$	-20	-25	-50	mA
Oscillator Section					
Initial accuracy	$T_A = 25^\circ\text{C}$	85	100	115	kHz
Voltage stability	$V_{CC} = 10.8\text{ V to }15\text{ V}$	-1		1	%
Total variation	Line, temp	80		120	kHz
Ramp peak voltage		4.5	5	5.5	V
Ramp amplitude voltage (peak to peak)		3.5	4	4.5	
Peak Current Limit Section					
PKLMT reference voltage		-15		15	mV
PKLMT propagation delay		150	350	500	ns

(1) 設計目標値でありテスト保証されておりません。

(2) $V_{CC} < 10.8\text{ V}$ の基準電圧のばらつきは図8に示されています。

ELECTRICAL CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to 70°C for the UCC3817A and $T_A = -40^\circ\text{C}$ to 85°C for the UCC2817A, $T_A = T_J$, $V_{CC} = 12\text{ V}$, $R_T = 22\text{ k}\Omega$, $C_T = 270\text{ pF}$, (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Multiplier Section					
I_{MOUT} , high line, low power output current, (0°C to 85°C)	$I_{AC} = 500\ \mu\text{A}$, $V_{FF} = 4.7\text{ V}$, $VAOUT = 1.25\text{ V}$	0	-6	-20	μA
I_{MOUT} , high line, low power output current, (-40°C to 85°C)	$I_{AC} = 500\ \mu\text{A}$, $V_{FF} = 4.7\text{ V}$, $VAOUT = 1.25\text{ V}$	0	-6	-23	
I_{MOUT} , high line, high power output current	$I_{AC} = 500\ \mu\text{A}$, $V_{FF} = 4.7\text{ V}$, $VAOUT = 5\text{ V}$	-70	-90	-105	
I_{MOUT} , low line, low power output current	$I_{AC} = 150\ \mu\text{A}$, $V_{FF} = 1.4\text{ V}$, $VAOUT = 1.25\text{ V}$	-10	-19	-50	
I_{MOUT} , low line, high power output current	$I_{AC} = 150\ \mu\text{A}$, $V_{FF} = 1.4\text{ V}$, $VAOUT = 5\text{ V}$	-268	-300	-345	
I_{MOUT} , IAC limited output current	$I_{AC} = 150\ \mu\text{A}$, $V_{FF} = 1.3\text{ V}$, $VAOUT = 5\text{ V}$	-250	-300	-400	
Gain constant (K)	$I_{AC} = 300\ \mu\text{A}$, $V_{FF} = 3\text{ V}$, $VAOUT = 2.5\text{ V}$	0.5	1	1.5	1/V
I_{MOUT} , zero current	$I_{AC} = 150\ \mu\text{A}$, $V_{FF} = 1.4\text{ V}$, $VAOUT = 0.25\text{ V}$		0	-2	μA
	$I_{AC} = 500\ \mu\text{A}$, $V_{FF} = 4.7\text{ V}$, $VAOUT = 0.25\text{ V}$		0	-2	
I_{MOUT} , zero current, (0°C to 85°C)	$I_{AC} = 500\ \mu\text{A}$, $V_{FF} = 4.7\text{ V}$, $VAOUT = 0.5\text{ V}$		0	-3	
I_{MOUT} , zero current, (-40°C to 85°C)	$I_{AC} = 500\ \mu\text{A}$, $V_{FF} = 4.7\text{ V}$, $VAOUT = 0.5\text{ V}$		0	-3.5	
Power limit ($I_{MOUT} \times V_{FF}$)	$I_{AC} = 150\ \mu\text{A}$, $V_{FF} = 1.4\text{ V}$, $VAOUT = 5\text{ V}$	-375	-420	-485	μW
Feed-Forward Section					
VFF output current	$I_{AC} = 300\ \mu\text{A}$	-140	-150	-160	μA
Soft Start Section					
SS charge current		-6	-10	-16	μA
Gate Driver Section					
Pullup resistance	$I_O = -100\text{ mA}$ to -200 mA		9	12	Ω
Pulldown resistance	$I_O = 100\text{ mA}$		4	10	
Output rise time	$C_L = 1\text{ nF}$, $R_L = 10\ \Omega$, $V_{DRVOUT} = 0.7\text{ V}$ to 9.0 V		25	50	ns
Output fall time	$C_L = 1\text{ nF}$, $R_L = 10\ \Omega$, $V_{DRVOUT} = 9.0\text{ V}$ to 0.7 V		10	50	
Maximum duty cycle		93%	95%	99%	
Minimum controlled duty cycle	At 100 kHz			2%	
Zero Power Section					
Zero power comparator threshold	Measured on VAOUT	0.20	0.33	0.50	V

端子機能

TERMINAL		I/O	DESCRIPTION
NAME	NO.		
CAI	4	I	電流誤差アンプの非反転入力端子
CAOUT	3	O	電流誤差アンプの出力端子
CT	14	I	発振周波数設定端子。発振器のタイミング・コンデンサ接続
DRVOUT	16	O	ゲート駆動端子
GND	1	-	グラウンド
IAC	6	I	マルチプライヤ入力端子。電圧に比例変換された入力ライン電流の入力端子
MOUT	5	I/O	乗算器出力/電流アンプの反転入力端子
OVP/EN	10	I	過電圧/イネーブル端子
PKLMT	2	I	ピーク電流制限端子
RT	12	I	発振周波数設定端子。発振器の充電電流設定抵抗接続
SS	13	I	ソフトスタート端子
VAOUT	7	O	電圧誤差アンプ出力端子
VCC	15	I	電源電圧
VFF	8	I	フィードフォワード電圧
VSENSE	11	I	電圧誤差アンプの反転入力
VREF	9	O	基準電圧出力

ピンの説明

CAI：電流誤差アンプの非反転入力。ライン・インダクタンス電流信号の入力に利用します。この端子と反転入力(MOUT)はGND及びGND以下でも機能することができます。この端子にノイズが加わると正確な動作ができないのでレイアウトに注意し必要に応じてCRフィリタリングなどをしてノイズ対策をしてください。

CAOUT：この端子は入力ライン電流を正弦波状に追従させるために電流誤差ループを構成してパルス幅変調器回路(PWM)に正しいデューティ・サイクルを指示する広帯域オペアンプの出力です。外付けの位相補償回路はCAOUTとMOUTの間に挿入します。

CT：CRの充放電を利用した鋸歯状の発進回路を内蔵しており発信器は内部でPWMコンパレータに接続されています。CTの放電エッジには出力部にリセット信号が送られ出力を強制的にOFF状態にします。最大ONデューティは99%に内部で制御されています。(最小2%)外部同期接続例は図8参照。

CT端子からGND間にコンデンサを接続することによりスイッチング周波数が以下の式に従って設定されます。

$$f \approx \left(\frac{0.6}{RT \times CT} \right)$$

発振器のタイミング・コンデンサからGNDへのリード線はできるだけ短く、また直接接続してください。

DRVOUT：トータムポール型のMOSFETドライバ出力端子。外付けの駆動用パワーMOSFETを直接駆動することができます。容量性負荷を駆動する際に過度のオーバーシュートを回避するには、ゲート・インピーダンスと出力ドライバ間の相互作用を防ぐよう、ゲートに直列に電流制限/ダンピング抵抗を接続することを推奨します。また順方向電圧の低いショットキーダイオードをこの端子と対GND間に接続することによりパワーMOSFETの影響による出力段の保護に役立ちより高い信頼性のセットを構築できます。

この直列ゲート抵抗の値は、プルダウン抵抗($R_{pulldown}$ 、標準4Ω)、最大電源電圧(VCC)、必要とされる最大ゲート駆動電流(I_{MAX})により決まります。以下の式を使用すると、最大電源電圧

が18V、最大シンク電流が1.2Aの場合には11Ωの直列ゲート抵抗が必要となります。ソース電流は約900mAに制限されます(標準9Ωの R_{pullup} により)。

$$R_{GATE} = \frac{VCC - (I_{MAX} \times R_{pulldown})}{I_{MAX}}$$

GND：GND端子。全ての電圧はグラウンドを基準にして設定されます。VCCとREFはデバイス動作安定のために0.1μFまたはそれ以上のセラミック・コンデンサでGNDに接続してください。

IAC：このアナログ乗算器への入力、電圧に比例変換された入力ライン電流を入力します。システムの安定のためにはこの乗算器は電流入力(I_{IAC})から乗算器出力が超低歪みとなるよう直線領域で使用するように設定します(図11参照)。最大ACは500μA最小IACは150μAです。

MOUT：アナログ乗算器の出力と電流誤差アンプの反転入力はMOUT端子で互いに接続されます。システムの安定のためにはこの乗算器は直線領域で使用できるように設定します。(図11参照)。外部部品の設定によっては入力や負荷の変動によってこの直線領域をはずれ飽和領域で動作する場合があります。この飽和領域の動作状態では乗算器は正常にPFCのシステムを制御できなく出力電圧の上昇や低周波なりップル状態等が発生する場合がありますが過電圧回路などにより2次的にシステムを制御して動作を安定化させます。但し全てのデバイスは理想素子ではないため制御には限界があり外付けの設定には十二分に注意を払う必要があります。乗算器出力は電流であるため、電流アンプ入力はハイ・インピーダンス入力となります。アンプは差動誤差アンプとして構成します。この構成により、位相、ノイズが改善され、リーディングエッジ変調動作が可能になります。乗算器の出力電流は($2 \times I_{IAC}$)に制限されています。乗算器の出力電流は以下の式で求められます。

$$I_{MOUT} = \frac{I_{IAC} \times (V_{VAOUT} - 1)}{V_{VFF}^2 \times K}$$

但し、 $K = \frac{1}{V}$ は乗算器のゲイン定数です。

アプリケーション情報

OVP/EN：過電圧イネーブル端子。ウィンドウ・コンパレータ形の入力で、過電圧保護回路動作としては昇圧された出力電圧が設定値以上の電圧レベル場合 ($V_{ref} + 0.5V$ typ) 出力ドライバを停止状態にします。復帰はヒステリシスを持った自動復帰で規定電位 (ヒステリシス電圧：500mV) 以下になると自動復帰します、またON/OF機能としても兼用をかねており端子電圧が1.9V(typ)より下がった場合PFC出力ドライバを停止状態にしソフトスタート回路をリセットします。

PKLMT：ピーク電流制限設定のスレッシュホールドは0Vです。この信号を検出抵抗値とピーク電流制限で定義される電圧レベルにレベル・シフトするため電流検出抵抗からVREFへの抵抗を接続してください。PKLMT電圧が0V以下に下がるとピーク電流制限に達します。また必要に応じてこの端子を高電位ラインから保護してください

RT：RTからGNDへ接続される抵抗により発振器の充電電流を設定します。10kΩから100kΩの抵抗を推奨します。この端子の標準的な電圧は3Vです。

SS： V_{SS} は V_{VCC} が低い状態で放電します。イネーブルの場合、SSは外付けのコンデンサを内部の電流源で充電します。この電圧は起動時に電圧誤差アンプの信号として使用され、PWMのデューティ・サイクルが徐々に増加するように制御し起動時のオーバーシュートを押さえることに利用することができます。 V_{VCC} が規定値以下に低下した場合は、OVP/ENは1.9V(typ)より低電位になり、SS回路はPWM動作を停止状態にするよう直ちに放電します。

注：開ループのテスト回路では、SSピンをグランドに接続しても0%のデューティ・サイクルは保証されません。詳細はアプリケーション情報の項を参照してください。

VAOUT：この端子は出力電圧を制御する誤差アンプの出力端子です。内部で約5.5Vにクランプ制限されています。

VCC：デバイス動作安定のためには10V~17V範囲内で安定した電力を供給してください。外付けMOSFETの駆動にもこの端子から電力が供給されます。動作安定やノイズ緩和のためにVCCをコンデンサで最短にGNDに接続してください。また不適切なゲート駆動信号を防止するため、低電圧ロックアウト回路が内蔵されており V_{VCC} が規定電圧以外ではデバイスの動作は停止されます。

VFF： I_{IAC} の1/2電位を外付けフィルタに反映させることでこのピンにRMS電圧信号が生成されます。低ラインでは、VFF電圧は1.4Vになります。

VSENSE：電圧誤差アンプの反転入力端子でこのピンは、通常、位相補償回路および出力電圧の帰還端子として出力に接続されています。

VREF：7.5Vtypの高精度な基準電圧の出力です。この回路は20mAの電流供給能力があり、高信頼性のために内部で短絡回路も内蔵し制御しています。VREFは V_{VCC} がUVLOスレッシュホールド電位以下の場合停止状態になり、0Vのままです。回路の安定性を得るには0.1μFまたはそれ以上のセラミック・コンデンサでVREFからGNDにバイパスしてください。図9と図10にVREFライン/負荷レギュレーション特性を示します。

UCC3817A・18Aは高力率、高効率のプリレギュレータ用でBiCMOSプロセスを使用した平均電流モードの昇圧・コントローラです。図1にUCC3817Aを使用した250WのPFCシステムのプリレギュレータ回路を示します。オフライン制御のスイッチング・コンバータの入力電流は通常正弦波ではありません。コンデンサ入力の場合には常に電流と電圧の位相差が90度あるため電流は入力電圧波形のピーク付近でパルス状で流れるため、入力電流波形には高調波成分が含まれています。アクティブ・タイプの力率改善回路では入力電流と入力電圧の位相差をなくし追従するようプログラムされるため、コンバータはラインに対し抵抗性負荷であるようにみえます。抵抗性負荷では電流波形と電圧波形の間の位相のずれは 0° です。力率は以下のように同一周波数の2つの正弦波間の位相角で定義することができます。

$$PF = \cos \theta \quad (1)$$

従って、純粋な抵抗性負荷の力率は1です。実際には、優れた設計回路の場合に3%より下のTHD(全高調波歪)で力率0.999の可能性がります。UCC3817Aを用いてPFCブースト・コンバータを設計する際のガイドランを以下に示します。

パワー段

LBOOST：昇圧・インダクタ値は以下の式で決まります。

$$L_{BOOST} = \frac{(V_{IN(min)} \times D)}{(\Delta I \times f_s)} \quad (2)$$

但し、Dはデューティ・サイクル、 ΔI はインダクタのリプル電流、 f_s はスイッチング周波数です。回路例では、スイッチング周波数は100kHz、リプル電流は875mA、最大デューティ・サイクルは0.688、最小入力電圧は $85V_{RMS}$ であるため、インダクタ値は約1mHになります。この式で使用された値はインダクタ電流とそのリプルが最大となる谷ラインのピーク時のものです。

C_{OUT}：2つの主な設定基準である容量と電圧定格から出力コンデンサの選択を考慮します。容量値はAC入力電圧が除かれた後負荷電力を維持するのに必要なホールドアップ時間により決まります。ホールドアップ時間は入力を取り除かれた後も出力がレギュレーションし続けている時間です。この回路例では、設定されるべきホールドアップ時間は約16msになります。以下の式よりコンデンサ値は出力電力、出力電圧、ホールドアップ時間で求められます。

$$C_{OUT} = \frac{(2 \times P_{OUT} \times \Delta t)}{(V_{OUT}^2 - V_{OUT(min)}^2)} \quad (3)$$

実際には、出力リプル電圧の仕様により出力コンデンサの許容ESRが制限されるため、計算した最小コンデンサ値では不十分である可能性があります。十分に低い値のESRを利用しても多くの場合計算値より多少大きなコンデンサ値を使用する必要があります。出力コンデンサの許容ESRは規定最大出力リプル電圧をインダクタのリプル電流で割って決めることができます。当設計例では、ホールドアップ時間が主な決定要因であると仮定して、250W時出力電圧レベル385VDCで220μF/450Vのコンデンサを選択しています。例ではトランス型の例で描かれていますが働きとしては単純な昇圧インダクタンスとして動作しているためデバイス駆動電力を別回路などによって確保できれば特にトランス

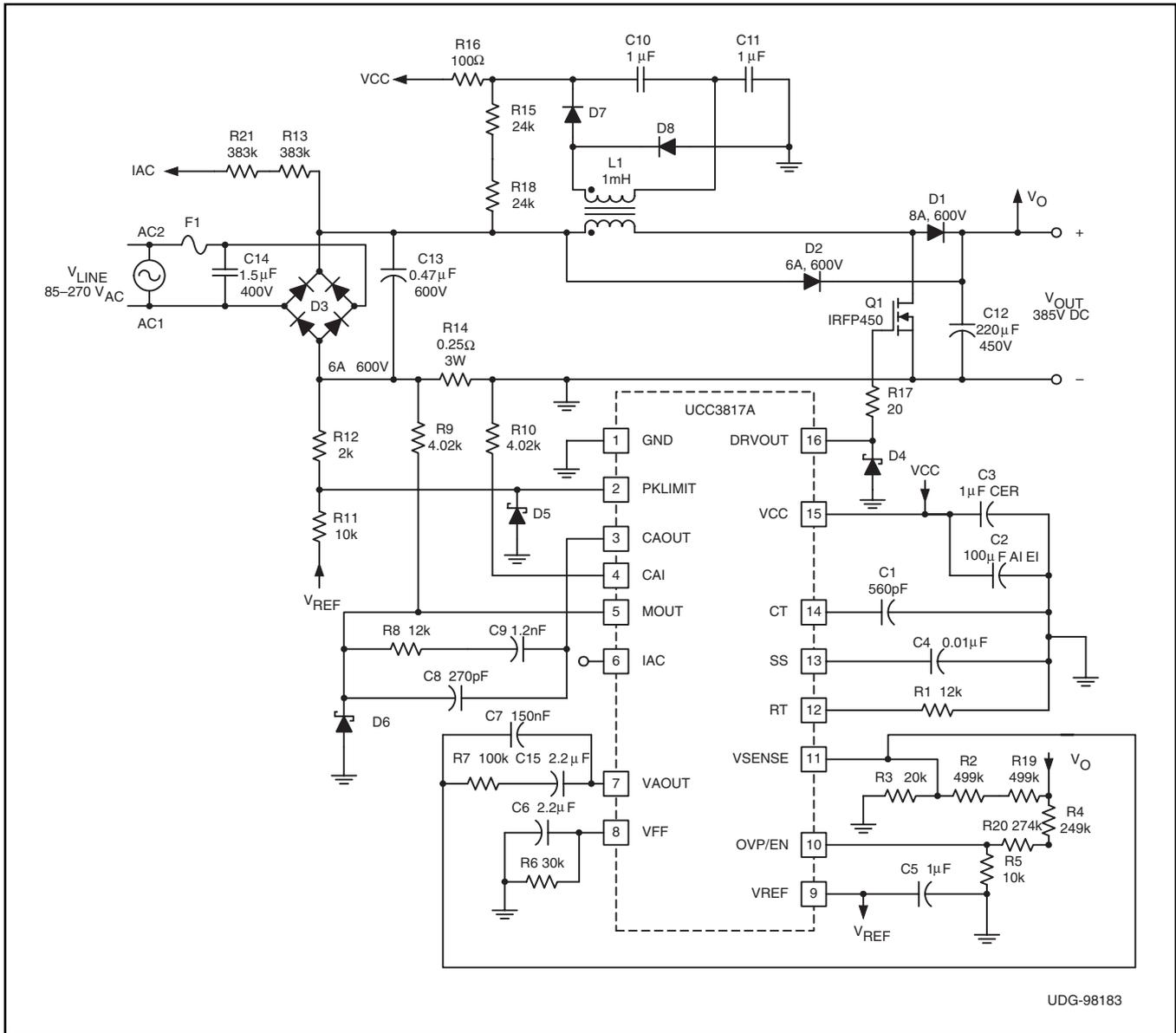


図1. Typical Application Circuit

タイプを利用する必要はありません。直流畳重やインダクタンス値などを適切に設計すれば通常のDC/DCコンバータなどで使用されているコアを利用してもまたインダクタンスを分散しても動作は適切に行えます。

パワー・スイッチの選択：いかなる電源設計でも、性能、コスト、大きさの関係で設計考慮を行う必要があります。パワー・スイッチを選択する場合、コンバータに検討されているスイッチング周波数においていくつかの異なるデバイスに対しスイッチの総消費電力を計算することが有用です。スイッチの総消費電力はスイッチング損失と導通損失の合計です。スイッチング損失はゲートの電荷損失、 C_{OSS} 損失、ターンオン/ターンオフ損失の組み合わせで表すことができます。

$$P_{GATE} = Q_{GATE} \times V_{GATE} \times f_s \quad (4)$$

$$P_{COSS} = \frac{1}{2} \times C_{OSS} \times V_{OFF}^2 \times f_s \quad (5)$$

$$P_{ON} + P_{OFF} = \frac{1}{2} \times V_{OFF} \times I_L \times (t_{ON} + t_{OFF}) \times f_s \quad (6)$$

上記式で Q_{GATE} は総ゲート電荷、 V_{GATE} はゲート駆動電圧、 f_s はクロック周波数、 C_{OSS} はMOSFETのドレイン/ソース間容量、 I_L はピーク・インダクタ電流、 t_{ON} と t_{OFF} はスイッチング時間(デバイス・パラメータ R_{GATE} 、 Q_{GD} 、 V_{TH} を用いての見積り)、 V_{OFF} はオフ時間でのスイッチ端電圧でこの場合は $V_{OFF} = V_{OUT}$ です。

導通損失は(最悪の接合部温度における)スイッチの $R_{DS(on)}$ とRMS電流の二乗の積で計算されます。

$$P_{COND} = R_{DS(on)} \times K \times I_{RMS}^2 \quad (7)$$

但し、“K”ファクタはメーカーの $R_{DS(on)}$ 対接合部温度曲線で求められる温度因子です。

これらの損失を計算し、周波数に対し考慮すると、設計者がどのメーカーのデバイスが最良の性能をもっているか、またはそのパワー・スイッチの総損失がもっとも小さくなるかを決定できる曲線がスイッチング周波数単位で得られことができます。当設計例では、低い $R_{DS(on)}$ と V_{DSS} 定格によりInternational Rectifier社のIRFP450 HEXFETを選定しています。IRFP450のもつ0.4Ωの $R_{DS(on)}$ と500Vの最大 V_{DSS} は主な選択理由となります。この手順

についての詳細はUnitrode Power Design Seminar SEM1200, Topic6のDesign Review:140W, [Multiple Output High Density DC/DC Converter]にあります。

ソフトスタート

ソフトスタート回路は起動時の出力電圧のオーバーシュートを防ぐのに使用されます。電圧アンプの出力(V_{VAOUT})をゆっくりと上げることによりPWMのデューティ・サイクルを徐々に増加させることで実現します。ソフトスタート・ピンに接続するコンデンサを選択するには以下の式を使用してください。

当例では、 t_{DELAY} は7.5msであり、よって C_{SS} は10nFになります。

$$C_{SS} = \frac{10 \mu A \times t_{DELAY}}{7.5 V} \quad (8)$$

開ループのテスト回路では、ソフトスタート・ピンをグランドに短絡しても0%のデューティ・サイクルは保証されません。この主な原因は、デバイスは理想素子ではないため電流誤差アンプの入力オフセット電圧に起因します。オフセット電圧の極性によっては電流誤差アンプの出力を“H”レベルまたは“L”レベルにしてしまうこともあります。しかし、一般的な使用においては、電流誤差アンプのオフセット電圧問題を克服する方法はあります。

乗算器

乗算器が適切に機能することはPFCのシステムにおいて最も重要な設定項目です。UCC3817Aの乗算器出力は第一象限の乗算器で入力ライン信号を利用して電圧と電流の位相差の改善のために反映させます。これは高力率動作となるよう入力電流を制御するために電流ループを制御することにより達成できます。乗算器の入力は、電圧誤差アンプの誤差信号VAOUT、整流されたAC入力ライン電圧の象徴 I_{IAC} 、入力電圧のフィードフォワード信号 V_{VFF} です。乗算器の出力 I_{MOUT} は以下の式で表すことができます。

$$I_{MOUT} = I_{IAC} \times \frac{(V_{VAOUT} - 1)}{K \times V_{VFF}^2} \quad (9)$$

但し、Kは定数で通常は $\frac{1}{V}$ です。

電気的特性表には乗算器を用いた場合の全ての要求動作条件が網羅されています。さらに、図11、12、13に全動作条件においての乗算器の代表的特性が示されています。特に図11に示されているように直線領域でのみ正常な適切な動作ができます。乗算器にはダイナミック入力範囲が存在するので設定や使用条件によっては飽和領域での動作になる場合があるため設計時の評価、設定された部品でのシステムの限界を十分に考慮されることが必要です。

I_{IAC} 信号は、整流されたACラインとUCC3817A/18AのIACピンに接続された抵抗により得られます。この抵抗(R_{IAC})は高ラインにおいて最大の I_{IAC} 電流となるように設定します。UCC3817A/18Aでは最大 I_{IAC} 電流は500 μA です。これよりも大きな電流では乗算器がその直線領域の範囲から外れてしまうことがあります。また、より小さな電流レベルでは機能はしますが、ノイズが特に低入力ラインで問題となることがあります。85V_{RMS}から265V_{RMS}のワイドレンジのライン動作と仮定すると、 R_{IAC} の値は約750k Ω になります。抵抗の電力の考慮のため小さな値の抵抗などを直列接続して組み合わせて使い、高電圧・電力負担を分散させてください。当設計例では383k Ω の抵抗を2つ直列に利用しています。乗算器や誤差アンプなどは理想素子でないためオフセット電圧を持っています。軽負荷時などの状態時にCAI端子から見たオフセット電位が負電位レベルの場合には影響により外付け設定によっては間欠動作や出力電圧が上昇する現象が起きます場合があります。この現象を軽減するためにはVref端子を利用して乗算器や誤差アンプの入力にバイアス電位を加えることで見かけ上のオフセットを無くすることができます(図2参照)。

IACピンに流れ込んだ電流は内部でVFFピンにミラーリング(比例変換)され、ライン電圧に比例した電圧フィードフォワード信号を生成するためフィルタにより処理されます。接続例などはテ

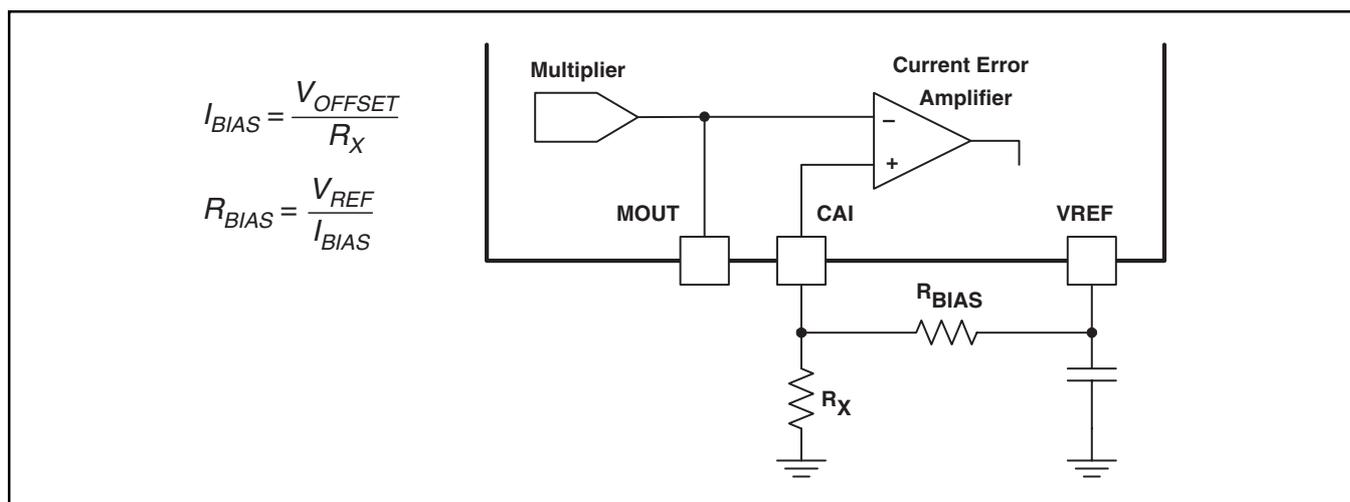


図2.

キヤス・インスツルメンツのアプリケーション・ノートSLUA146 図8等を参照してください。

VFF電圧はパワー段のゲイン定数を維持し、また入力パワーの制限を行うために使用されます。VFFピンのパワー制限方法についての詳細説明はテキサス・インスツルメンツのアプリケーション・ノートSLUA196を参照してください。以下の式によりパワー制限を行うためのVFF抵抗(R_{VFF})の大きさを設定することができます。但し、 $V_{IN(min)}$ は最小RMS入力電圧、 R_{IAC} はIACピンと整流ライン電圧の間に接続される総抵抗です。

$$R_{VFF} = \frac{1.4 \text{ V}}{\frac{V_{IN(min)} \times 0.9}{2 \times R_{IAC}}} \approx 30 \text{ k}\Omega \quad (10)$$

VFF電圧はライン電圧より生成されるため、120Hzの整流ライン電圧により生じる全高調波歪を低減するため十分にフィルタ処理をする必要があります。Unitrode Power Design Seminar SEM-700, Topic7の[Optimizing the Design of a High Power Factor Preregulator]を参照してください。当設計例では単純フィルタ例にてしめています。この入力からの全高調波歪が1.5%許容されており、また二次高調波リップルが入力ACライン電圧の66%であると仮定すると、このフィルタに要求される減衰量は以下のようになります。

$$\frac{1.5 \%}{66 \%} = 0.022 \quad (11)$$

120Hzのリップル周波数(f_R)と減衰量0.22により、フィルタのポール(f_P)は以下の位置が求められます。

$$f_P = 120 \text{ Hz} \times 0.022 \approx 2.6 \text{ Hz} \quad (12)$$

所望のローパス・フィルタを作るのに必要なフィルタ・キャパシタ(C_{VFF})を選択するのに以下の式を利用することができます。

$$C_{VFF} = \frac{1}{2 \times \pi \times R_{VFF} \times f_P} \approx 2.2 \mu\text{F} \quad (13)$$

R_{MOUT} 抵抗は検出抵抗を流れる最大電流を最大乗算器電流に一致させるよう大きさが決められます。最大乗算器電流 $I_{MOUT(max)}$ は以下の式で設定することができます。

$$I_{MOUT(max)} = \frac{I_{IAC} @ V_{IN(min)} \times (V_{VAOUT(max)} - 1 \text{ V})}{K \times V_{VFF}^2(min)} \quad (14)$$

当設計例では $I_{MOUT(max)}$ は約315 μ Aです。よって、 R_{MOUT} 抵抗は以下の式で設定できます。

$$R_{MOUT} = \frac{V_{RSENSE}}{I_{MOUT(max)}} \quad (15)$$

当例では V_{RSENSE} はダイナミック動作範囲が1.25Vとなるよう選択されており、 R_{MOUT} は約3.91k Ω になります。

電圧ループ

高調波歪の2番目の主な原因はライン周波数の二次高調波での出力コンデンサのリップルです。このリップルは誤差増幅器を通じて帰還し、乗算器の入力に三次高調波リップルとして現れます。

安定性のためだけでなくこのリップルの影響がシステムの全高調波歪への悪影響を減少させるため電圧ループを適切に補償しなければなりません(図3参照)。

電圧アンプのゲイン G_{VA} はまず出力コンデンサに存在するリップル量を計算することで決めることができます。二次高調波電圧のピーク値は以下の式で求められます。

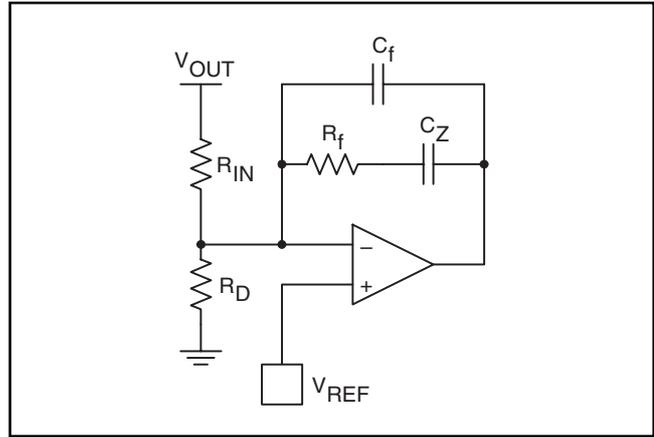


図3. Voltage Amplifier Configuration

$$V_{OPK} = \frac{P_{IN}}{(2 \pi \times f_R \times C_{OUT} \times V_{OUT})} \quad (16)$$

当例では V_{OPK} は3.91Vになります。電圧ループからの全高調波歪への許容寄与度を0.75%(ピーク間1.5%)と仮定するとゲインは以下の式で設定されます。

$$G_{VA} = \frac{(\Delta V_{VAOUT})(0.015)}{2 \times V_{OPK}} \quad (17)$$

但し、 ΔV_{VAOUT} は誤差増幅器の有効な出力電圧です(UCC3817Aでは5V)。このフィルタを実現するのに必要な回路は、入力抵抗 R_{IN} 、フィードバック部品の C_f 、 C_z 、 R_f から成っています。 R_{IN} の値は、出力電圧のレギュレーションのために電圧アンプに帰還する V_{OUT} からの抵抗分割の1/2として既に決まっています。この例の場合は1M Ω を選択しています。大きな値抵抗値の選択により消費電力を低減するのに有効です。実際には、この抵抗値はほとんどの1/4Wの標準的な抵抗を利用する場合には、定格の制約のため500k Ω の抵抗を2つ直列接続して実現します。 C_f の値は以下の式により決まります。

$$C_f = \frac{1}{(2 \pi \times f_R \times G_{VA} \times R_{IN})} \quad (18)$$

当例では C_f は150nFです。抵抗 R_f は誤差増幅器のDCゲインを設定し、よって誤差増幅器のポール周波数が決まります。ポールの位置はループ式のゲインを1に設定し、クロスオーバー周波数について解くことにより求めることができます。周波数は、入力パワーに関して表現され、以下の式で計算することができます。

$$f_{VI}^2 = \frac{P_{IN}}{(2 \pi)^2 \times \Delta V_{VAOUT} \times V_{OUT} \times R_{IN} \times C_{OUT} \times C_f} \quad (19)$$

このコンバータでの例ではクロスオーバー周波数 f_{VI} は10Hzです。この式の導出についてはUnitrode Power Design Seminar SEM1000, Topic1の[A 250-kHz, 500-W, Power Factor Correction Circuit Employing Zero Voltage Transitions]を参照してください。

R_f について解くと以下のようになります。

$$R_f = \frac{1}{(2 \pi \times f_{VI} \times C_f)} \quad (20)$$

或いは、 R_f は100k Ω とします。

電圧アンプの出力インピーダンスが低いことにより、分圧器への負荷を低減するためコンデンサ C_z を R_f に直列に挿入します。確実に電圧ループをクロスオーバー周波数 f_{VI} で交差させるため、

C_Z はクロスオーバー周波数 f_{VI} の1/10として設定します。当設計例では C_Z には2.2 μ Fのコンデンサを選択します。以下の式により C_Z を計算することができます。

$$C_Z = \frac{1}{2 \times \pi \times \frac{f_{VI}}{10} \times R_f} \quad (21)$$

電流ループ

パワー段のゲインは以下のようになります。

$$G_{ID}(s) = \frac{(V_{OUT} \times R_{SENSE})}{(s \times L_{BOOST} \times V_P)} \quad (22)$$

R_{SENSE} は設定された電流制限レベルにおいて必要な差動電圧を電流検出アンプに供給するよう動作します。当例では、電流制限が4A、電流アンプへの妥当な差動電圧は1Vであるため R_{SENSE} の値は0.25 Ω となります。この式の V_P は発振器ランプの電圧振幅で、UCC3817Aでは4Vです。仮にシステムのクロスオーバー周波数をスイッチング周波数の1/10、または10kHzに設定すると、パワー段のゲインはその周波数で0.383が必要となります。クロスオーバー周波数でシステムが1のゲインとなるには電流アンプにはその周波数で $1/G_{ID}$ のゲインが必要となります。よって、電流アンプのゲイン G_{EA} は以下のようになります。

$$G_{EA} = \frac{1}{G_{ID}} = \frac{1}{0.383} = 2.611 \quad (23)$$

R_I は R_{MOUT} 抵抗で、既に計算されており3.9k Ω です(図4参照)。電流アンプのゲインは R_f/R_I であるため、 R_I に G_{EA} を乗じると R_f の値が求まります。この場合は約12k Ω です。クロスオーバー周波数でゼロ、スイッチング周波数の1/2でポールを設定すると電流ループの補償が完成します。

$$C_Z = \frac{1}{2 \times \pi \times R_f \times f_C} \quad (24)$$

$$C_P = \frac{1}{2 \times \pi \times R_f \times \frac{f_S}{2}} \quad (25)$$

UCC3817Aの電流アンプには反転入力に入る乗算器からの入力があります。以前のテキサス・インスツルメンツのPFCコントローラからこの手法への変更により電流アンプのノイズ耐性が改善しています。また、コントロール・ループへの位相反転も加わりより汎用性が広がりました。UCC3817Aは後段のメインスイッチングレギュレータ回路と同期させた場合にはこの位相反転を利用してリーディングエッジのデューティ・サイクル変調が実現できます。PFCコントローラを後段のDC/DCコントローラに同期させることで各間の平滑コンデンサで見られるリップル電流が低減することで、コンデンサのコストと大きさが低下し、EMIが減少します。このことは次項でさらに詳しく説明されています。UCC3817Aの電流アンプ構成を図5に示します。

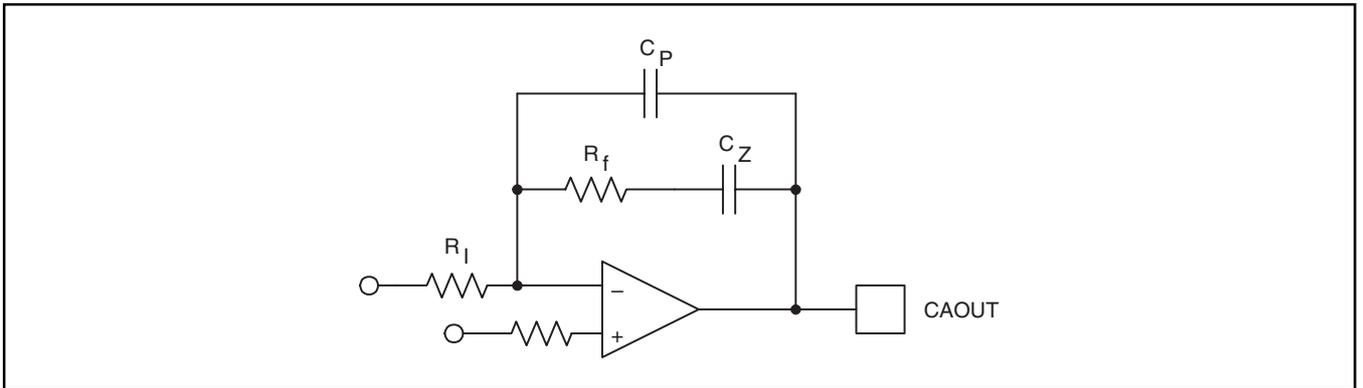


図4. Current Loop Compensation

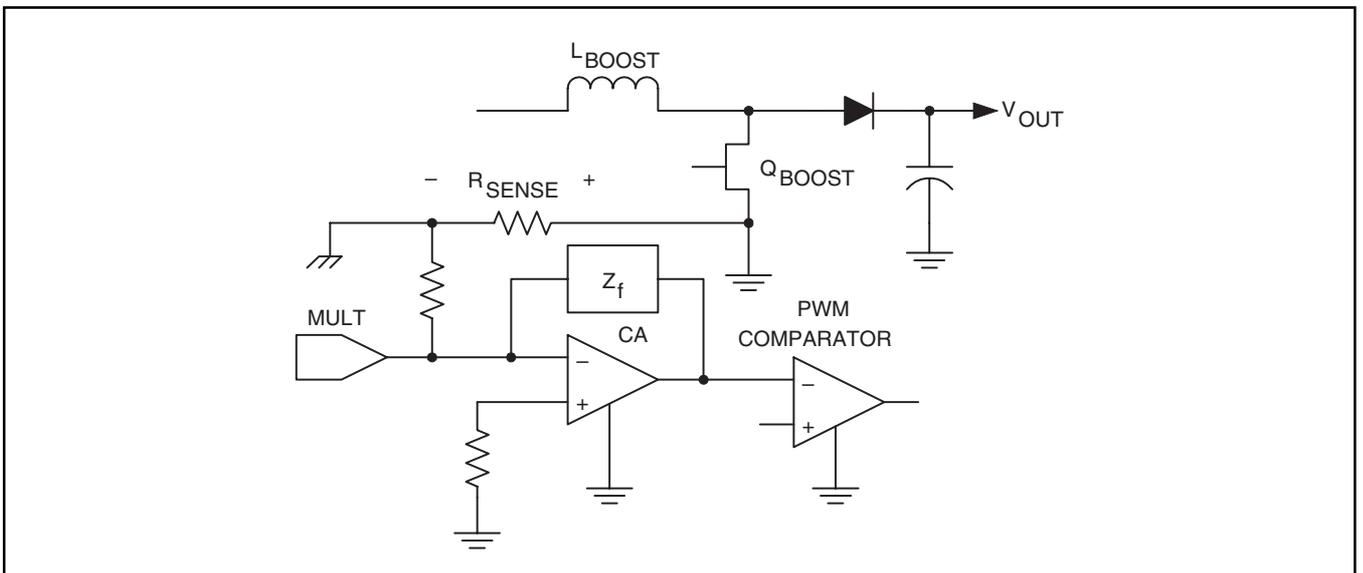


図5. UCC3817A Current Amplifier Configuration

起動

UCC3818AバージョンはVCCが安定化された電源電圧を利用するのに便利なデバイスです。UCC3817Aは、図1の代表的アプリケーション回路で示されているように、補助巻き線から電源を供給してデバイスを動作させても安定化できるように内部にシャントレギュレータ(チエナダイオード)を内蔵しています。低電圧ロックアウト時UCC3817Aにより流れる電流、または起動電流は標準値で150 μ Aです。VCCがUVLOスレッシュホールド以上になると、デバイスは動作状態になり、標準で4mAの電流をデバイス内の動作のため消費します。整流されたACライン電圧とVCCピンの間に接続された起動抵抗が起動時の電力を供給します。回路が動作状態になると、インダクタの補助巻き線が起動抵抗に変わってVCC電圧を供給します。起動抵抗の大きさは単純に起動電流を確保するだけでなくシステム設計での起動時間の要件でも考慮が必要です。以下式にて例を示します

$$I_C = C \frac{\Delta V}{\Delta t} \quad (26)$$

$$R = \frac{V_{RMS} \times (0.9)}{I_C} \quad (27)$$

但し、 I_C は充電電流、 C はVCCピンでの総容量、 ΔV はUVLOスレッシュホールド、 Δt は許容起動時間です。

許容される起動時間が1秒、UVLOスレッシュホールドが16V、VCC容量が100 μ Fとすると、85VRMSの低ライン入力電圧時では51k Ω の抵抗値が必要になります。ICの起動電流は起動抵抗の大きさを決めるのには無視できるほど十分に小さな値にデバイスは低消費設計されています。

コンデンサのリップル低減

PFC昇圧コンバータの後段に通常のDC/DCコンバータ段が続いている電源システムでは、この2つの回路を同期させることには利点があります。ノイズの低減や安定性などの通例の利点に加え、同期を適切に行うと昇圧回路の出力コンデンサのリップル電

流を大きく低減することができます。図6に、PFC昇圧コンバータとフォワード・コンバータの単純モデル化した入力段を示して同期が適切に行われた場合の効果の説明をします。単一スイッチング・サイクル時のコンデンサ電流はスイッチQ1とQ2の状態に依存し、それを図7に示します。両方のコンバータで従来のトレーリングエッジ変調を行う同期体系では、コンデンサの電流リップルが最大になることが分かります。Q1のオフ時間とQ2のオン時間の重なりを最大にした時にリップル電流が最大限相殺されます。このことを実現する1つの方法が昇圧ダイオード(D1)のターンオンをQ2のターンオンに同期させることです。この手法は、フォワード・コンバータが従来のトレーリングエッジPWMで変調されているのに対し、昇圧コンバータのリーディングエッジがパルス幅変調されているということを示しています。UCC3817Aはこの利点を助長するよう後段のコンバータと簡単に同期できるリーディングエッジ変調で設計されています。表1に、UCC3817AのD1/Q2同期の場合の $I_{CB(rms)}$ と、その対極として V_{BST} が385Vで200Wの電源システムのQ1とQ2のターンオンを同期させた場合の $I_{CB(rms)}$ の比較を示します。

表1では、UCC3817Aにより容易になった同期体系を用いた場合昇圧コンデンサのリップル電流が標準ラインで約50%、高ラインで約30%低減できることが示されています。図8に、UCC3817Aを後段のコンバータに同期させる手法を提案します。この手法により、図7に示されているような最大のリップル低減が可能になります。出力容量値は、その選択がリップル電流により影響されたとしても大きく低減できます、すなわち結果としてコンデンサの寿命が増大します。ホールドアップ時間が重要でなくコストが問題の設計ではこれは大きな長所です。

同様のリップル低減を実現する別の同期方法も可能です。この方法では、Q1のターンオンをQ2のターンオフに同期させます。この方法はほぼ同一のリップル低減をもたらし、両方のコンバータでトレーリングエッジ変調を行えますが、同期の実現がかなり難しく、同期エッジ自身が変調されている時回路がノイズに影響を受けやすくなってしまふことがあります。

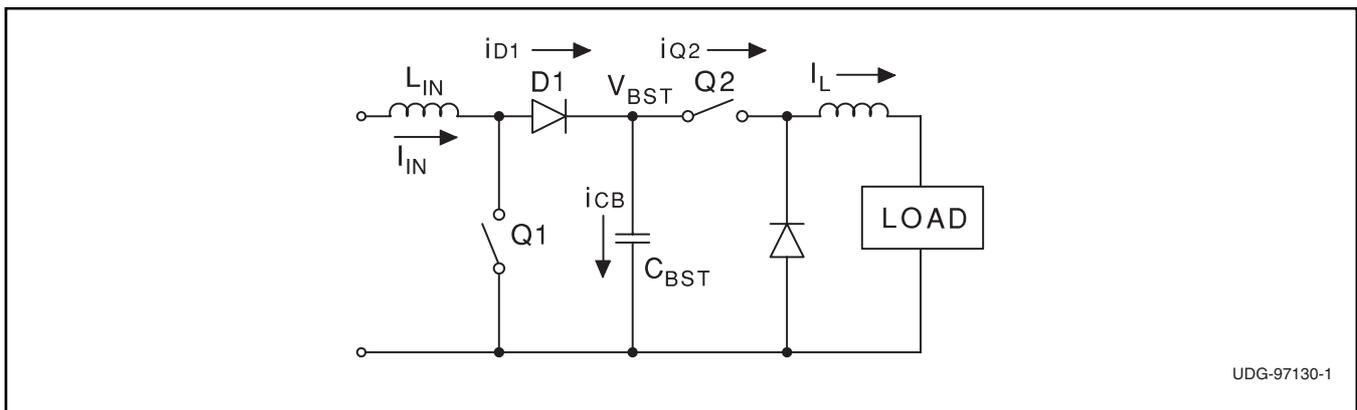


図6. Simplified Representation of a 2-Stage PFC Power Supply

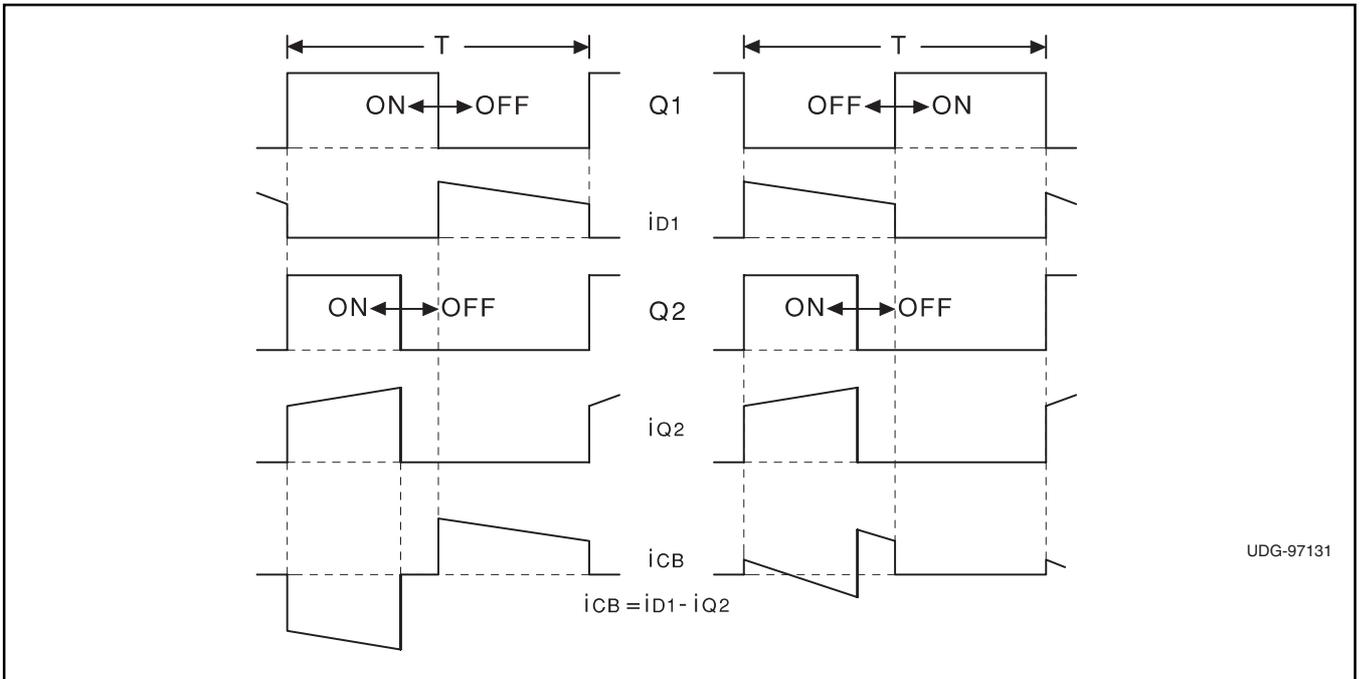


图7. Timing Waveforms for Synchronization Scheme

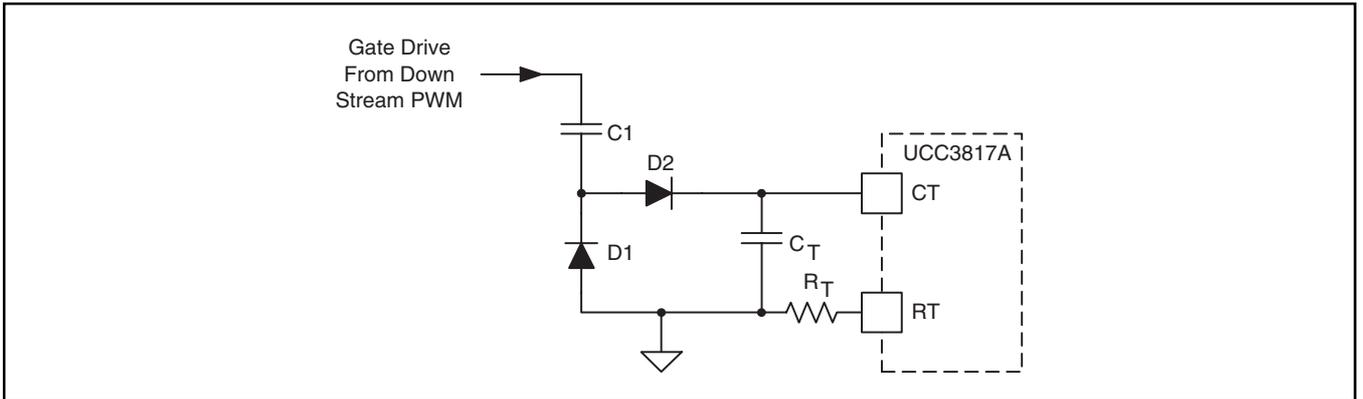


图8. Synchronizing the UCC3817A to a Down-Stream Converter

D(Q2)	V _{IN} = 85 V		V _{IN} = 120 V		V _{IN} = 240 V	
	Q1/Q2	D1/Q2	Q1/Q2	D1/Q2	Q1/Q2	D1/Q2
0.35	1.491 A	0.835 A	1.341 A	0.663 A	1.024 A	0.731 A
0.45	1.432 A	0.93 A	1.276 A	0.664 A	0.897 A	0.614 A

表1. Effects of Synchronization on Boost Capacitor Current

REFERENCE VOLTAGE
vs
SUPPLY VOLTAGE

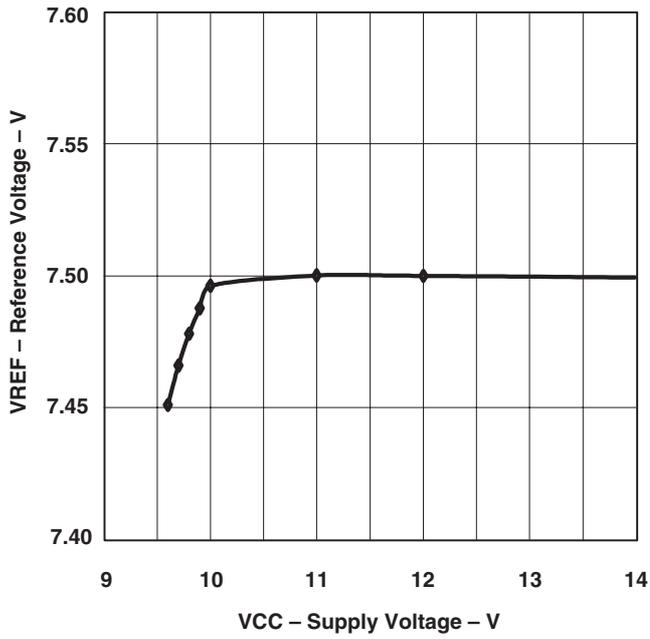


Figure 9

REFERENCE VOLTAGE
vs
REFERENCE CURRENT

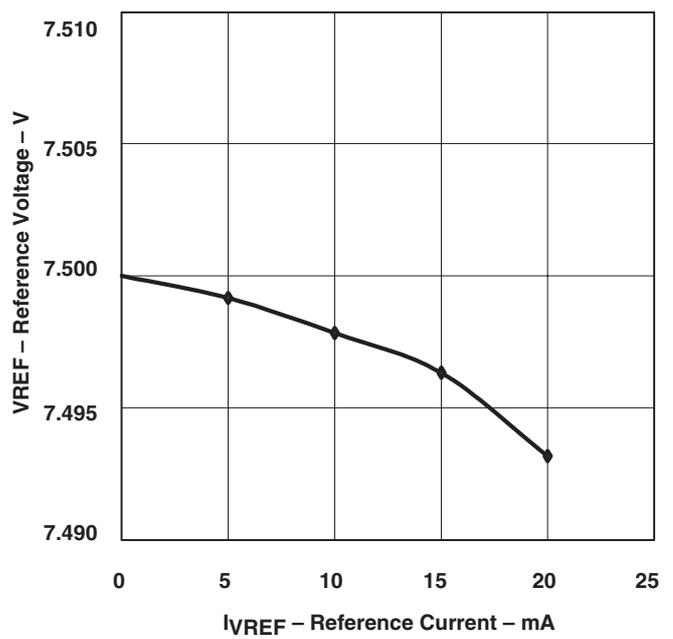


Figure 10

MULTIPLIER OUTPUT CURRENT
vs
VOLTAGE ERROR AMPLIFIER OUTPUT

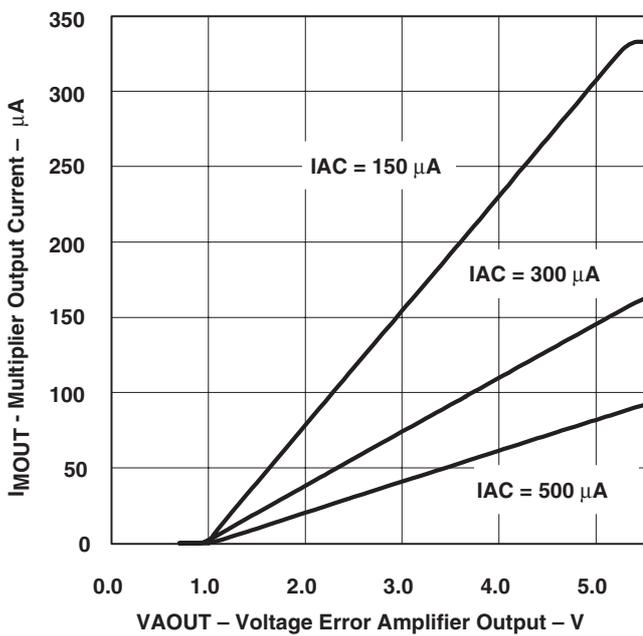


Figure 11

MULTIPLIER GAIN
vs
VOLTAGE ERROR AMPLIFIER OUTPUT

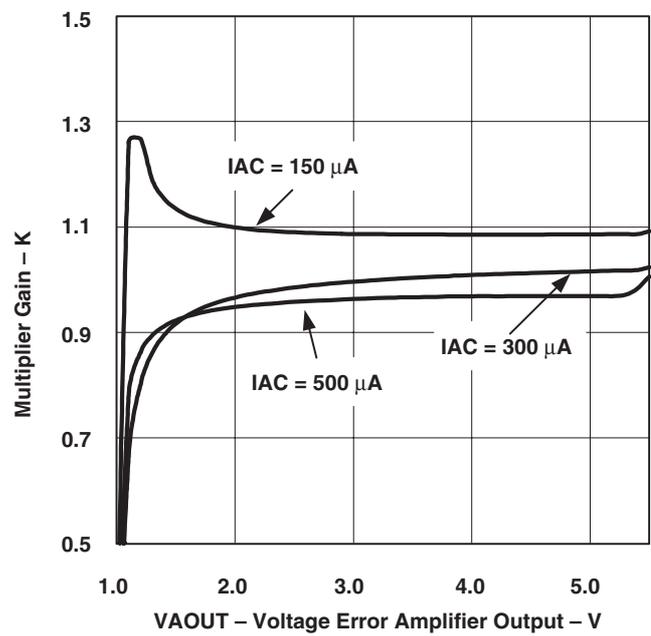


Figure 12

MULTIPLIER CONSTANT POWER PERFORMANCE

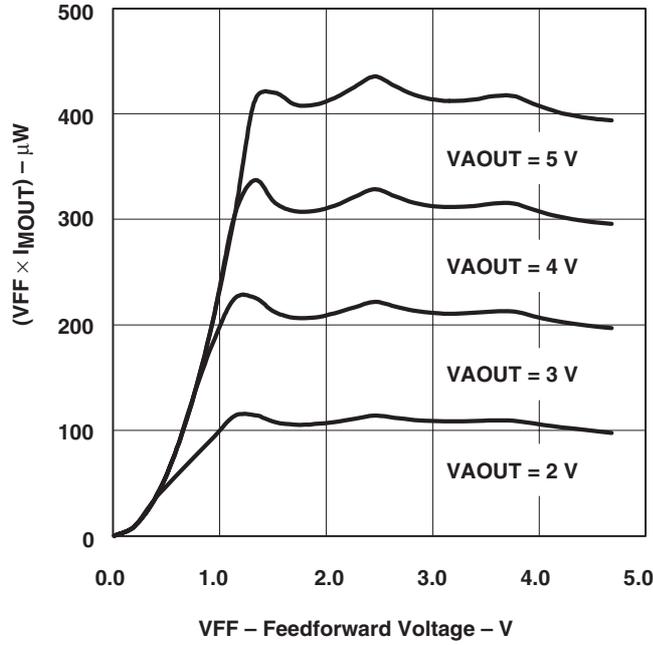


Figure 13

References and Resources:

Application Note, *Differences Between UCC3817A/18A/19A and UCC3817/18/19*, Texas Instruments Literature Number SLUA294
 Evaluation Module, UCC3817EVM, 385V, 250W PFC Boost Converter
 User's Guide, *UCC3817 BiCMOS Power Factor Preregulator Evaluation Board*, Texas Instruments Literature Number SLUU077

Application Note, *Synchronizing a PFC Controller from a Down Stream Controller Gate Drive*, Texas Instruments Literature Number SLUA245
 Seminar topic, *High Power Factor Switching Preregulator Design Optimization*, L.H. Dixon, SEM-700,1990.
 Seminar topic, *High Power Factor Preregulator for Off-line Supplies*, L.H. Dixon, SEM-600, 1988.

Related Products

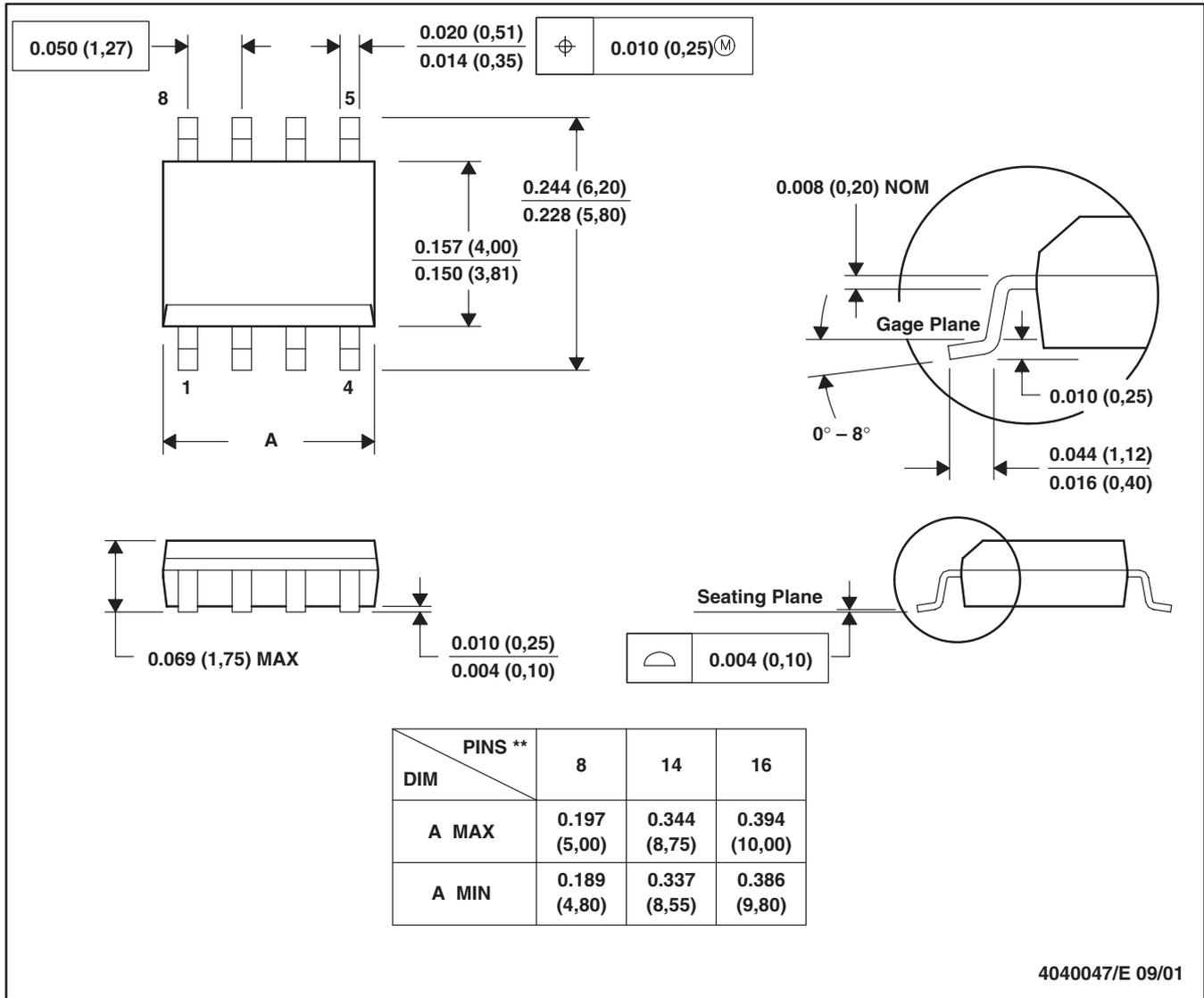
DEVICE	DESCRIPTION	CONTROL METHOD	TYPICAL POWER LEVEL
UC3854	PFC controller	ACM ⁽²⁾	200 W to 2 kW+
UC3854A/B	Improved PFC controller	ACM ⁽²⁾	200 W to 2 kW+
UC3855A/B	High performance soft switching PFC controller	ACM ⁽²⁾	400 W to 2 kW+
UCC38050/1	Transition mode PFC controller	CRM ⁽¹⁾	50 W to 400 W
UCC3819	Tracking boost PFC controller	ACM ⁽²⁾	75 W to 2 kW+
UCC28510/11/12/13	Advanced PFC+PWM combo controller	ACM ⁽²⁾	75 W to 1kW+
UCC28514/15/16/17	Advanced PFC+PWM combo controller	ACM ⁽²⁾	75 W to 1kW+

NOTES: (1). Critical conduction mode
 (2). Average current mode

D (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

8 PINS SHOWN

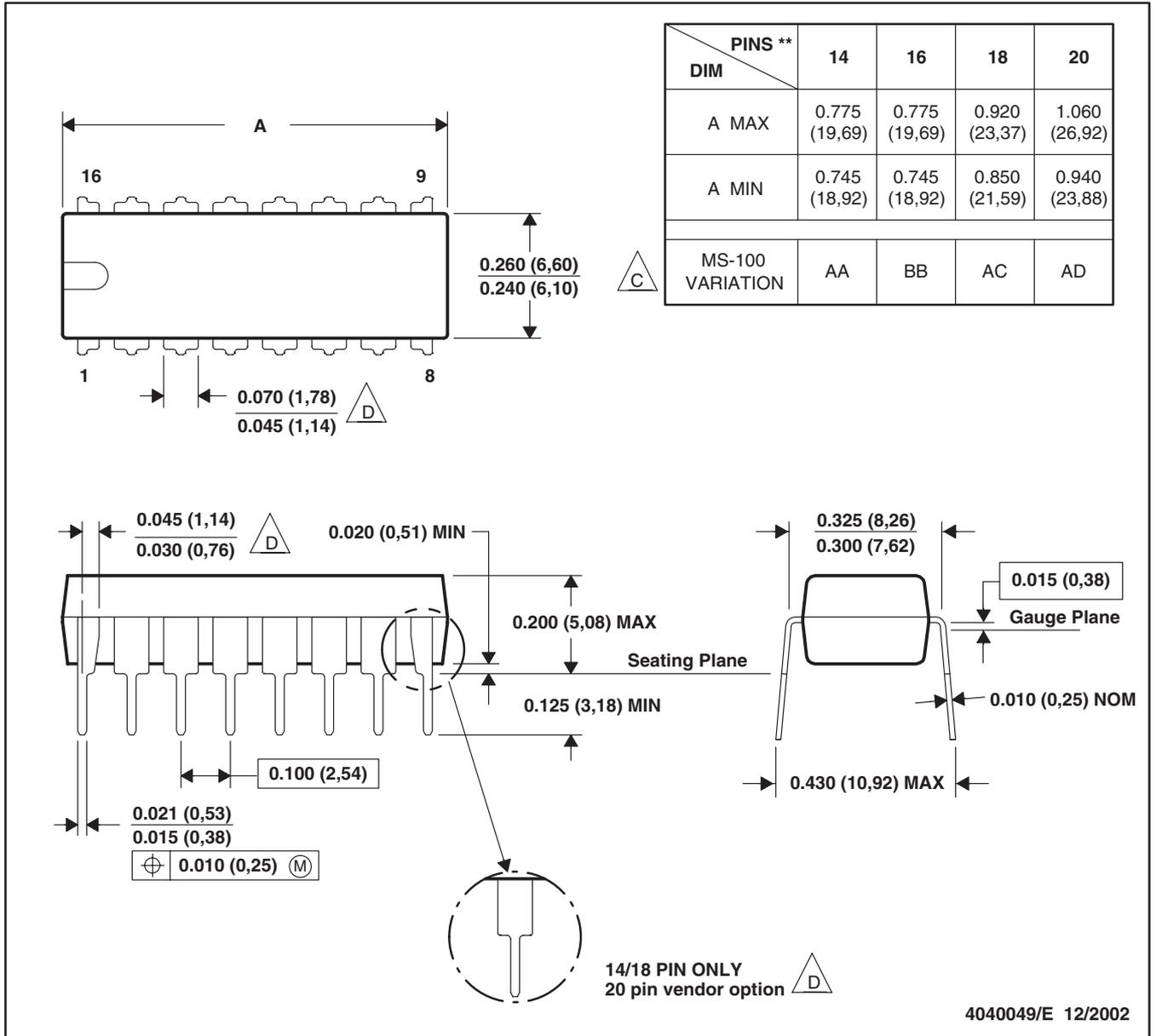


- 注： A. 全ての線寸法の単位はインチ(ミリメートル)です。
 B. 図は予告なく変更することがあります。
 C. ボディ寸法はモールド突起部を含みません。また、それは0.006(0,15)を越えません。

N (R-PDIP-T**)

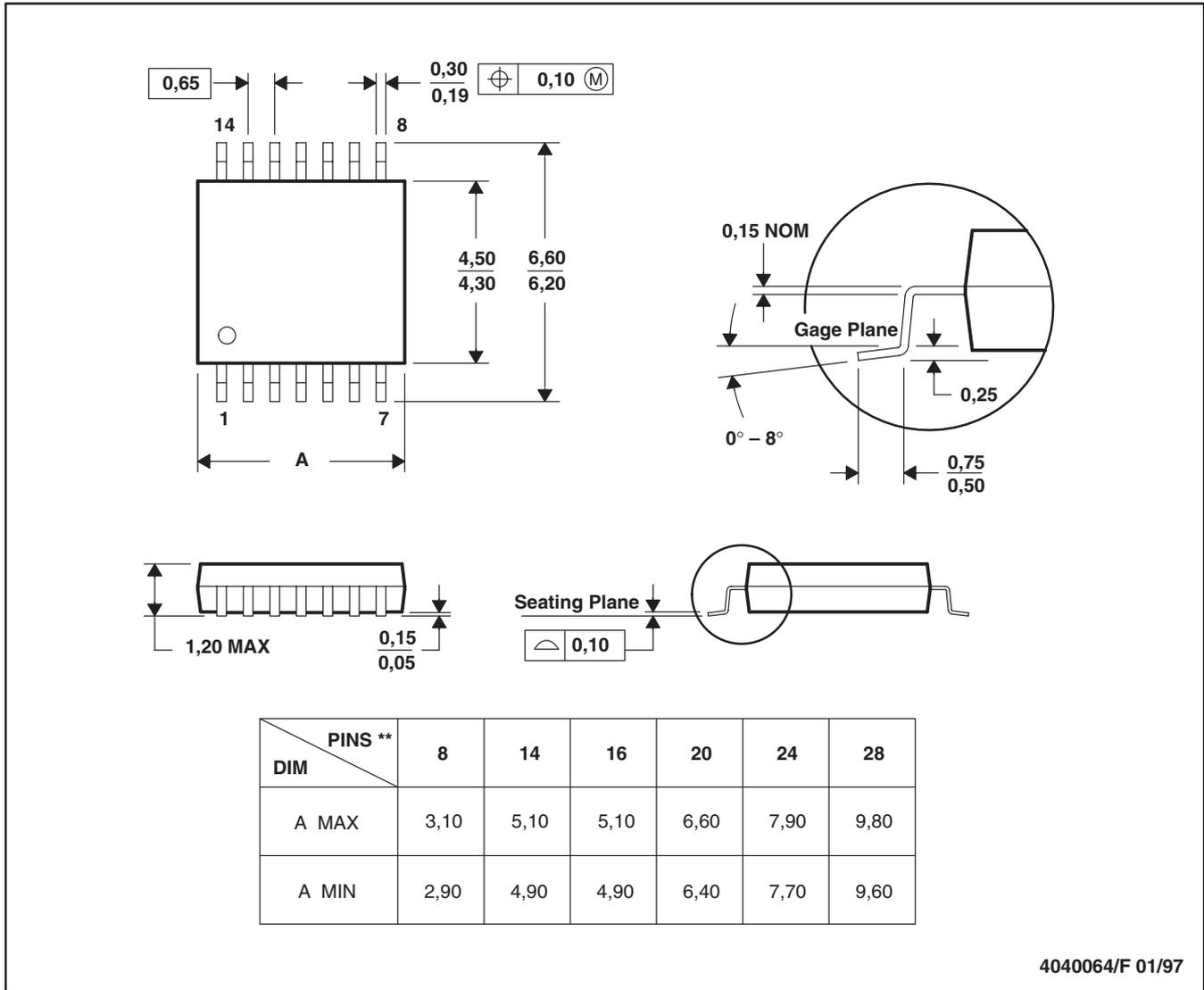
PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- 注： D. 全ての線寸法の単位はインチ(ミリメートル)です。
 E. 図は予告なく変更することがあります。
 F. 18ピン及び20ピンの最小ボディ長(寸法A)を除きJEDEC MS-001に準拠しています。
 G. 20ピンのリード・ショルダー部の幅はメーカー・オプションで、全幅またはその半分の幅です。

14 PINS SHOWN



- 注： H. 全ての線寸法の単位はミリメートルです。
 I. 図は予告なく変更することがあります。
 J. ボディ寸法はモールド突起部を含みません。また、それは0,15を越えません。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認することであることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2004, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上