

3Aシンク/ソース DDR ターミネーション・レギュレータ

特長

- 入力電圧範囲 : 4.75V~5.25V
- VLDOIN電圧範囲 : 1.2V~3.6V
- ドループ補償付3Aシンク/ソース・レギュレータ
- 最小出力容量20 μ F(セラミックコンデンサ)
- サスペンド時ハイ・インピーダンス(S3)およびソフト・オフ(S5)に対応
- 1.2V入力(VLDOIN)による消費電力低減可能
- 1/2分圧抵抗内蔵(VTTREF)
- リモート・センシング端子(VTTSNS)
- 精度 \pm 20mV(VTT/ VTTREF)
- 10mAバッファ付基準電圧(VTTREF)
- ソフトスタート、UVLO、OCL機能内蔵
- サーマル・シャットダウン機能
- JEDEC規格準拠

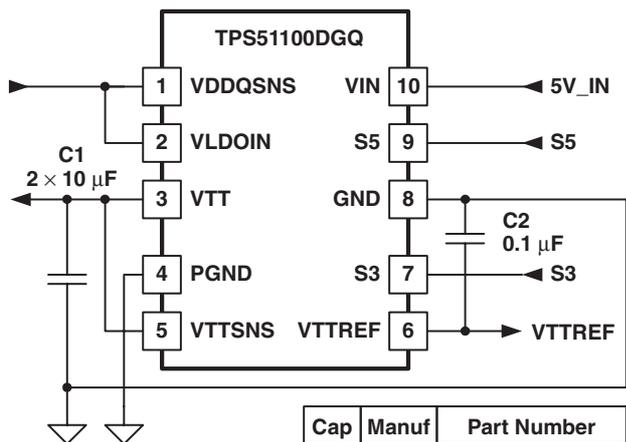
アプリケーション

- DDR /DDR2 メモリのターミネーション電源
- SSTL-2、SSTL-18、HSTLのターミネーション電源

概要

TPS51100は、3Aのシンク/ソース・トラッキング・ターミネーション・レギュレータです。本製品は外付け部品点数が少なく、小型、低コストが要求されるシステムに最適です。

TPS51100は出力容量としてわずか20 μ F(2 \times 10 μ F)のセラミックコンデンサを用いるだけで高速な過渡応答を実現します。TPS51100はリモート・センシング機能およびJEDEC規格によるDDR/DDR2メモリのVTTバス・ターミネーション電源に必要な全ての機能に対応しています。さらに、S3状態(RAMへのサスペンド)ではVTT出力をハイ・インピーダンスに、S5状態(ディスクへのサスペンド)ではVTTとVTTREFを放電してオフ(ソフト・オフ)するスリープ・ステート・コントロール機能を内蔵しています。パッケージは熱効率の良い10ピンMSOP PowerPAD™を使用し、動作温度範囲-40 $^{\circ}$ C~85 $^{\circ}$ Cで電気的特性を規定しています。



Cap	Manuf	Part Number
C1	TDK	C2012JB0J106K
C2	TDK	C1608JB1H104K

オーダー呼称

T _A	PLASTIC MSOP POWER PAD (DGQ) ⁽¹⁾
-40 $^{\circ}$ C to 85 $^{\circ}$ C	TPS51100DGQ

(1) DGQパッケージはテープ/リールでも供給できます。デバイス・タイプの末尾にRを付けてください(例: TPS51100DGQR)。PowerPADの図面及びレイアウトに関する情報はこのデータシートのアプリケーションの項を参照してください。

UDG04015

SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

絶対最大定格

特記無き場合、全動作温度範囲の定格値を記す。(1)

		TPS51100	UNIT
Input voltage range ⁽²⁾	VIN, VLDOIN, VTTSENS, VDDQSNS, S3, S5	-0.3 to 6	V
	PGND	-0.3 to 0.3	
Output voltage range ⁽²⁾	VTT, VTTREF	-0.3 to 6	
Operating ambient temperature range, T _A		-40 to 85	°C
Storage temperature, T _{stg}		-55 to 150	
Lead temperature 1.6 mm (1/16 inch) from case for 10 seconds		TBD	

(1) 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを与えることがあります。ストレスの定格のみについて示しており、「推奨動作条件」に示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。

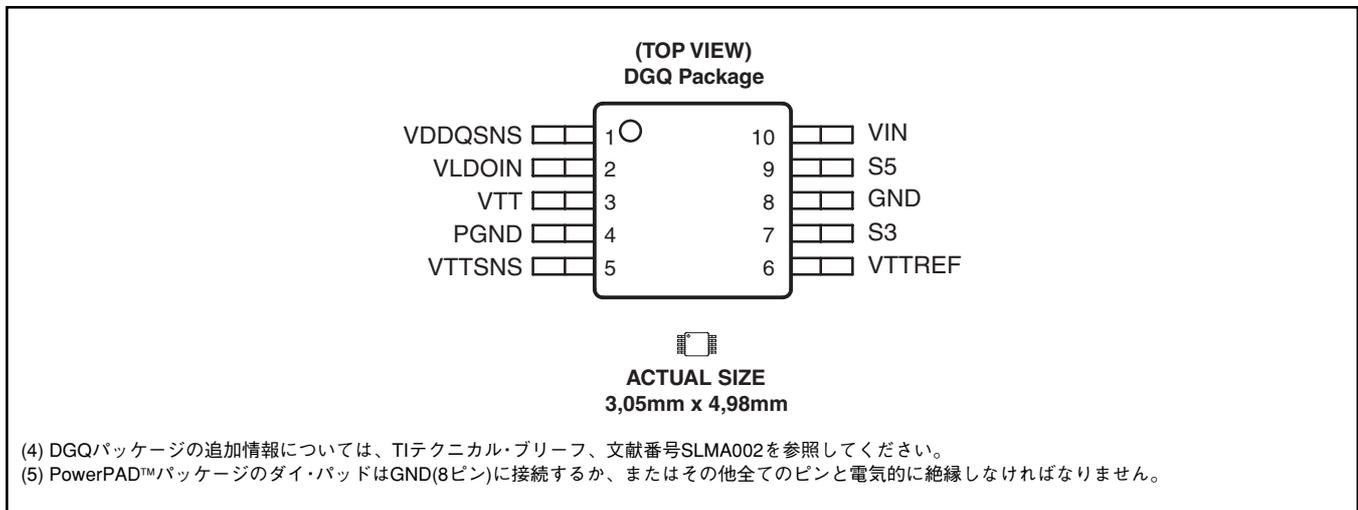
(2) 特記無き場合、すべての電圧値は回路のグランド端子を基準としています。

許容損失

PACKAGE	T _A < 25°C POWER RATING	DERATING FACTOR ABOVE T _A = 25°C	T _A = 85°C POWER RATING
10-pin DGQ	1.73 W	17.3 mW/°C	0.694 W

推奨動作条件

		MIN	MAX	UNIT
Supply voltage, V _{IN}		4.75	5.25	V
Voltage range	S3, S5	-0.10	5.25	
	VLDOIN, VDDQSNS, VTT, VTTSENS	-0.1	3.6	
	VTTREF	-0.1	1.8	
	PGND	-0.1	0.1	
Operating free-air temperature, T _A		-40	85	°C



電気的特性

特記無き場合、 $T_A = -40^{\circ}\text{C}$ to 85°C , $V_{VIN} = 5\text{ V}$, VLDOIN and VDDQSNS are connected to 2.5 V (unless otherwise noted)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
SUPPLY CURRENT							
I_{VIN}	Supply current, VIN	$T_A = 25^{\circ}\text{C}$, $V_{S3} = V_{S5} = 5\text{ V}$	$V_{VIN} = 5\text{ V}$, no load	0.25	0.50	1.00	mA
I_{VINSTB}	Standby current, VIN	$T_A = 25^{\circ}\text{C}$, $V_{S3} = 0\text{ V}$,	$V_{VIN} = 5\text{ V}$, $V_{S5} = 5\text{ V}$	25	50	80	μA
$I_{VINS DN}$	Shutdown current, VIN	$T_A = 25^{\circ}\text{C}$, $V_{S3} = V_{S5} = 0\text{ V}$,	$V_{VIN} = 5\text{ V}$, $V_{VLDOIN} = V_{VDDQSNS} = 0\text{ V}$		0.3	1.0	
I_{VLDOIN}	Supply current, VLDOIN	$T_A = 25^{\circ}\text{C}$, $V_{S3} = V_{S5} = 5\text{ V}$	$V_{VIN} = 5\text{ V}$, no load	0.7	1.2	2.0	mA
$I_{VLDOIN STB}$	Standby current, VLDOIN	$T_A = 25^{\circ}\text{C}$, $V_{S3} = 0\text{ V}$,	$V_{VIN} = 5\text{ V}$, $V_{S5} = 5\text{ V}$		6	10	μA
$I_{VLDOIN SDN}$	Shutdown current, VLDOIN	$T_A = 25^{\circ}\text{C}$, $V_{S3} = V_{S5} = 0\text{ V}$	$V_{VIN} = 5\text{ V}$, no load		0.3	1.0	
INPUT CURRENT							
$I_{VDDQSNS}$	Input current, VDDQSNS	$V_{VIN} = 5\text{ V}$,	$V_{S3} = V_{S5} = 5\text{ V}$	1	3	5	μA
I_{VTTSNS}	Input current, VTTSNS	$V_{VIN} = 5\text{ V}$,	$V_{S3} = V_{S5} = 5\text{ V}$	-1.00	-0.25	1.00	
VTT OUTPUT							
V_{VTTSNS}	Output voltage, VTT	$V_{VLDOIN} = V_{VDDQSNS} = 2.5\text{ V}$		1.25		V	
		$V_{VLDOIN} = V_{VDDQSNS} = 1.8\text{ V}$		0.9			
$V_{VTTOL25}$	Output voltage tolerance to VTTREF, VTT	$V_{VLDOIN} = V_{VDDQSNS} = 2.5\text{ V}$, $I_{VTT} = 0\text{ A}$		-20	20		mV
		$V_{VLDOIN} = V_{VDDQSNS} = 2.5\text{ V}$, $I_{VTT} = 1.5\text{ A}$		-30	30		
		$V_{VLDOIN} = V_{VDDQSNS} = 2.5\text{ V}$, $I_{VTT} = 3\text{ A}$		-40	40		
$V_{VTTOL18}$	Output voltage tolerance to VTTREF, VTT	$V_{VLDOIN} = V_{VDDQSNS} = 1.8\text{ V}$, $I_{VTT} = 0\text{ A}$		-20	20		mV
		$V_{VLDOIN} = V_{VDDQSNS} = 1.8\text{ V}$, $I_{VTT} = 1\text{ A}$		-30	30		
		$V_{VLDOIN} = V_{VDDQSNS} = 1.8\text{ V}$, $I_{VTT} = 2\text{ A}$		-40	40		
$I_{VTTCLSRC}$	Source current limit, VTT	$V_{TT} = \left(\frac{V_{VDDQSNS}}{2}\right) \times 0.95$, PGOOD = High		3.0	3.8	6.0	A
		$V_{VTT} = 0\text{ V}$		1.5	2.2	3.0	
$I_{VTTCLSNK}$	Sink current limit, VTT	$V_{TT} = \left(\frac{V_{VDDQSNS}}{2}\right) \times 1.05$, PGOOD = High		3.0	3.6	6.0	A
		$V_{VTT} = V_{VDDQ}$		1.5	2.2	3.0	
I_{VTTLK}	Leakage current, VTT	$V_{TT} = \left(\frac{V_{VDDQSNS}}{2}\right) = 1.25\text{ V}$, $T_A = 25^{\circ}\text{C}$ $V_{S3} = 0\text{ V}$, $V_{S5} = 5\text{ V}$		-1.0	0.5	1.0	μA
$I_{VTTSNSLK}$	Leakage current, VTTSNS	$V_{TT} = \left(\frac{V_{VDDQSNS}}{2}\right) = 1.25\text{ V}$, $T_A = 25^{\circ}\text{C}$		-1.00	0.01	1.00	
I_{DSCHRG}	Discharge current, VTT	$T_A = 25^{\circ}\text{C}$, $V_{VDDQSNS} = 0\text{ V}$,	$V_{S3} = V_{S5} = 0\text{ V}$, $V_{VTT} = 0.5\text{ V}$	10	17		mA

電気的特性(続き)

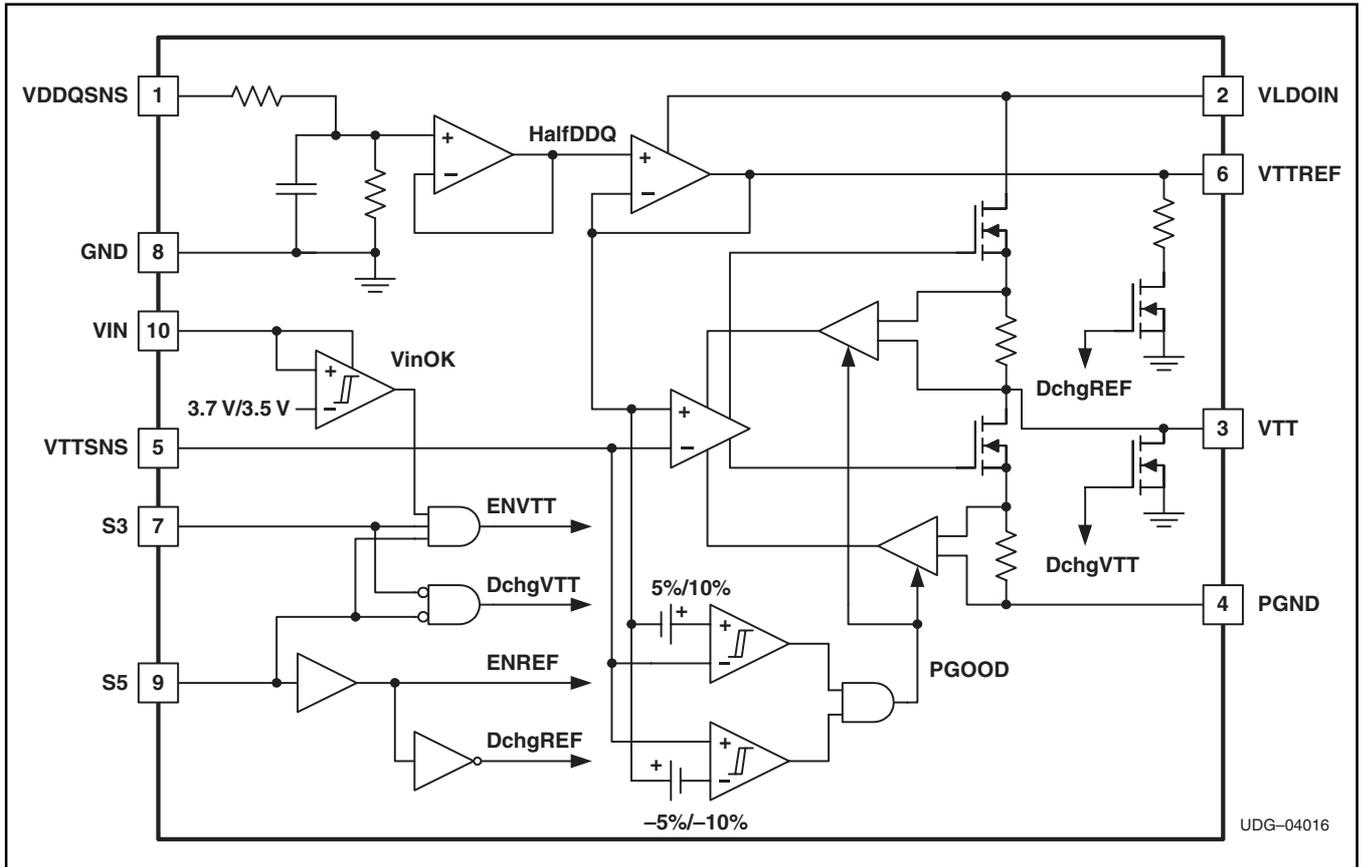
特記無き場合、 $T_A = -40^{\circ}\text{C}$ to 85°C , $V_{\text{VIN}} = 5\text{ V}$, VLDOIN and VDDQSNS are connected to 2.5 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS	UNIT	MAX	TYP	MIN	
VTTREF OUTPUT						
V_{VTTREF}	Output voltage, VTTREF		$V_{\text{VTTREF}} = \left(\frac{V_{\text{VDDQSNS}}}{2}\right)$			V
$V_{\text{VTTREFTOL}}$	Output voltage tolerance to VDDQSNS/2	$V_{\text{VLDOIN}} = V_{\text{VDDQSNS}}$, $I_{\text{VTTREF}} < 10\text{ mA}$	-20	20	mV	
$I_{\text{VTTREFOCL}}$	Source current limit, VTTREF	$V_{\text{VTTREF}} = 0\text{ V}$	10	20	30	mA
UVLO/LOGIC THRESHOLD						
V_{VINUV}	UVLO threshold voltage, VIN	Wake up	3.4	3.7	4.0	V
		Hysteresis	0.15	0.25	0.35	
V_{IH}	High-level input voltage	S3, S5	1.6			
V_{IL}	Low-level input voltage	S3, S5	0.3			
V_{IHYST}	Hysteresis voltage	S3, S5	0.2			
I_{LEAK}	Logic input leakage current	S2, S5, $T_A = 25^{\circ}\text{C}$	-1	1		μA
THERMAL SHUTDOWN						
T_{SDN}	Thermal shutdown threshold voltage	Shutdown temperature	160			$^{\circ}\text{C}$
		Hysteresis	10			

端子機能表

端子機能		I/O	DESCRIPTION
NAME	NO.		
GND	8	-	信号用接地端子。VTT出力コンデンサの負端子に接続してください。
PGND	4	-	VTT LDO大電流接地端子。
S3	7	I	S3信号入力端子。
S5	9	I	S5信号入力端子。
VDDQSNS	1	I	VDDQ電圧検知入力端子。
VIN	10	I	5V電源入力端子。
VLDOIN	2	I	VTT 及びVTTREF出力段の電源入力端子。
VTT	3	O	VTT 出力端子。
VTTREF	6	O	VTT基準電圧出力端子。0.1 μF のセラミックコンデンサを本ピンとGND間に接続してください。
VTTSENS	5	I	VTT 電圧検知入力端子。出力コンデンサの正端子に接続してください。

機能ブロック図



詳細説明

VTTシンク/ソース・レギュレータ

TPS51100は3Aのシンク/ソース・トラッキング・ターミネーション・レギュレータです。ノートブック型PCなど小型・低コストを要求されるシステム向けに最小限の外付け部品で動作するよう設計されています。本製品は高性能で低ドロップアウト(Low Drop-Out, LDO)のリニア・レギュレータを内蔵しており、そのソース/シンク電流能力は最大3Aです。VTT用リニア・レギュレータは極めて応答速度の速いフィードバック・ループを内蔵しており、出力容量としてごく小さなセラミックコンデンサを用いるだけで過渡負荷応答を含む全ての状態で $\pm 40\text{mV}$ 以内でVTTREFをトラッキングします。また、リモート・センス端子VTTSENSを大電流用配線とは分離してVTTの出力コンデンサの正極に配線することにより、寄生抵抗の効果を受けることなく良好なレギュレーションを実現することができます。

VTTREFレギュレータ

VTTREFブロックは、内蔵の1/2分圧抵抗、LPF、バッファより構成されています。このレギュレータは最大10mAまで電流のソースが可能で、動作を安定化させるためVTTREF端子とGND間に $0.1\mu\text{F}$ のセラミックコンデンサを接続してください。

ソフトスタート

VTTのソフトスタート機能は電流クランプ方式です。定電流で出力コンデンサを充電するため電圧は直線的に上昇します。電流値は2段階に切り替わります。VTTがVTTREF $\pm 5\%$ より外側にある場合、電流制限レベルは2.2Aです。VTTが(VTTREF - 5%)より上に上がるか、または(VTTREF + 5%)より下に下がった場合は、電流制限レベルは3.8Aに切り替わります。出力電圧監視コンパレータはヒステリシスを持ち、標準でVTTREF $\pm 5\%$ (外から内向き)、 $\pm 10\%$ (内から外向き)です。ソフトスタート機能は完全に対称で、VTT電圧がGNDからVTTREF電圧になる場合だけでなく、VDDQからVTTREF電圧になる場合でも動作します。VTT出力はS3状態時(S3 = “L”レベル、S5 = “H”レベル)にはハイ・インピーダンス状態で、その電圧は外部の状態によっては最大でVDDQ電圧に至ることがあるということに注意してください。また、VTTは上記電流制限を超える負荷の元では始動できないことに注意してください。

S3, S5コントロールとソフト・オフ

S3及びS5端子はそれぞれSLP_S3及びSLP_S5信号に接続してください。S0状態(S3 = “H”レベル、S5 = “H”レベル)ではVTTREFとVTTの両方ともオンになります。S3状態(S3 = “L”レベル、S5 = “H”レベル)でVTTがオフし、ハイ・インピーダンスになるのに対

し、VTTREFは動作し続けます。S4/S5状態(S3 = “L”レベル、S5 = “L”レベル)で、VTT出力とVTTREF出力の両方ともオフになり、出力コンデンサは内蔵MOSFETによりグラウンドに放電されます。

VTT過電流保護

VTT用LDOレギュレータは3.8A固定の過電流制限(OCL)機能をもっています。このトリップ点は出力電圧が目標電圧の $\pm 5\%$ 以内になる前、または目標電圧の $\pm 10\%$ の外側に外れる場合には2.2Aに低下します。

VINのUVLO保護

TPS51100は低電源電圧による誤動作を防止するため、VIN電圧をモニタして低電圧ロックアウト(UVLO)保護機能を持っています。VIN電圧がUVLOのスレッシュホールド電圧以下になると、VTTレギュレータの動作を停止させます。本保護機能は自動復帰型で、ラッチはいたしません。

サーマル・シャットダウン

TPS51100はIC内部の温度をモニタしています。160°Cの設定温度を越えるとVTTとVTTREFレギュレータの動作を停止します。これも自動復帰型の保護機能です。

出力コンデンサ

安定した動作を得るためには、VTT出力端子の総容量を $20\mu\text{F}$ またはそれ以上にします。コンデンサの等価直列抵抗(ESR)と等価直列インダクタンス(ESL)による影響を最小限に抑えるため $10\mu\text{F}$ のセラミックコンデンサを2つ並列に接続してください。ESRが $2\text{m}\Omega$ より大きい場合は、ループを安定させるためVTT出力コンデンサとVTTSENS入力の間にはR-Cフィルタを挿入してください。R-Cフィルタの時定数は出力キャパシタとそのESRによる時定数と同等か、または少し小さくします。

ソフトスタート時間TSSもこの出力容量の関数になります。 $I_{\text{TTOCL}} = 2.2\text{A}(\text{typ})$ の場合、 T_{SS} は以下の式で求められます。

$$T_{\text{SS}} = \left(\frac{C_{\text{OUT}} \times V_{\text{VTT}}}{I_{\text{TTOCL}}} \right) \quad (1)$$

入力コンデンサ

VLDOIN用のバルク電源とTPS51100間の配線インピーダンスによっては過渡的なソース電流はほとんど入力コンデンサからの電荷によって供給されます。この過渡時の電荷を供給するためVLDOIN入力容量として $10\mu\text{F}$ (またはそれ以上)のセラミックコンデンサを使用してください。VTTの出力容量を増した場合にはこの入力容量も大きくしてください。一般的に入力容量は $1/2 C_{\text{OUT}}$ とします。

STATE	S3	S5	VTTREF	VTT
S0	H	H	1	1
S3	L	H	1	0 (ハイ・インピーダンス)
S4/S5	L	L	0 (放電)	0 (放電)

(S3が“H”レベルかつS5が“L”レベルの場合、VTTREFは放電し、VTTはハイ・インピーダンス状態になります。この状態での動作は推奨しません。)

表1. S3, S5コントロール表

VINコンデンサ

配線による寄生インピーダンス等による影響を防止し5V電源を安定化させるため、1.0μFから4.7μFの値のセラミックコンデンサをVIN端子の直近に付加してください。

熱設計

TPS51100はリニアレギュレータであるため、ソース及びシンク両方向に流れるVTT電流がデバイスから電力消費を発生させます。ソースフェーズでは、V_{VLDOIN}とV_{VTT}間の電位差にVTT電流を乗じたものが消費電力W_{DSRC}になります。

$$W_{DSRC} = (V_{VLDOIN} - V_{VTT}) \times I_{VTT} \quad (2)$$

この場合、VLDOINがV_{DDQ}電圧より低い別電源に接続されていると、電力損失は低減します。

シンクフェーズでは、VTT電圧が内部のVTTレギュレータに印加され、消費電力W_{DSNK}は以下の式で計算できます。

$$W_{DSNK} = V_{VTT} \times I_{VTT} \quad (3)$$

デバイスは同時には電流のシンク/ソースは行わず、またI_{VTT}は時間とともに急速に変化するため、熱設計で考慮する必要がある実際の消費電力はシステムの熱緩和期間にわたる上記値の平均と考えることができます。もう1つの電力消費としてVIN電源およびVLDOIN電源のもとでIC内部の制御回路に使用される電流が挙げられます。この消費電力は標準的な動作条件では20mWまたはそれ以下と見積もることができます。以上の損失は効率的にパッケージから放散される必要があります。パッケージに許容される最大消費電力は以下の式で求められます。

$$W_{PKG} = \frac{(T_{J(max)} - T_{A(max)})}{\theta_{JA}} \quad (4)$$

但し、

- T_{J(max)} = 125°C
- T_{A(max)} はシステムの最大周囲温度
- θ_{JA} はシリコン接合部から周囲までの熱抵抗

この熱抵抗はボードのレイアウトに大きく依存します。TPS51100はボディの底面にダイパッドが露出して、熱特性が改善されたPowerPAD™パッケージに実装されています。熱特性を改善するには、このダイパッドをPCB上のサーマルランドを経由してグランド配線に接触させる必要があります。このグランド配線はヒートシンクとして機能します。エアフローなしで3mm×2mmのサーマルランドとビアが2つの場合の標準熱抵抗は57.7°C/Wです。これより大きなサーマルランドの使用、またはビア数を増やすことで熱抵抗を改善することができます。例えば、エアフローなしで3mm×3mmのサーマルランドとビアが4つの場合の標準熱抵抗は45.4°C/Wとなります。PowerPAD™パッケージについての詳細情報及びその推奨ボードレイアウトはアプリケーションノート(SLMA002)に記載されています。この文献はwww.ti.comより入手できます。

レイアウトについての考察

レイアウト設計に関して以下の点について考慮してください。

- VLDOINの入力コンデンサは短く広い配線を用いてできるだけピンに近づけて配置します。
- VTTの出力コンデンサは配線によるESR/ESLが増加しないよう短く広い配線を用いてできるだけピンに近づけて配置します。
- VTTSNSは大電流配線とは分離してVTT出力コンデンサの正極に接続し、ESR/ESLが増加しないようにすることを強く推奨します。ポイントオブロードの電圧を検出する必要がある場合、出力キャパシタをその点に接続することを推奨します。また、GNDピンと出力コンデンサの負極間のグランド配線のESR/ESLも最小限に抑えるようにしてください。
- VTT出力コンデンサのESRが2mΩより大きい場合にはVTTSNSにLPFを付加することを考慮してください。
- VDDQSNSはVLDOINと分離して配線することができます。この検出電位はVTTREFの基準電圧となります。いかなるノイズ生成ラインも回避してください。
- VTT出力コンデンサとVTTREFコンデンサの負極同士はVTTのソース/シンク電流が流れる大電流パスとの共通インピーダンスを回避して接続します。
- GND(信号グランド)ピンの電位はVTTREF出力とVTT出力の基準電位となります。GNDは寄生抵抗・寄生インダクタンスに注意してVTTコンデンサ、VTTREFコンデンサ、VDDQコンデンサの負側に接続します。GNDとPGND(電源グランド)は1点接続とします。
- より効果的に放熱するため、部品面にサーマルランドを設け、パッケージ裏面のサーマルパッドにはんだ付けします。サーマルランドに接続された部品面の銅配線幅を広くすることで放熱に役立ちます。また、直径0.33mmのビアを多数使ってサーマルランドから内層及びはんだ面のグランドプレーンに接続してください。

標準的特性

VIN SUPPLY CURRENT
vs
TEMPERATURE

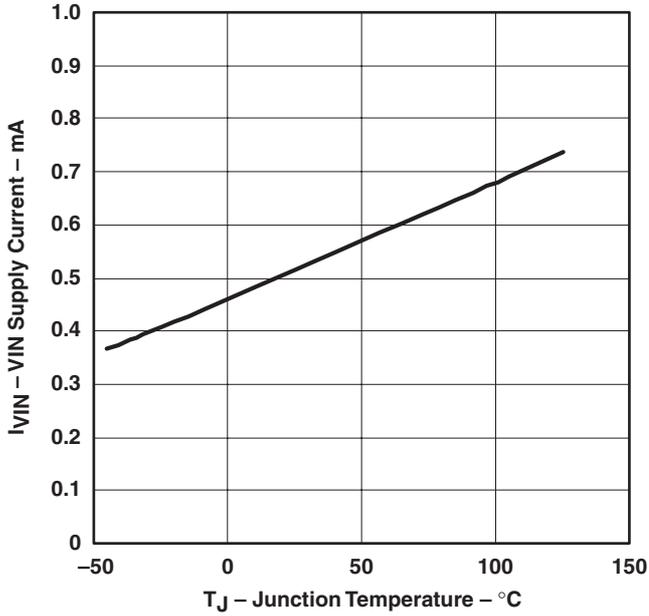


図1

VIN SHUTDOWN CURRENT
vs
TEMPERATURE

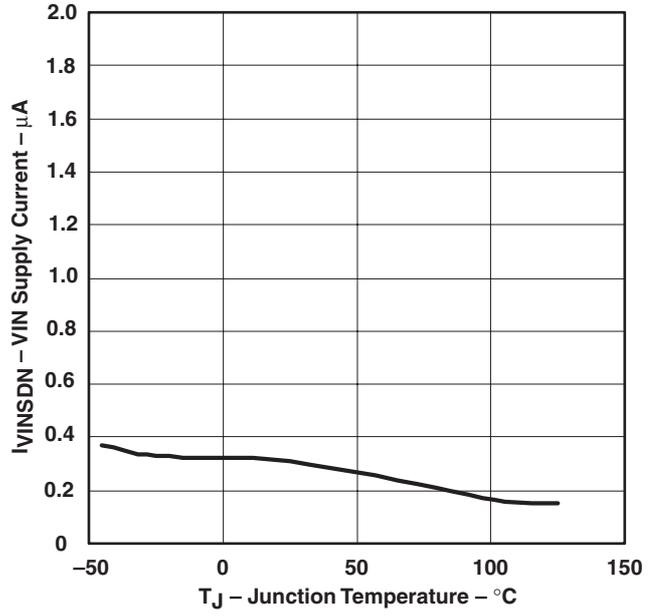


図2

VIN SUPPLY CURRENT
vs
VTT LOAD CURRENT

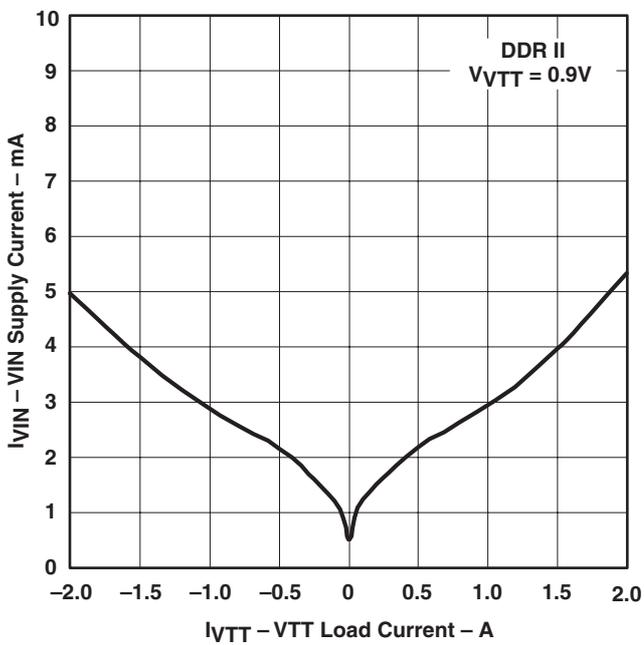


図3

VLDOIN SUPPLY CURRENT
vs
TEMPERATURE

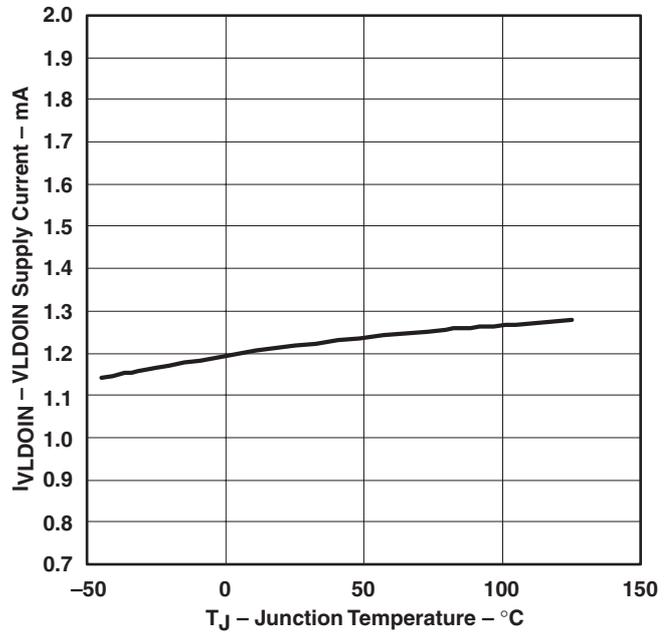


図4

標準的特性

**VLDOIN SHUTDOWN CURRENT
vs
TEMPERATURE**

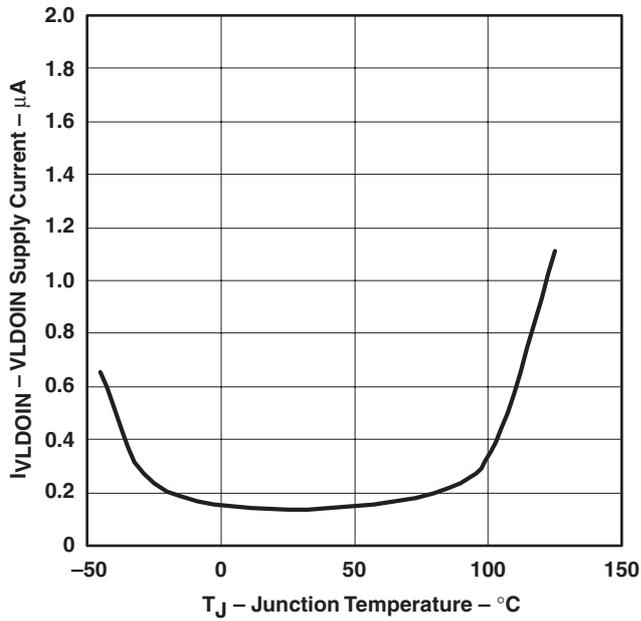


図5

**DISCHARGE CURRENT
vs
TEMPERATURE**

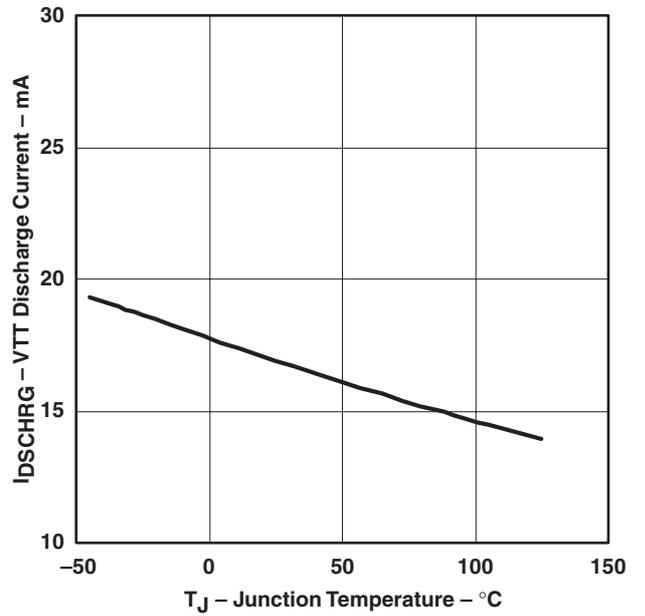


図6

**VTT VOLTAGE LOAD REGULATION
vs
VTT LOAD CURRENT
(DDR I)**

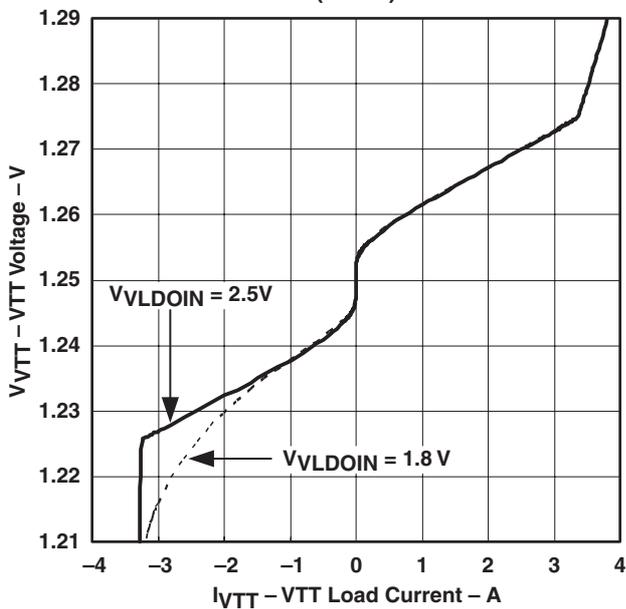


図7

**VTT VOLTAGE LOAD REGULATION
vs
VTT LOAD CURRENT
(DDR II)**

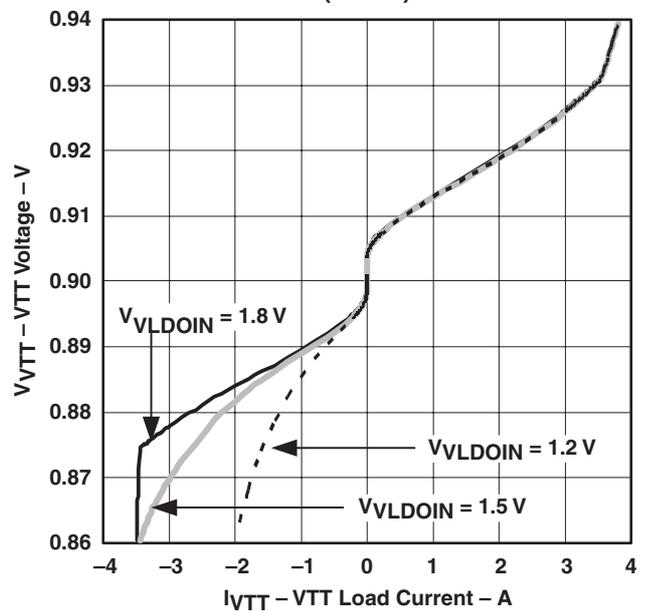


図8

標準的特性

VTTREF VOLTAGE LOAD REGULATION
VS
VTTREF LOAD CURRENT
(DDR I)

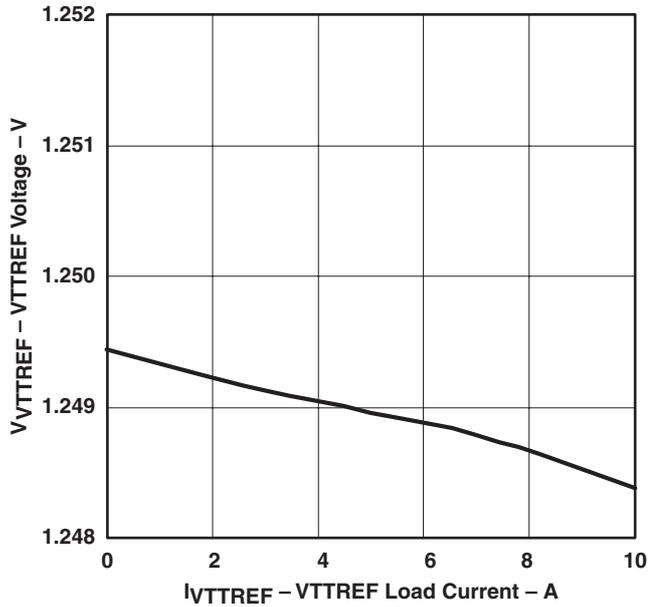


図9

VTTREF VOLTAGE LOAD REGULATION
VS
VTTREF LOAD CURRENT
(DDR II)

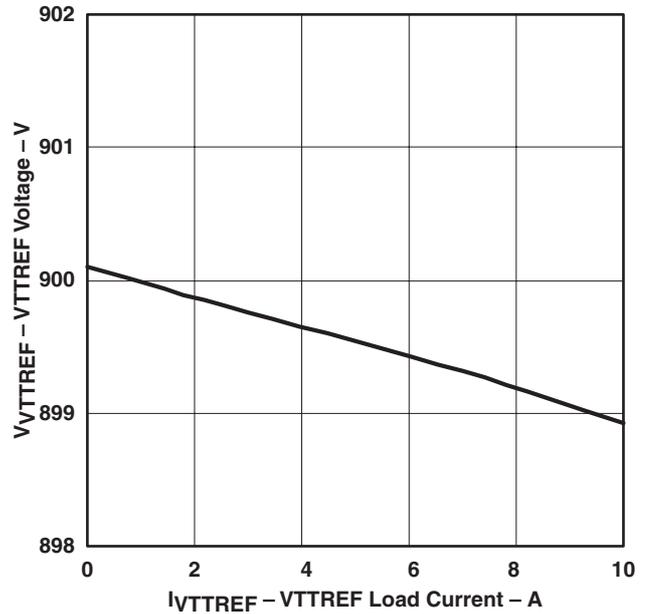


図10

VTT VOLTAGE LOAD
TRANSIENT RESPONSE

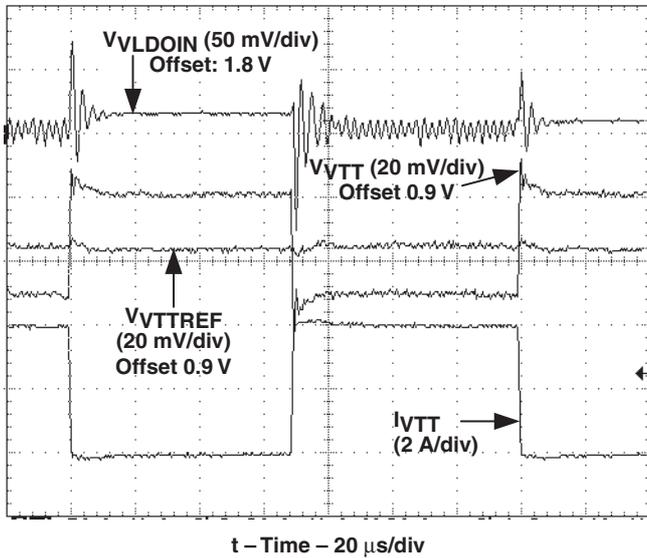
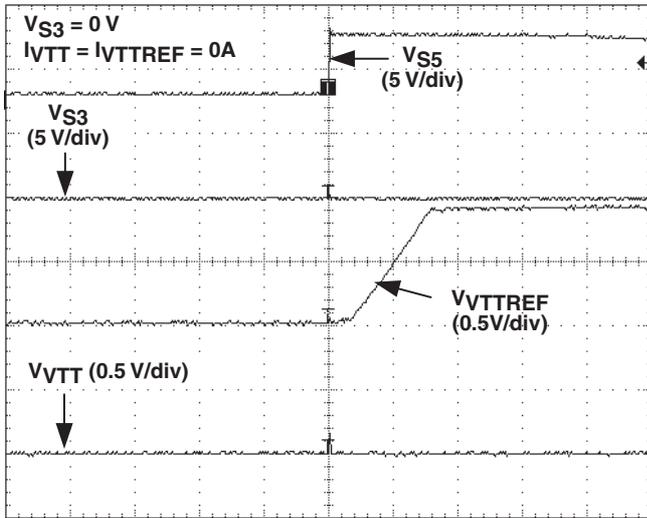


図11

標準的特性

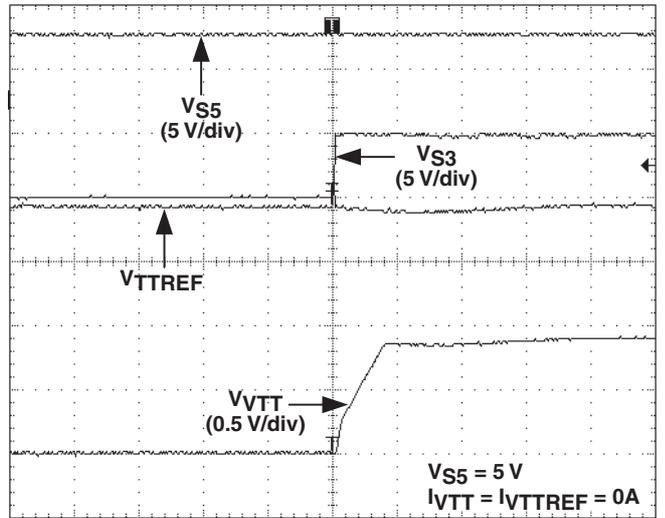
STARTUP WAVEFORMS
S5 LOW-TO-HIGH



t - Time - 10 $\mu\text{s/div}$

⊠12

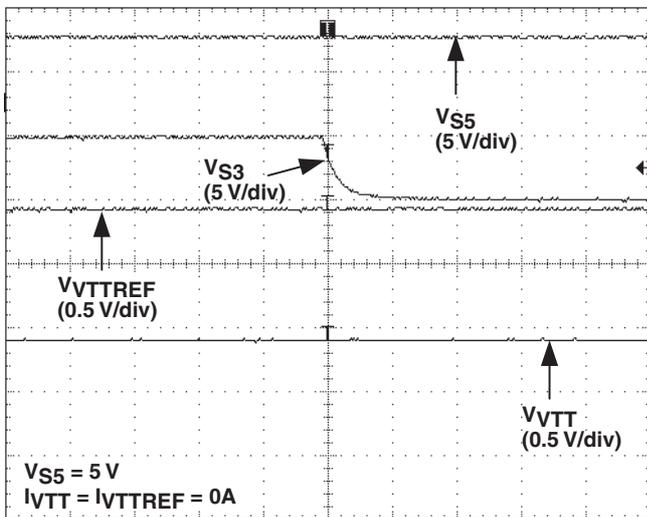
STARTUP WAVEFORMS
S3 LOW-TO-HIGH



t - Time - 10 $\mu\text{s/div}$

⊠13

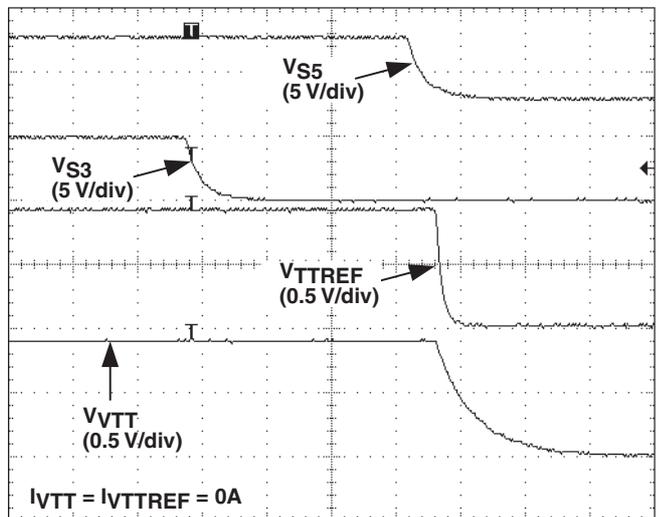
SHUTDOWN WAVEFORMS
S3 HIGH-TO-LOW



t - Time - 1 ms/div

⊠14

SHUTDOWN WAVEFORMS
S3 AND S5 HIGH-TO-LOW



t - Time - 1 ms/div

⊠15

標準的特性

**BODE PLOT
DDR I
SOURCE**

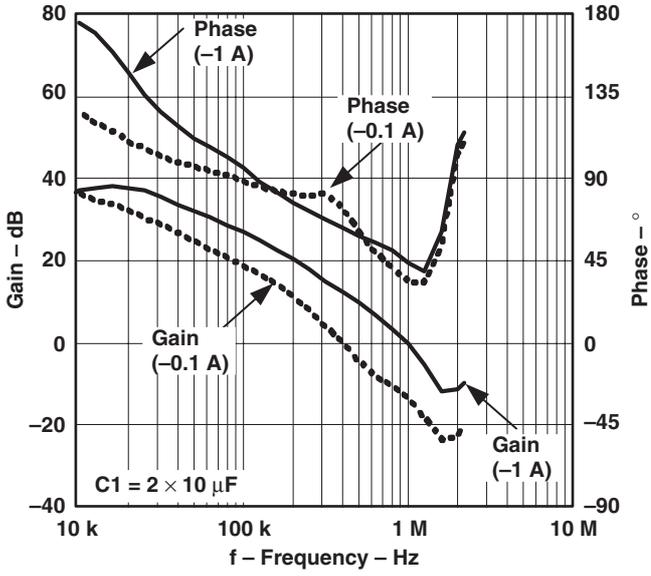


図16

**BODE PLOT
DDR I
SINK**

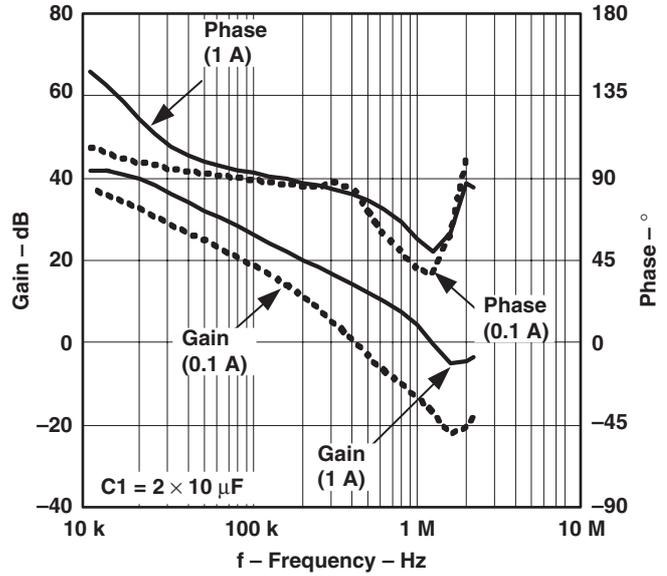


図17

**BODE PLOT
DDR II
SOURCE**

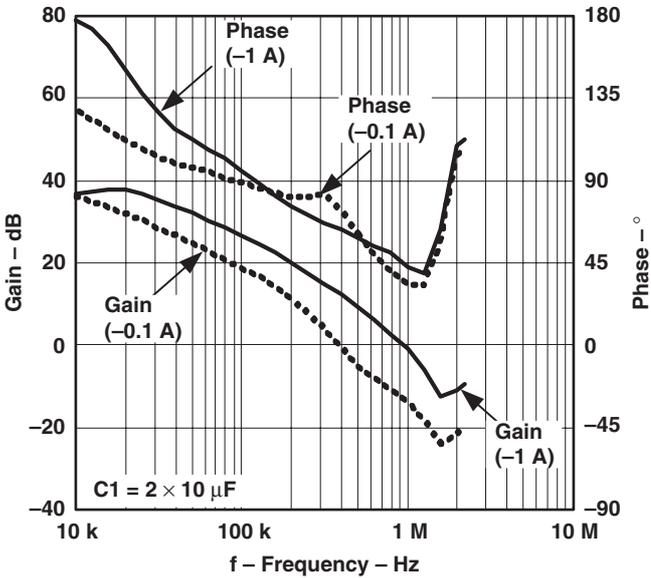


図18

**BODE PLOT
DDR II
SINK**

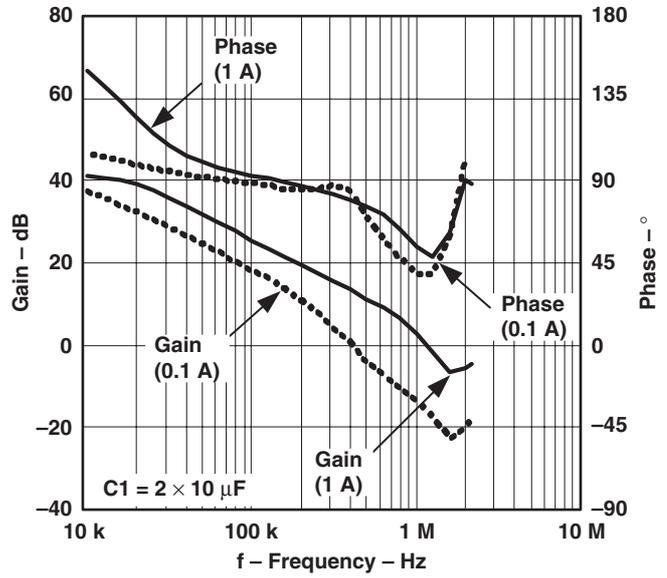
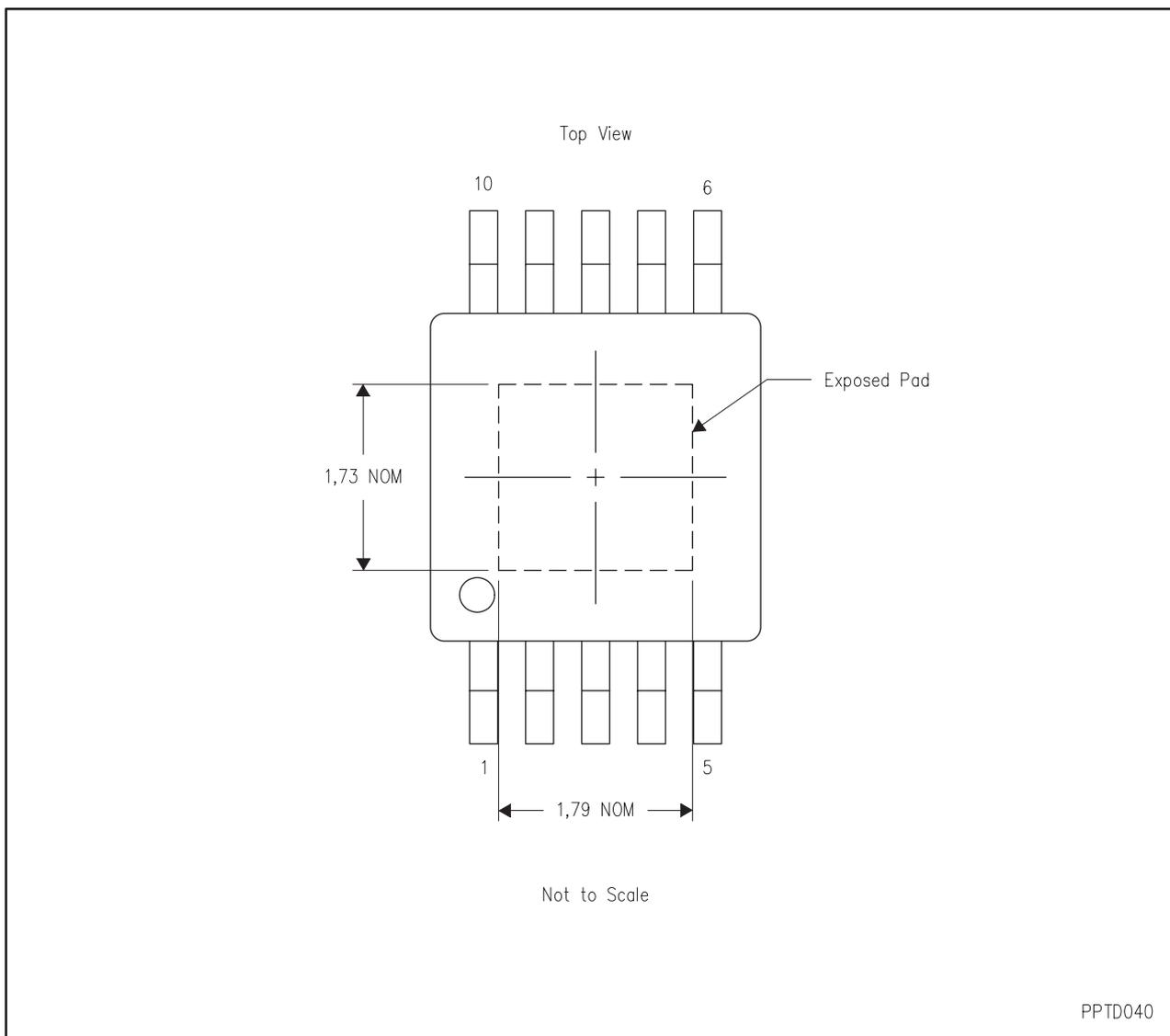
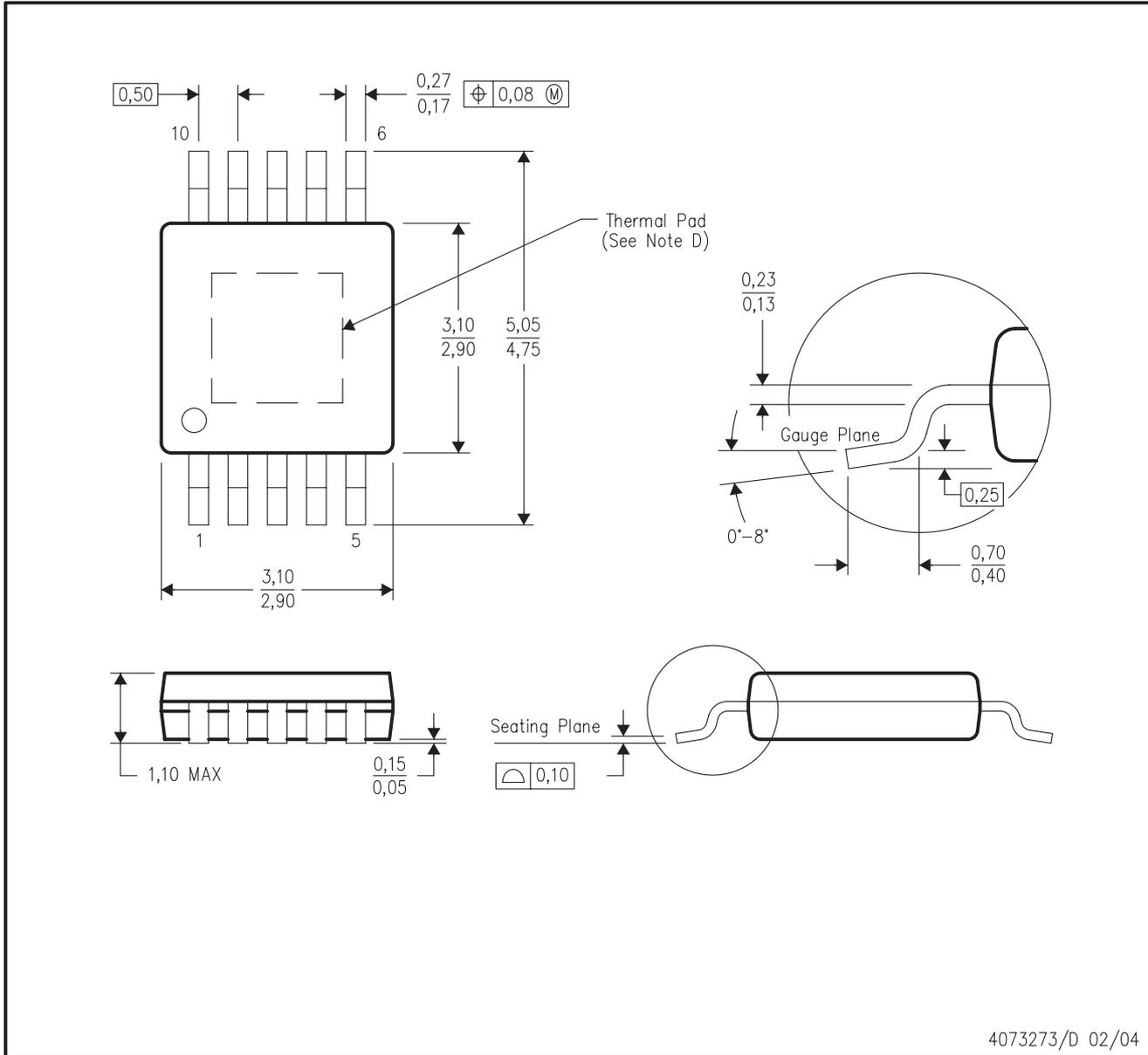


図19



- 注： A. 全ての線寸法の単位はミリメートルです。
B. 図は予告なく変更することがあります。
C. PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカル・ブリーフ “*PowerPAD Thermally Enhanced Package*” TI文献番号SLMA002及びアプリケーション・ブリーフ “*PowerPAD Made Easy*” TI文献番号SLMA004を参照してください。いずれもホームページwww.ti.comで入手できます。



4073273/D 02/04

- 注：
- A. 全ての線寸法の単位はミリメートルです。
 - B. 図は予告なく変更することがあります。
 - C. ボディ寸法はモールド突起部を含みません。
 - D. このパッケージはボードのサーマル・パッドにはんだ付けされるよう設計されています。推奨するボード・レイアウトについての情報はテクニカル・ブリーフ “PowerPAD Thermally Enhanced Package” TI文献番号SLMA002を参照してください。この文献はホームページwww.ti.comで入手できます。
 - E. JEDEC MO-187改BA-Tに準拠します。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認することであることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2004, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0~40℃、相対湿度：40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上