

TPS40007ベースのコンバータによる10A出力 DC/DCコントローラ製品

1. はじめに

TPS40007は、TI独自のPredictive Gate Drive™技術を使用して降圧型コンバータの効率を最大限高めることができる、電圧モードの同期バックPWMコントローラです。ブートストラップ回路により、上側スイッチとしてNチャネルMOSFETを使用できるため、導通損失の低減とシリコン・デバイス利用率の向上が可能です。Predictive Gate Drive™技術は、メイン・スイッチがオフになってから同期整流器がオンになるまでの遅延時間、および整流器がオフになってからメイン・スイッチがオンになるまでの遅延時間を制御します。これにより、導通と逆方向回復の両方で、MOSFETボディ・ダイオードにおける損失が最小限に抑えられます。このデザイン・ノートでは、TPS40007コントローラを使用して3V~5Vの入力を2.5Vの出力レベルに変換するバック・コンバータの詳細を説明します。

図1に、ボードの回路図を示します。本ユーザーズ・ガイドの第7章には、部品表を示しています。

2. 特長

本ボードの仕様は次のとおりです。

- $V_{IN} = 3.3V \sim 5V$
- $V_{OUT} = 2.5V \pm 3\%$
- $I_{OUT} = 0A \sim 10A$
- 効率 $\geq 95\%$ ($V_{IN} = 3.3V$ 、 $I_{LOAD} = 4A$)
- 出力電圧リップル $< 2\% V_{OUT}$
- 電源用半導体デバイス：各MOSFETは単独のSO-8パッケージ

目次

1. はじめに.....	1
2. 特長.....	1
3. 回路図.....	2
4. 設計手順.....	3
5. PowerPAD™パッケージ.....	4
6. テスト結果および性能データ.....	7
7. PCBレイアウト.....	8
8. 部品表.....	9

PowerPADおよびPredictive Gate Driveは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

4. 設計手順

4.1 コントローラの選択

この高電流アプリケーションでは、300kHzのスイッチング周波数で高効率を得ることができるTPS40007同期整流型を選択しています。部品サイズを小さくするために600kHz動作を必要とするアプリケーションの場合は、TPS40009を使用できます。ただし、一般に周波数が高いほど効率は低下し、オンボード消費電力が増加します。

4.2 インダクタンス値

出力インダクタの値は、リップル電流が回路機能全体に対して最適な値になるよう選択されています。インダクタンスが小さすぎると、リップル電流が増加して、インダクタおよびMOSFETでのRMS電流損失が増加し、さらに出力でのリップル電圧も増加します。インダクタ値は式(1)で計算されます。

$$L_{\text{MIN}} = \frac{V_{\text{OUT}}}{f \times I_{\text{RIPPLE}}} \left(1 - \frac{V_{\text{OUT}}}{V_{\text{IN(max)}}} \right) \\ = \frac{2.5\text{V}}{300\text{kHz} \times 4\text{A}} \times \left(1 - \frac{2.5\text{V}}{5\text{V}} \right) = 1.0\mu\text{H} \quad (1)$$

ここで、 I_{RIPPLE} は I_{OUT} の40% (V_{IN} 最大時は4A)です。この大きなリップル電流は、インダクタを小さく保って、高出力電流による $R_{\text{DS(on)}}$ 損失を最小限に抑えるために選択されています。無負荷までインダクタの連続電流を維持する同期整流器コントローラにより、DCM境界を越えるときの問題を考慮する必要がなくなります。標準値として1 μH および抵抗3.5m Ω が選択されています。全負荷での電力損失はわずか0.35Wであり、これは出力電圧25Wの1.4%にすぎません。

4.3 入力キャパシタの選択

バルク入力キャパシタの大きさは、入力電圧の許容リップルと、必要なRMS電流容量を基に選択されます。標準的なバック・コンバータのアプリケーションでは、前段の電源コンバータからその出力容量が供給されます。この例での単独型の電源では、入力電圧リップルとRMS電流を考慮してオンボード容量が付加されています。この電源レベルの場合、150mVの入力電圧リップルが妥当な値であり、控えめに見積もった最小容量値は次の式で計算されます。

$$C = \frac{I \times \Delta t}{\Delta V} = \frac{10\text{A} \times 2.5\mu\text{s}}{0.15\text{V}} = 167\mu\text{F} \quad (2)$$

この最小容量の要件に加え、RMS電流のストレスを考慮する必要があります。このコンバータでは、大きなデューティ・サイクルのため入力RMS電流が出力電流に近い値になります。式(3)は、台形の電流波形のRMS電流の計算を簡略化した式です。

$$I_{\text{RMS}} = I \times \sqrt{D} = I \times \sqrt{\frac{V_{\text{OUT}}}{V_{\text{IN(min)}}}} = 10\text{A} \times \sqrt{\frac{2.5\text{V}}{3.0\text{V}}} = 9.1\text{A} \quad (3)$$

電流のリップル成分について式に項を追加するのは少量を総RMS電流に加えるのみで、それは無視できます。この小型化、低コストの初期要件に適合させるには、キャパシタの組み合わせを考慮します。高周波のリップル電流を通すため、22 μF のX5Rセラミック・キャパシタ3個を電源回路に近づけて配置します。これらのキャパシタの抵抗は非常に小さいですが、データシートでは500kHzで2A_{RMS}電流の場合部品の温度が30°C上昇すると示されているため、より大きな電流容量が必要です。ここでは、それぞれ4.4AのRMS電流容量を持つ2個の330 μF POSCAPが選択されています。標準的な組み込みコンバータの場合、前段のコンバータに十分な電流容量があれば、これらのPOSCAPは不要です。

4.4 出力キャパシタの選択

出力キャパシタの選択は、機能、コスト、サイズ、可用性など、アプリケーションによって異なる多くの要素に基づいています。まず、許容される最小出力容量は、式(4)に示すように、インダクタ・リップル電流の量と、許容出力リップルの1/2の値によって決まります。

$$C_{\text{OUT(min)}} = \frac{I_{\text{RIPPLE}}}{8 \times f \times V_{\text{RIPPLE}}} = \frac{4\text{A}}{8 \times 300\text{kHz} \times 25\text{mV}} = 67\mu\text{F} \quad (4)$$

これはリップル電圧の容量性成分にのみ影響します。さらに、式(5)に示すように、キャパシタESRの電圧成分を考慮します。

$$\text{ESR}_{\text{Cout}} \leq \frac{V_{\text{RIPPLE}}}{I_{\text{RIPPLE}}} = \frac{25\text{mV}}{4\text{A}} = 6.25\text{m}\Omega \quad (5)$$

良好な過渡応答を保持しながらキャパシタのサイズを最小化するために、2個の470 μF POSCAP (ESRは各10m Ω)が1 μF セラミック・キャパシタと並列に接続されています。

4.5 MOSFETの選択

この設計における制約の1つは、上側のスイッチ・デバイスでSO-8 MOSFETを1個使用し、バック・コンバータの電源段にある下側の同期整流器でもう1個のSO-8 MOSFETを使用していることです。通常は、上側デバイスでの損失はその大半をスイッチング損失が占めるため、ゲート電荷が低くスイッチング時間の短いデバイスが選択されます。このアプリケーションでは出力電圧が比較的高いため、上側デバイスは高デューティ・サイクルで動作し、導通損失を低く保つために低い $R_{\text{DS(on)}}$ を必要とするので、最大ゲート電荷が30nCの8m Ω デバイスが選択されています。高効率を得るために、下部のスイッチにも同じデバイスが使用されています。

4.6 短絡保護

TPS40003は、上側MOSFET(オン時)の両端の電圧と、ピン1内部の15 μA 電流源によってVDDから R_{LIM} で降下する電圧とを比較することにより、短絡保護を実現しています。電流源の許容差と

電源MOSFETオン電圧の温度変動により、この短絡レベルで保護できるのは全体の過電流状況に対してのみであり、実際には定格負荷よりもずっと高い値に設定する必要があります。このアプリケーションの場合、 R_{LIM} は式(6)のように選択されています。

$$R_{LIM} = R_2 = \frac{3 \times I_{OUT} \times R_{DS(on)}}{15\mu A} = \frac{3 \times 10A \times 0.008\Omega}{15\mu A} = 15k\Omega \quad (6)$$

この設計では、 R_2 に対して標準値の16.2k Ω が選択されています。式の中の係数3は、部品許容差の変動(初期および対温度)と出力電流リップルを考慮したものです。部品許容差には、MOSFETの $R_{DS(on)}$ 、シンク電流 I_{LIM} 、およびSWのオフセット電圧 V_{OS} (対 I_{LIM})が含まれます。

4.7 補償設計

TPS40007では、高周波誤差増幅器とともに電圧モード制御を使用しています。電源回路のLC二重極コーナー周波数 f_c を式(7)に示します。

$$f_{cLC} = \frac{1}{2\pi \times \sqrt{L_{OUT} \times C_{OUT}}} = 5.1 \text{ kHz} \quad (7)$$

出力キャパシタのESRゼロは式(8)で計算されます。

$$f_{Z(esr)} = \frac{1}{2 \times \pi \times R_{ESR} \times C_{OUT}} = 33.8 \text{ kHz} \quad (8)$$

ここで、計算では2個のPOSCAPのESRである5m Ω が使用されています。これは、このように比較的低い周波数では1 μ Fは実質的に寄与しないからです。

帰還補償ネットワークは、2つのゼロと3つの極が得られるように実装されています。最初の極は原点近くに配置して、DCレギュレーションの向上を図っています。

最初のゼロは、 f_c より下の2.2kHzに配置しています(式(9))。

$$f_{z1} = \frac{1}{2 \times \pi \times (R_6 + R_7) \times C_{15}} \quad (9)$$

2番目のゼロは、18kHzに配置しています(式(10))。

$$f_{z2} = \frac{1}{2 \times \pi \times R_4 \times C_7} \quad (10)$$

最初の極は、ESRゼロ周波数の近くに配置しています(式(11))。

$$f_{p1} = \frac{1}{2 \times \pi \times R_7 \times C_{15}} \quad (11)$$

2番目の極は、スイッチング周波数の半分である150kHzに配置し、高速な過渡応答を可能にしています(式(12))。

$$f_{p2} = \frac{1}{2 \times \pi \times R_4 \times \left(\frac{C_7 \times C_{11}}{C_7 + C_{11}} \right)} \quad (12)$$

図2に、ループ・ゲインおよび位相特性の測定値を示します。ループ・クロスオーバー周波数である20kHzでは、位相余裕が約50度です。

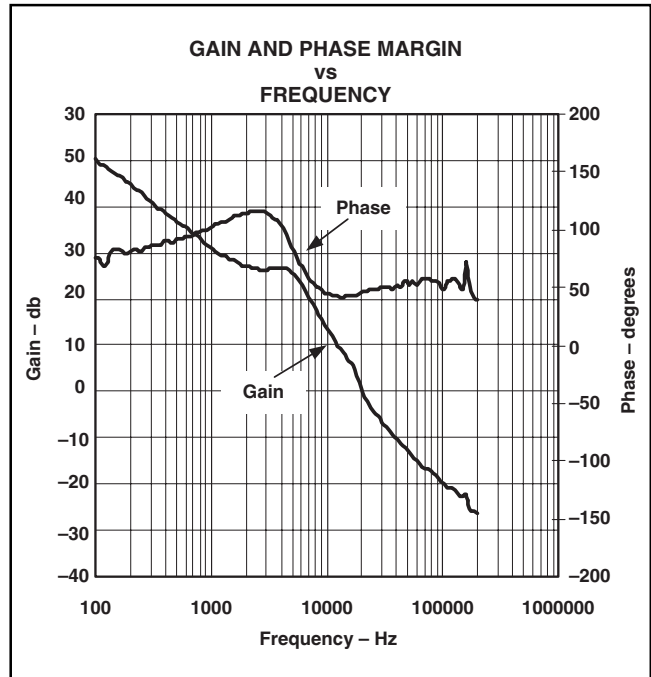


図2.

4.8 スナバ部品の選択

Q1とL1が結合されるスイッチ・ノードは非常に高雑音です。このノードとグランドの間に配置されたRCネットワークにより、Q2でのリングングと電圧オーバーシュートが低減されます。電流制限、Predictive Gate Drive™、およびDCM制御機能でこのノードを監視している制御回路に混乱が生じるのを避けるため、このリングング雑音は最小限に抑える必要があります。

まず、スナバ・キャパシタC12は一般に、ノードの寄生容量(主にQ2の C_{OS})よりも5~8倍大きな値を選択します。Q2の C_{OS} は5Vで約1600pFなので、C12には10nFが選択されます。R3は経験的に2.2 Ω に決定されます。これにより、スイッチ・ノードでのリングングとオーバーシュートが最小になります。比較的低い入力電圧5Vの場合、電力損失 $\frac{1}{2}CV^2f$ は比較的小さく、37mWです。

5. PowerPAD™パッケージ

TPS4000Xファミリは、TIの熱特性強化パッケージであるPowerPAD™のDGQ版で提供されます。PowerPAD™では、熱伝導性エポキシを利用してICダイをリードフレーム・ダイ・パッドに接合します。リードフレーム・ダイ・パッドは、完成したパッケージの底面に露出しています。放熱を最大にする必要がある場合は、標準の半田フロー技術を使用してリードフレーム・ダイ・パッドをPCBに半田付けできます。ただし、消費電力要件により、PowerPAD™をPCBに半田付けする必要がない場合もあります。

ICダイをリードフレーム・ダイ・パッドに接合している熱伝導性エポキシのために、リードフレーム・ダイ・パッドとデバイスのグランド・ピン5との間が高抵抗になっています。PowerPad™パッ

ケースをPCBに半田付けする場合は、リードフレーム・ダイ・パッドをグランド(ピン5)に接続できますが、これは必須ではありません。リードフレーム・ダイ・パッドは、回路内の他の電位には接続しないでください。

PowerPAD™パッケージでは、オンボードのMOSFETドライバに固有の消費電力にかかわらず、接合部温度の上昇を比較的安く保つことができます。この電力損失は、スイッチング周波数、駆動電圧、およびNチャネルMOSFETのエンハンスに必要なゲート電荷に比例します。効果的な熱除去により、高い部品信頼性を維持しながら、超小型パッケージの使用が可能になっています。

PowerPAD™パッケージから効果的に熱を除去するために、パッケージの直下にサーマル・ランドを配置する必要があります。通常、このサーマル・ランドには、内部の銅層やPCBの反対側に熱を拡散するためのビアが設けられています。熱を伝える銅

領域が狭まるため、これらのビアには、グランド・プレーンで一般的に使用される熱リリーフは使用しないでください。また、ビアは、めっきされるときにホールが効率よく埋まるように、十分小さくしておく必要があります。それにより、PCB表面とデバイス底面の間の接続部分から半田が逃げるのを防止できます。一般的なフットプリント・パターンを図3に示します。この図には、デバイスの上下のビアを含む追加の銅プレーンは含まれていません。

PowerPAD™パッケージの詳細については、TIの資料『PowerPAD™ Thermally Enhanced Package Application Report』(Texas Instrument文献番号SLMA002)を参照してください。このレポートには、パッケージ、アセンブリ、および手直し手法に関する詳細な情報が記載され、PowerPAD™パッケージの放熱性能の例が図示されています。

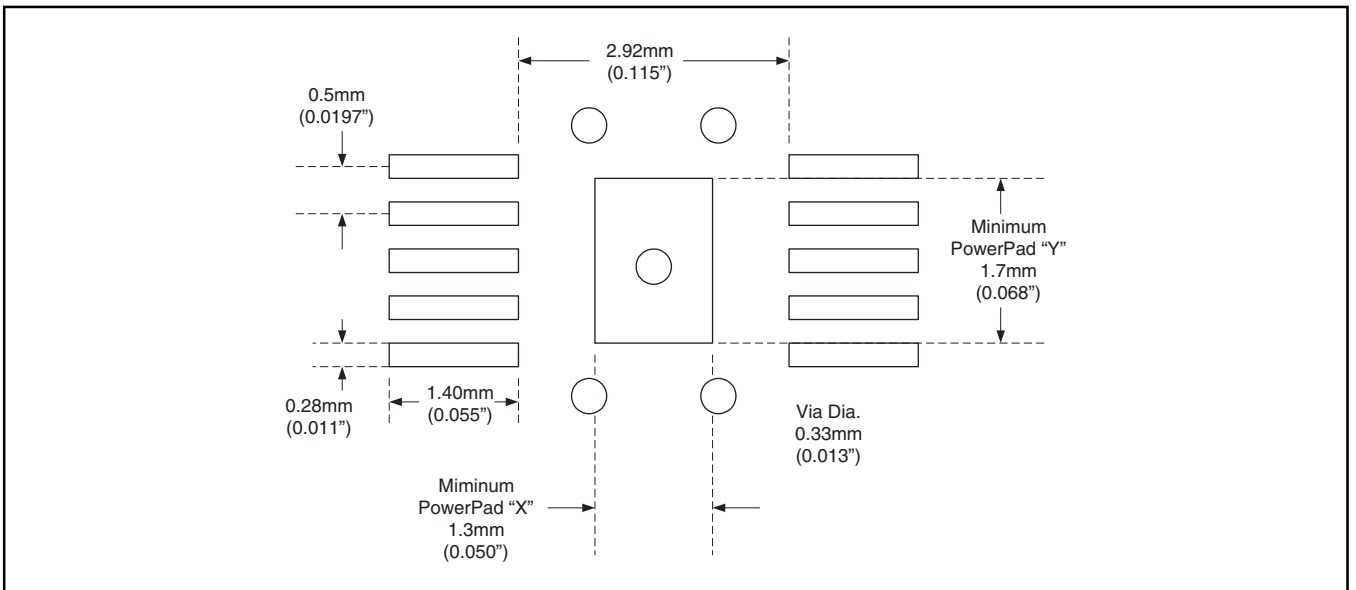


図3. PowerPAD™のPCBレイアウト・ガイドライン

6. テスト結果および性能データ

6.1 テストの設定

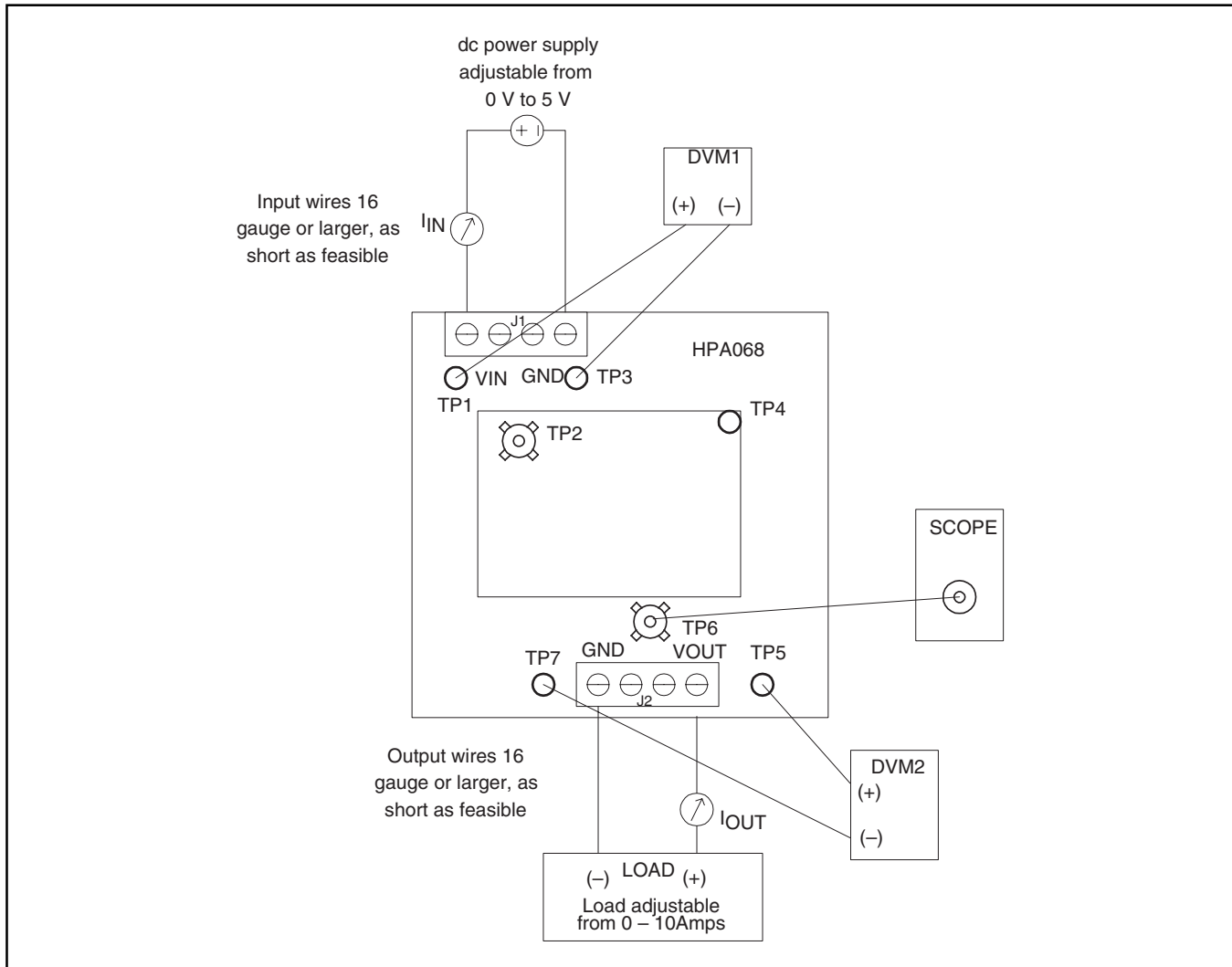


図4. テストの設定

図5に、3.3V入力での標準的な効率曲線を示します。高い効率を測定するには、計測機器に細心の注意が必要です。電力損失が低いと、わずかな誤差が効率の測定値に大きな影響を与える可能性があります。入力および出力コネクタに関連する損失を避けるため、テスト図に示すように、入力電圧および出力電圧はPCB上で測定されています。

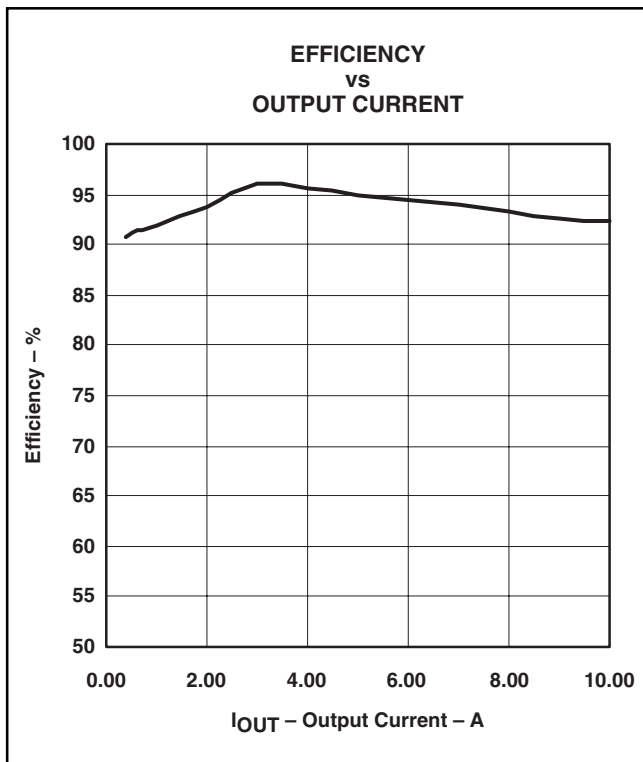


図5.

図6は、 $V_{IN} = 5V$ 、 $I_{OUT} = 10A$ でのスイッチ・ノードを示しています。図に示されるように、Predictive Gate Drive™技術の採用により、ボディ・ダイオードの導通はほとんど無視できる値です。

図7は、高 V_{IN} 、全負荷での出力電圧リップルを示しています。これは出力電圧リップルのワーストケース条件です。

図8は、2.5Aから7.5Aまで50%負荷ステップでの過渡応答を示しています。

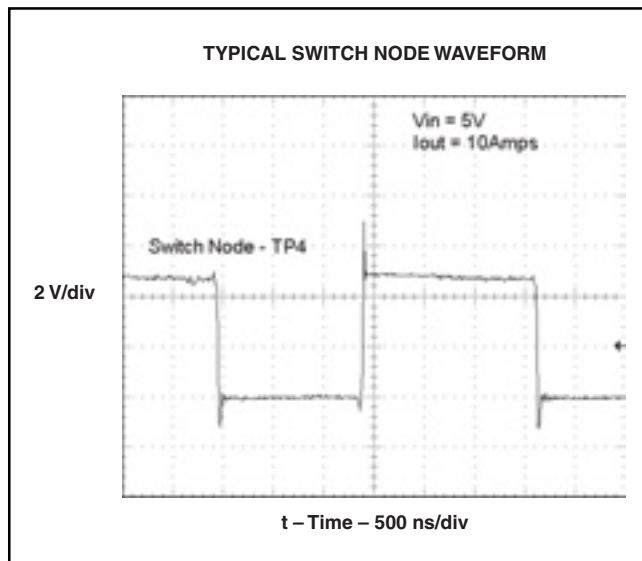


図6.

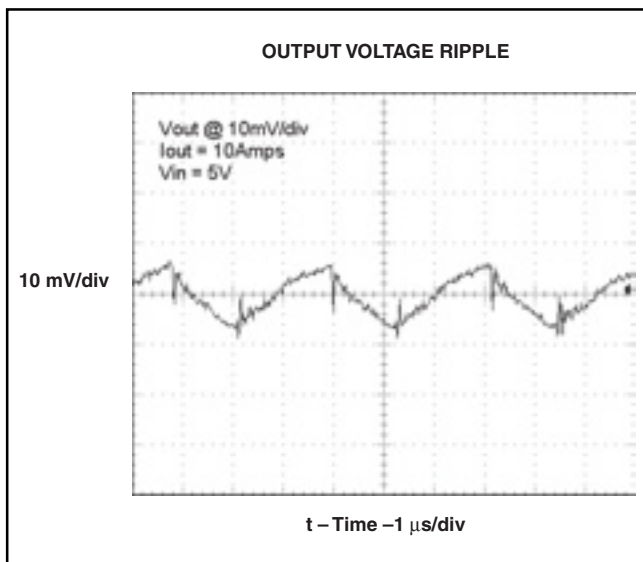


図7.

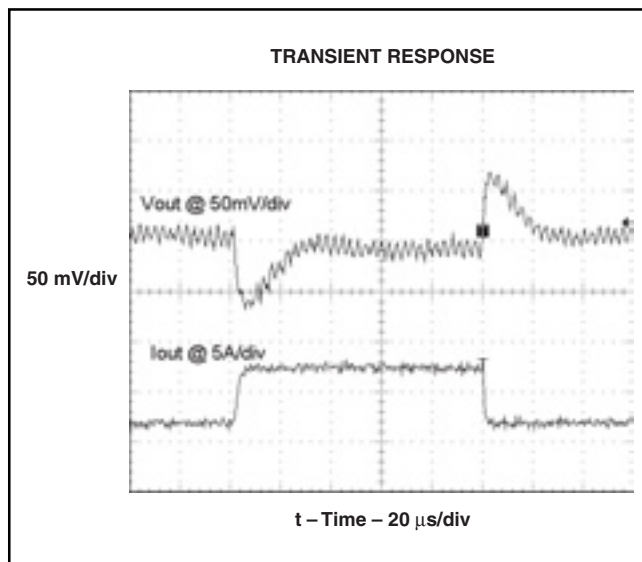


図8.

7. PCBレイアウト

図9～図11に、PCBの上部アセンブリと銅層を示します。

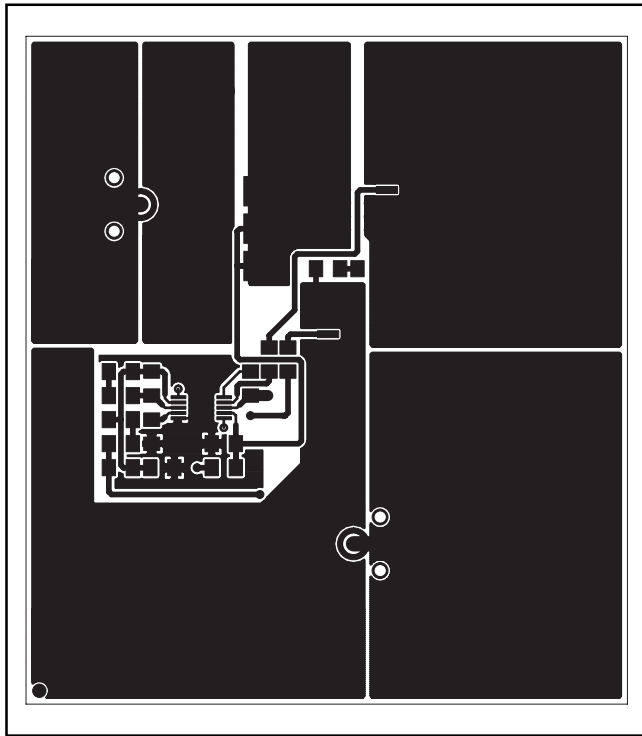


図9.

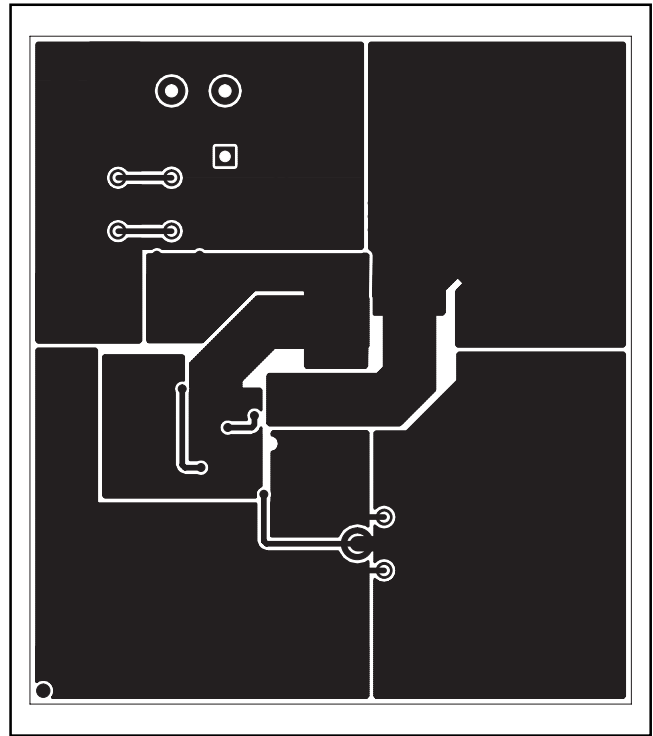


図10.

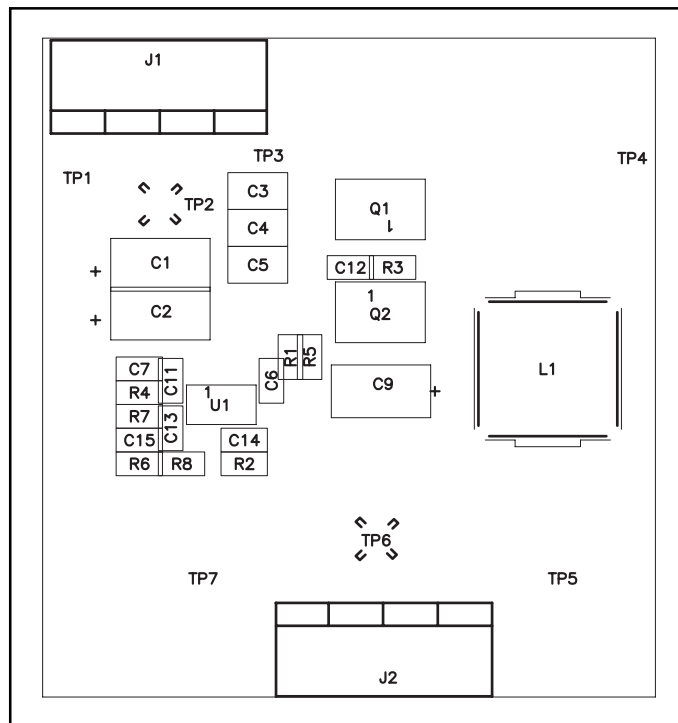


図11.

8. 部品表

表1に、この設計で使用されている部品の一覧を示します。この設計は、部品のわずかな微調整だけで、広範囲のアプリケーションに適合するよう修正できます。

	Reference	Qty	Description	Manufacturer	Part Number
Capacitor	C1, C2	2	POSCAP, 330 μ F, 6.3V, 10 milliohm, 20%, 7343 (D)	Sanyo	6TPD330M
	C11	1	Ceramic, 180pF, 50V, NPO, 10%, 805	Vishay	VJ0805A181KXAAT
	C12	1	Ceramic, 0.01 μ F, 50V, X7R, 10%, 805	Vishay	VJ0805Y103KXAAT
	C13	1	Ceramic, 0.0047 μ F, 50V, X7R, 10%, 805	Vishay	VJ0805Y472KXAAT
	C15	1	Ceramic, 6.8nF, 50V, X7R, 10%, 805	Vishay	VJ0805Y682KXAAT
	C3, C4, C5	3	Ceramic, 22 μ F, 6.3V, X5R, 20%, 1210	Panasonic	ECJ-4YB0J226M
	C6, C10, C14	3	Ceramic, 1 μ F, 10V, X5R, 10%, 805	Panasonic	ECJ-2YB1A105K
	C7	1	Ceramic, 1.5nF, 50V, X7R, 10%, 805	Vishay	VJ0805Y152KXAAT
	C8, C9	2	POSCAP, 470 μ F, 4V, 10m Ω , 20%, 7343 (D)	Sanyo	4TPD470M
Terminal Block	J1, J2	2	4-pin, 15A, 5.1mm, 291126	OST	ED2227
Inductor	L1	1	Inductor, SMT, 1 μ H, 15A, 3.5m Ω , 0.51 x 0.51	Vishay	IHLP-5050CE-01
MOSFET	Q1, Q2	2	MOSFET, N-channel, 12V, 17A, 5.5m Ω , SO8	Siliconix	Si4866DY
Resistor	R1, R5	1	Chip, 1.8 Ω , 1/10W, 5%, 805	Std	Std
	R2	1	Chip, 16.2k Ω , 1/10W, 1%, 805	Std	Std
	R3	1	Chip, 2.2 Ω , 1/10W, 5%, 805	Std	Std
	R4	1	Chip, 5.90k Ω , 1/10W, 1%, 805	Std	Std
	R6	1	Chip, 10k Ω , 1/10W, 1%, 805	Std	Std
	R7	1	Chip, 698 Ω , 1/10W, 1%, 805	Std	Std
	R8	1	Chip, 3.92 Ω , 1/10W, 1%, 805	Std	Std
	JACK	TP1, TP4, TP5	3	Red, 1mm, 0.038", 6400"	Farnell
Adapter	TP2, TP6	2	3.5-mm probe clip (or 131-5031-00), 72900	Tektronix	131-4244-00
JACK	TP3, TP7	1	Black, 1mm, 0.038", 6400"	Farnell	240-333
Device	U1	1	Low Input Voltage Mode, Synchronous Buck Controller DGQ10	TI	TPS40007DGQ

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認することの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2004, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上