

# UCC28220、UCC28221 インターリーブ制御デュアルPWMコントローラ

## 特長

- 2MHzの高周波数 発振器回路を内蔵 (チャンネルあたり1MHz動作)
- 整合のとれたスロープ補償回路内蔵
- チャンネルごとに60%から90%の間で設定可能な デューティ・サイクルのクランプ制御
- 各電流毎の過電流制限回路内蔵
- ピーク電流モード・コントロール
- ノイズ対策のための電流検出回路に放電トランジスタを内蔵
- ヒステリシス電圧が外部設定可能で正確なラインの低電圧/過電圧検出が可能
- 光カプラ・インターフェイス
- 110V起動用JFET内蔵 (UCC28221)
- 12V電源で動作可能 (UCC28220)
- 設定可能なソフトスタート機能回路内蔵

## アプリケーション

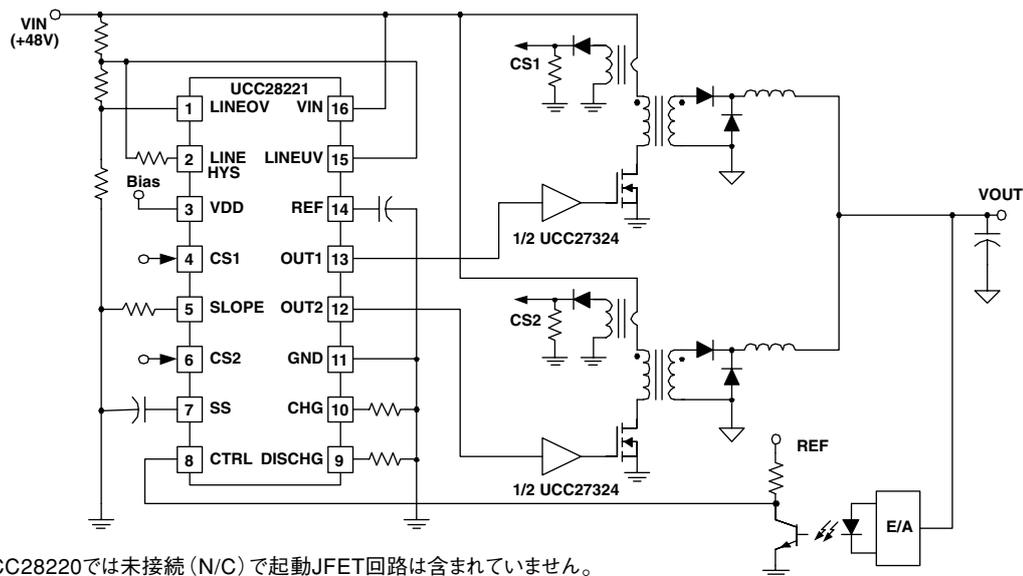
- 大出力電流 (50A~100A) のコンバータ
- 低出力リップル高効率のコンバータ
- 大電力のオフライン、テレコム、データコム、大型液晶等の電源

## 概要

UCC28220及びUCC28221はBiCMOSプロセスを使用したインターリーブ制御のデュアル・チャンネル PWMコントローラ・ファミリーです。2つのチャンネル間の電流の分配を確実にを行うためピーク電流モード制御方式が用いられています。最大デューティ・サイクルのクランプがチャンネルごとにデューティ・サイクルの60%から90%の間の値に精密に設定することができます。

UCC28220は12V電源用に10Vの起動スレッシュホールド電圧、また、UCC28221は広いUVLOのヒステリシス幅が必要なシステム用に13Vのスレッシュホールド電圧の特性を持っています。

## TYPICAL APPLICATION



(注) 16ピンはUCC28220では未接続 (N/C) で起動JFET回路は含まれていません。

Spartanは、Xilinxの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

## 概要(続き)

ターンオフ・スレッシュホールド電圧は両方のデバイスとも8Vです。

その他の機能として、各チャンネルに正確に同一のスロープが加わるよう 緻密に制御された設定可能な内蔵スロープ補償回路、広いヒステリシスのUCC28221では起動損失が少ない高電圧

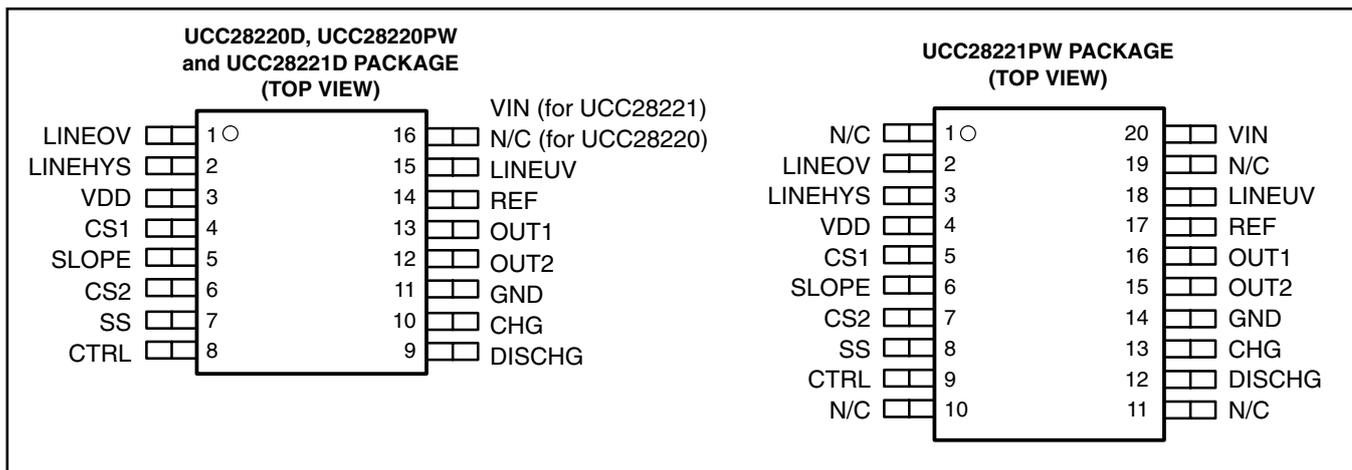
110VのJFET起動回路を内蔵しています。UCC28220のパッケージは16ピンSOICと薄型TSSOPです。また、UCC28221は16ピンSOICとやや大きな20ピンTSSOPでUL1950の沿面間隔の安全要件に適合する高電圧のピン間隔が確保されています。

## ORDERING INFORMATION

TEMPERATURE RANGE $T_A = T_J$	UVLO THRESHOLDS	110-V HV JFET STARTUP CIR- CUIT	PACKAGED DEVICES		
			SOIC 16 (D)	TSSOP-16 (PW)	TSSOP-20 (PW)
-40°C to +105°C	10 V on / 8 V off	NO	UCC28220D	UCC28220PW	-
	13 V on / 8 V off	YES	UCC28221D	-	UCC28221PW

(注) D (SOIC) 及びPW (TSSOP) パッケージはテープ/リールで供給されています。型番にRを付けてください(例、UCC28220DRまたはUCC28221PWR)。リール当たりの数量はDパッケージが2500個、PWパッケージは2000個です。

## CONNECTION DIAGRAM



## RECOMMENDED OPERATION CONDITIONS

Parameter	Symbol	Condition
High voltage start-up input	$V_{IN}$	36 V to 76 V
Supply voltage	$V_{DD}$	8 V to 14.5 V

## ABSOLUTE MAXIMUM RATINGS

over operating free-air temperature (unless otherwise noted)<sup>†‡</sup>

Parameter	UCC2822X	UNIT
High voltage start-up input, V <sub>IN</sub>	110	V
Supply voltage, V <sub>DD</sub>	15	V
Output current (OUT1, OUT2) dc, I <sub>OUT(dc)</sub>	±10	mA
OUT1/ OUT2 capacitive load	200	pF
REF output current, I <sub>REF</sub>	10	mA
Current sense inputs, CS1, CS2	-1.0 to 2.0	V
Analog inputs (CHG, DISCHG, SLOPE, REF, CNTRL)	-0.3 to 3.6	V
Analog inputs (SS, LINEOV, LINEUV, LINEHYS)	-0.3 to 7.0	V
Power dissipation at T <sub>A</sub> = 25°C (PW package)	400	mW
Power dissipation at T <sub>A</sub> = 25°C (D package)	650	mW
Junction operating temperature, T <sub>J</sub>	-55 to 150	°C
Storage temperature, T <sub>stg</sub>	-65 to 150	°C
Lead temperature (soldering, 10 sec.), T <sub>sol</sub>	300	°C

<sup>†</sup> 絶対最大定格以上のストレスは、製品に恒久的・致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態に長時間置くことは、本製品の信頼性に影響を与えることがあります。

<sup>‡</sup> 全ての電圧はGNDを基準としています。電流の極性で正は指定の端子に流入する方向、負は流出する方向を表しています。熱についての制限及びパッケージについての考察はデータブックのパッケージの項を参照してください。

## ELECTRICAL CHARACTERISTICS:

V<sub>DD</sub> = 12 V, 0.1-μF capacitor from VDD to GND, 0.1-μF capacitor from REF to GND, F<sub>OSC</sub> = 1 MHz, T<sub>A</sub> = 40 °C to 105°C, T<sub>A</sub> = T<sub>J</sub>, (unless otherwise noted).

PARAMETER	TEST CONDITION	MIN	TYP	MAX	UNITS
<b>Overall Section</b>					
Operating VDD range		8		14	V
Quiescent current	SS = 0 V, no switching, Fosc = 1 MHz	1.5	3	4	mA
Operating current	Outputs switching, Fosc = 1 MHz	1.6	3.5	6	
<b>Startup Section</b>					
Startup current	UCC28220 VDD < (UVLO 0.8)			200	μA
Startup current	UCC28221 VDD < (UVLO 0.8)			500	
UVLO start threshold	UCC28220	9.5	10	10.5	V
UVLO start threshold	UCC28221	12.3	13	13.7	
UVLO stop threshold		7.6	8	8.4	
UVLO hysteresis	UCC28220	1.8	2	2.2	V
UVLO hysteresis	UCC28221	4.8	5	5.2	V
JFET ON threshold	SS = 0, outputs not switching, VDD decreasing	9.5	10	10.5	
JFET ON threshold	SS = 2 V, Cntrl = 2 V, output switching, VDD decreasing; same threshold as UVLO stop	7.6	8	8.4	
High voltage JFET current	VIN = 36 V to 76 V, VDD = 0 V	16	48	100	mA
High voltage JFET current	VIN = 36 V to 76 V, VDD = 10 V	4	16	40	
High voltage JFET current	VIN = 36 V to 76 V, VDD < UVLO	4	12	40	
JFET leakage	VIN = 36 V to 76 V, VDD = 14 V			100	μA

## 電気的特性

$V_{DD} = 12\text{ V}$ ,  $0.1\text{-}\mu\text{F}$  capacitor from VDD to GND,  $0.1\text{-}\mu\text{F}$  capacitor from REF to GND,  $F_{OSC} = 1\text{ MHz}$ ,  $T_A = 40\text{ }^\circ\text{C}$  to  $105\text{ }^\circ\text{C}$ ,  $T_A = T_J$ , (unless otherwise noted).

PARAMETER	TEST CONDITION	MIN	TYP	MAX	UNITS
<b>Reference</b>					
Output voltage	$8\text{ V} < V_{DD} < 14\text{ V}$ , ILOAD=0 mA to -10 mA	3.15	3.3	3.45	V
Output current	Outputs not switching; CNTRL = 0 V	10			mA
Output short circuit current	$V_{REF} = 0\text{ V}$	-40	-20	-10	mA
$V_{REF}$ UVLO		2.55	3	3.25	V
<b>Soft-Start</b>					
SS charge current	RCHG = 10.2 k $\Omega$ , SS = 0 V	-70	-100	-130	$\mu\text{A}$
SS discharge current	RCHG = 10.2 k $\Omega$ , SS = 2 V	70	100	130	
SS initial voltage	LINEOV = 2 V, LINEUV = 0 V	0.5	1	1.5	V
SS voltage at 0% dc	Point at which output starts switching	0.5	1.2	1.8	
SS voltage ratio		75%	90%	100%	
SS Max voltage	LINEOV = 0 V, LINEUV = 2 V	3	3.5	4	V
<b>Oscillator and PWM</b>					
Output frequency	RCHG = 10.2 k $\Omega$ , RDISCHG = 10.2 k $\Omega$	450	500	550	kHz
Oscillator frequency	RCHG = 10.2 k $\Omega$ , RDISCHG = 10.2 k $\Omega$	900	1000	1100	
Output maximum duty cycle	RCHG = 10.2 k $\Omega$ , RDISCHG = 10.2 k $\Omega$ , measured at OUT1 and OUT2	73%	75%	77%	%
CHG voltage		2	2.5	3	V
DISCHG voltage		2	2.5	3	
<b>Slope Compensation</b>					
Slope	RSLOPE = 75 k $\Omega$ , RCH = 66 k $\Omega$ , RDISCHG = 44 k $\Omega$ , Csx = 0 V to 0.5 V	140	200	260	mV/us
Channel matching	RSLOPE = 75 k $\Omega$ , Csx = 0 V		0%	10%	
<b>Current Sense</b>					
CS1, CS2 bias current	CS1 = 0, CS2 = 0	-500	0	500	nA
Prop delay CSx to OUTx	CSx input 0 V to 1.5 V step		40	85	ns
CS1, CS2 sink current	CSx = 2 V	2.3	4.5	7	mA
<b>CNTRL Section</b>					
Resistor ratio <sup>(1)</sup>			0.6		
Ctrl input current	CTRL = 0 V and 3.3 V	-100	0	100	nA
Ctrl voltage at 0% dc	CSx = 0 V, Point at which output starts switching (checks resistor ratio)	0.5	1.2	1.8	V

(1) 設計目標項目であり、テストは行われていません。

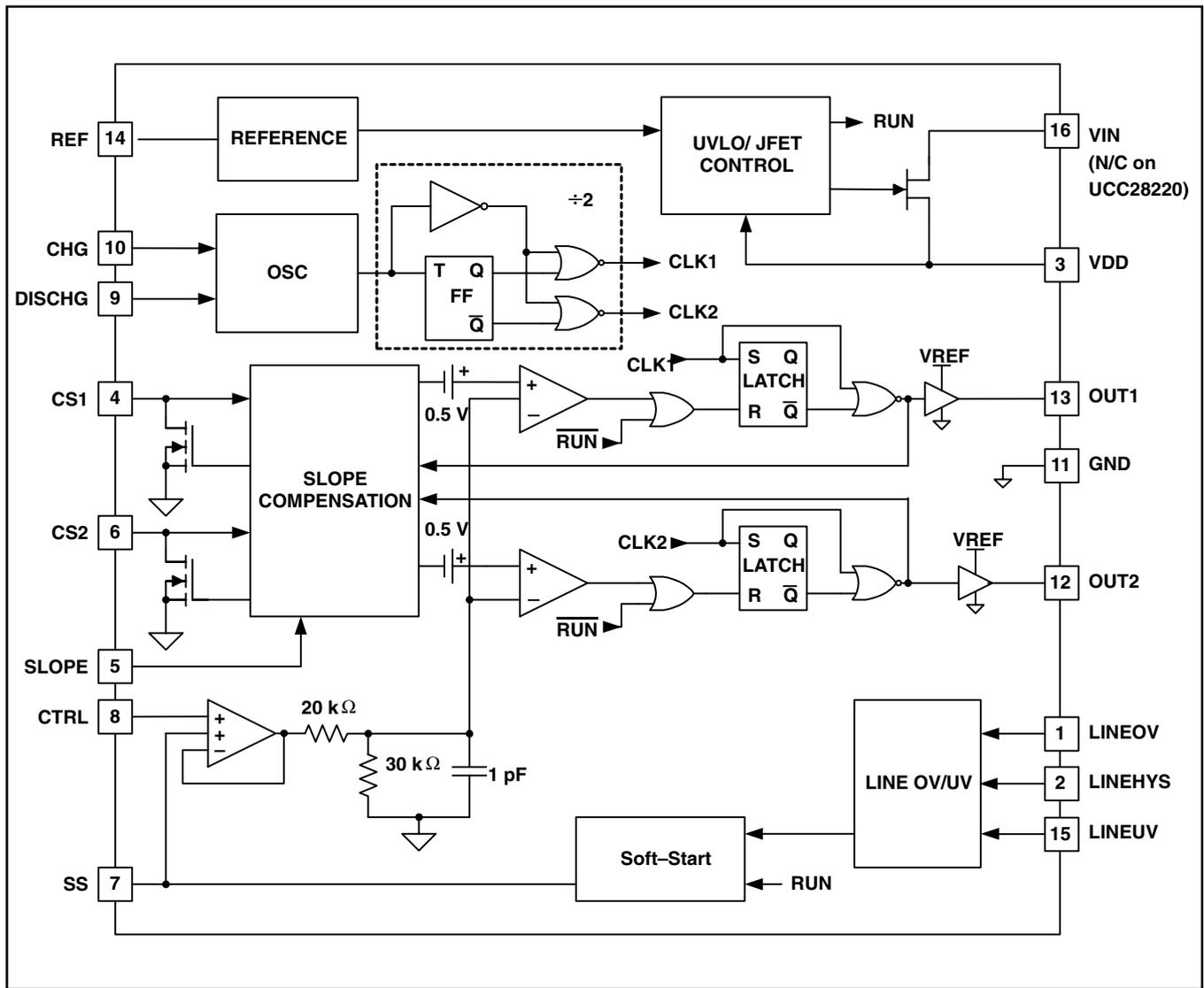
## 電気的特性

$V_{DD} = 12\text{ V}$ ,  $0.1\text{-}\mu\text{F}$  capacitor from VDD to GND,  $0.1\text{-}\mu\text{F}$  capacitor from REF to GND,  $F_{OSC} = 1\text{ MHz}$ ,  $T_A = -40^\circ\text{C}$  to  $105^\circ\text{C}$ ,  $T_A = T_J$ , (unless otherwise noted).

PARAMETER	TEST CONDITION	MIN	TYP	MAX	UNITS
<b>Output Section (OUT1, OUT2)</b>					
Low level	$I_{OUT} = 10\text{ mA}$		0.4	1	V
High level	$I_{OUT} = -10\text{ mA}$ , $V_{REF} - V_{OUT}$		0.4	1	
Rise time	$C_{LOAD} = 50\text{ pF}$		10	20	ns
Fall time	$C_{LOAD} = 50\text{ pF}$		10	20	
<b>LINE Sense section</b>					
LINEOV threshold	$T_A = 25^\circ\text{C}$	1.240	1.260	1.280	V
LINEOV threshold	$T_A = -40^\circ\text{C}$ to $105^\circ\text{C}$	1.235	1.260	1.285	
LINEUV threshold	$T_A = 25^\circ\text{C}$	1.240	1.260	1.280	
LINEUV threshold	$T_A = -40^\circ\text{C}$ to $105^\circ\text{C}$	1.235	1.260	1.285	
LINEHYST pull up voltage	LINEOV = 2 V, LINEUV = 2 V	3.1	3.25	3.4	
LINEHYST off leakage	LINEOV = 0 V, LINEUV = 2 V	-500	0	500	nA
LINEHYS pull-up resistance	$I = -20\text{ }\mu\text{A}$		100	500	$\Omega$
LINEHYS pull-down resistance	$I = 20\text{ }\mu\text{A}$		100	500	
LINEOV, LINEUV bias I	LINEOV = 1.25 V, LINEUV = 1.25 V	-500		500	nA

(1) 設計目標項目であり、テストは行われていません。

# FUNCTIONAL BLOCK DIAGRAM



(注) 16ピンのピン配置図を示しています。20ピンについては端子機能表のUCC28221PWを参照してください。

端子機能表

端子			端子名	I/O	機能
端子番号					
UCC28220D UCC28220PW	UCC28221D	UCC28221PW			
1	1	2	LINEOV	I	ライン過電圧コンパレータの入力
2	2	3	LINEHYS	I	ライン・コンパレータのヒステリシスの設定
3	3	4	VDD	I	デバイス電源入力
4	4	5	CS1	I	電流検出入力チャンネル1
5	5	6	SLOPE	I	スロープ補償の設定
6	6	7	CS2	I	電流検出入力チャンネル2
7	7	8	SS	I	ソフトスタート入力
8	8	9	CTRL	I	フィードバック・コントロール入力
9	9	12	DISCHG	I	発振器放電電流の設定
10	10	13	CHG	I	発振器充電電流の設定
11	11	14	GND	-	デバイス・グランド
12	12	15	OUT2	O	チャンネル2のPWM出力
13	13	16	OUT1	O	チャンネル1のPWM出力
14	14	17	REF	O	基準電圧出力
15	15	18	LINEUV	I	ライン低電圧コンパレータの入力
-	16	20	VIN	I	高耐圧起動入力
16	-	1, 10, 11, 19	N/C	-	未接続

### 端子機能

**VDD:** この端子はデバイスへの電源供給に使用され、UVLO (低電圧検出) 回路でこの端子は監視されています。このことは安定した起動動作を確保するために用いられます。VDDがそのUVLOスレッショールドの上限値 (起動電圧) に達するまではローパワー・モードのまま、約150 $\mu$ Aの電流を流し、SS, CS1, CS2, OUT1, OUT2の端子のロジックレベルを“0”状態にします。VDDが一度起動電圧に達した後に電源電圧8V以下に低下すると、このローパワー・モードに再び戻ります。UCC28221の場合、UVLOスレッショールドの上限値は13Vで、UCC28220では10Vです。両方のバージョンともターンオフ・スレッショールドは8Vです。

**VIN (UCC28221のみ):** この端子の内部には起動用に高耐圧のJFET回路が内蔵されています。JFETのドレイン側はVINに、ソース側はVDDに接続されています。起動時、このJFETは12mA/最小4mA (typ) の電流をVDDに供給し、VDDに接続されるバイパス・コンデンサを充電します。VDDが13Vになると、JFETは自動的に停止状態になります。

**CS1, CS2:** この2つの端子はデバイスの電流検出入力端子です。この信号はPWMコンパレータに入る前に内部で0.5Vシフトされます。内部でこの信号にスロープ補償のランプ信号が加わります。この入力の直線動作範囲は0Vから15Vです。また、この端子はそれぞれ対応する出力 (すなわち、OUT1とOUT2) が“L”レベルになるたびに内蔵された放電回路によってグランド・レベルになります。

**SLOPE:** この端子はスロープ補償のランプ信号に使用される電流値を設定します。この端子からGNDへ接続される抵抗により電流値が設定され、内部で1/25になり、次に内部の10pFの

コンデンサに加わります。通常動作時ではこの端子の直流電圧は2.5Vです。

**SS:** この端子からGNDへ接続されるコンデンサにより緻密なソフトスタート機能のソフトスタート時間が設定されます。この端子のソース/シンク電流はCHG端子の抵抗により設定される発振器の充電電流の3/7です。ソフトスタート・コンデンサは、UVLO時と、ライン電圧のOV (過電圧) またはUV (低電圧) 状態時には低いレベルに保たれています。過電圧または低電圧の異常が起こると、ソフトスタート・コンデンサは充電電流と等しい電流で放電をします。このコンデンサは異常時に急速には放電しません。このように、コントローラは極めて短いライン過渡状態から素早く回復することができます。また、この端子はイネーブル/ディスエーブル機能としても使用することができます。

**CHG:** この端子からGNDに抵抗を接続することにより発振器で利用される内部C<sub>T</sub>コンデンサの充電電流が設定されます。この抵抗は、DISCHG端子の抵抗とともに、動作周波数と最大デューティ・サイクルを設定するのに使用されます。通常動作時では、この端子の電圧は2.5Vです。

**DISCHG:** この端子からGNDに抵抗を接続することにより発振器で利用される内部C<sub>T</sub>コンデンサの放電電流が設定されます。この抵抗は、CHG端子の抵抗とともに、動作周波数と最大デューティ・サイクルを設定するのに使用されます。通常動作時では、この端子の電圧は2.5Vです。

**OUT1, OUT2:** これら出力端子は大電流のMOSFETドライバとのインターフェイス用です。出力駆動能力は約33mAで、出力インピーダンスは100 $\Omega$ です。出力振幅はGNDとREF間で振幅します。

**LINEOV:** この端子はコンパレータに接続され、過電圧状態検出のためにライン電圧を監視するのに使用されます。スレッシュホールド電圧は1.26Vです。

**LINEUV:** この端子はコンパレータに接続され、低電圧状態検出のためにライン電圧を監視するのに使用されます。スレッシュホールド電圧は1.26Vです。

**LINEHYST:** この端子はLINEOV端子とLINEUV端子の両方により制御され、過電圧/低電圧ライン検出器両方のヒステリシス値を制御するのに使用されます。

**REF:** REFは主に出力バッファ及び内部回路への電圧源として使用される3.3V出力です。また不慮のグラウンドへのショートから保護されています。デバイスの安定動作のため、この基準端子は最小0.1μFの容量を用いて最短のレイアウトでGNDに接続してください。

## アプリケーション情報

### 概要

このデバイスは、インターリーブ制御で緻密にスローブ補償された2つのPWMコンパレータと、いくつかの制御回路で構成されています。回路は8Vから14Vの電源で動作することを目的としていますが、UCC28221にはシステムの起動に利用できる高耐圧の起動回路のJFET素子が内蔵されています。これらのデバイスに含まれている機能としては、電源の低電圧保護機能、高精度に調整された3.3Vの基準電圧、正確なラインの過電圧/低電圧保護機能、周波数と最大デューティ・サイクルの両方を設定可能な高速発振器、設定可能な高精度スローブ補償回路、設定可能なソフトスタート機能があります。

UCC28220/1は、2チャンネルのインターリーブ制御のパワー・コンバータ用の一次側コントローラです。このデバイスは、最大デューティ・サイクルのクランプの制約条件が60%から90%であれば、フォワード・コンバータまたはフライバック・コンバータと互換です。よって、RCD及び共振リセットのフォワード・コンバータだけでなく、アクティブ・クランプ制御のフォワード・コンバータ及びフライバック・コンバータもこのデバイスと互換性があります。確実に2つのチャンネルがコンバータの総出力電流を分かち合うようにするため、内部スローブ補償を用いた電流モード・コントロールが使用されています。スローブ補償は専用ピンによりユーザーが任意に設定することができ、そして50:1以上の幅に設定することができるため、さまざまなアプリケーションで優れた小信号安定性が確保されます。

### ライン過電圧/低電圧

コンバータの入力電圧が所定の範囲外にある場合、出力ドライバのターンオフ及びソフトスタート・コンデンサのリセットを行うのに3つのピンが用意されています。低電圧の設定点及び低電圧ヒステリシスは外付けの抵抗により任意に設定することができます。また、過電圧の設定点も抵抗比により任意に設定できますが、ヒステリシスは低電圧ヒステリシスを設定するのと同じ抵抗により決まる制約があります。

図1と図2に低電圧検出 (UVLO) 機能と過電圧検出 (OVLO) 機能の詳細な機能図と動作解説図を示します。図2で定義されているスレッシュホールドを設定する式は以下のようになります。

$$V1 = 1.26 \times \frac{R1}{(R2 + R3)} + 1.26 \quad (1)$$

$$V2 = 1.26 \times \frac{(R1 + Rx)}{Rx}, \quad (2)$$

$$\text{但し、 } Rx = R4 \parallel (R2 + R3)$$

$$V4 = 1.26 \times \frac{(R1 + R2 + R3)}{R3} \quad (3)$$

$$V3 = V4 - 1.26 \times \left(\frac{R1}{R4}\right) \quad (4)$$

次に、UVLOヒステリシスとOVLOヒステリシスは、それぞれV2-V1、V4-V3で求められます。設計式を調べてみると、R4の値が両方のスレッシュホールドにおけるヒステリシスの量を設定していることが明らかになります。これは、高ラインあるいは低ライン時においてもっとも重要なヒステリシスの仕様をもとにR4の値を設定することができることを意味しています。ほとんどの設計ではR4の値はUVLOスレッシュホールド前後の求めるヒステリシス量により決められます。例として以下の入力UVLO/OVLO設計仕様のテレコム電源を考えてみます。

- V1 = 32.0 V
- V2 = 34.0 V
- V3 = 83.0 V
- V4 = 84.7 V

よって、

- R1 = 976 kΩ
- R2 = 24.9 kΩ
- R3 = 15.0 kΩ

また、

- R4 = 604 kΩ

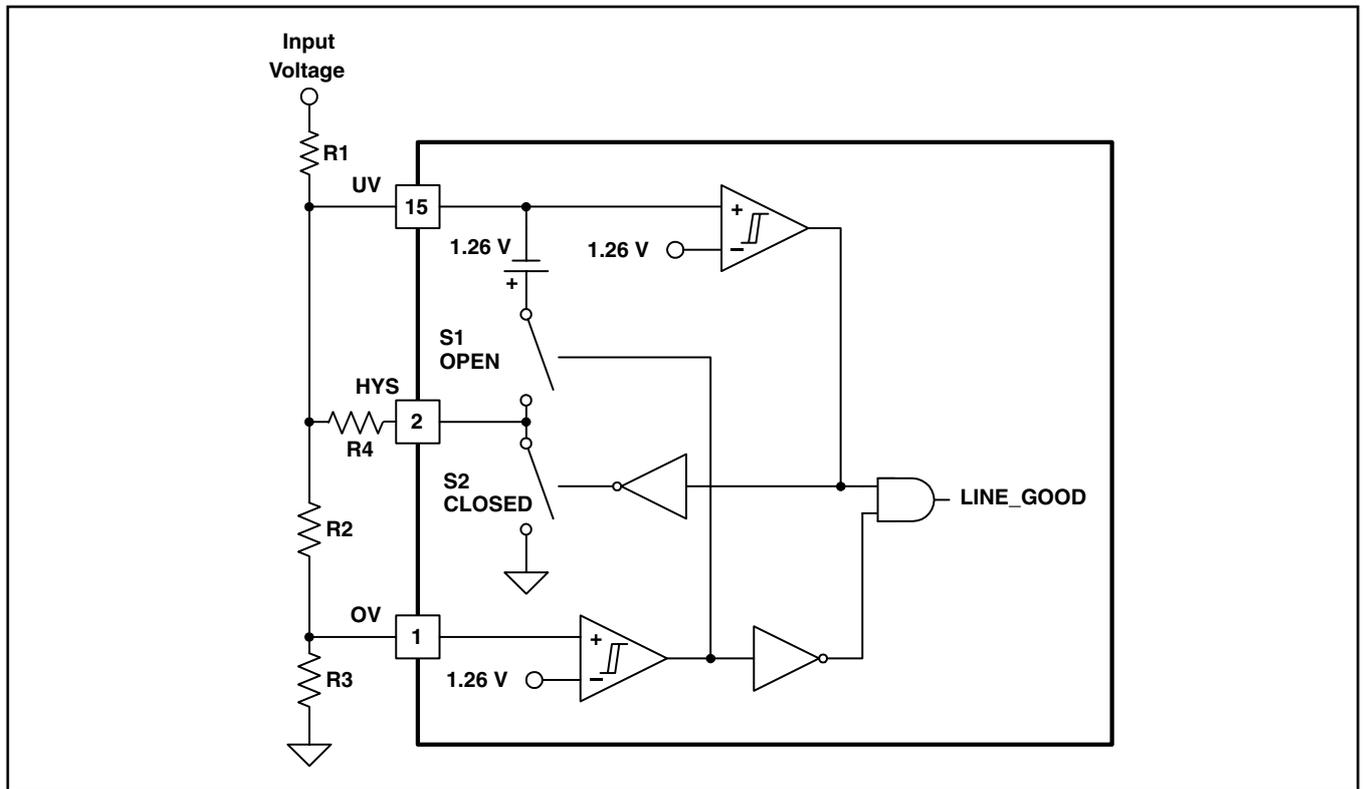


図1. Line UVLO and OVLO Functional Diagram

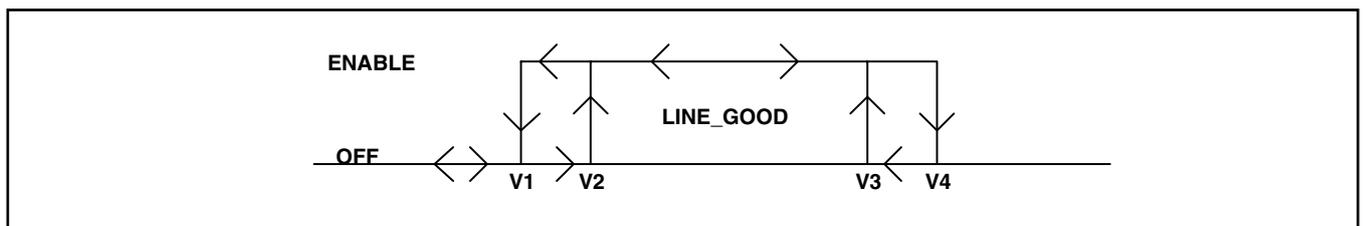


図2. Line UVLO and OVLO Operation

## VDD

ドライバの出力インピーダンスは高いため (MOSFETのダイレクト駆動を前提としていないため)、VDDコンデンサのエネルギー保持の必要性は一般製品より高くありません。耐ノイズ性の改善のため、VDD端子は最小0.1μFの容量を用いてGNDに接続してください。ほとんどの標準的なアプリケーションでは、MOSFETドライバのバイアス電圧は制御デバイスへのVDD電源としても使用されています。前述のアプリケーションでは、ドライバのバルクコンデンサとUCC28220/1のVDDコンデンサ間に低い値の抵抗を挿入することが効果的です。バイアス電源に直列に抵抗を挿入することにより、バイアス電源上に存在するノイズもコントローラのVDD端子に達する前にフィルタで除去されます。

## 基準電圧

耐ノイズ性の改善のため、基準電圧ピンREFは最小0.1μFの容量を用いてGNDに最善のレイアウトで接続してください。

## 発振器動作と最大デューティ・サイクル設定点

発振器は両方のPWMチャンネル用にクロックを生成するため内部コンデンサを充放電します。このデバイスの内蔵の発振器は200kHzから2MHzの周波数範囲で 最大デューティ・サイク

ル範囲が20%から80%の範囲で設定可能です。デッドタイムと発振器の周波数は2で割られ、出力のそれぞれにPWMクロックとオフタイム情報が生成されます。発振器のデューティ・サイクル20%は各チャンネルの出力では最大デューティ・サイクル60%に相当し、発振器のデューティ・サイクル80%は各チャンネルの出力でデューティ・サイクルの90%に相当することになります。

発振器とデューティ・サイクル設定点の設計式は以下の式で求められます。

$$F_{\text{OSC}} = 2 \times F_{\text{OUT}} \quad (5)$$

$$D_{\text{MAX(osc)}} = 1 - 2 \times (1 - D_{\text{MAX(out)}}) \quad (6)$$

$$R_{\text{CHG}} = K_{\text{OSC}} \times \frac{D_{\text{MAX(osc)}}}{F_{\text{OSC}}} \quad (7)$$

$$R_{\text{DISCHG}} = K_{\text{OSC}} \times \frac{(1 - D_{\text{MAX(osc)}})}{F_{\text{OSC}}} \quad (8)$$

但し、

- $K_{OSC} = 2.04 \times 10^{10} [\Omega/s]$
- $F_{OUT} =$  チップの出力でのスイッチング周波数 [Hz]
- $D_{MAX(out)} =$  チップの出力での最大デューティ・サイクル・リミット
- $D_{MAX(osc)} =$  出力での求める最大デューティ・サイクルに対する発振器の最大デューティ・サイクル
- $F_{OSC} =$  求める出力周波数に対する発振器周波数 [Hz]
- $R_{CHG} =$  充電電流を設定する外付け発振器抵抗 [ $\Omega$ ]
- $R_{DISCHG} =$  放電電流を設定する外付け発振器抵抗 [ $\Omega$ ]

### 起動用JFET部

広範囲(36V–75V)のテレコム入力源よりデバイスを起動させるため110Vの起動用JFET回路が内蔵されています。VDDが13Vより低い時、JFET回路はオン状態になりVDD端子に接続されるのバイアス・コンデンサを充電し、かつ、デバイスに電流を供給する電流源として機能します。起動回路によって、VDDのバイパス・コンデンサは出力がスイッチングを開始する13Vに充電され、起動後はJFET回路は自動的にオフ状態(ハイインピーダンス)になります。パルス・スキップ状態時、デバイスへの定バイアス電源を可能にするため、VDDが10Vより低くなるとJFET回路は再びオンになります。このとき出力はスイッチングを行いません。従って、デバイスが出力ドライバをアクティブにスイッチングしない限り、JFET回路からの電流は内部のバイアス電流の供給に十二分に利用できます。図3のJFET/VDD動作のグラフ表示を参照してください。UCC28220は高耐圧の起動回路のJFET回路を内蔵しておらず、直流バスを直接動作することができるように個別の起動スレッシュホールド電圧が設定されています。

### ソフトスタート

コントロールされたランプ電圧を供給するため、RCHGで設定される電流の3/7の電流がSS端子から流れます。抵抗RCHGで設定される電流は2.5VをRCHGで割った値です。このランプ電圧はCTRL端子に指示されたデューティ・サイクルより優先され、制御された起動が可能になります。UCC28221が一次側でバイアスされたとすると、二次側バイアスが生成できるようソフトスタートは極めて短くしなければならず、その後二次側のコントロールに引き継がれます。ソフトスタートの時間間隔が完了すると、二次側の閉ループのソフトスタートが実行されます。

$$ISS = \frac{3}{7} \times \frac{2.5}{R_{CHG}} \quad (9)$$

但し、

ISS = ソフトスタート時SSピンからのソース電流 (A)

### 電流検出

電流検出信号CS1とCS2は0.5Vレベル・シフトされ、PWMコンパレータの入力でコントロール電圧と比較される前に電流検出信号にスロープ補償のランプ信号が加わります。全負荷時の電流検出信号の振幅は短絡動作時にピーク出力電流を制限するため最大コントロール電圧に近くなるよう設定してください。

### 出力ドライバ

UCC28220/1はMOSFETドライバ・ファミリーのUCC27323/4/5等とのインターフェイス利用することを前提として開発されています。そのため、出力駆動能力は低く、事実上100 $\Omega$ 程度です。ドライバ出力の振幅はREFとGND間です。

### スロープ補償

UCC28220/1のスロープ補償回路はサイクル・バイ・サイクル制御で動作します。2つのチャンネルには別々のスロープ補償回路があります。これらは電流の分配がスロープ補償回路に左右されないよう同じ方法で精密に組み立てられています。各チャ

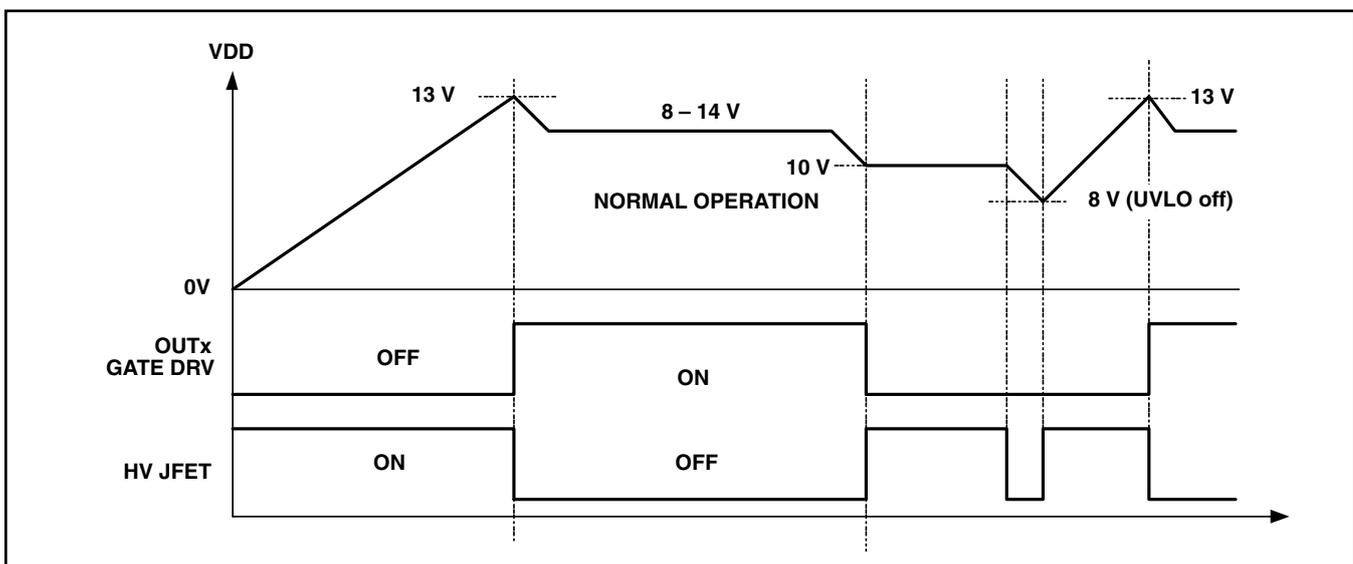


図3. JFET Device Operation with VDD Voltage

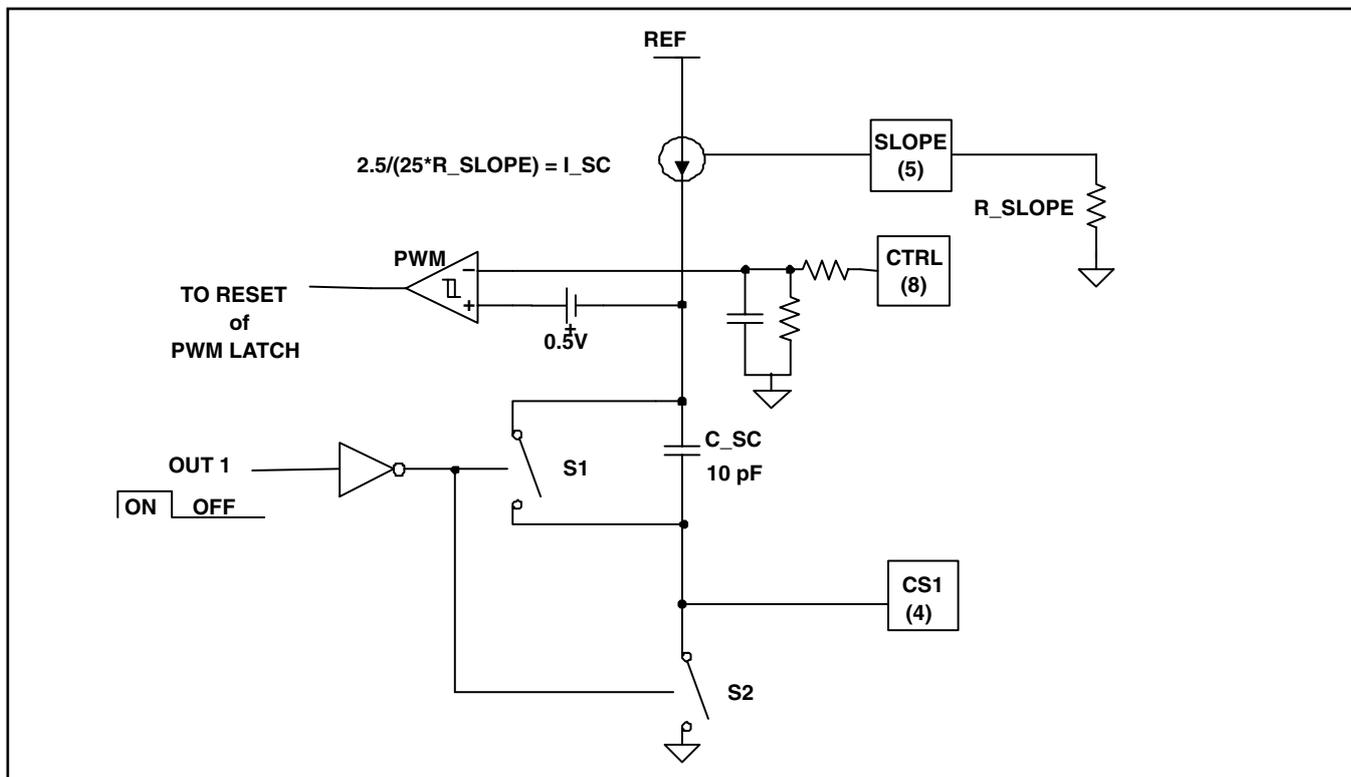


図4. Slope Compensation Detail for Channel 1. Duplicate Matched Circuitry Exists for Channel 2.

ネルでは、チャンネルの出力がオフになると内部のコンデンサはリセットされます。PWMサイクルの始まりで、電流はSLOPE端子でミラーオフされてコンデンサに入り、独立したランプが生成されます。チャンネルの出力が“L”レベルから“H”レベルに変化した時2つのチャンネルのランプが開始するため、ランプではインターリーブが行われます。これら内部ランプは電流検出端子CS1とCS2の電圧に加えられ、その結果がPWMコンパレータへの入力となります。

確実な安定性をもたせるため、スロープ補償回路はPWMコンパレータの入力に印加する前に電流検出信号のそれぞれにインダクタのダウンスロープの1/5から1倍を加えてください。

スロープ補償抵抗の値を決めます。

設計式：

$$\begin{aligned} N_{CT(p)} &= 1 & V_{OUT} &= 12 & N_p &= 7 \\ N_{CT(s)} &= 50 & L_{OUT} &= 3.2 \times 10^{-6} & N_s &= 5 \\ R_{SENSE} &= 5.23 & F_{S(out)} &= 500000 \\ V_{EA(cl)} &= 1.98 \end{aligned}$$

但し、

- $N_{CT(p)}$  = 電流トランスの一次側巻線数 (巻数)
- $N_{CT(s)}$  = 電流トランスの二次側巻線数 (巻数)
- $V_{OUT}$  = コンバータの標準出力電圧 (V)
- $L_{OUT}$  = 各出力インダクタのインダクタンス値 (H)
- $N_p$  = メイントランスの一次側巻線数 (巻数)
- $N_s$  = メイントランスの二次側巻線数 (巻数)

- $R_{SENSE}$  = 電流検出トランスの二次側電流検出抵抗値 ( $\Omega$ )
- $V_{EA(cl)}$  = E/A出力電圧の最大値 (V)
- $F_{S(out)}$  = 各出力のスウィッチング周波数 (Hz)

スロープ補償量を求めるため、スロープ抵抗 $R_{SLOPE}$ の正確な値を決めます。

$$N_{CT} = \frac{N_{CT(p)}}{N_{CT(s)}}, \text{ Current Transformer Turns Ratio}$$

1. 二次側インダクタのダウンスロープを一次側に変換します。

$$S_{L(prim)} = \frac{V_{OUT}}{L_{OUT}} \times \frac{N_s}{N_p}, \quad S_{L(prim)} = 2.679 \text{ A}/\mu\text{s}$$

2. 検出抵抗における変換スロープ電圧を計算します。

$$\begin{aligned} V_{S_{L(prim)}} &= S_{L(prim)} \times N_{CT} \times R_{SENSE}, \quad V_{S_{L(prim)}} \\ &= 2.281 \text{ V}/\mu\text{s} \end{aligned}$$

3. 上記で求められた変換スロープ電圧に等しい補償ランプを求めるため $R_{SLOPE}$ 値を計算します。

$$M = 1.0$$

目的とする補償ランプと出力インダクタのダウンスロープ・ランプ間の比、一次側検出抵抗への変換により、

$$R_{SLOPE} = \frac{10^4}{(M \times V_{S_{L(prim)}} \times 10^{-6})},$$

$$R_{SLOPE} = 35.556 \text{ k}\Omega$$

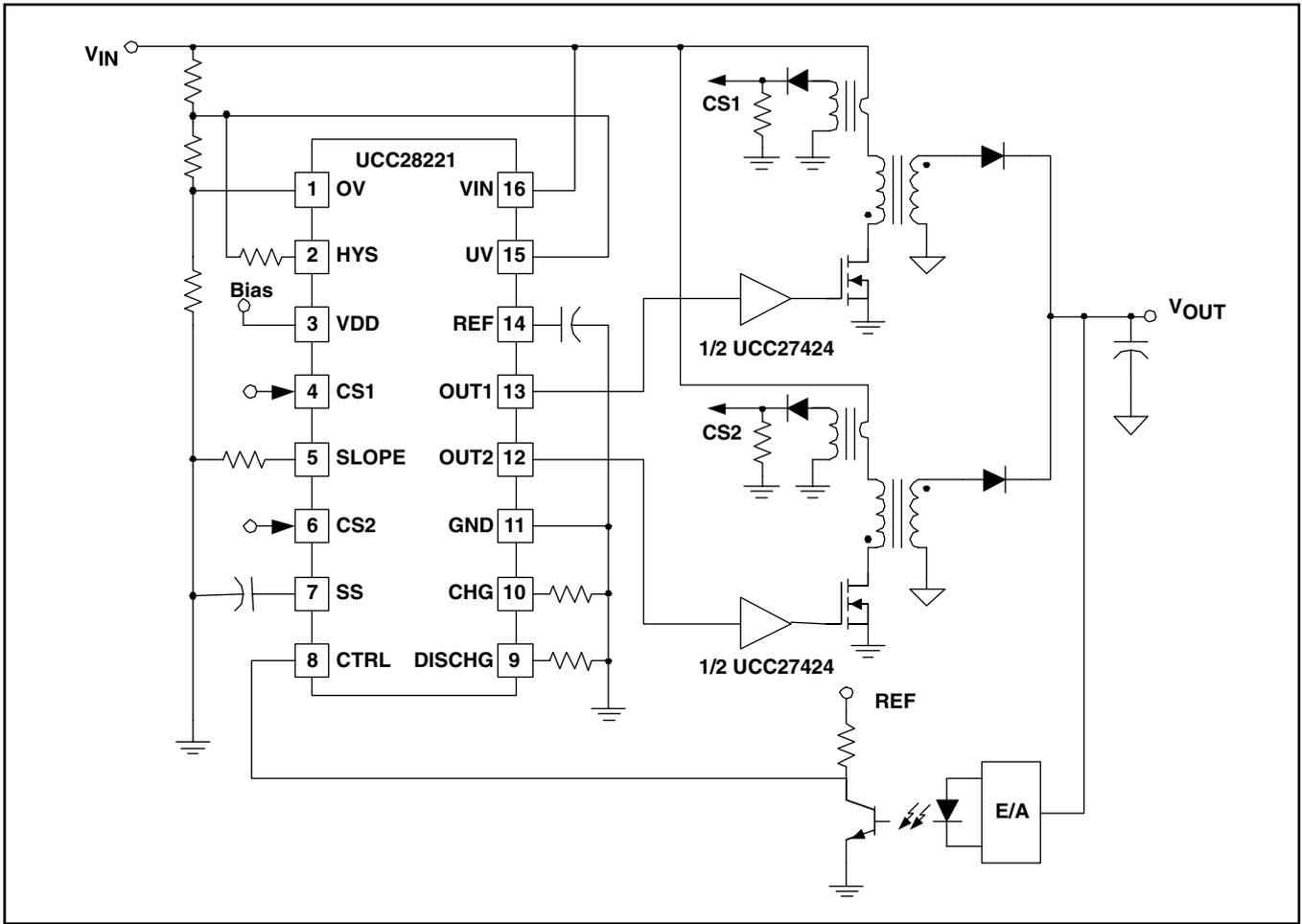


图5. Interleaved Flyback Application Circuit Using the UCC28221

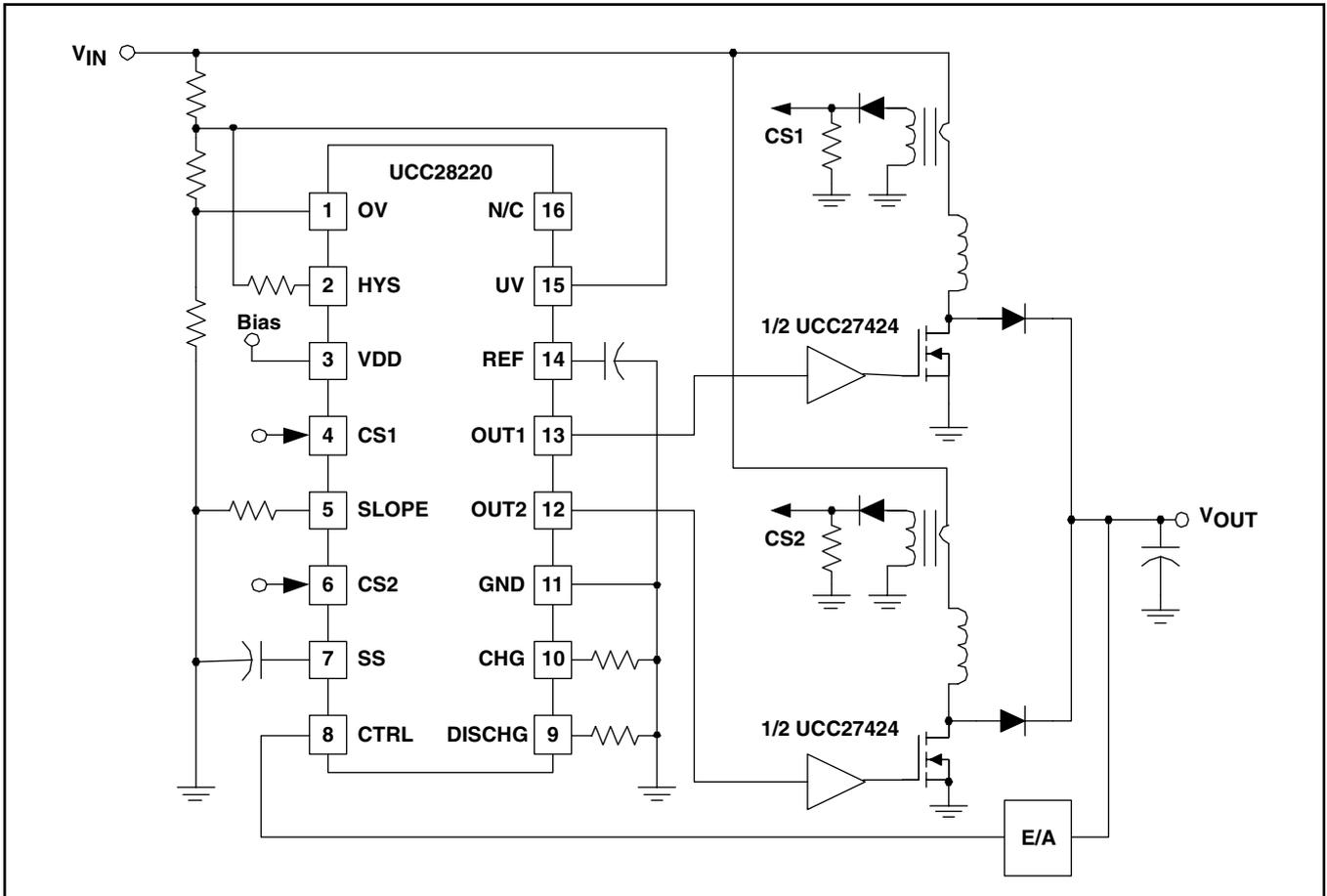


图6. Interleaved Boost Application Circuit Using the UCC28220

# 代表的特性

UVLO THRESHOLDS  
vs  
TEMPERATURE

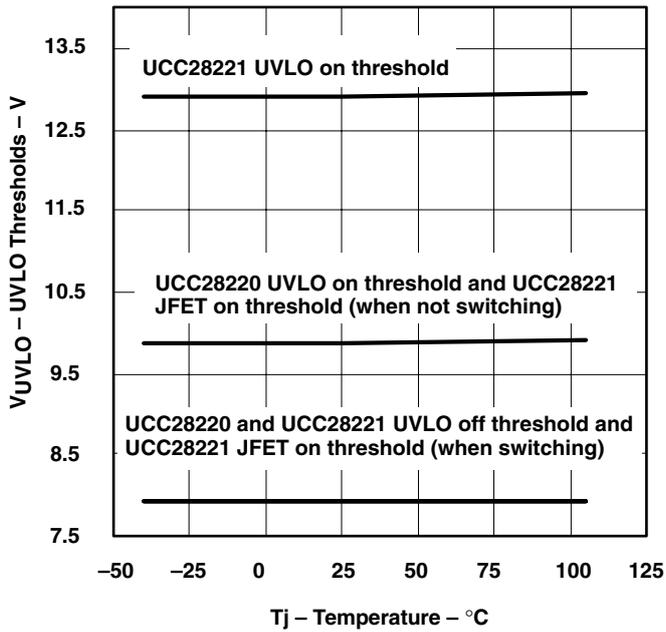


図 7

QUIESCENT CURRENT  
vs  
SUPPLY VOLTAGE

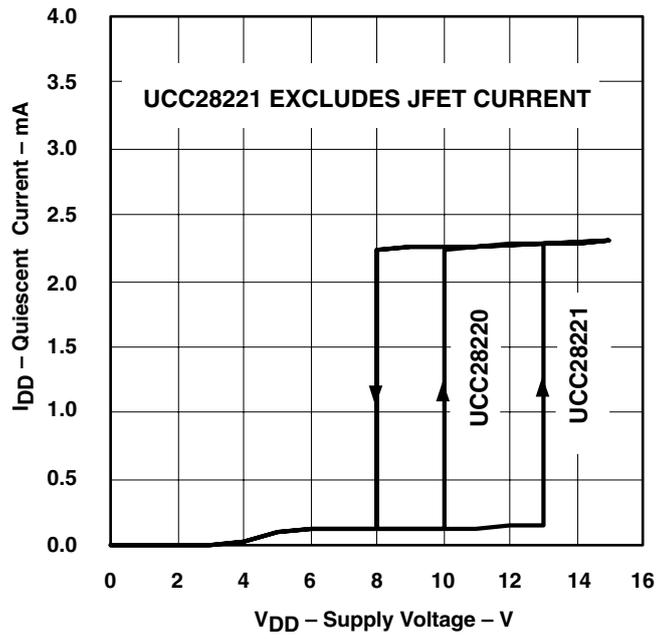


図 8

SUPPLY CURRENT  
vs  
SUPPLY VOLTAGE

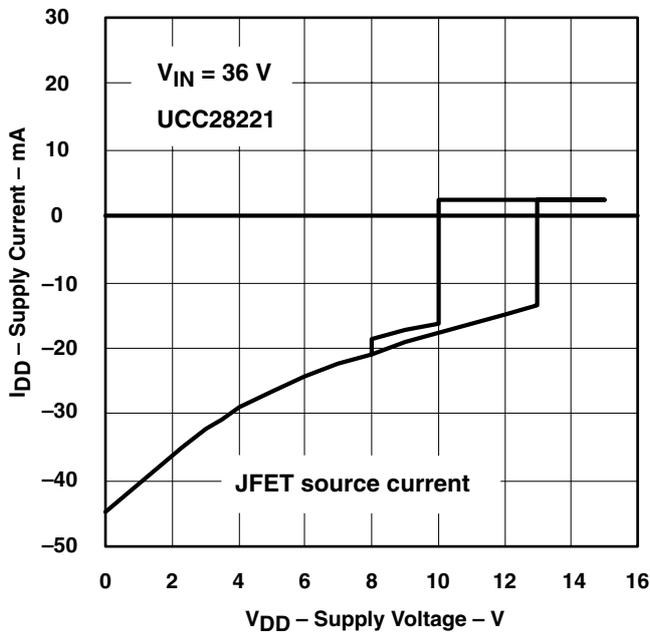


図 9

REFERENCE VOLTAGE  
vs  
TEMPERATURE

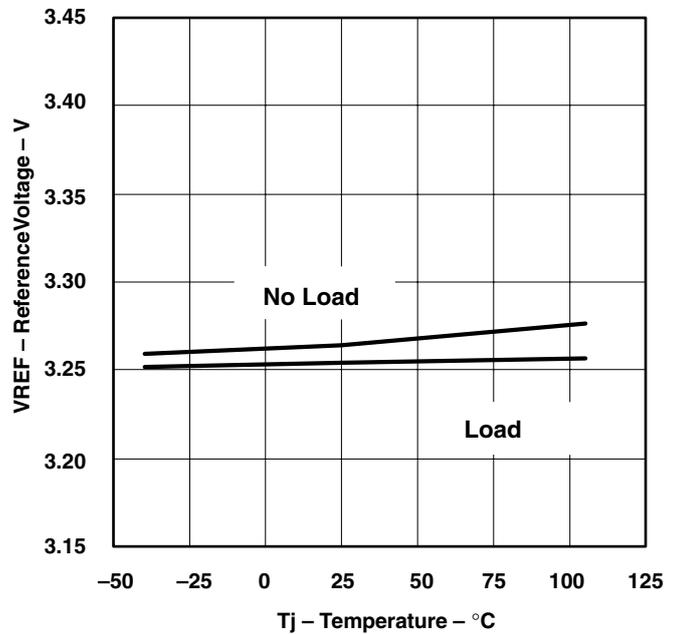


図 10

# 代表的特性 (続き)

LINEOV AND LINEUV THRESHOLDS  
vs  
TEMPERATURE

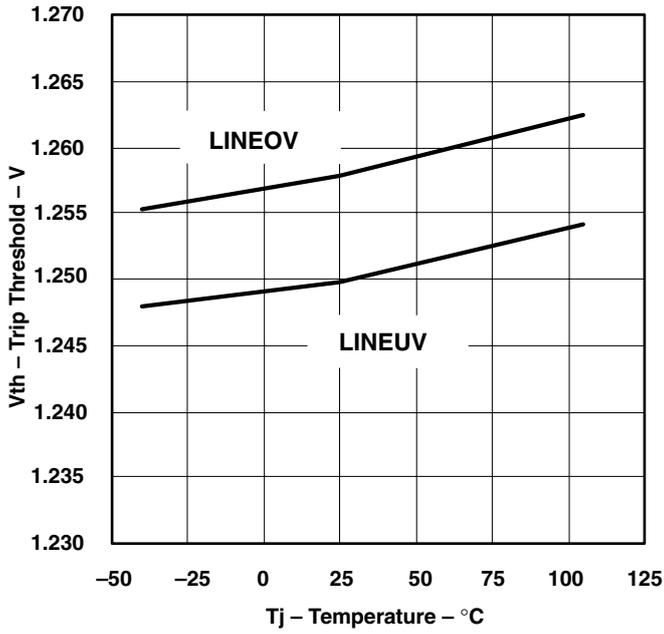


図 11

SLOPE COMPENSATION  
vs  
TEMPERATURE

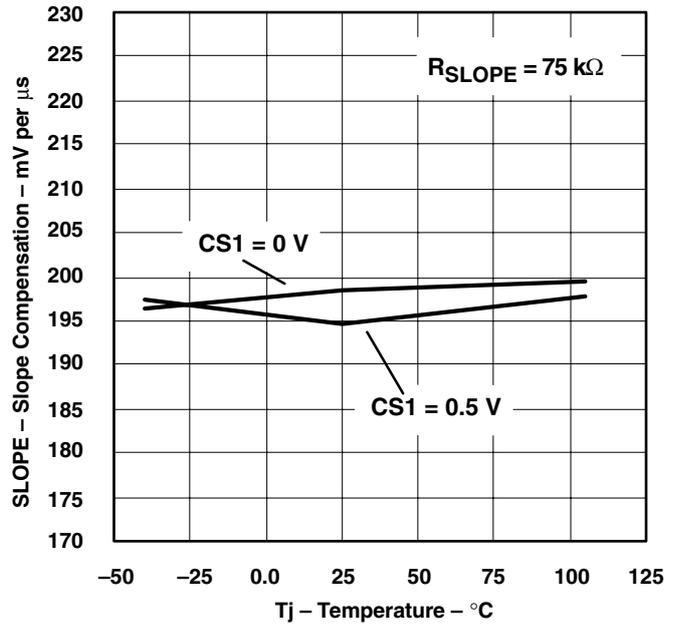


図 12

PROGRAMMING RESISTOR  
vs  
SLOPE COMPENSATION

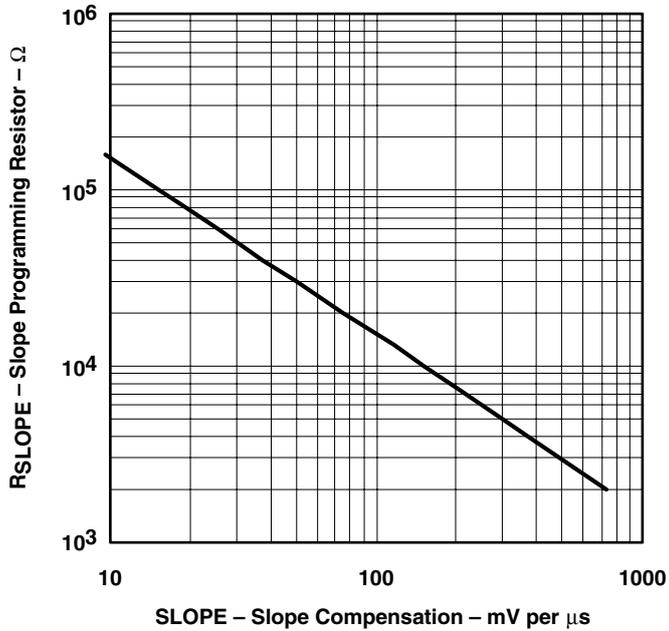


図 13

CHANNEL1 AND CHANNEL2 SLOPE MATCHING  
vs  
TEMPERATURE

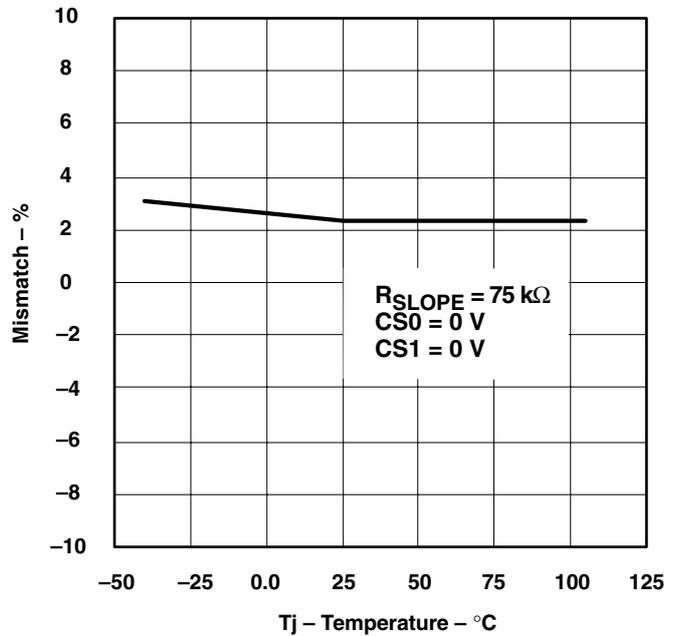
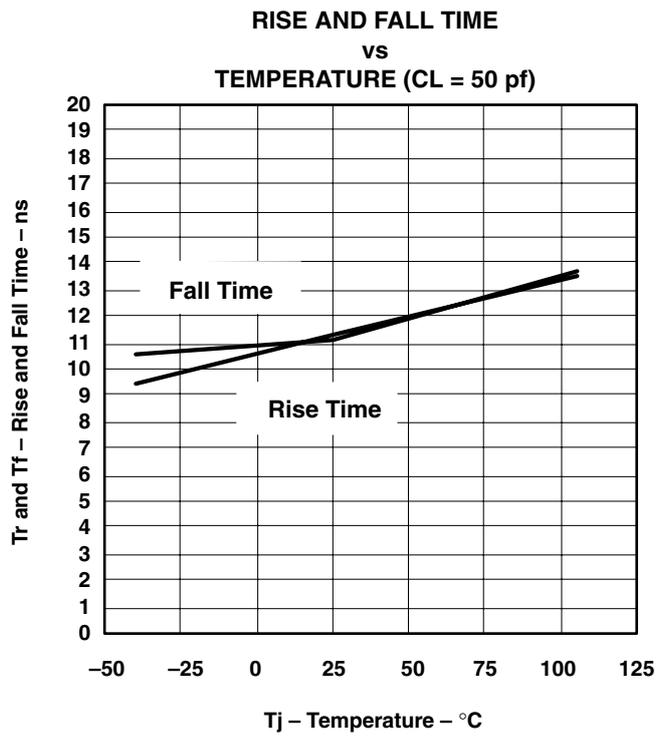
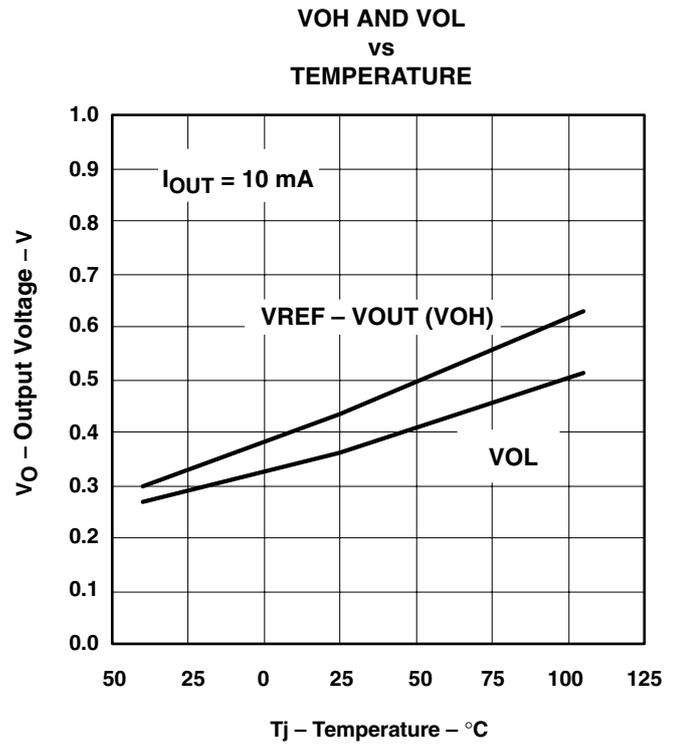


図 14

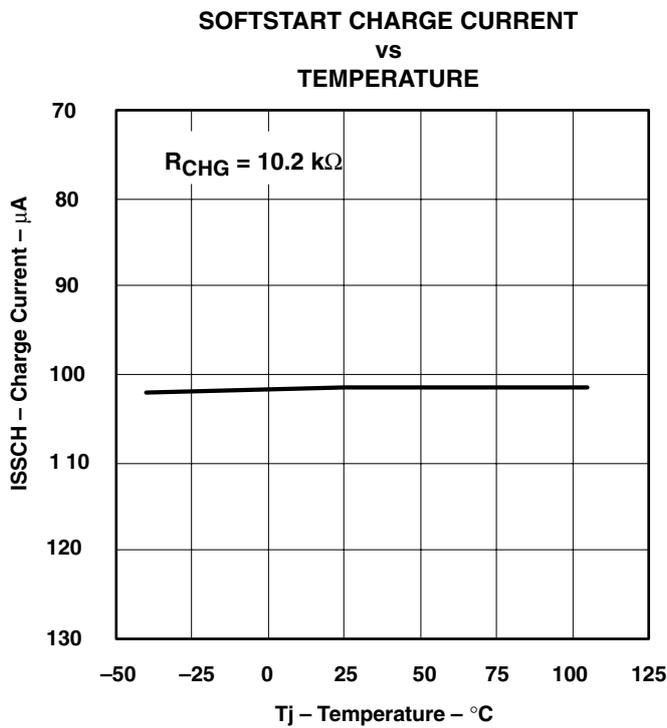
# 代表的特性 (続き)



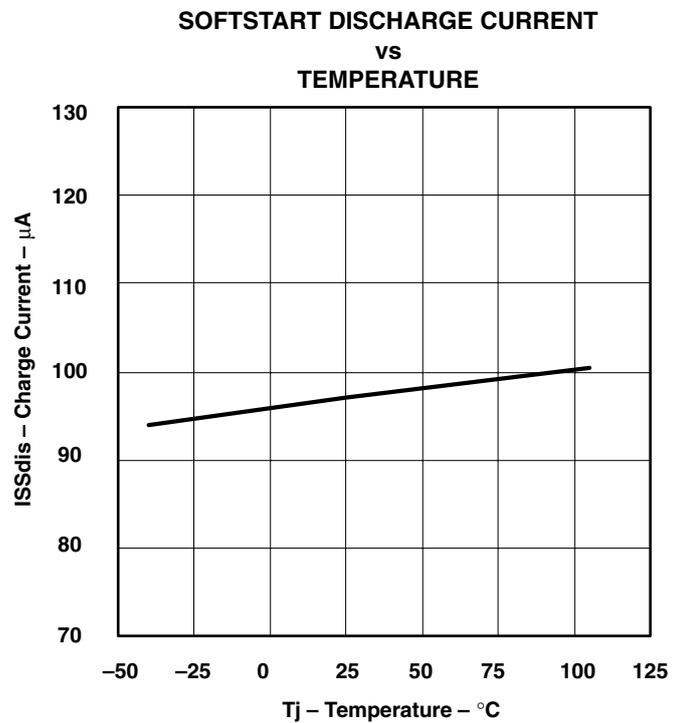
☒ 15



☒ 16



☒ 17



☒ 18

代表的特性 (続き)

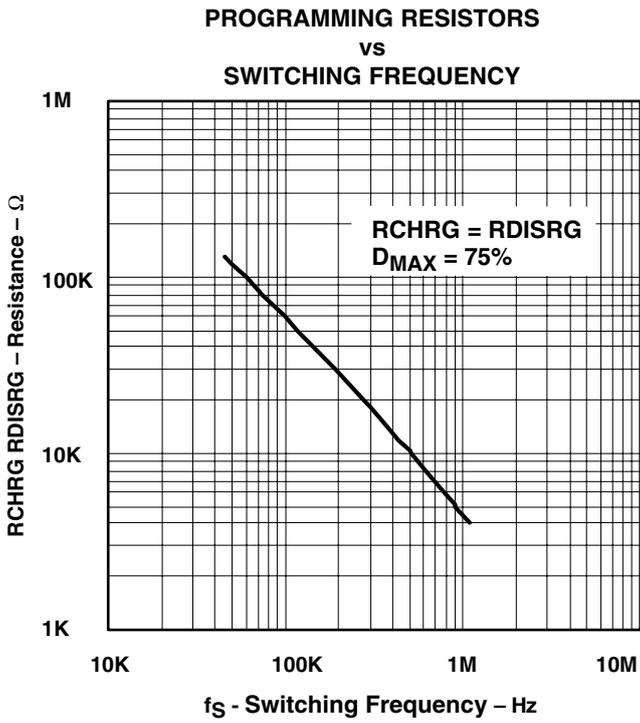


図 19

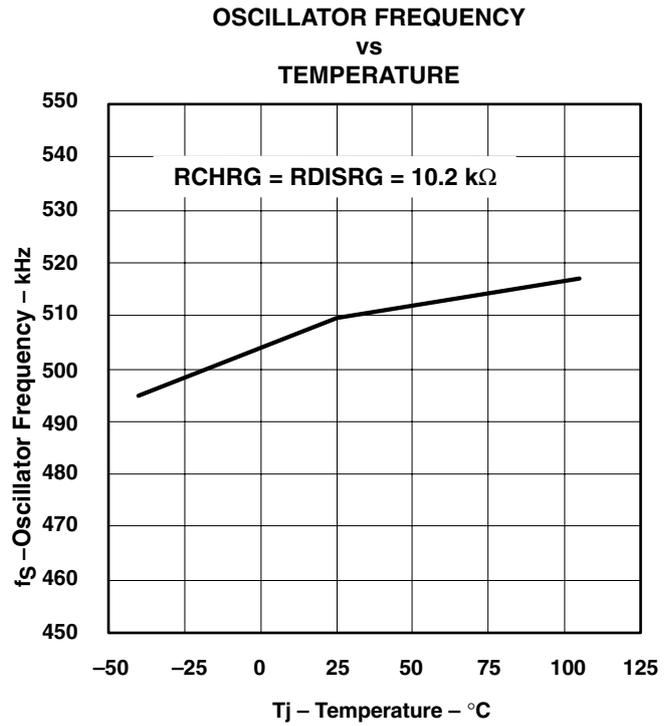


図 20

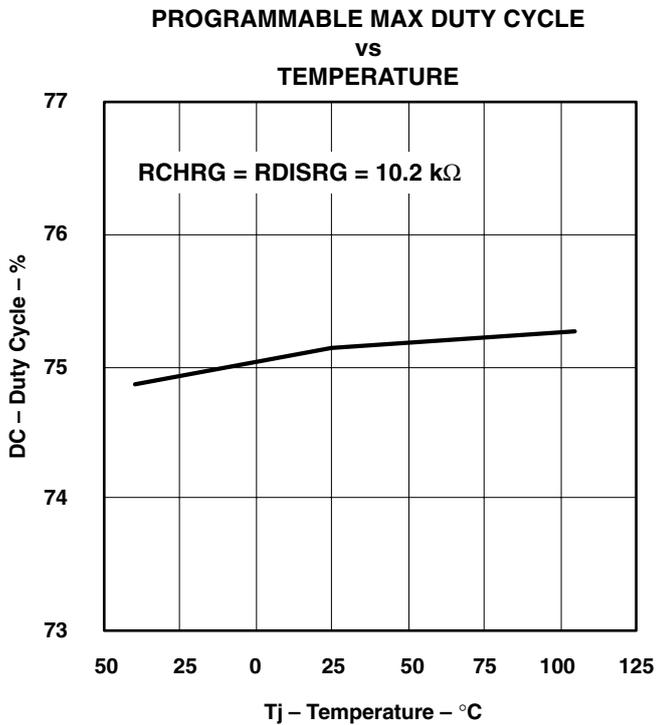


図 21

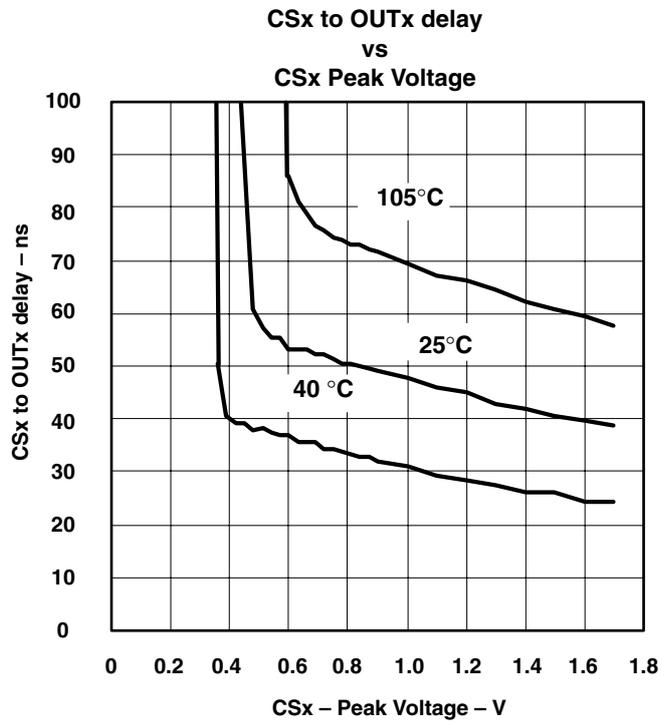


図 22

## 関連製品

型番	内容	パッケージ
UCC27323/4/5	デュアル4A高速ローサイドMOSFETドライバ	SOIC-8, PowerPAD MSOP-8, PDIP-8
UCC27423/4/5	デュアル4A高速ローサイドMOSFETドライバ (イネーブル付き)	SOIC-8, PowerPAD MSOP-8, PDIP-8
TPS2811/12/13	デュアル2.4A高速ローサイドMOSFETドライバ	SOIC-8, TSSOP-8, PDIP-8
UC3714/15	デュアル2.4A高速ローサイドMOSFETドライバ	SOIC-8, PowerSOIC-14, PDIP-8

## 参考資料/出典

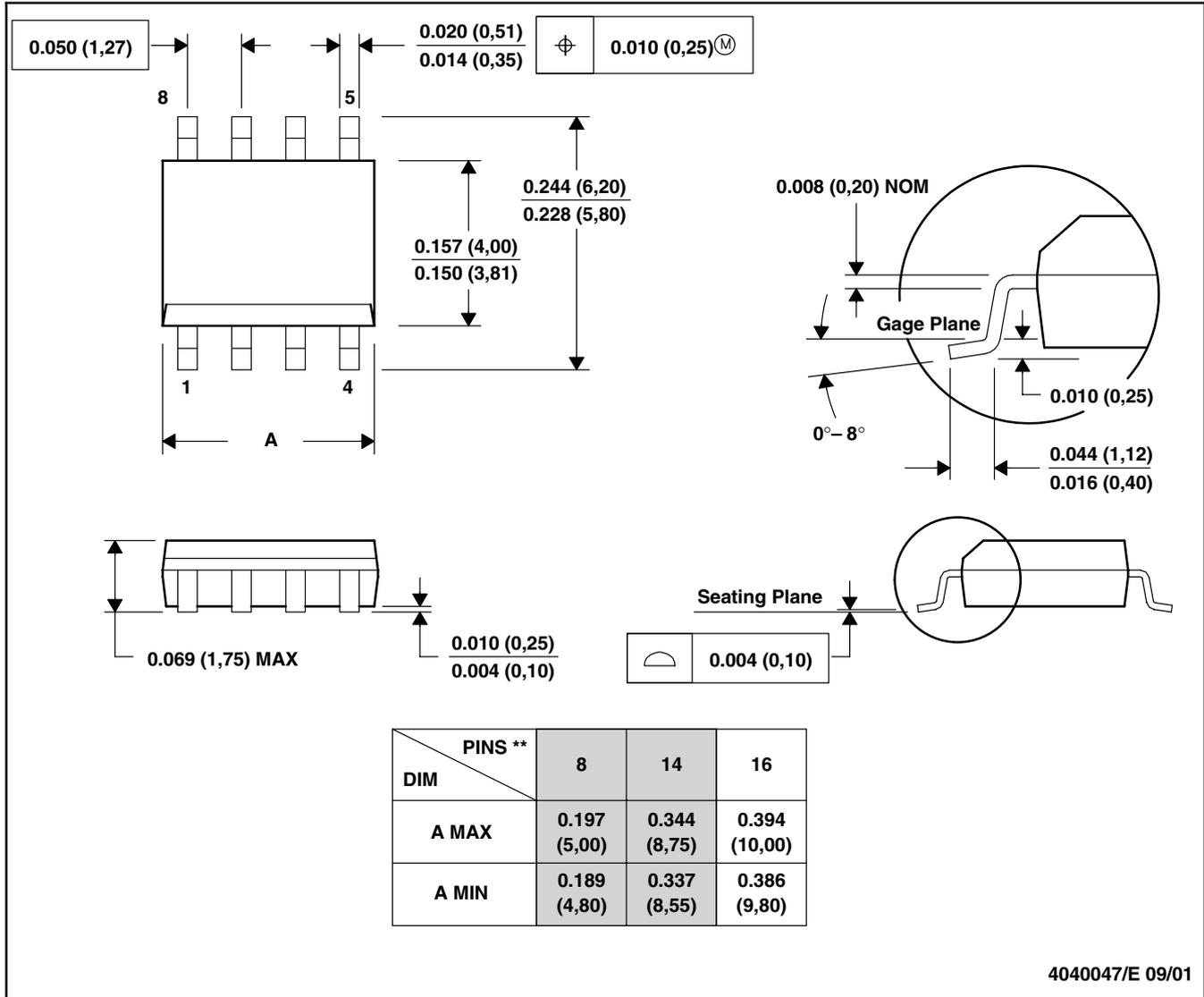
評価用モジュールと関連ユーザー・ガイドが入手できます。UCC28221は36Vから72Vの直流入力電圧からレギュレーションされた直流出力に変換する2チャンネル・インターリーブ制御のフォワード制御の設計に使用されます。このパワー・モジュールは500kHzで動作する2つの100W絶縁型フォワード・パワー段をもっており、互いに180°位相がずれて動作し、出力電流リップルのキャンセルと小型磁気部品での設計が可能になります。また、この設計では、ブートストラップに外付けトリクル・チャージ抵抗が不要となるUC28221の110VオンボードJFET起動回路を利用しています。この回路は補助電源がデバイスに供給された後はオフになり電力が節約されます。

- Evaluation Module, *UCC28221EVM*, 48 V<sub>IN</sub>, 12 V<sub>OUT</sub>, 200-W Interleaved Forward Converter
- User's Guide, *UCC28221 Evaluation Module*, Texas Instruments Literature

D (R-PDSO-G\*\*)  
PACKAGE

PLASTIC SMALL-OUTLINE

8 PINS SHOWN

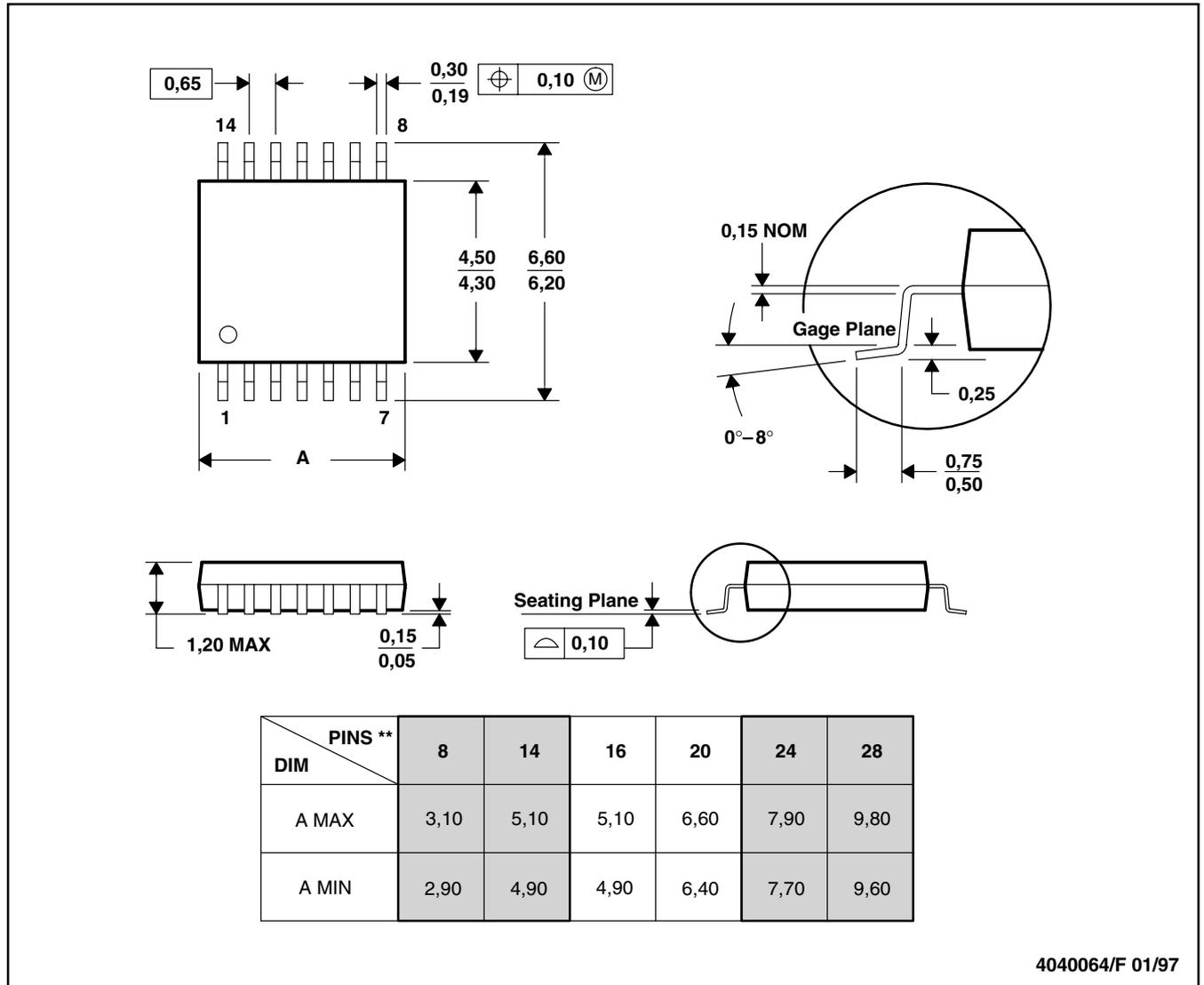


- 注：A. 全ての線寸法の単位はインチ(ミリメートル)です。  
 B. 図は予告なく変更することがあります。  
 C. ボディ寸法はモールド突起部を含みません。また、0.006(0,15)を越えません。  
 D. JEDEC MS-012に準拠します。

PW (R-PDSO-G\*\*)  
PACKAGE

PLASTIC SMALL-OUTLINE

14 PINS SHOWN



4040064/F 01/97

- 注：A全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. ボディ寸法はモールド突起部を含みません。また、0,15を越えません。  
 D. JEDEC MO-153に準拠します。

## PACKAGING INFORMATION

Orderable Device	Status <sup>(1)</sup>	Package Type	Package Drawing	Pins	Package Qty	Eco Plan <sup>(2)</sup>	Lead/Ball Finish	MSL Peak Temp <sup>(3)</sup>
UCC28220D	ACTIVE	SOIC	D	16	40	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1YEAR/ Level-1-220C-UNLIM
UCC28220DR	ACTIVE	SOIC	D	16	2500	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1YEAR/ Level-1-220C-UNLIM
UCC28220PW	ACTIVE	TSSOP	PW	16	90	TBD	CU NIPDAU	Level-1-220C-UNLIM
UCC28220PWR	ACTIVE	TSSOP	PW	16	2500	TBD	CU NIPDAU	Level-1-220C-UNLIM
UCC28221D	ACTIVE	SOIC	D	16	40	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1YEAR/ Level-1-220C-UNLIM
UCC28221DR	ACTIVE	SOIC	D	16	2500	Pb-Free (RoHS)	CU NIPDAU	Level-2-260C-1YEAR/ Level-1-220C-UNLIM
UCC28221PW	ACTIVE	TSSOP	PW	20	70	TBD	CU NIPDAU	Level-1-220C-UNLIM
UCC28221PWR	ACTIVE	TSSOP	PW	20	2000	TBD	CU NIPDAU	Level-1-220C-UNLIM

<sup>(1)</sup> The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSOLETE:** TI has discontinued the production of the device.

<sup>(2)</sup> Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS) or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

**TBD:** The Pb-Free/Green conversion plan has not been defined.

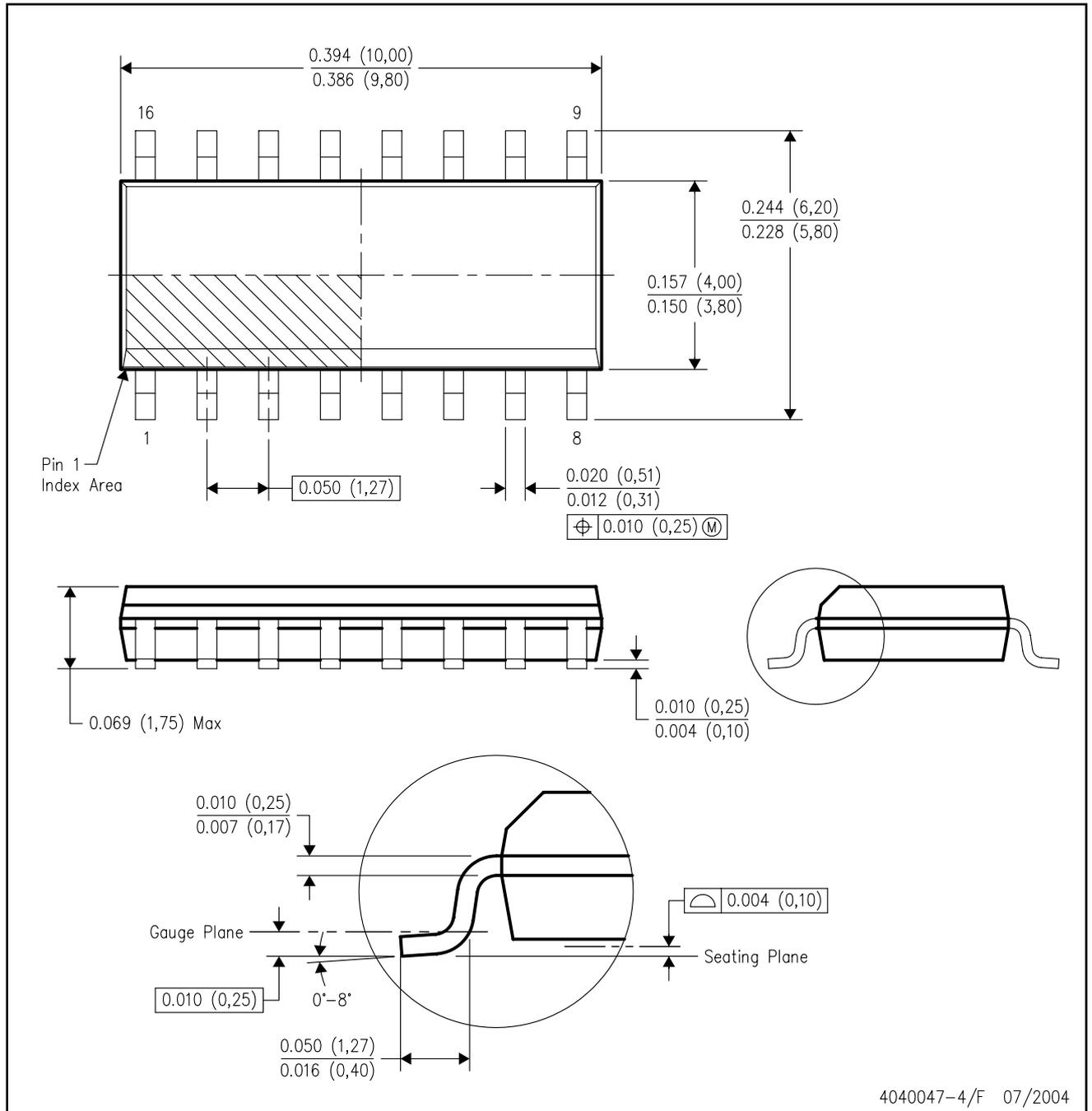
**Pb-Free (RoHS):** TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

**Green (RoHS & no Sb/Br):** TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

<sup>(3)</sup> MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

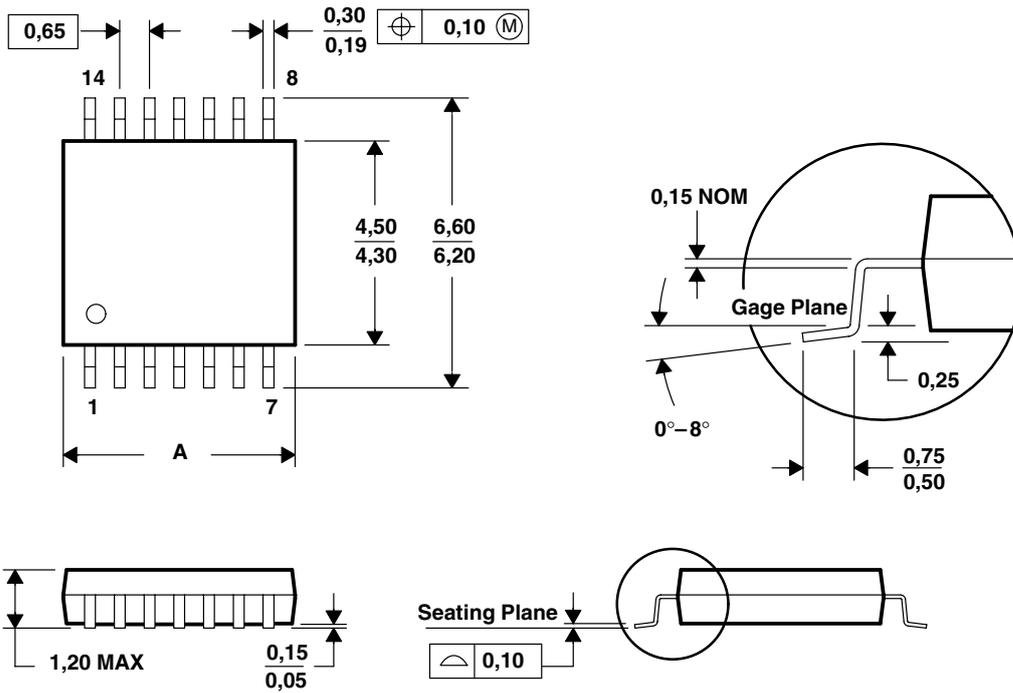
**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



- 注：A. 全ての線寸法の単位はインチ(ミリメートル)です。  
 B. 図は予告なく変更することがあります。  
 C. ボディ寸法はモールド突起部を含みません。また、0.006(0,15)を越えません。  
 D. JEDEC MS-012改ACに準拠します。

14 PINS SHOWN



DIM \ PINS **	8	14	16	20	24	28
	A MAX	3,10	5,10	5,10	6,60	7,90
A MIN	2,90	4,90	4,90	6,40	7,70	9,60

4040064/F 01/97

- 注：A. 全ての線寸法の単位はミリメートルです。  
 B. 図は予告なく変更することがあります。  
 C. ボディ寸法はモールド突起部を含みません。また、0,15を越えません。  
 D. JEDEC MO-153に準拠します。

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認ください。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認することの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上