

# TPS40055

広入力電圧範囲で動作するTPS40055コントローラを  
使用した5V/2A電源コンバータ

## ユーザーズ・ガイド

1	はじめに .....	1
2	特徴.....	1
3	回路図.....	2
4	部品選択 .....	3
4.1	TPS40055デバイスの選択.....	3
4.2	動作周波数.....	3
4.3	UVLO回路.....	3
4.4	インダクタンス値.....	3
4.5	入力キャパシタの選択.....	4
4.6	出力キャパシタの選択.....	4
4.7	MOSFETの選択 .....	5
4.8	短絡保護 .....	5
4.9	スナバ部品の選択.....	5
4.10	補償部品 .....	5
5	テストの設定 .....	5
5.1	DC入力源.....	5
5.2	出力負荷 .....	6
5.3	オシロスコープ・プローブ・テスト・ジャック .....	6
6	テスト結果および性能データ .....	7
6.1	効率 .....	7
6.2	閉ループ性能 .....	7
6.3	出力リップルおよび雑音 .....	8
6.4	過渡応答 .....	9
7	EVMアセンブリ図およびPCBレイアウト .....	9
8	部品表 .....	11

## 1 はじめに

広入力電圧範囲のDC-DCコンバータTPS40055EVM-002は、同期整流コントローラTPS40055を使用して、10V~40Vの入力を5Vに降圧します。出力電流は、 $V_{IN} = 10V$ で3A、 $V_{IN} = 40V$ で2Aであり、その間は直線的に減少します。TPS40055を使用する理由は、動作周波数、ソフト・スタート時間、電圧フィード・フォワード、ハイサイド電流制限、外部ループ補償など、各種のユーザ・プログラミング機能が提供されているためです。このコントローラは、ハイサイドNチャンネルMOSFETのブートストラップ充電回路用の安定された10Vゲート・ドライブ電源と、ローサイド同期整流MOSFET用のドライバを備えています。デバイスの動作は、TPS40055データシート<sup>[1]</sup>に記載されています。

## 2 特徴

- 10V<sub>DC</sub>~40V<sub>DC</sub>の入力ソースで動作
- 出力電流：3A ( $V_{IN} = 10V$ 時)、2A ( $V_{IN} = 40V$ 時)
- 低コストで高電圧を変換

### 3 回路図

図1に、TPS40055EVM-002の回路図を示します。

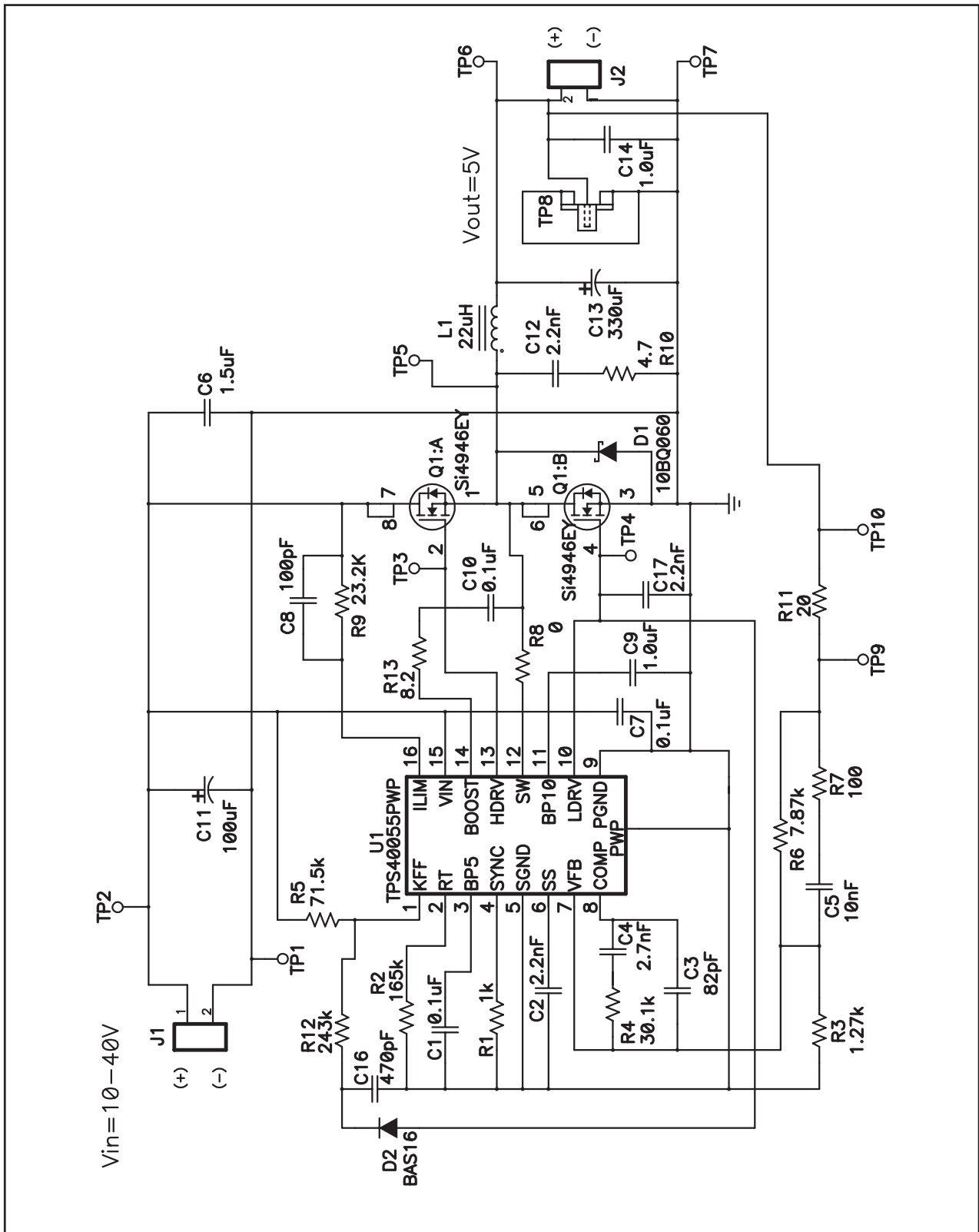


図1. HPA071回路図

## 4 部品選択

### 4.1 TPS40055デバイスの選択

TPS4005xファミリのデバイスには、出力電流構成としてソースのみ (TPS40054)、ソース/シンク (TPS40055)、および $V_{OUT}$ プリバイアス付きソース/シンク (TPS40057) が用意されています。本コンバータでは、ソース/シンク構成のTPS40055を選択しています。これにより、ゼロ負荷までのすべての範囲にわたって連続したインダクタ・リップル電流を維持し、インダクタ電流が不連続電流モードに遷移するのを防ぐことで、小信号ループ応答を改善します。

TPS4005xファミリは、TIの熱特性を改良したパッケージであるPowerPAD™ (パッケージコード: PWP) で提供されます。このパッケージは、標準の半田フロー手法を用いてPCBに半田付けする必要があります。PowerPAD™では、熱伝導性エポキシを利用してICダイをリードフレーム・ダイ・パッドに接合します。リードフレーム・ダイ・パッドは、完成したパッケージの底面に露出しています。PWP PowerPAD™パッケージの $\theta_{JC}$ は $2^{\circ}\text{C}/\text{W}$ であり、オンボードMOSFETドライバに固有の消費電力を考慮しても接合部温度の上昇を比較的低温に維持することができます。この電力損失は、スイッチング周波数、駆動電圧、およびNチャンネルMOSFETに必要なゲート電荷に比例します。効果的な熱除去により、高い部品信頼性を維持しながら、超小型パッケージの使用が可能になっています。

PowerPAD™パッケージの詳細については、Texas Instrumentテクニカル・ブリーフ『PowerPAD™ Thermally Enhanced Package Application Report』<sup>[2]</sup>を参照してください。

### 4.2 動作周波数

TPS40055のクロック動作周波数は、 $R_T$  (ピン2) と信号グランド間の1個の抵抗によって設定されます。データシートに記載されている次の式 (1) により、特定のスイッチング周波数 (kHz) に対して選択する $R_T$  (k $\Omega$ ) を決定できます。

$$R_T = R_2 = \frac{1}{f_{SW} \times 17.82 \times 10^{-6}} - 23 \text{ k}\Omega \quad (1)$$

300kHz動作の場合、 $R_T$ は165k $\Omega$ となります。

動作周波数の設定に加えて、 $V_{IN}$ に接続された抵抗 $R_{KFF}$ でPWMのランプ時間を設定する必要があります。また、 $R_{KFF}$ の選択により、回路が動作を開始する $V_{IN}$ 電圧も決定されます。これにより、回路が低電圧で開始して必要以上の電流が流れることを防ぎます。 $R_{KFF}$ は式 (2) で決定されます。

$$R_{KFF} = R_5 = (V_{IN(min)} - 3.5) \times (58.14 \times R_T + 1340 \text{ k}\Omega) \quad (2)$$

ここで $V_{IN(min)}$ はスタートアップ時の最小入力電圧であり、 $R_T$ はk $\Omega$ です。この式には内部許容差が含まれているため、入力電圧の実際の $V_{IN(min)}$ を使用する必要があります。300kHz動作の場合、 $R_{KFF}$ は71.5k $\Omega$ となります。

### 4.3 UVLO回路

TPS4005xにはユーザがプログラミング可能なUVLOが内蔵され、合計7サイクルよりも短い過渡状態に対してヒステリシスを提供します。コンバータへの入力電圧が最小 $V_{IN}$ 範囲の付近で低速で上昇する場合は、外部ヒステリシスを組み込むことにより、スタートアップまたはシャットダウン中に複数のオン/オフ・サイクルが発生するのを防ぐことができます。これらのオン/オフ・サイクルは、EVMの外部のラインインピーダンスによって負荷状態でのモジュールの $V_{IN}$ が低下し、プログラミング可能なUVLOスレッシュホールドを繰り返し横切る結果として生じます。

本コンバータでは、C16およびD2を追加して、コンバータの動作時のみアクティブになる下側ゲート駆動からのピーク検出回路を構成しています。これにより、ピーク検出電圧からR12を経由して3.5Vの下側KFF電圧へとヒステリシス電流を提供するバイアス・ソースが得られ、設計者はプログラミング可能なUVLOシャットダウン・ポイントを変更することができます。このバイアスはスタートアップ中には存在しないため、回路は $R_{KFF}$ の計算から期待されるとおりに起動します。

本アプリケーションでは、R12はヒステリシス電流が $I_{KFF}$ の20%となるように選択され、次の式で計算できます。

$$R_{HYS} = R12 = \frac{R_{KFF} \times (V_{PD} - 3.5)}{0.2 \times (V_{IN(min)} - 3.5)} \quad (3)$$

ここで、 $V_{PD}$ はピーク検出回路の電圧、 $V_{IN(min)}$ は $R_{KFF}$ の決定に使用する任意の開始電圧です。標準的なケースでは、 $V_{PD} = 8\text{V}$ 、R12は247k $\Omega$ と求められ、標準値の243k $\Omega$ が選択されます。テストではスタートアップ電圧が9.2V、シャットダウン電圧が8.5Vになっています。

### 4.4 インダクタンス値

バック・コンバータの出力インダクタ値は、式 (4) を用いて選択できます。

$$L = \frac{V_{OUT}}{f \times I_{RIPPLE}} \left( 1 - \frac{V_{OUT}}{V_{IN(min)}} \right) \quad (4)$$

ここで、 $I_{RIPPLE}$ は通常、 $I_{OUT}$ の10%~40%の範囲内で選択されます。 $I_{RIPPLE}$ が $I_{OUT(max)}$ の20%である場合、リップル電流が0.6Aとなり、インダクタンス値は最大40Vの $V_{IN}$ に対して24 $\mu\text{H}$ となります。広範囲の $V_{IN}$ を持つ電源を設計する場合、インダクタ値の選択に多くの妥協が必要となります。この設

計は、TPS40055コントローラで実現可能な高電圧範囲の動作を対象を絞っているため、標準値の22μHのインダクタを選択します。22μHのインダクタの場合、 $V_{IN} = 10V$ でのリップル電流が0.38A、 $V_{IN} = 40V$ でのリップル電流が0.66Aになります。電圧が低い場合にそれより大きなインダクタンスを選択すると、後述の出力雑音仕様を満足するために必要な出力キャパシタの数を減らすことができます。入力範囲が10V～16Vのような低電圧範囲に限定されている場合は、より小さなインダクタンスを選択します。

表面実装キャリア付きのフェライト・ドラム・コアを使用すると、このインダクタンス/電流範囲で低コストのソリューションを実現できます。定格22μHのインダクタにはいくつかのサイズがあり、サイズの大きな方が一般に飽和電流の定格が高くなっています。飽和電流は、インダクタ値の30%ロールオフ時の電流です。この例では、飽和電流の定格が7.6Aであることから、直径1/2インチのドラム・コアを持つインダクタを選択しています。次に小さなサイズのインダクタは飽和電流の定格が3.7Aであり、電流制限回路の許容差に対して十分なマージンを得ることができません。

#### 4.5 入力キャパシタの選択

バルク入力キャパシタの選択は、サイズ、コスト、電圧リップル要件など、いくつかの要素を考慮して行います。アプリケーションで機能する各種キャパシタ技術の構成には複数の選択肢があります。この例では、提供するソリューションの全体コストを低くすることを目標としています。

電力段に必要なRMS電流は、オンボード容量と入力ソースの両方によって提供され、各部品によって伝達されるRMS電流の大きさは、相対インピーダンスによって決定されます。標準的なアプリケーションの場合、この基準設計に前段のDC-DCコンバータからバルク出力容量によって電力が供給されるため、このコンバータに対するインピーダンスは低めに設定でき、必要なオンボード容量は小さくなります。一方、このコンバータに入力電力を提供する導体が高い直列インピーダンスを持つ場合は、オンボード・キャパシタが強制的により大きなRMSリップル電流を伝達することになり、より高い電流定格のキャパシタが必要になります。

降圧電源段に必要な最大のRMS電流は、式(5)で見積もることができます。

$$\begin{aligned} I &\approx I_{OUT} \times \sqrt{D} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}}} \\ &= 3 \times \sqrt{\frac{5}{10}} = 2.1 \text{ A} \end{aligned} \quad (5)$$

また、すべての電流がオンボード・キャパシタによって提供される場合に電圧リップルを指定の値に制限する最小の容

量値を考慮することも重要です。標準的な150mVのリップル電圧の場合、最小容量は式(6)で計算されます。

$$\begin{aligned} C &= \frac{I \times \Delta t}{\Delta V} = \frac{I \times V_O}{\Delta V \times V_{IN} \times F_S} \\ &= \frac{3.3 \text{ A} \times 5 \text{ V}}{0.5 \text{ V} \times 10 \text{ V} \times 300 \text{ kHz}} = 11 \mu\text{F} \end{aligned} \quad (6)$$

電流の一部は入力ソースからも供給され、電圧リップルは見積もりより低い値に制限されるため、最初この設計には定格10μF、50Vのセラミック・キャパシタを使用していました。しかし、高速のスイッチオン時間でテストしたところ、入力ソース電圧を超える15V～20Vの電圧オーバーシュートがありました。これは、入力ソースに直列な寄生インダクタンスが低ESRのセラミック・キャパシタと相互作用した結果です。この問題を解消するため、1.5μF、50Vのセラミック・キャパシタと100μFのアルミ電解キャパシタの並列接続に変更しました。

1.5μFのセラミック・キャパシタC6はパワー・バイアス部品として機能し、高周波電流フローを小さく緊密なループ内に維持するために、MOSFETパッケージの近くに配置しています。100μFのキャパシタC11のESRは0.35Ωであり、過渡オーバーシュートを抑制できる最大値です。

#### 4.6 出力キャパシタの選択

出力キャパシタの選択は、機能、コスト、サイズ、可用性など、アプリケーションによって異なる多くの要素に基づいています。許容される最小出力容量は、式(7)に示すように、インダクタ・リップル電流の量と、許容出力リップルによって決まります。

$$\begin{aligned} C_{OUT(min)} &= \frac{I_{RIPPLE}}{8 \times f \times V_{RIPPLE}} \\ &= \frac{0.66 \text{ A}}{8 \times 300 \text{ kHz} \times 15 \text{ mV}} = 18 \mu\text{F} \end{aligned} \quad (7)$$

本設計では、 $V_{RIPPLE} = 15 \text{ mV}$ で $C_{OUT(min)}$ は18μFです。ただし、これはリップル電圧の容量性成分にのみ影響し、容量の最終的な値は一般に、ESRと過渡状態を考慮して決定されます。電圧を15mVに制限するために、キャパシタのESRは式(8)よりも小さくする必要があります。

$$R_C \leq \frac{V_{RIPPLE}}{I_{RIPPLE}} = \frac{15 \text{ mV}}{0.66 \text{ A}} = 0.023 \text{ m}\Omega \quad (8)$$

出力インダクタおよび容量値の選択におけるもう1つの考慮事項は、全負荷から無負荷への負荷ステップで発生する可能性のある過渡電圧オーバーシュートを調べることに関係しています。誘導性エネルギーを容量性エネルギーと一致させることで、式(9)が導かれます。

$$C_O = \frac{L \times I^2}{V^2} = \frac{L \times (I_{OH}^2 - I_{OL}^2)}{(V_f^2 - V_l^2)}$$

$$= \frac{22 \mu\text{H} \times (3 \text{ A})^2}{(5.1 \text{ V})^2 - (5.0 \text{ V})^2} = 196 \mu\text{F} \quad (9)$$

ここで、 $I_{OH}$  = 全負荷、 $I_{OL}$  = 無負荷、 $V_f$  = 許容過渡電圧上昇、 $V_l$  = 初期電圧です。この3A設計では、過渡状態を制限するために必要な容量は、リップルを十分低く保つために必要な容量よりもずっと大きくなっています。1個の330 $\mu\text{F}$ のPOSCAPキャパシタC13を、1 $\mu\text{F}$ のセラミック・キャパシタと並列に接続します。

#### 4.7 MOSFETの選択

この広入力範囲設計では、最大40Vの入力電圧に耐えられ、過熱状態にならずに最大3Aの負荷電流を伝達できるMOSFETを選択する必要があります。この低コスト設計では、2個のMOSFETを内蔵する1個のSO-8パッケージを使用しています。各MOSFETの定格は55Vで、 $R_{DS(on)}$ は55m $\Omega$ です。

同期バック・コンバータでは、高速で上昇するスイッチ・ノード電圧により、同期整流器のドレイン・ゲート間およびゲート・ソース間容量を介して電流をドライブします。その結果、ゲート・ドライバがゲートを低く保とうとするにもかかわらず、下側MOSFETのゲートはしきい値レベルまで上昇します[3]。Q1:BのゲートにC17を追加することで、ゲート・ソース間とドレイン・ゲート間の容量比を大きくし、下側MOSFETゲートに生じる電圧を低減しています。

#### 4.8 短絡保護

TPS40055は、上側MOSFET(オン時)の両端の電圧と、ピン16内部の10 $\mu\text{A}$ 電流源によって $R_{LIM}$ に生じる電圧とを比較することにより、短絡保護を実現しています。これらの電圧は両方とも、 $V_{IN}$ に対して負極性です。データシートの式から、 $R_{LIM}$ は次のように定義されます。

$$R_{LIM} = R9 = \frac{I_{OC} \times R_{DS(on)}}{1.12 \times I_{SINK}} + \frac{V_{OS}}{I_{SINK}} \Omega \quad (10)$$

ここで、 $I_{OC}$ は過電流設定点 = DC出力電流+(インダクタ・リップル電流 $\times 1/2$ )、 $V_{OS}$ は過電流コンパレータ・オフセット、 $I_{SINK}$ は $I_{LIM}$ ピン16への電流です。ワースト・ケースの許容差を使用した場合、コンバータがすべての条件において定格電流を完全に伝達できるように、 $R_{LIM}$ の値を最大にする必要があります。ワースト・ケース条件を考えた場合、 $R_{LIM} = R9$ は次のようになります。

$$R_{LIM} = \frac{(3 \text{ A} + 0.3 \text{ A}) \times (55 \text{ m}\Omega \times 1.4)}{1.12 \times 8.65 \mu\text{A}}$$

$$+ \frac{-23 \text{ mV}}{8.65 \mu\text{A}} = 23.5 \text{ k}\Omega \quad (11)$$

標準値の23.5k $\Omega$ が選択されています。これにより、電流制限がアクティブになる前に、最低3Aを伝達できます。また、信号をフィルタリングするために、R9に並列して小容量のキャパシタC8を配置しています。

#### 4.9 スナバ部品の選択

Q1、Q2、およびL1の接合部は立ち上がりが高速であるため、Q1:BのゲートにおけるdV/dT誘導電圧に寄与します。スイッチ・ノードの立ち上がり時間を遅くするために、C12とR10で構成されるスナバを追加しています。

#### 4.10 補償部品

TPS40055では、高周波誤差増幅器とともに電圧モード制御を使用しています。電源回路のL/C二重極コーナー周波数 $f_c$ は1.8kHzに位置しています。帰還補償ネットワークは、2つのゼロと3つの極が得られるように実装されています。最初の極は原点近くに配置して、DCレギュレーションの向上を図っています。

2つのゼロは1.96kHz付近に配置されています。

$$f_{Z1} = \frac{1}{2 \times \pi \times R_4 \times C_4} \quad (12)$$

および

$$f_{Z2} = \frac{1}{2 \times \pi \times (R_6 + R_7) \times C_5} \quad (13)$$

2番目の極は、66kHzに配置されています。

$$f_{p1} = \frac{1}{2 \times \pi \times R_4 \left( \frac{C_3 \times C_4}{C_3 + C_4} \right)} \quad (14)$$

3番目の極は、スイッチング周波数の約1/2である159kHzに配置されています。

$$f_{p2} = \frac{1}{2 \times \pi \times R_7 \times C_5} \quad (15)$$

## 5 テストの設定

図2に、TPS40055EVM-001の評価に必要なテスト設定を示します。



### 5.1 DC入力源

入力電圧源は、定格電流3A以上で10~40VDCを供給できる必要があります。最良の結果を得るためには、入力リードに22ゲージ以上のワイヤを使用する必要があります。

### 5.2 出力負荷

出力負荷は、電子負荷または抵抗負荷で、0~3Aを流すよ

うに設定されている必要があります。出力リードには、直径20AWGまたはそれ以上の直径を持ったワイヤを使用してください。PCB上の出力電圧をモニタするには、TP6とTP7の間に電圧計を接続します。

### 5.3 オシロスコープ・プローブ・テスト・ジャック

出力電圧リップルの監視用に、オシロスコープ・プローブ・テスト・ジャック (TP8) が用意されています。

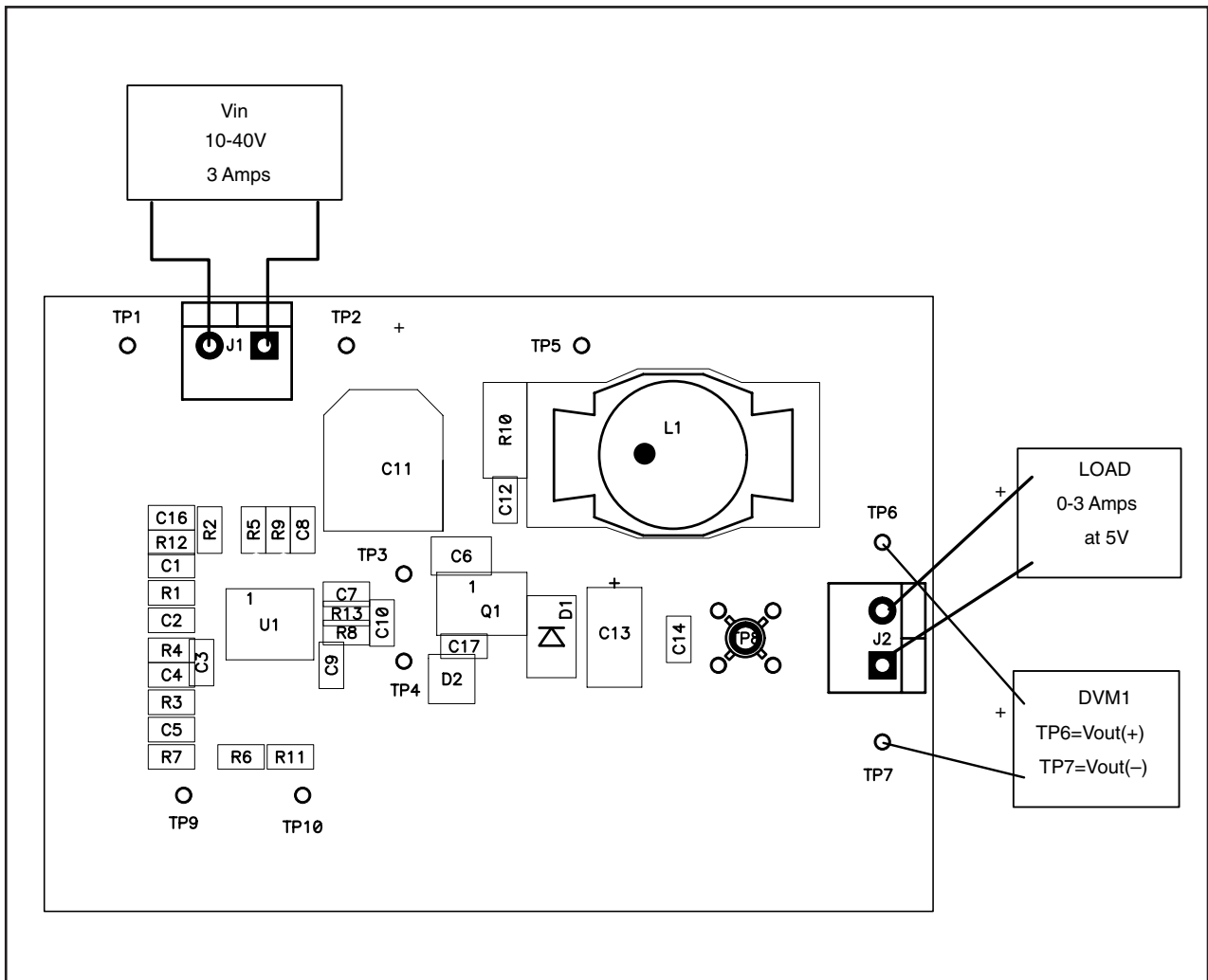


図2. テストの設定

## 6 テスト結果および性能データ

### 6.1 効率

図3に、負荷を0.5Aから3A以上まで変化させたときの効率の変化を示します。

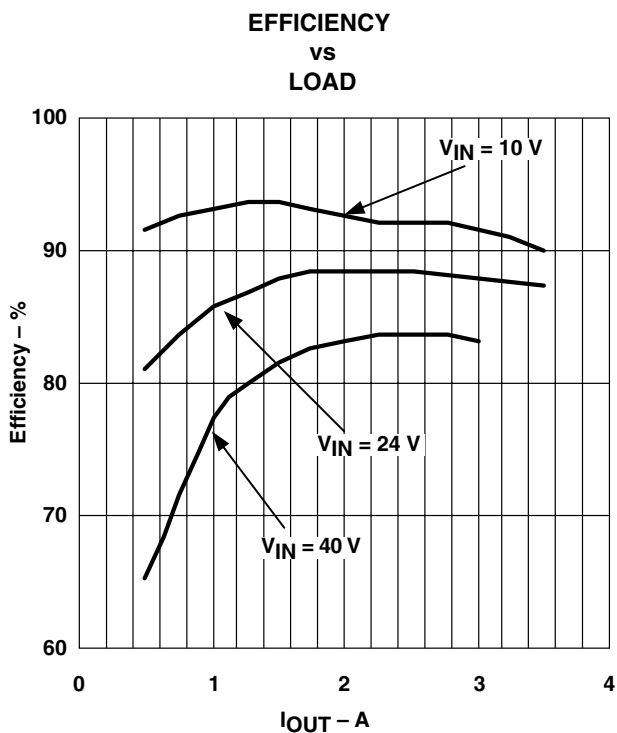


図3

### 6.2 閉ループ性能

TPS40055では、高周波誤差増幅器とともにフィード・フォワード付き電圧モード制御を使用して、閉ループ制御を実装しています。

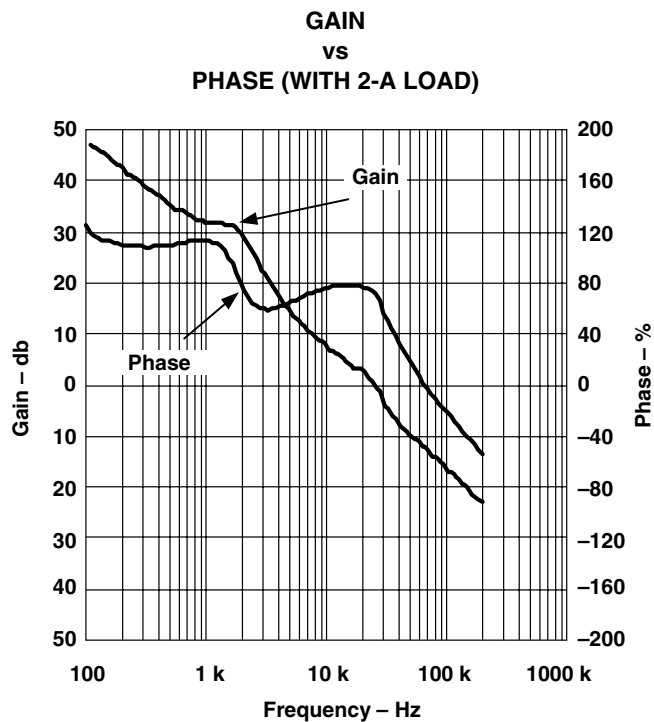


図4



### 6.3 出力リップルおよび雑音

図5に、 $V_{IN} = 40V$ 、 $I_{OUT} = 2A$ での標準的な出力雑音を示します。

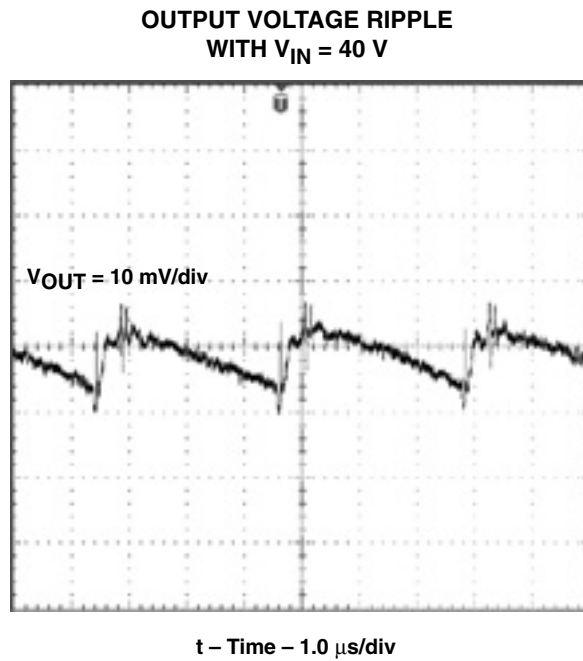


図 5

図6に、 $V_{IN} = 10V$ 、 $I_{OUT} = 3A$ での標準的な出力雑音を示します。

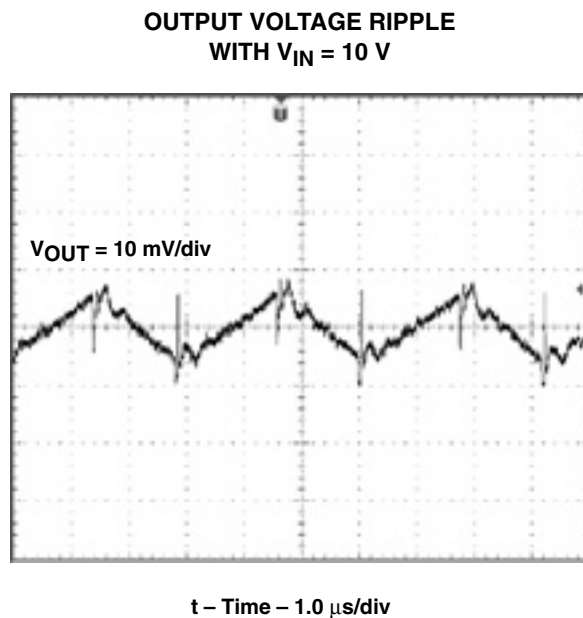


図 6

### 6.4 過渡応答

図7に、 $V_{IN} = 24V$ で負荷が0.5Aから2.5Aまで変化したときの過渡応答を示します。2Aの負荷ステップで、出力偏差は約30mVです。

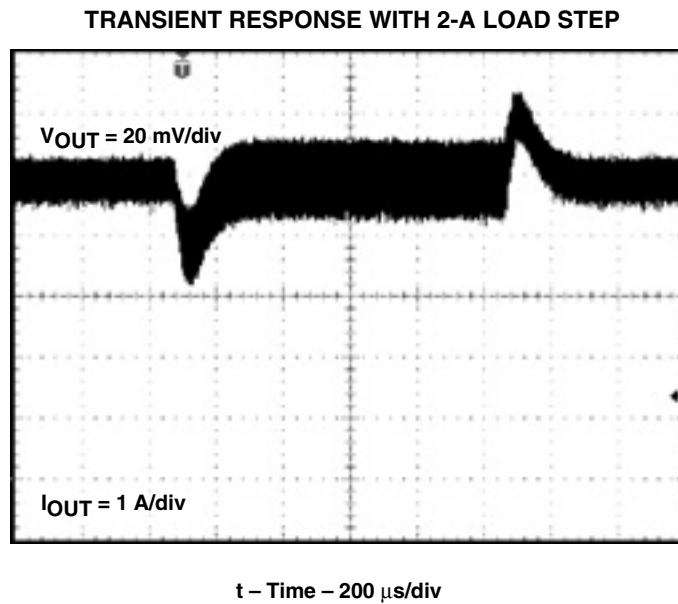


図 7

## 7 EVMアセンブリ図およびPCBレイアウト

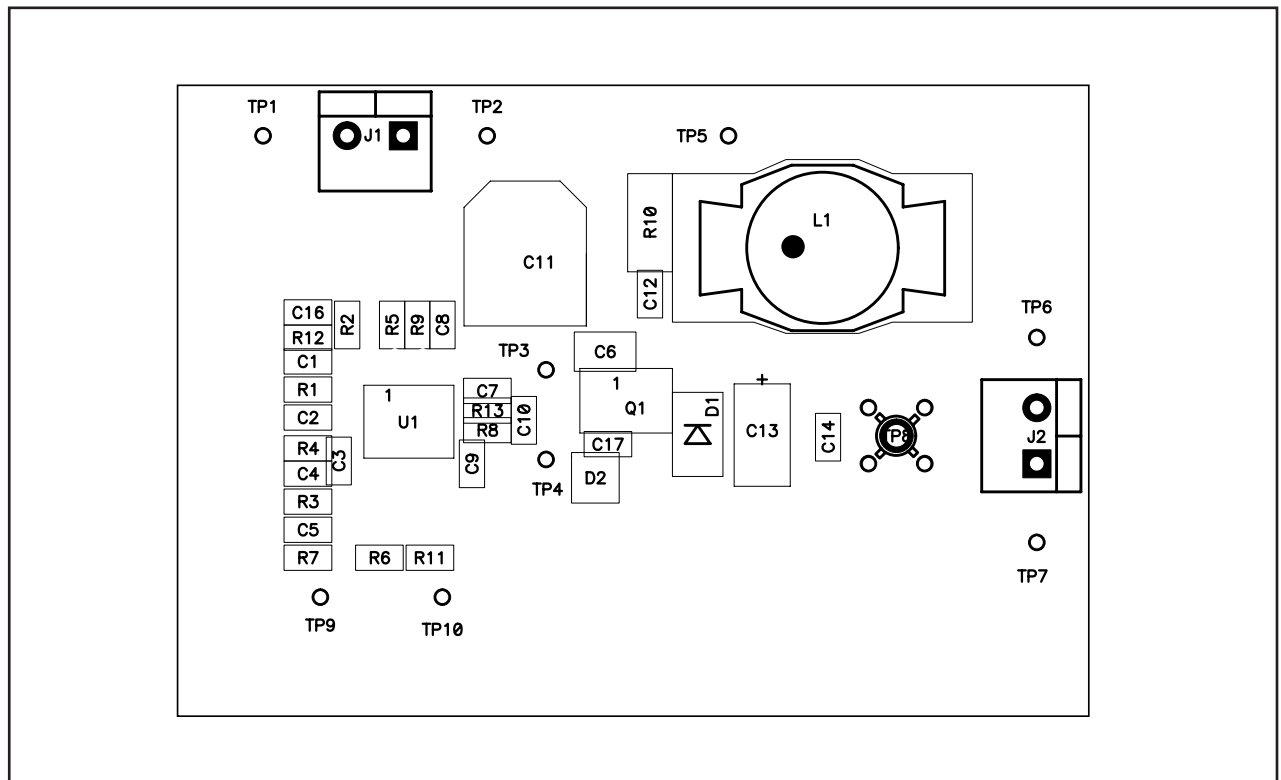


図8. 上側部品アセンブリ

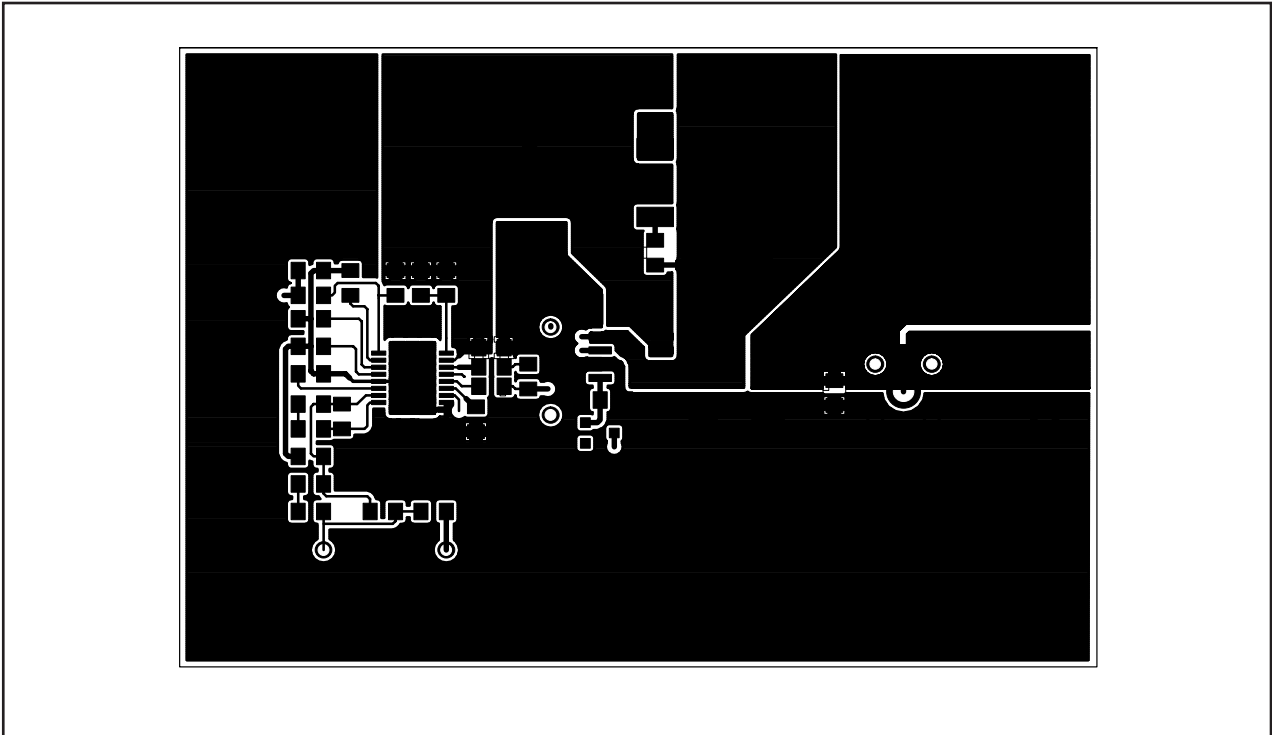


図9. 最上層パターン

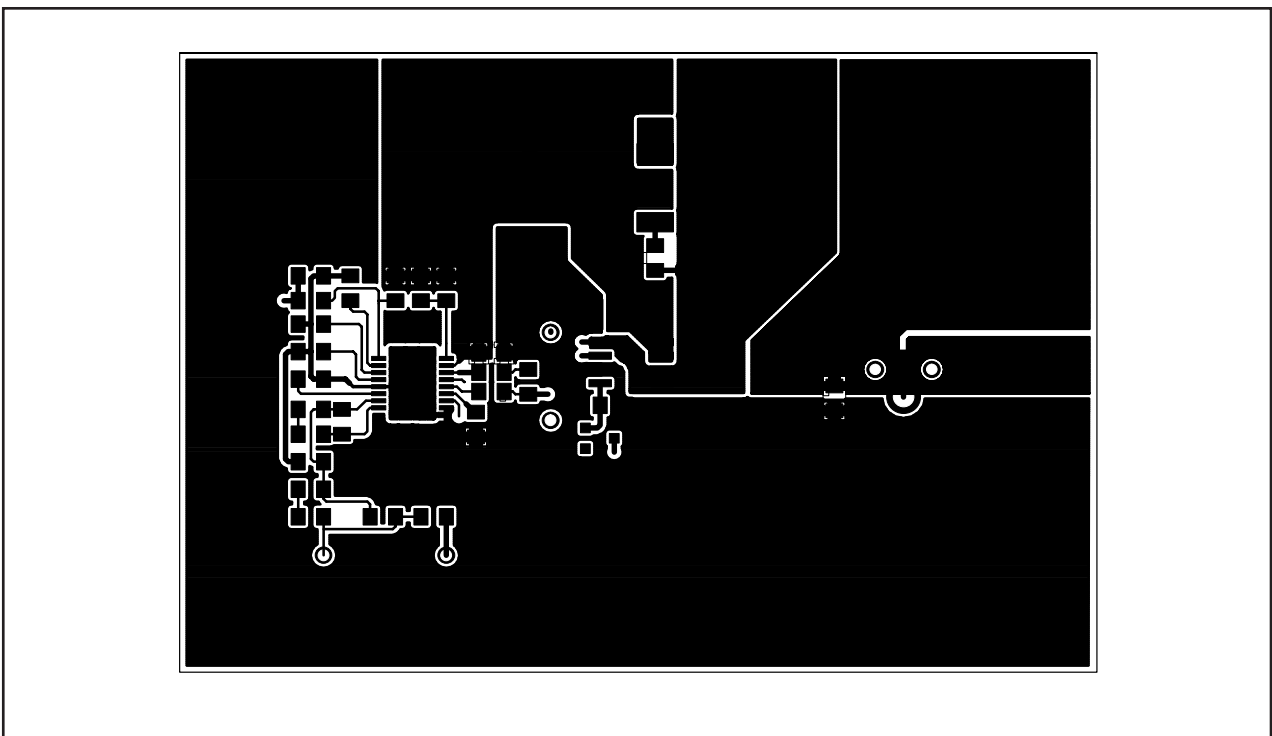


図10. 最下層パターン

## 8 部品表

図1の回路図に対応するTPS40055EVM-002の部品表を次に示します。

REFERENCE DESIGNATOR	QTY	DESCRIPTION	MFR	PART NUMBER
C1, C7, C10	3	Capacitor, ceramic, 0.1 $\mu$ F, 25 V, X7R, 10%, 805	Vishay	VJ0805Y104KXXAT
C11	1	Capacitor, aluminum, 100 $\mu$ F, 63 V, 20%, 0.457 x 0.406	Panasonic	EEVFK1J101P
C13	1	Capacitor, POSCAP, 330 $\mu$ F, 6.3 V, 10 m $\Omega$ , 20%, 7343 (D)	Sanyo	6TPD330M
C9, C14	2	Capacitor, ceramic, 1.0 $\mu$ F, 16 V, X5R, 20%, 805	TDK	C2012X5R1C105KT
C16	1	Capacitor, ceramic, 470 pF, 50 V, X5R, 20%, 805	Vishay	VJ0805Y471KXAAT
C2, C12, C17	3	Capacitor, ceramic, 2.2 nF, 50 V, X7R, 10%, 805	Vishay	VJ0805Y222KXAAT
C3	1	Capacitor, ceramic, 82 pF, 50 V, NPO, 5%, 805	Panasonic	VJ0805A820KXAAT
C4	1	Capacitor, ceramic, 2.7 nF, 50 V, X7R, 10%, 805	Vishay	VJ0805Y272KXAAT
C5	1	Capacitor, ceramic, 10 nF, 50 V, X7R, 10%, 805	Vishay	VJ0805Y103KXAAT
C6	1	Capacitor, ceramic, 1.5 $\mu$ F, 50 V, X7R, 10%, 1210	TDK	C3225X7R1H155KT
C8	1	Capacitor, ceramic, 100 pF, 50 V, X7R, 10%, 805	Vishay	VJ0805A101KXAAT
D1	1	Diode, schottky, 1 A, 60 V, SMB	IR	10BQ060
D2	1	Diode, switching, 10 mA, 85 V, 350 mW, SOT23	Vishay Liteon	BAS16
J1, J2	2	Terminal block, 2 pin, 15 A, 5.1 mm, 0.40 x 0.35	OST	ED1609
L1	1	Inductor, SMT, 22 $\mu$ H, 4.5 A, 34 m $\Omega$ , 0.87x0.59	Coiltronics	UP4B 220
Q1	1	MOSFET, dual N channel, 60 V, 3.8 A, 55 m $\Omega$ , SO8	Siliconix	Si4946EY
R1	1	Resistor, chip, 1 k $\Omega$ , 1/10 W, 1%, 805	Std	Std
R2	1	Resistor, chip, 165 k $\Omega$ , 1/10 W, 1%, 805	Std	Std
R3	1	Resistor, chip, 1.27 k $\Omega$ , 1/10 W, 1%, 805	Std	Std
R4	1	Resistor, chip, 30.1 k $\Omega$ , 1/10 W, 1%, 805	Std	Std
R5	1	Resistor, chip, 71.5 k $\Omega$ , 1/10 W, 1%, 805	Std	Std
R6	1	Resistor, chip, 7.87 k $\Omega$ , 1/10 W, 1%, 805	Std	Std
R7	1	Resistor, chip, 100 $\Omega$ , 1/10 W, 1%, 805	Std	Std
R8	1	Resistor, chip, 0 $\Omega$ , 1/10 W, 5%, 805	Std	Std
R9	1	Resistor, chip, 23.2 k $\Omega$ , 1/10 W, 1%, 805	Std	Std
R10	1	Resistor, chip, 4.7 $\Omega$ , 1 W, 5%, 2512	Std	Std
R11	1	Resistor, chip, 20 $\Omega$ , 1/10 W, 1%, 805	Std	Std
R12	1	Resistor, chip, 243 k $\Omega$ , 1/10 W, 1%, 805	Std	Std
R13	1	Resistor, chip, 8.2 $\Omega$ , 1/10 W, 5%, 805	Std	Std
TP1, TP7	2	Jack, test point, black	Farnell	240 333
TP2, TP3, TP4, TP5, TP6, TP9, TP10	7	Jack, test point, red	Farnell	240 345
TP8	1	Adaptor, 3.5-mm probe clip ( or 131 5031 00), 0.2	Tektronix	131 4244 00
U1	1	IC, Wide Input Synchronuos Buck Controller, PWP-16	TI	TPS40055PWP
--	1	PCB, 3.25 In x 2.25 In x .031 In	Any	HPA071

表 1. TPS40055EVM-002 (HPA071) 部品表

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上