

## 3V-6V入力・3A出力、 FET内蔵の同期バックPWMスイッチャー(SWIFT™)

### 特長

- 60mΩのMOSFETスイッチによる、3A出力ソース・シンク電流(連続)時の高効率
- 0.9Vから3.3Vの出力電圧を1%精度で調整可能
- 柔軟な設計のための外部補償
- 高速な過渡応答
- 広帯域のPWM周波数:  
固定時の周波数 350kHz、550kHz  
調整可能な周波数 280kHz-700kHz
- ピーク電流制限とサーマル・シャットダウンによる負荷保護
- 集積ソリューションによる基板面積およびトータルコストの低減

### アプリケーション

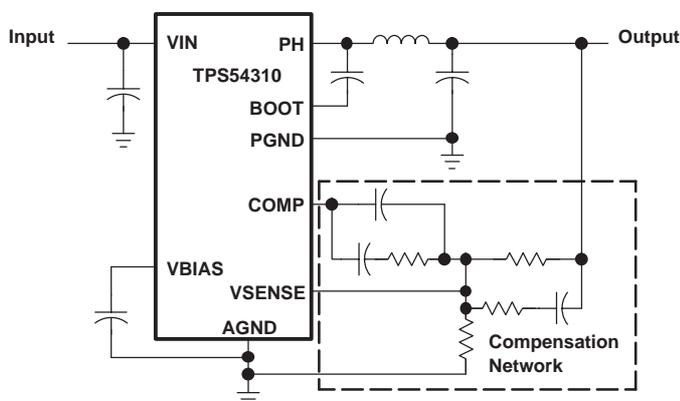
- 5Vあるいは3.3V電源の低電圧・高密度分散型電源システム
- 高性能DSP、FPGA、ASIC、およびマイクロプロセッサの用ポイント・オブ・ロードのレギュレーション
- ブロードバンド、ネットワークおよび光コミュニケーションのインフラ
- ポータブル・コンピューティング/ノートブックPC

### 解説

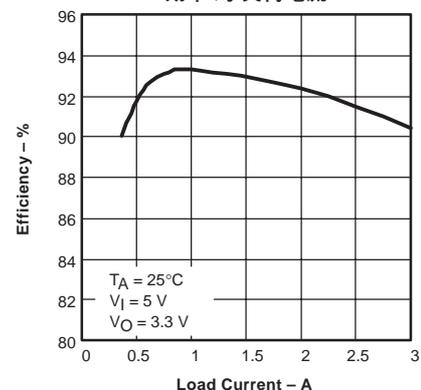
DC/DCレギュレータのSWIFT™ファミリーのひとつであるTPS54310は、低入力電圧・高出力電流の同期バックPWMコンバータであり、必要な能動素子をすべて集積しています。シリコンに内蔵される特長に関しては、以下の通りです。過渡状態で優れた特性を発揮する高性能誤差アンプ、入力電圧が3Vに達するまでスタート・アップさせない低電圧ロックアウト回路、内部あるいは外部から設定するラッシュ電流制限用のスロー・スタート回路、また、プロセッサやロジックのリセット、フォールト信号、および電源シーケンスに有効な高パワー出力です。

TPS54310は熱的に強化された20ピンTSSOP(PWP)のPowerPAD™パッケージによるデバイスのため、大きなヒートシンクを必要としません。TIは、評価ボードとSWIFT™設計者用ソフトウェア・ツールを提供しますので、高性能な電源の設計の早期実現を手助けし、積極的な装置開発サイクルに対応できます。

単純化した回路図



効率対負荷電流



SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



## 静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

### ご発注の手引き

T <sub>J</sub>	OUTPUT VOLTAGE	PACKAGED DEVICES PLASTIC HTSSOP (PWP) <sup>(1)</sup>
-40°C~125°C	0.9 V~3.3 V	TPS54310PWP

注：(1) PWPパッケージはテープでリールにしたものもあります。その場合は、Rというサフィックスをデバイスタイプに付加願います(すなわち、TPS54310PWPR)。PowerPAD™の機構図とレイアウトに関しては、データシートのアプリケーション・セクションを参照願います。

### 絶対最大定格

特に記述のないかぎり、動作周囲温度<sup>(1)</sup>

		TPS54310	UNIT
Input voltage range, V <sub>I</sub>	VIN, SS/ENA, SYNC	-0.3~7	V
	RT	-0.3~6	V
	VSENSE	-0.3~4	V
	BOOT	-0.3~17	V
Output voltage range, V <sub>O</sub>	VBIAS, PWRGD, COMP	-0.3~7	V
	PH	-0.6~10	V
Source current, I <sub>O</sub>	PH	Internally Limited	
	COMP, VBIAS	6	mA
Sink current	PH	6	A
	COMP	6	mA
	SS/ENA, PWRGD	10	mA
Voltage differential	AGND to PGND	±0.3	V
Continuou spower dissipation		See Power Dissipation Rating Table	
Operating virtual junction temperature range, T <sub>J</sub>		-40~150	°C
Storage temperature, T <sub>stg</sub>		-65~150	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds		300	°C

注：(1) “絶対最大定格”を超えるオーバーストレスは、デバイスに永久的な損傷を与える可能性があります。この定格はストレスだけに適用され、この定格または“推奨動作条件”以上の条件でデバイスの機能動作を保証するものではありません。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。

### 推奨動作条件

	MIN	NOM	MAX	UNIT
Input voltage range, V <sub>I</sub>	3		6	V
Operating junction temperature, T <sub>J</sub>	-40		125	°C

### パッケージ電力消費定格<sup>(1)(2)</sup>

PACKAGE	THERMAL IMPEDANCE JUNCTION-TO-AMBIENT	T <sub>A</sub> = 25°C POWER RATING	T <sub>A</sub> = 70°C POWER RATING	T <sub>A</sub> = 85°C POWER RATING
20-Pin PWP with solder	26.0°C/W	3.85 W <sup>(3)</sup>	2.12 W	1.54 W
20-Pin PWP without solder	57.5°C/W	1.73 W	0.96 W	0.69 W

注：(1) パッケージのより詳細な情報は、テクニカル・ブリーフ(文献番号SLMA002)を参照願います。

(2) テスト基板条件

- 3×3インチ、2層、厚さ0.062インチ
- プリント基板の部品面に1.5オンスの銅配線
- プリント基板の半田面に1.5オンスの銅のグラウンド・プレーン
- 10個のサーマル・ビア(本データシートのアプリケーション・セクションにおける推奨ランドパターンを参照願います。)

(3) 最大電力消費は過電流保護で制限されるかもしれません。

# 電気的特性

T<sub>J</sub> = -40°C ~ 125°C, V<sub>IN</sub> = 3 V ~ 6 V (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>SUPPLY VOLTAGE, V<sub>IN</sub></b>						
V <sub>IN</sub> input voltage range			3		6	V
Quiescent current		f <sub>S</sub> = 350 kHz, SYNC = 0.8 V, RT open		6.2	9.6	mA
		f <sub>S</sub> = 550 kHz, SYNC ≥ 2.5 V, RT open, phase pin open		8.4	12.8	
		Shutdown, SS/ENA = 0 V		1	1.4	
<b>UNDER VOLTAGE LOCK OUT</b>						
Start threshold voltage, UVLO				2.95	3	V
Stop threshold voltage, UVLO			2.70	2.80		
Hysteresis voltage, UVLO			0.14	0.16		V
Rising and falling edge deglitch, UVLO <sup>(1)</sup>				2.5		μs
<b>BIAS VOLTAGE</b>						
V <sub>O</sub>	Output voltage, V <sub>BIAS</sub>	I(V <sub>BIAS</sub> ) = 0	2.70	2.80	2.90	V
	Output current, V <sub>BIAS</sub> <sup>(2)</sup>				100	μA
<b>CUMULATIVE REFERENCE</b>						
V <sub>ref</sub>	Accuracy		0.882	0.891	0.900	V
<b>REGULATION</b>						
Lineregulation <sup>(1) (3)</sup>		I <sub>L</sub> = 1.5 A, f <sub>S</sub> = 350 kHz, T <sub>J</sub> = 85°C			0.07	%V
		I <sub>L</sub> = 1.5 A, f <sub>S</sub> = 550 kHz, T <sub>J</sub> = 85°C			0.07	
Load regulation <sup>(1) (3)</sup>		I <sub>L</sub> = 0 A ~ 3 A, f <sub>S</sub> = 350 kHz, T <sub>J</sub> = 85°C			0.03	%A
		I <sub>L</sub> = 0 A ~ 3 A, f <sub>S</sub> = 550 kHz, T <sub>J</sub> = 85°C			0.03	
<b>OSCILLATOR</b>						
Internally set free running frequency range		SYNC ≤ 0.8 V, RT open	280	350	420	kHz
		SYNC ≥ 2.5 V, RT open	440	550	660	
Externally set free-running frequency range		RT = 180 kΩ (1% resistor to AGND)	252	280	308	kHz
		RT = 100 kΩ (1% resistor to AGND)	460	550	660	
		RT = 68 kΩ (1% resistor to AGND)	663	700	762	
High-level threshold voltage, SYNC			2.5			V
Low-level threshold voltage, SYNC					0.8	V
Pulse duration, SYNC <sup>(1)</sup>			50			ns
Frequency range, SYNC <sup>(1)</sup>			330		700	kHz
Ramp valley <sup>(1)</sup>				0.75		V
Ramp amplitude (peak-to-peak) <sup>(1)</sup>				1		V
Minimum controllable on time <sup>(1)</sup>					200	ns
Maximum duty cycle			90%			

注：(1) 設計保証

(2) 静的な抵抗負荷のみ

(3) 図10の回路で規定

# 電気的特性(続き)

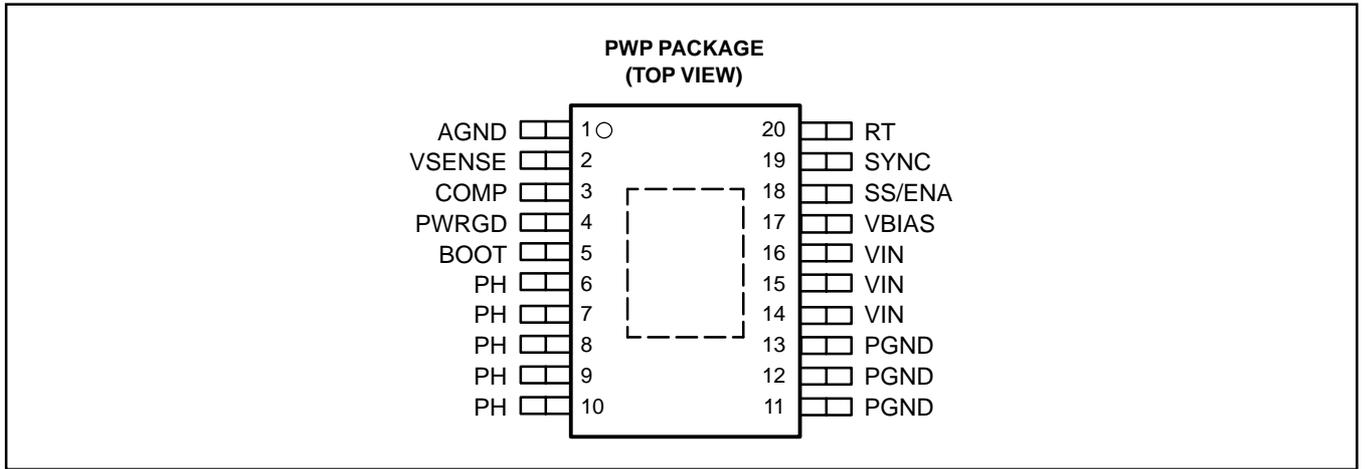
T<sub>J</sub> = -40°C ~ 125°C, V<sub>IN</sub> = 3 V ~ 6 V (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
<b>ERROR AMPLIFIER</b>					
Error amplifier open loop voltage gain	1 kΩ COMP to AGND <sup>(1)</sup>	90	110		dB
Error amplifier unity gain bandwidth	Parallel 10 kΩ, 160 pF COMP to AGND <sup>(1)</sup>	3	5		MHz
Error amplifier common-mode input voltage range	Powered by internal LDO <sup>(1)</sup>	0		VBIAS	V
I <sub>B</sub> Input bias current, VSENSE	VSENSE = V <sub>ref</sub>		60	250	nA
V <sub>O</sub> Output voltage slew rate (symmetric), COMP		1	1.4		V/μs
<b>PWM COMPARATOR</b>					
PWM comparator propagation delay time, PWM comparator input to PH pin (excluding dead time)	10 mV overdrive <sup>(1)</sup>		70	85	ns
<b>SLOW-START/ENABLE</b>					
Enable threshold voltage, SS/ENA		0.95	1.20	1.40	V
Enable hysteresis voltage, SS/ENA <sup>(1)</sup>			0.03		V
Falling edge deglitch, SS/ENA <sup>(1)</sup>			2.5		μs
Internal slow-start time		2.6	3.35	4.1	ms
Charge current, SS/ENA	SS/ENA = 0 V	3	5	8	μA
Discharge current, SS/ENA	SS/ENA = 1.3 V, V <sub>I</sub> = 1.5 V	1.5	2.3	4	mA
<b>POWER GOOD</b>					
Power good threshold voltage	VSENSE falling		90		%V <sub>ref</sub>
Power good hysteresis voltage <sup>(1)</sup>			3		%V <sub>ref</sub>
Power good falling edge deglitch <sup>(1)</sup>			35		μs
Output saturation voltage, PWRGD	I <sub>(sink)</sub> = 2.5 mA		0.18	0.30	V
Leakage current, PWRGD	V <sub>I</sub> = 5.5 V			1	μA
<b>CURRENT LIMIT</b>					
Current limit trip point	V <sub>I</sub> = 3 V, output shorted <sup>(1)</sup>	4	6.5		A
	V <sub>I</sub> = 6 V, output shorted <sup>(1)</sup>	4.5	7.5		
Current limit leading edge blanking time			100		ns
Current limit total response time			200		ns
<b>THERMAL SHUTDOWN</b>					
Thermal shutdown trip point <sup>(1)</sup>		135	150	165	°C
Thermal shutdown hysteresis <sup>(1)</sup>			10		°C
<b>OUTPUT POWER MOSFETS</b>					
r <sub>DS(on)</sub> Power MOSFET switches	I <sub>O</sub> = 3 A, V <sub>I</sub> = 6 V <sup>(2)</sup>		59	88	mΩ
	I <sub>O</sub> = 3 A, V <sub>I</sub> = 3 V <sup>(2)</sup>		85	136	

(1) 設計保証

(2) 整合のとれたMOSFETであり、ローサイドはテストされ、ハイサイドは設計保証

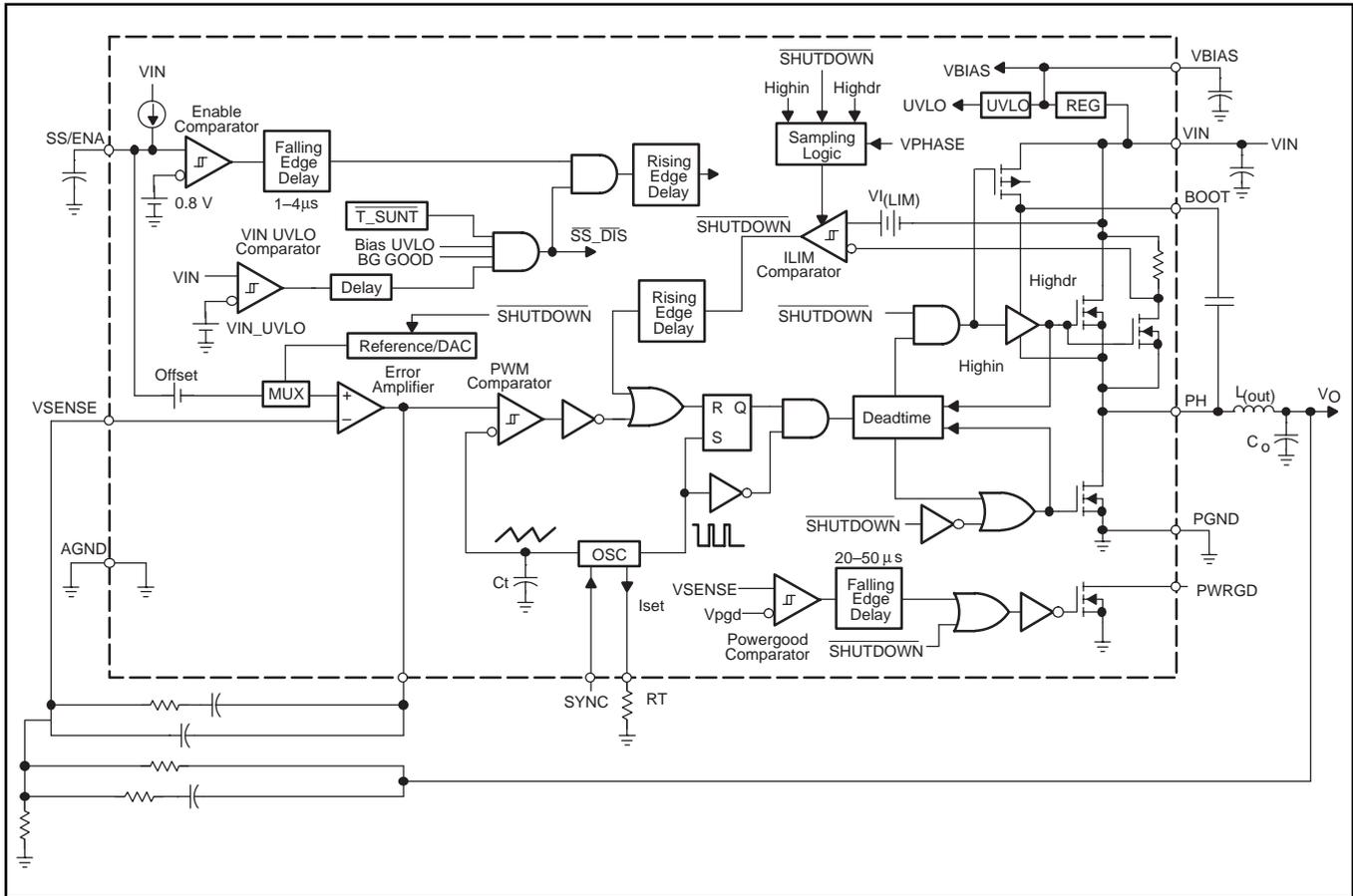
## ピン配置



## ピン構成

TERMINAL		DESCRIPTION
NAME	NO.	
AGND	1	アナログ・グラウンド。補償網/出力分圧回路、スロー・スタートコンデンサ、VBIASコンデンサ、RT抵抗およびSYNCピンの各帰線になる。PowerPADTMはAGNDに接続する。
BOOT	5	ブートストラップ入力。0.022μFから0.1μFの低等価直列抵抗のコンデンサをBOOTとPH間に接続し、ハイサイドFETドライバをフローティング駆動する。
COMP	3	誤差アンプ出力。補償網をCOMPとVSENSE間に接続する。
PGND	11-13	パワー・グラウンド。ローサイド・ドライバとパワー・MOSFET用の大電流が流れる帰線。大面積の銅パターンのPGNDを入出力電源の帰線、および入出力(VINとVo)コンデンサの負側に接続する。
PH	6-10	フェーズ入出力。内部のハイ・ローサイドの両パワー・MOSFETおよび出力インダクタの結合点。
PWRGD	4	パワー・グッドのオープン・ドレイン出力。VSENSEがV <sub>ref</sub> の90%以上でハイ、それ以外ではロー。また、SS/ENAがローあるいは内部シャットダウンがアクティブ時にも、本出力がローになることに注意。
RT	20	周波数設定する抵抗の入力。RTとAGND間に抵抗を接続して、スイッチング周波数を設定する。
SS/ENA	18	スロー・スタートとイネーブルの入出力。デバイス動作をイネーブル・ディスエーブルするロジック入力、および外部的にスタート・アップ時間を設定するコンデンサ入力の2機能のピンである。
SYNC	19	同期入力。外部発振器に同期させるためのロジック信号を入力する、あるいは内部設定の2つの発振周波数を選択する、の2機能のピンである。外部信号に同期させるときは、RTピンに抵抗を接続する必要がある。
VBIAS	17	内部バイアス・レギュレータの出力。内部回路にレギュレーションした電圧を供給。VBIASとAGNDの両ピン間に高品質・低等価直列抵抗の0.1μFから1μFのセラミック・コンデンサを接続してバイパスする。
VIN	14-16	パワー・MOSFETスイッチと内部バイアス・レギュレータに供給する入力。VINピンとPGNDピン間で、高品質・低等価直列抵抗の1μFから10μFのセラミック・コンデンサをデバイス・パッケージの極力近くに接続してバイパスする。
VSENSE	2	誤差アンプの反転入力。

## ブロック図



## 他の3AのSWIFT™デバイス

DEVICE	OUTPUT VOLTAGE	DEVICE	OUTPUT VOLTAGE	DEVICE	OUTPUT VOLTAGE
TPS54311	0.9 V	TPS54313	1.5 V	TPS54315	2.5 V
TPS54312	1.2 V	TPS54314	1.8 V	TPS54316	3.3 V

## 関連DC/DC製品

- UCC3585 — DC/DCコントローラ
- PT5500シリーズ — 3Aプラグイン・モジュール
- TPS757xx — 3A低ドロップアウト・レギュレータ

# 代表的特性

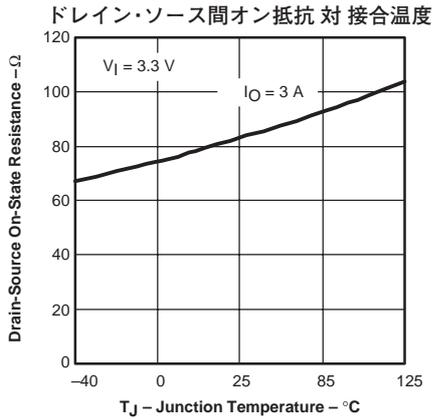


図1

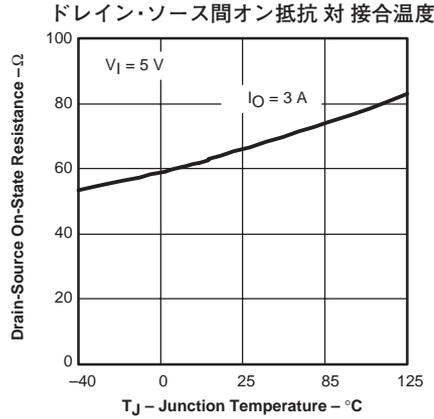


図2

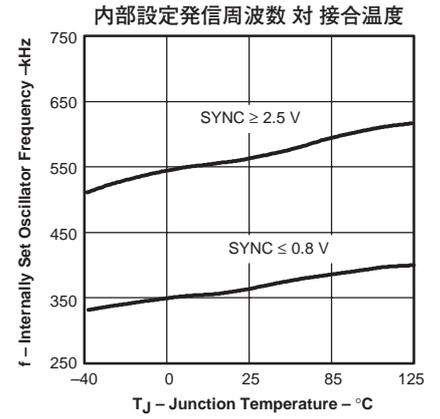


図3

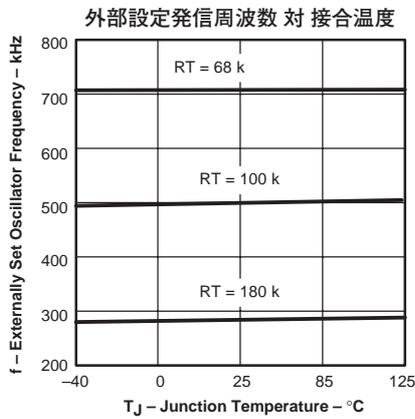


図4

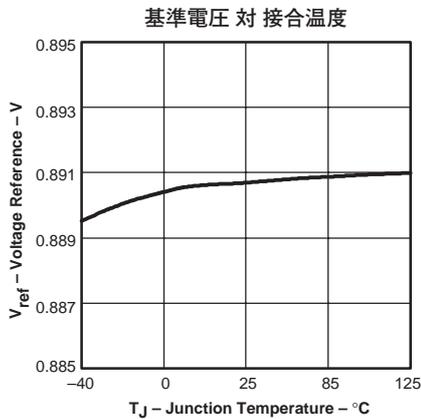


図5

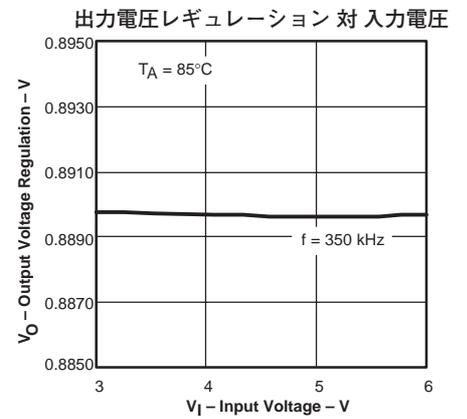


図6

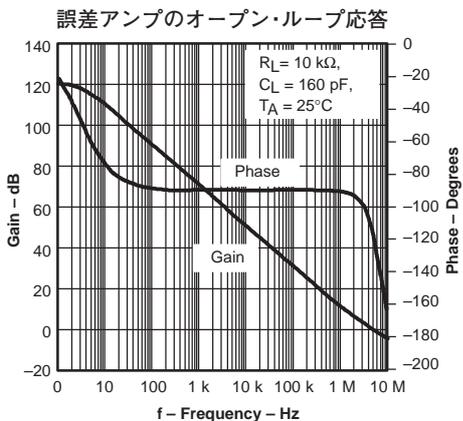


図7

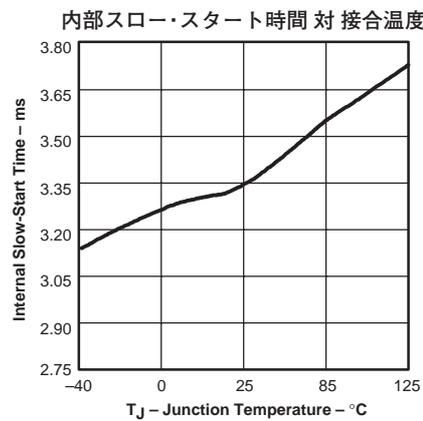


図8

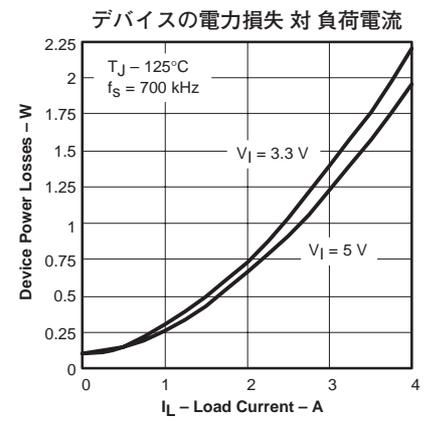


図9

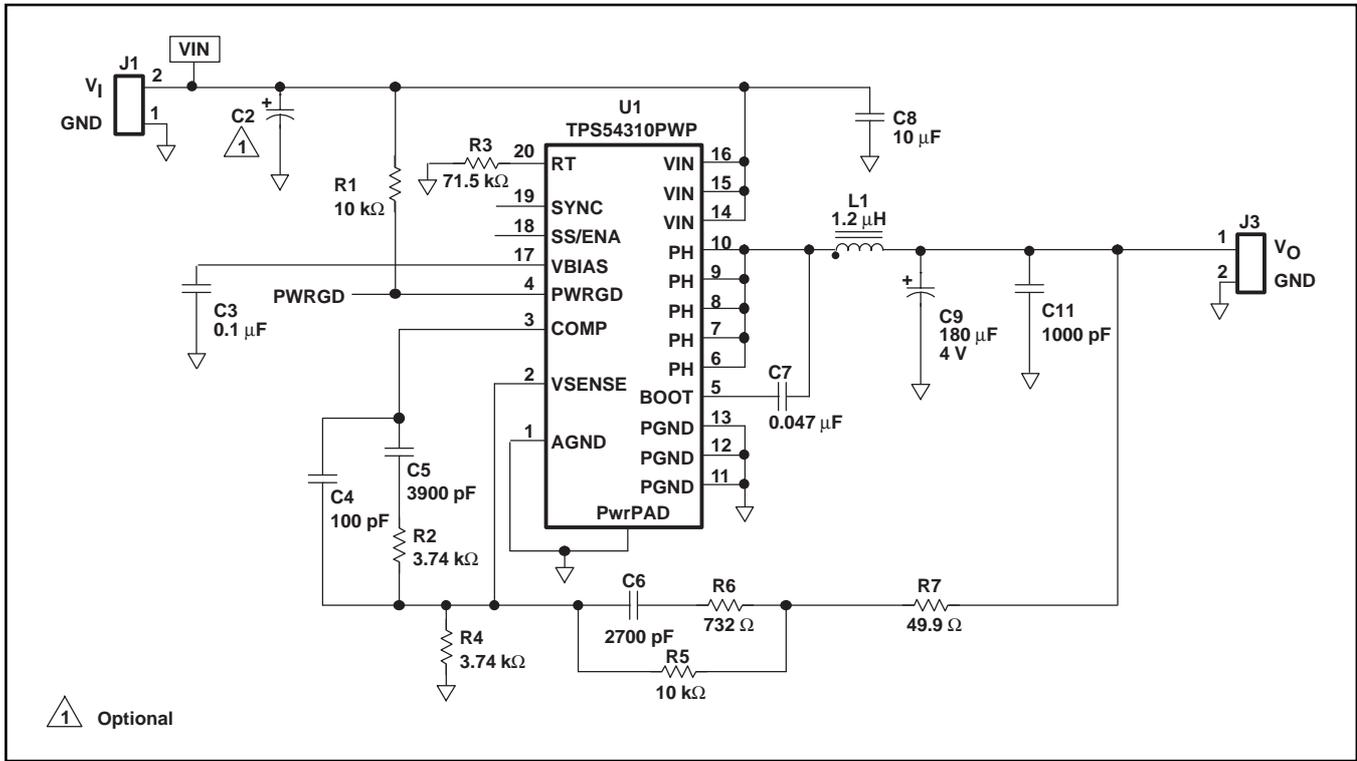


図10. TPS54310の回路図

## アプリケーション情報

図10はTPS54310の代表的なアプリケーション回路図を示します。TPS54310(図中のU1)は、公称値3.3Vの出力電圧で3Aまでの出力電流を供給できます。適切な熱特性を得るために、TPS54310の直下のPowerPAD™をプリント基板に十分に半田付けする必要があります。

### 入力電圧

回路への入力電圧は5VDC(公称値)であり、J1に供給します。オプションの入力フィルタ(C2)は220µFのPOSCAP(チップ型のタンタル電解コンデンサ)コンデンサであり、最大許容リップル電流が3Aのもので、C8はTPS54310のデカップリング・コンデンサであり、デバイスにできるだけ接近させて取り付けます。

### 帰還回路

抵抗R5とR4による分圧回路は、出力電圧を3.3Vに設定します。R5はR2、R6、C4、C5、C6とともにループ補償回路網を形成します。本設計では、タイプ3のトポロジーを用いています。

### 動作周波数

本アプリケーション回路では、RTとSYNCをオープンにして350kHzの動作周波数に設定しています。68kΩから180kΩの抵抗をRT(20ピン)とアナログ・グラウンド間に接続すると、スイッチング周波数を280 kHzから700 kHzに設定できます。RTの抵抗の計算には式(1)を使用します。

$$R = \frac{100 \text{ k}\Omega}{f_{\text{SW}}} \times 500 \text{ kHz} \quad (1)$$

### 出力フィルタ

出力フィルタは1.2µHのインダクタと180µFのコンデンサで構成されます。このインダクタは低DC抵抗(0.017Ω)タイプのコイルクラフト製DO1813-122HCです。コンデンサは4Vの特殊ポリマー型で、最大等価直列抵抗が0.015Ωのものを使用しています。帰還ループは、ユニティ・ゲイン周波数が約75kHzになるように補償しています。

### グラウンドのとりかたとPowerPAD™のレイアウト

TPS54310にはアナログとパワーの2つの内部グラウンドがあります。TPS54310の内部では、アナログ・グラウンドをすべての雑音に敏感な信号に接続し、パワー・グラウンドは雑音を発生するパワー信号に接続しています。PowerPAD™は直接AGNDに接続する必要があります。両グラウンド間に入った雑音はTPS54310の特性を劣化させ、特に大出力電流時に顕著になり得ます。しかし、アナログ・グラウンド・プレーンの雑音は、制御信号やバイアス信号に問題を発生します。したがって、これらの理由から、アナログとパワーの両グラウンド・プレーンを分離することを推奨します。この両プレーンはICにおいて互いに接続し、両グラウンド間の雑音を低減します。直接にパワー・グラウンド・プレーンに接続する部品は、入力コンデンサ、出力コンデンサ、入力電圧デカップリング用コンデンサ、およびTPS54310のPGNDピンだけです。TPS54310用評価モジュールのレイアウトは、2層基板の推奨レイアウトの代表例です。TPS54310用評価モジュールの文献は、TIのウェブサイトのTPS54310製品フォルダで見られます。また、アプリケーション・ノートのTI文献番号SLVA109にもあります。

## 熱特性に関するレイアウトの考察

最大負荷電流での動作のため、アナログ・グランド・プレーンには適当な放熱領域が必要です。それには、1オンスの銅による3インチ×3インチのプレーンを推奨します。これは必須ではなく、周囲温度と空気流に依存します。ほとんどのアプリケーションには内部グランド・プレーンの広い領域があり、PowerPAD™はその中で最大面積のものに接続します。部品面や半田面にある他の領域も放熱に寄与するので、3A以上の動作時はすべての領域を放

熱に使用します。PowerPAD™の露出領域とアナログ・グランド・プレーン層との接続には、直径0.013インチのヴィアを用いて、ヴィアによる半田の上ガリを防止します。PowerPAD™領域に6個のヴィアを作り、さらにデバイス・パッケージの直下に4個のヴィアを作ります。このパッケージ直下のヴィアのサイズは、露出したサーマル・パッド領域とは違って、0.018インチまで拡張できます。推奨するこれら10個のヴィアに加えて、熱特性を強化するヴィアをデバイス・パッケージの下以外の領域にも作ります。

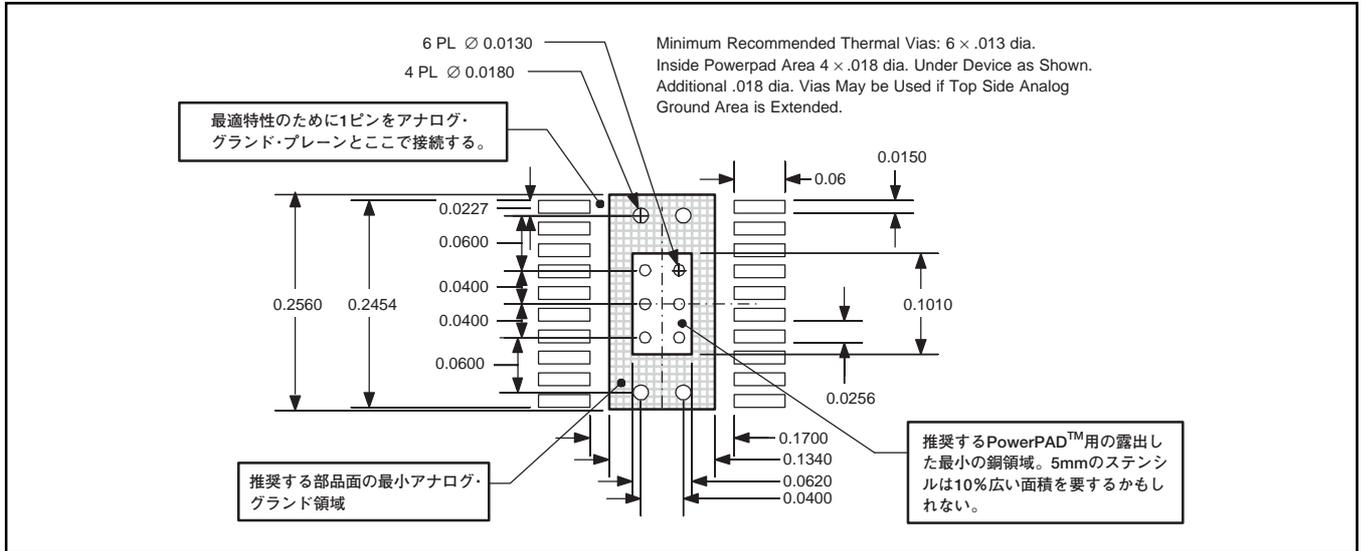


図11. 20ピンPWPowerPAD™用の推奨ランド・パターン

# 特性グラフ

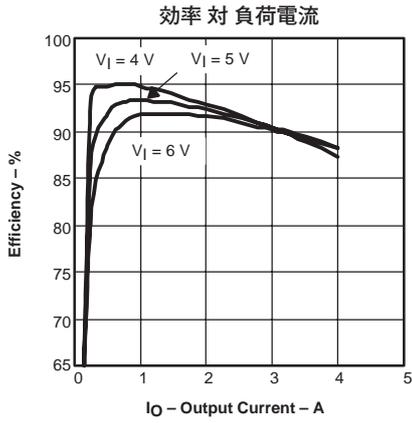


図12

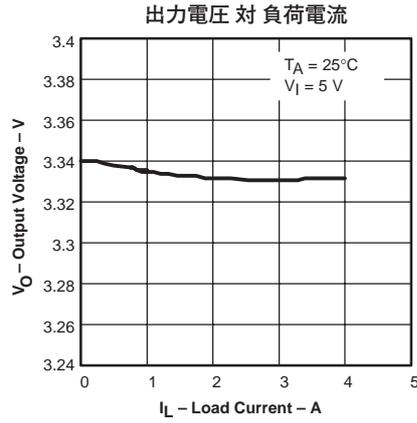


図13

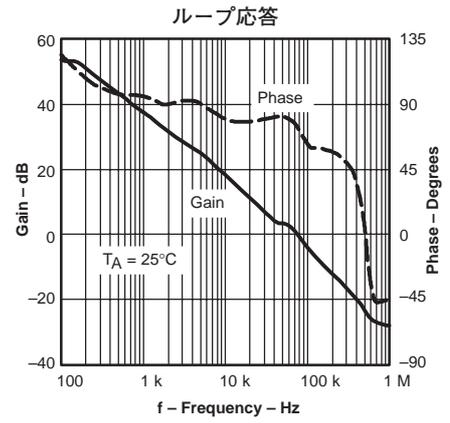


図14

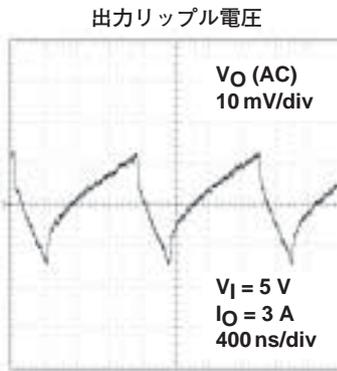


図15

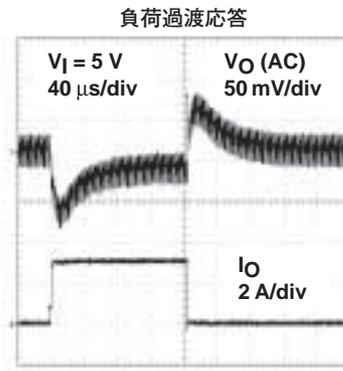


図16

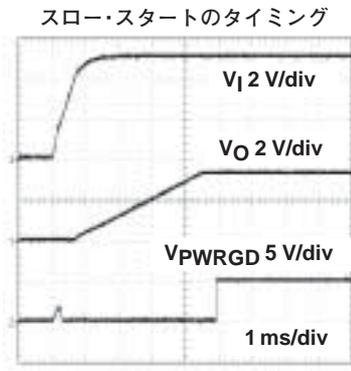
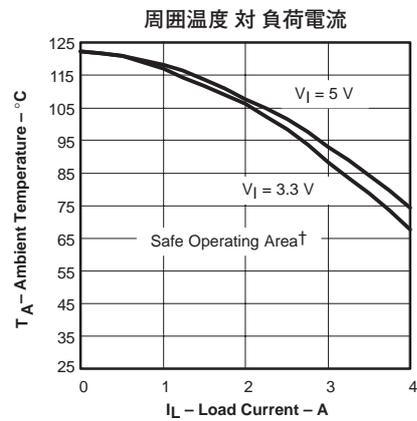


図17



†安全動作領域は、本データシートのパッケージ電力消費定格表に記載されたテスト基板条件に適用されます。

図18

# 詳細解説

## 低電圧ロックアウト (UVLO)

TPS54310は低電圧ロックアウト回路を内蔵し、入力電圧 (VIN) が不十分な時にデバイスをディスエーブルに保ちます。電源投入中は、VINがUVLOのスレッシュホールド電圧(公称値2.95V)を超えるまで、内部回路を停止状態に維持します。ひとたびVINがUVLOスタートのスレッシュホールド電圧に達すると、デバイスはスタート・アップを始めます。デバイスは、VINがUVLOストップのスレッシュホールド電圧(公称値2.8V)を下回るまで動作します。このようなUVLOコンパレータのヒステリシスと、2.5μSの立ち上がり・立ち下がりエッジのデグリッチ回路が、VINに乗った雑音によるデバイスのシャットダウンの可能性を低減します。

## スロー・スタート/イネーブル(SS/ENA)

スロー・スタート/イネーブルのピンには2つの機能があります。第一は、イネーブル(シャットダウン)制御としての働きであり、ここの電圧がスタート・スレッシュホールド電圧(約1.2V)を超えるまでデバイスを停止状態に保ちます。SS/ENAがスタート・スレッシュホールド電圧を超えると、デバイスはスタート・アップを開始します。このとき、誤差アンプに供給される基準電圧は、0Vから0.891Vまで3.35mSで直線的に上昇します。同様に、デバイスの出力電圧もレギュレーションのレベルに約3.35mSで到達します。このようなヒステリシス電圧と2.5μSの立ち下がりエッジのデグリッチ回路が、雑音による誤ったイネーブルのトリガーの可能性を低減します。

SS/ENAピンの第二の機能は、このピンとAGND間に小容量コンデンサを接続して、外部からスロー・スタート時間を拡張する手段を与えることです。SS/ENAピンにコンデンサを付けると、スタート・アップに関する2つの効果があります。まず、SS/ENAピンのリリースと出力のスタート・アップ間に遅延が生じます。この遅延はスロー・スタート用コンデンサの値に比例し、SS/ENAピンの電位がイネーブル・スレッシュホールド電圧に達するまで継続します。このスタート・アップ遅延は、およそ以下の式のようにになります。

$$t_d = C(SS) \times \frac{1.2 V}{5 \mu A} \quad (2)$$

次に、出力がアクティブになると、外部設定のスロー・スタート時間が効く前に、内部設定スロー・スタート時間のわずかな上昇が観察されます。それから、出力はスロー・スタート用コンデンサの容量値に比例して上昇します。コンデンサにより外部設定されるスロー・スタート時間は、およそ式(3)のようになります。

$$t(SS) = C(SS) \times \frac{0.7 V}{5 \mu A} \quad (3)$$

実際のスロー・スタート時間は、内部設定のレートが若干短くなるため、上式の近似より短くなるかもしれません。

## VBIASレギュレータ (VBIAS)

VBIASレギュレータは、内部アナログ・デジタルの両ブロックに、接合温度と入力電圧の変動に依存しない安定した電源を供給します。VBIASピンには、高品質かつ低等価直列抵抗のセラミックのバイパス・コンデンサが必要です。温度変動に対して安定な

X7RあるいはX5Rクラスの誘電体を推奨します。バイパス・コンデンサは極力VBIASピンの近くに配置し、AGNDに接地します。VBIASに外部の負荷をつけることは可能ですが、内部回路が最小2.70VのVBIASを必要なことと、VBIASに接続した外部負荷によるACあるいはデジタル雑音が特性を劣化させることに注意を要します。VBIASピンは外部回路の基準電圧として使うこともできます。

## 基準電圧

基準電圧システムは、温度に対して安定なバンドギャップ回路の出力をスケールリングして、高精度の信号を発生します。製造時には、ボルテージ・フォロワ接続にした誤差アンプの出力が0.891Vになるように、バンドギャップとスケールリング回路をトリミングしています。このトリミング処理は、スケールリング回路と誤差アンプのオフセット誤差を解消するため、TPS54310のレギュレーションを一層高精度なものにしています。

## 発振器とPWMランプ

発振周波数は、SYNCピンに静的なデジタル入力を印加して、内部的に350kHzあるいは550kHzの固定値に設定できます。アプリケーションによって異なる動作周波数が必要ならば、RTピンとグランド間に抵抗を接続し、かつSYNCピンをオープンにして、発振周波数を外部的に280kHzから700kHzまで調整できます。スイッチング周波数は式(4)で近似されます。ここで、RはRTとAGND間の抵抗値です。

$$\text{スイッチング周波数} = \frac{100 \text{ k}\Omega}{R} \times 500 \text{ kHz} \quad (4)$$

PWMのランプ波形の外部同期は、同期信号をSYNCに入力し、RTとAGND間に抵抗を接続して、330kHzから700kHzの周波数範囲で可能です。このRT抵抗は、自走周波数が同期信号の80%になるように選択します。表1に周波数選択の組み合わせを要約します。

SWITCHING FREQUENCY	SYNC PIN	RT PIN
350 kHz, internally set	Float or AGND	Float
550 kHz, internally set	≥ 2.5 V	Float
Externally set 280 kHz to 700 kHz	Float	R = 68 k to 180 k
Externally synchronized frequency	Synchronization signal	R = RT value for 80% of external synchronization frequency

表1. 周波数選択の組み合わせの要約

## 誤差アンプ

高性能で広帯域の誤差アンプが、TPS54310を他の大部分のDC/DCコンバータよりも優れたものにしてしています。これによってユーザーは、個々のアプリケーションに要する出力LCフィルタ用部品を広範に使える柔軟性が得られます。外付けの補償部品を用いて、タイプ2あるいはタイプ3の補償方式が採用できます。

## PWM制御

誤差アンプ、発信器、および電流制限回路の各出力信号はPWM制御ロジック回路で処理されます。内部ブロック図を参照すると、制御ロジック回路にはPWMコンパレータ、ORゲート、PWMラッチ、およびデッドタイムと制御ロジック・ブロックの一部があります。電流制限のスレッシュホールドより低い安定動作では、PWMコンパレータ出力と発振器パルスが交互にPWMラッチをリセットおよびセットします。PWMラッチがセットされると、ローサイドFETが発振器パルス幅による最小期間だけオンします。この間、PWMのランプ波形は谷の電圧値まで急速に放電します。次にランプ波形が充電を始めると、ローサイドFETはオフし、ハイサイドFETがオンします。PWMランプ波形が誤差アンプの出力電圧を超えると、PWMコンパレータがラッチをリセットし、その結果ハイサイドFETがオフし、ローサイドFETがオンします。そしてローサイドFETは、次の発振器パルスがPWMランプ波形を放電するまでオンを続けます。

過渡状態では、誤差アンプ出力がPWMランプ波形の谷電圧以下やピーク電圧以上になるかもしれません。誤差アンプ出力が高い場合、PWMラッチはリセットされず、発振器パルスが制御ロジックにハイサイドFETのオフとローサイドFETのオンの信号を出すまで、ハイサイドFETはオンを維持します。このとき、出力電圧がレギュレーションの設定値に達するまで、デバイスはVSENSEにほぼに等しい電圧を供給しながら最大デューティで動作します。誤差アンプ出力が低い場合、PWMラッチは継続的にリセットされ、ハイサイドFETはオンしません。このときローサイドFETは、VSENSEの電圧が低下してPWMコンパレータの状態を反転させるまでオンし続けます。TPS54310は、出力がレギュレーションの設定値に達するまで連続的に電流をシンクできます。

電流制限コンパレータが100ns以上動作すると、PWMランプ波形が誤差アンプ出力を超える前にPWMラッチをリセットします。そして、ハイサイドFETはオフし、ローサイドFETはオンして、出力のインダクタのエネルギーを低減し、出力電流を減少します。この過程は、電流制限コンパレータが動作するサイクルごとに行われます。

## デッドタイム制御とMOSFETドライブ

適応性の高いデッドタイム制御は、MOSFETドライブのターン・オン時間を積極的に制御して、両方のNチャネル・パワーMOSFETにおける貫通電流を防止します。ハイサイド・ドライブは、ローサイドFETのゲート電圧が2V以下になるまでオンさせません。また、ローサイド・ドライブは、ハイサイドMOSFETのゲート電圧が2V以下になるまでオンさせません。ハイサイドとローサイドの両ドライブは300mAのソースおよびシンク能力で設計され、

パワーMOSFETのゲートを急速にドライブできます。ローサイド・ドライブはVINから電源を供給され、ハイサイド・ドライブはBOOTピンから電源を供給されています。そのブートストラップ回路は、外付けのBOOTコンデンサと、VINピンとBOOTピン間の内部にある2.5Ωのブートストラップ・スイッチを用いています。このブートストラップ・スイッチはドライブ効率を高め、外付けの部品点数を節約します。

## 過電流保護

電流制限はサイクルごとになされ、ハイサイドMOSFETを流れる電流を検知し、これをプリセットの過電流スレッシュホールド電圧と比較します。ハイサイドMOSFETは、電流制限スレッシュホールド電圧に達して200ns以内にオフします。立ち上がりエッジを100nsだけブランキングする回路が、電流制限の誤作動を防止します。電流制限の検出は、VINからPHへ流れる電流が出力フィルタに供給される場合のみに行われます。電流をシンクする場合の過負荷保護は、サーマル・シャットダウンで行われます。

## サーマル・シャットダウン

デバイスの接合温度が150°Cを超えると、デバイスはサーマル・シャットダウンを用いてパワーMOSFETをオフし、制御回路をディスエーブルにします。接合温度がサーマル・シャットダウンの動作点より10°C低下すると、デバイスはシャットダウン状態から解放され、スロー・スタート回路の制御下でスタート・アップします。サーマル・シャットダウンは過負荷状態が数ms続くと作動します。不良状態が持続すると、デバイスは次のサイクルを繰り返します。すなわち、ソフト・スタート回路の制御下でのスタート・アップ、不良状態による温度上昇、そしてサーマル・シャットダウン温度に達してのシャットダウンというサイクルです。

## パワー・グッド(PWRGD)

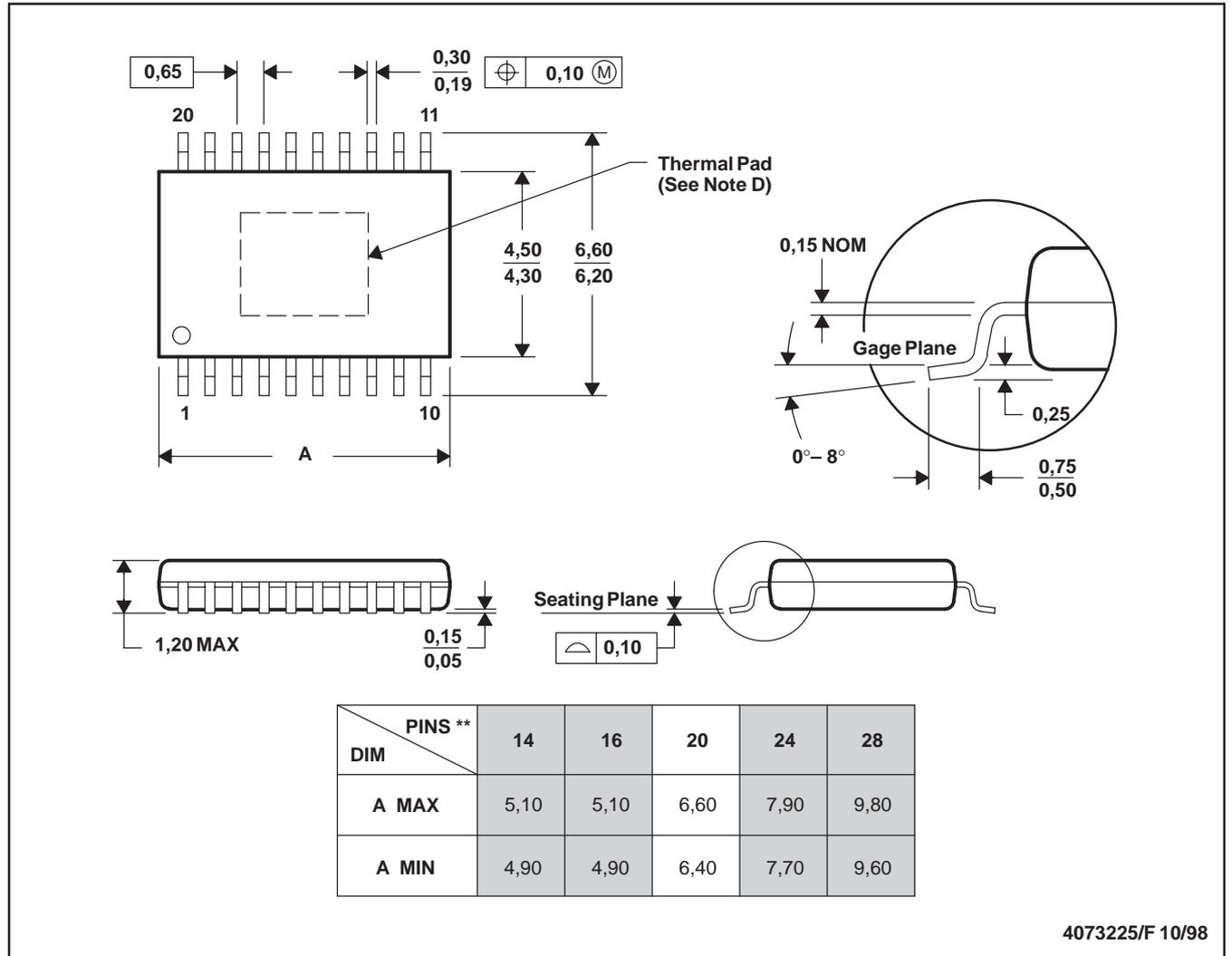
パワー・グッド回路はVSENSEにおける低電圧状態を監視します。VSENSEの電圧が基準電圧より10%下回ると、オープン・ドレインのPWRGD出力がローになります。また、VINがUVLOスレッシュホールド電圧を下回る、あるいはSS/ENAが低い、さらにサーマル・シャットダウンが作動した場合にもPWRGD出力がローになります。VIN  $\geq$  UVLOスレッシュホールド電圧、SS/ENA  $\geq$  イネーブル・スレッシュホールド電圧、およびVSENSE  $>$   $\times 90\%$ の各場合は、オープン・ドレインのPWRGD出力がハイになります。V<sub>ref</sub>の3%に相当するヒステリシス電圧と35μsの立ち上がりエッジのデグリッチ回路が、高周波雑音によるパワー・グッド・コンパレータの誤作動を防止します。

外観

PWP (R-PDSO-G\*\*)

20 PINS SHOWN

PowerPAD™ PLASTIC SMALL-OUTLINE



- 注： A. 直線的な寸法はすべてミリメートルです。  
 B. 本図は通達なしに変更することがあります。  
 C. 本体の寸法はモールド・フラッシュや突起を含みません。  
 D. パッケージの熱特性は、サーマル・パッドを外部プレーンにボンディングすると強化されます。  
 このパッドは電気的かつ熱的にチップの背面と結合します。また、できるかぎり一部のリードとも接続させます。  
 E. JEDEC MO-153の規格に準拠します。

# ご注意

日本テキサス・インスツルメンツ株式会社及びTexas Instruments Incorporated (以下TIといいます)は、TI所定の手続きに従い、あるいはお客様とTIとの間に取引契約が締結されている場合は当該契約条件に従い、その製品を変更し、もしくは製品の製造中止またはサービスの提供を中止することがありますので、お客様は、発注される前に、これから参照しようとする情報が最新かつ完全なものであることを確かなものとするため、最新版の情報を取得するようお勧めします。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また取引契約が締結されていない場合は、ご注文の受諾の際に提示される保証、特許侵害、責任制限に関する条項を含むTIの標準販売契約約款に従って販売されます。

TIは、その製品が、TIの標準保証条件に従い販売時の仕様書に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様書に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TI製部品を使用しているお客様の製品についてはお客様が責任を負っています。

そのようなお客様の製品について想定されうる危険を最小のものとするため、製品固有の障害発生要因もしくは組み合わせによる障害発生要因を減らすための、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、製品の使用用途に関する支援もしくはお客様の製品の設計について責任を負うことはありません。TIは、その製品もしくはサービスが使用される、もしくは使用されている組み合わせ、機械装置、もしくは方法をカバーしている、もしくはそれ等に関連している特許権、著作権、回路配置利用権、その他の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表示もしておりません。TIが第三者の製品もしくはサービスについて情報を提供しているということは、TIが当該製品もしくはサービスを承認、ライセンス、保証もしくは支持することを意味しません。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加え、あるいはその一部のみ、表示もしくは複製することは当該情報に係るTI製品もしくはサービスに対して提供された全ての保証を無効にし、かつ不公正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他と異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2003, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

### 4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上