

FET内蔵のトラッキング/ターミネーション同期PWM スイッチャー(SWIFT™)

特長

- 外部印加の基準電圧をトラック
- 6A出力ソース・シンク電流(連続)時に高効率な、30mΩ, 12AピークのMOSFETスイッチ
- VINの6%から90%までの出力トラッキング範囲
- PWM周波数範囲：
固定時の周波数 350kHz
調整可能な周波数 280kHz-700kHz
- ピーク電流制限とサーマル・シャットダウンによる負荷保護
- 集積ソリューションによる基板面積および部品数の低減

アプリケーション

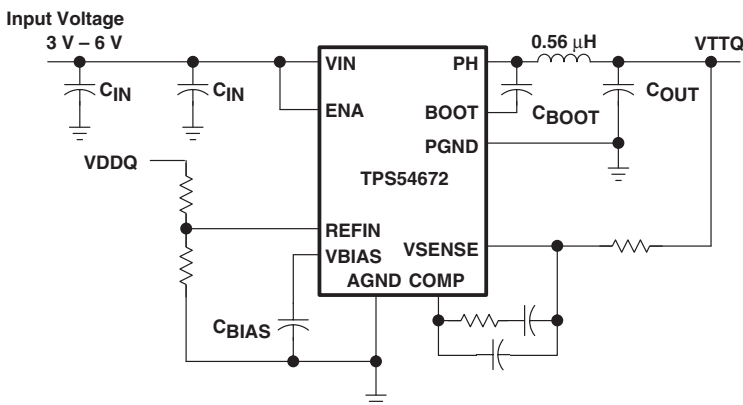
- DDRメモリ用終端電圧
- GTLおよびSSTL高速ロジック・ファミリーの能動終端
- DAC制御の大電流出力段
- 高精度ポイント・オブ・ロード電源

解説

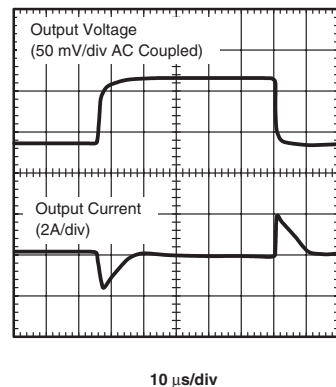
DC/DCレギュレータのSWIFT™ファミリーのひとつであるTPS54672は、トラッキング/終端用同期PWMコンバータであり、必要な能動素子をすべて集積しています。上記の特長に関して、シリコン基盤上に内蔵されるものは以下の通りです。すなわち、過渡状態で優れた特性を発揮し、出力フィルタのLC部品の選択が容易になる高性能誤差アンプ、入力電圧が3Vに達するまでスタート・アップさせない低電圧ロックアウト回路、ラッシュ電流を制限するスロー・スタート回路、さらに、正しい動作状態を示すステータス出力です。

TPS54672は、熱的に強化された28ピンTSSOP(PWP)のPowerPAD™(パワー・パッド)パッケージによるデバイスのため、大きなヒートシンクを必要としません。TIは、評価ボードとSWIFT™デザイナーという設計者用ソフトウェア・ツールを提供しますので、高性能な電源の設計の早期実現を手助けし、積極的な装置開発サイクルに対応できます。

代表的なDDRメモリ終端用レギュレータ回路図



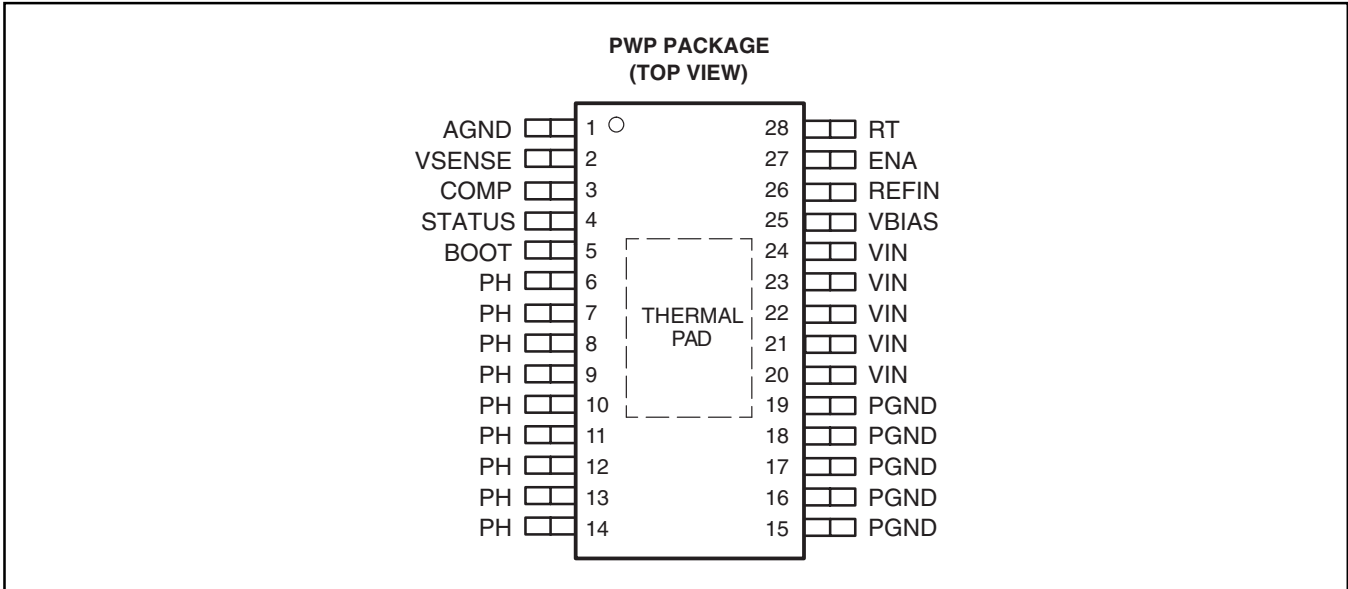
負荷過渡応答



SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

ピン配置



注文情報

	PACKAGE
T_A	PLASTIC HTSSOP (PWP) [†]
-40°C to 85°C	TPS54672PWP

[†] PWPパッケージはテープでリールにしたものもあります。その場合は、R というサフィックスをデバイスタイプに付加願います(すなわち、TPS54672PWPR)。データシートのアプリケーション・セクションにある PowerPAD™の機構図とレイアウトを参照願います。

絶対最大定格(特記ないかぎり無風動作温度範囲)[‡]

Input voltage range, V_I : VIN, ENA	-0.3 V to 7 V
RT	-0.3 V to 6 V
VSENSE, REFIN	-0.3 V to 4 V
BOOT	-0.3 V to 17 V
Output voltage range, V_O : VBIAS, COMP, STATUS	-0.3 V to 7 V
PH	-0.3 V to 10 V
Source current, I_O : PH	Internally Limited
COMP, VBIAS	6 mA
Sink current, I_S : PH	12 A
COMP	6 mA
STATUS	10 mA
Voltage differential, AGND to PGND	±0.6 V
Operating virtual junction temperature range, T_J	-40°C to 125°C
Storage temperature, T_{stg}	-65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	300°C

[‡] 絶対最大定格に記述される以上のストレスを加えると、デバイスは永久破壊されることがあります。これらはストレス定格だけであり、これらの条件あるいは推奨動作条件を超える条件でのデバイスのファンクション動作は含まれません。また、絶対最大定格の条件下に長時間デバイスをさらすと、デバイスの信頼性に影響することがあります。

消費電力定格表

PACKAGE	$T_A \leq 25^\circ\text{C}$ POWER RATING	DERATING FACTOR ABOVE $T_A = 25^\circ\text{C}$	$T_A = 70^\circ\text{C}$ POWER RATING	$T_A = 85^\circ\text{C}$ POWER RATING
28 Pin PWP with solder	3.58 W	0.0358 mW/°C	1.96 W	1.43 W
28 Pin PWP without solder	1.78 W	0.0178 mW/°C	0.98 W	0.71 W

† テスト基板条件

1. 厚さ0.062インチ
 2. 3×3インチ
 3. プリント基板の部品面と半田面に、半田付け用の2オンスの銅配線
 4. プリント基板の部品面と半田面に、半田付け用の銅領域
 5. 1オンスの銅(厚さ0.036mm)のパワーおよびグランド・プレーン
 6. 直径0.33mm, 1.5mm間隔の放熱用ビア(本データシートのアプリケーション・セクションを参照願います。)
 7. パワー・プレーンの熱的な分離
- パッケージのより詳細な情報は、テクニカル・ブリーフ(文献番号SLMA002)を参照願います。

ADDITIONAL 6A SWIFT™ DEVICES, (REFER TO SLVS398 AND SLVS400)

DEVICE	OUTPUT VOLTAGE	DEVICE	OUTPUT VOLTAGE	DEVICE	OUTPUT VOLTAGE
TPS54611	0.9 V	TPS54614	1.8 V	TPS54610	Adjustable
TPS54612	1.2 V	TPS54615	2.5 V		
TPS54613	1.5 V	TPS54616	3.3 V		

電気的特性

特に記述のない限り $T_J = -40^\circ\text{C}$ から $+125^\circ\text{C}$, $V_I = 3\text{V}$ から 6V

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Input voltage range, V_{IN}		3.0		6.0	V
V_{ID} Differential voltage, AGND to PGND		-0.30		0.30	V
$I_{(Q)}$ Quiescent current	Switching freq. = 350 kHz, RT open		10	16	mA
	Switching freq. = 500 kHz, RT = 100 k Ω		16	24	
	Shutdown, SS/ENA = 0 V		1	1.4	
Start threshold voltage, UVLO			2.95	3.00	V
Stop threshold voltage, UVLO		2.70	2.80		V
Hysteresis voltage, UVLO		0.14	0.16		V
Rising and falling edge deglitch, UVLO	See Note 1		2.5		μs
Output voltage, V_{BIAS}	$I_{(VBIAS)} = 0$	2.70	2.80	2.90	V
Output current, V_{BIAS}	See Note 2			100	μA
Cumulative regulation accuracy (relative to REFIN)	$I_O = -6\text{A}$ to 6A , Switching freq. = 350 kHz, REFIN = 1.25 V (see Note 1)	-1.5%		1.5%	
Internally set—free running frequency	RT open	280	350	420	kHz
Externally set—free running frequency range	RT = 68 k Ω to 180 k Ω	280		700	kHz
Externally set—free running frequency accuracy	RT = 100 k Ω (1% resistor to AGND)	460	500	540	kHz
Ramp valley			0.75		V
Ramp amplitude (peak-to-peak)			1		V
Minimum controllable on time	See Note 1			200	ns
Maximum duty cycle	See Note 1	90%			
Error amplifier open loop voltage gain	1 k Ω COMP to AGND (see Note 1)	90	110		dB
Error amplifier unity gain bandwidth	Parallel 10 k Ω 160 pF COMP to AGND (see Note 1)	3	5		MHz

注：1. 設計保証 2. 静的な抵抗負荷のみ

電気的特性(続き)

特に記述のない限り $T_J = -40^{\circ}\text{C}$ から $+125^{\circ}\text{C}$, $V_I = 3\text{V}$ から 6V

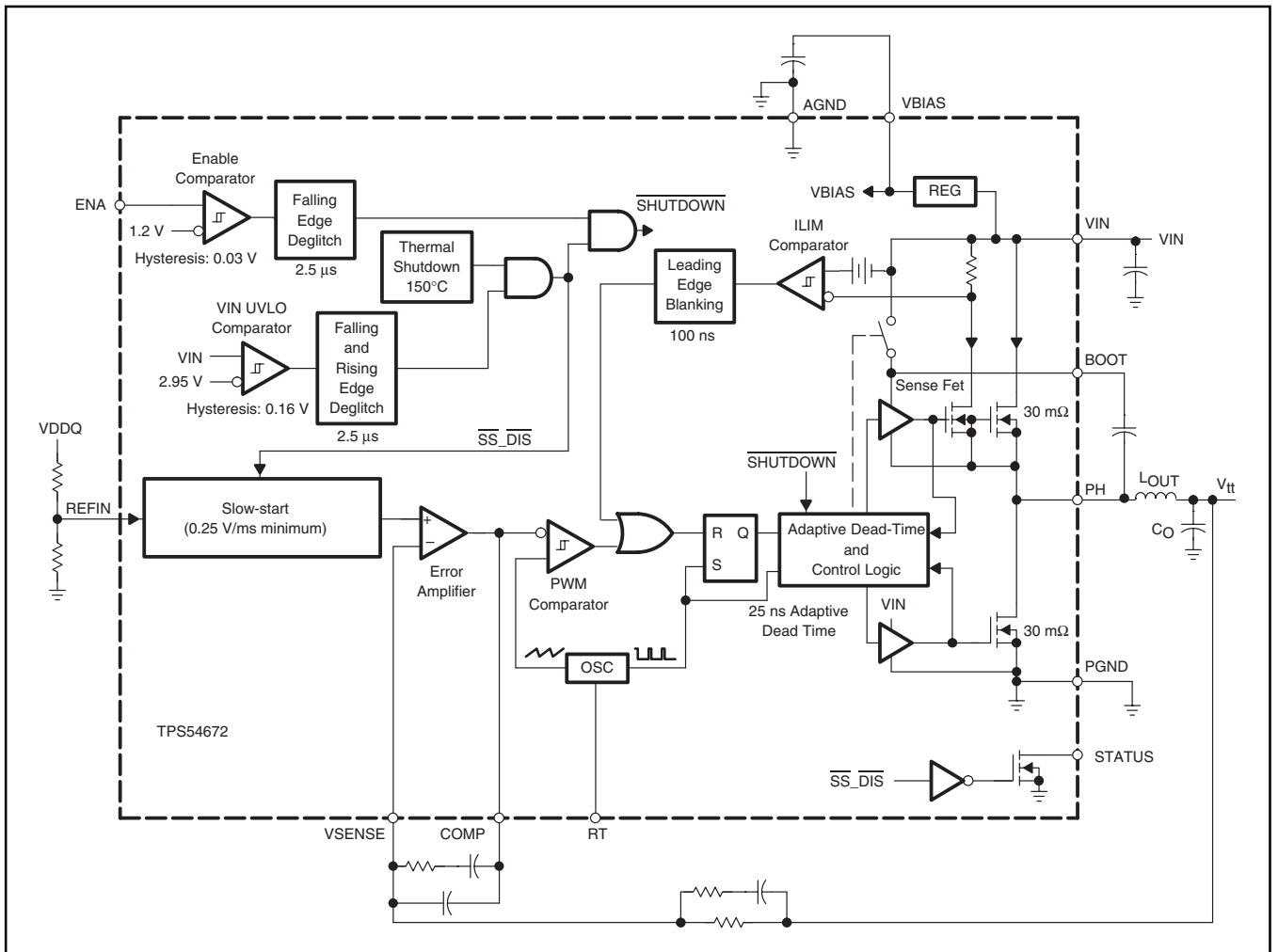
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Error amplifier common mode input voltage range	See Note 1	0		2.85	V
Error amplifier common mode rejection ratio	See Note 1		65		dB
Input bias current, VSENSE	VSENSE = REFIN = 1 V		60	250	nA
Input bias current, REFIN	VSENSE = REFIN = 1.25 V		60	250	nA
Input offset voltage, REFIN	VSENSE = REFIN = 1.25 V	-1.5		1.5	mV
Input voltage range, REFIN	See Note 1	0		1.8	V
Output voltage slew rate (symmetric), COMP		1	1.4		V/ μs
Common mode output voltage range, COMP	$I_O = 3\text{ mA}$			2.65	V
	$I_O = -3\text{ mA}$	0.2			
PWM comparator propagation delay time, PWM comparator input to PH pin (excluding deadtime)	10-mV overdrive (see Note 1)		70	85	ns
Enable threshold voltage, ENA		0.95	1.20	1.40	V
Enable hysteresis voltage, ENA	See Note 1		0.03		V
Falling edge deglitch, ENA	See Note 1		2.5		μs
Leakage current, ENA	$V_I = 5.5\text{ V}$			1	μA
Output saturation voltage, STATUS	$I_{(\text{sink})} = 2.5\text{ mA}$		0.18	0.3	V
Leakage current, STATUS	$V_I = 5.5\text{ V}$			1	μA
Current limit trip point	$V_{IN} = 3\text{ V}$, (see Note 1)	7	10		A
	$V_{IN} = 6\text{ V}$, (see Note 1)	10	12		
Current limit leading edge blanking time			100		ns
Current limit total response time			200		ns
Thermal shutdown trip point	See Note 1	135	150	165	$^{\circ}\text{C}$
Thermal shutdown hysteresis	See Note 1		10		$^{\circ}\text{C}$
$r_{\text{DS(on)}}$ Low/high-side N-MOSFET	$I_O = 6\text{ A}$, $V_I = 6\text{ V}$ (see Note 3)		26	47	$\text{m}\Omega$
	$I_O = 6\text{ A}$, $V_I = 3\text{ V}$ (see Note 3)		36	65	

注：1. 設計保証 2. 静的な抵抗負荷のみ 3. 整合のとれたMOSFETであり、ローサイドの $r_{\text{DS(on)}}$ はテストされ、ハイサイドの $r_{\text{DS(on)}}$ は設計保証

ピンの機能

TERMINAL NAME	NO.	DESCRIPTION
AGND	1	アナログ・グランド。補償網/出力分圧回路、スロー・スタート用コンデンサ、VBIASコンデンサ、およびRT抵抗の各帰線になる。パワー・パッドはAGNDに接続する。
BOOT	5	ブートストラップ入力。0.022μFから0.1μFの低等価直列抵抗のコンデンサをBOOTとPH間に接続し、ハイサイドFETドライバをフローティング駆動する。
COMP	3	誤差アンプ出力。周波数補償網をCOMPからVSENSEに接続する。
ENA	27	イネーブル入力。ロジック・レベルのハイは、発振器、PWM制御回路、MOSFETドライバをイネーブルにする。ロジック・レベルのローは動作をディスエーブルにし、デバイスを静的な低電流状態にする。
PGND	15-19	パワー・グランド。ローサイド・ドライバとパワー・MOSFET用の大電流が流れる帰線。大面積の銅パターンのPGNDを入出力電源の帰線、および入出力コンデンサの負側に接続する。また、AGNDとの1点アースを推奨する。
PH	6-14	フェーズ出力。内部のハイ・ローサイドの両パワー・MOSFETおよび出力インダクタの結合点。
REFIN	26	外部基準電圧入力。スロー・スタートおよび誤差アンプへのハイ・インピーダンス入力。
RT	28	周波数設定する抵抗の入力。RTとAGND間に抵抗を接続して、スイッチング周波数 f_s を設定する。
STATUS	4	オープン・ドレイン出力。VIN < UVLOスレッショールド電圧、VBIASおよび内部基準電圧が立ち上がっていない、あるいは内部シャットダウン信号がアクティブの各場合にロー。それ以外ではSTATUSはハイ。
VBIAS	25	内部バイアス・レギュレータの出力。内部回路にレギュレーションした電圧を供給。VBIASとAGNDの両ピン間に高品質・低等価直列抵抗の0.1vFから1.0μFのセラミック・コンデンサを接続してバイパスする。
VIN	20-24	パワー・MOSFETスイッチと内部バイアス・レギュレータに供給する入力。VINピンとPGNDピン間で、高品質・低等価直列抵抗の10μFのセラミック・コンデンサをデバイス・パッケージの極力近くに接続してバイパスする。
VSENSE	2	誤差アンプの反転入力。出力電圧からの補償網および出力分圧回路を接続する。

内部ブロック図



詳細解説

低電圧ロックアウト(UVLO)

TPS54672は低電圧ロックアウト回路を備えており、入力電圧(VIN)が不十分な時にデバイスをディスエーブルに保ちます。電源投入中は、VINがUVLOのスレッシュホールド電圧(公称値2.95V)を超えるまで、内部回路を停止状態に維持します。ひとたびVINがUVLOスタートのスレッシュホールド電圧に達すると、デバイスはスタート・アップを始めます。デバイスは、VINがUVLOストップのスレッシュホールド電圧(公称値2.8V)を下回るまで動作します。このようなUVLOコンパレータのヒステリシスと、2.5μSの立ち上がり・立ち下がりエッジのデグリッチ回路が、VINに乗った雑音によるデバイスのシャットダウンの可能性を低減します。

イネーブル(ENA)

イネーブル(ENA)ピンは、TPS54672をイネーブルあるいはディスエーブル(シャットダウン)に制御します。1.4V以上の入力ではTPS54672はイネーブルになります。また、0.9V以下の入力ではデバイス動作がディスエーブルになります。これらは標準的なロジックのスレッシュホールド電圧ではありませんが、TTL出力と互換性があります。

ENAがローの場合、発振器、スロー・スタート、PWM制御回路、およびMOSFETドライバはディスエーブルされ、デバイスのスタート・アップに備えた初期状態になっています。デバイスのスタート・アップはENAのローからハイへの遷移時に開始し、同時に出力電圧が0Vから始まります。

スロー・スタート

スロー・スタート回路は、スタート・アップ時の出力電圧のスロープ(傾斜)を制御し、ラッシュ電流を制限します。内部のスロー・スタート・レートは0.25V/ms(公称値)であり、その最速レートは0.35V/msになります。REFINの電圧が内部スロープより高速で立ち上がる場合、あるいはデバイス動作のイネーブル時にすでにREFINに電圧が印加されている場合、出力電圧は内部レートに従って立ち上がります。逆に、REFINがもっとゆっくり立ち上がる場合、出力電圧はREFINとほぼ等しいレートで立ち上がります。

VBIASレギュレータ(VBIAS)

VBIASレギュレータは、内部アナログ・デジタルの両ブロックに、接合温度と入力電圧の変動に依存しない安定した電源を供給します。VBIASピンには、高品質かつ低等価直列抵抗のセラミックのバイパス・コンデンサが必要です。温度変動に対して安定なX7RあるいはX5Rクラスの誘電体を推奨します。バイパス・コンデンサは極力VBIASピンの近くに配置し、AGNDに接地します。

VBIASに外部の負荷をつけることは可能ですが、内部回路が最小2.70VのVBIASを必要なことと、VBIASに接続した外部負荷によるACあるいはデジタル・スイッチング雑音が、特性を劣化させることに注意を要します。VBIASピンは外部回路の基準電圧として使うこともできます。

発振周波数(RT)

発振周波数は、RTピンをオープン(フローティング)にすると、内部的に固定値の350kHzに設定されます。アプリケーションによって異なる周波数が必要な場合は、RTピンとグラウンド間に抵抗を接続して、外部的に280kHzから700kHzに調整できます。動作周波数は式(1)で近似できます。ここで、RはRTとAGND間の抵抗です。

$$\text{Switching Frequency} = \frac{100 \text{ k}\Omega}{R} \times 500 \text{ [kHz]} \quad (1)$$

下表に周波数選択の組合せを要約します。

FREE RUNNING FREQUENCY	RT PIN
350 kHz, internally set	Float
Externally set 280 kHz to 700 kHz	R = 68 k to 180 k

誤差アンプ

高性能な誤差アンプは、広帯域な5MHz帯域幅、1.5mVの低オフセット、1.4V/μSのスルーレート、およびグラウンド・レールを含む入力範囲です。これによって、TPS54672を他の大部分のDC/DCコンバータよりも優れたものにしていきます。さらに、個々のアプリケーションに要する出力LCフィルタ用部品を広範に使える柔軟性をユーザーに与えます。外付けの補償部品を用いて、タイプ2あるいはタイプ3の補償方式が採用できます。

REFINの入力範囲は、過渡状態で0%のデューティ・サイクルが可能なグラウンド・レベルを含みます。ただし、電圧が0.84V以下時の安定状態のレギュレーション精度は、制御可能な最小オン時間による限度があることに注意願います。

PWM制御

誤差アンプ出力、発信器、および電流制限回路からの各信号は、PWM制御ロジック回路で処理されます。内部ブロック図を参照すると、制御ロジック回路にはPWMコンパレータ、ORゲート、PWMラッチ、および適応性の高いデッドタイムと制御ロジック・ブロックの一部があります。電流制限のスレッシュホールド電圧より低い安定動作では、PWMコンパレータ出力と発振器パルスが交互にPWMラッチをリセットおよびセットします。PWMラッチがセットされると、ローサイドFETが発振器パルス幅による最小期間だけオンします。この間、PWMのランプ波形は谷の電圧値まで急速に放電します。次にランプ波形が充電を始めると、ローサイドFETはオフし、ハイサイドFETがオンします。PWMランプ波形が誤差アンプの出力電圧を超えると、PWMコンパレータがラッチをリセットし、その結果ハイサイドFETがオフし、ローサイドFETがオンします。そしてローサイドFETは、次の発振器パルスがPWMランプ波形を放電するまでオンを続けます。

過渡状態では、誤差アンプ出力がPWMランプ波形の谷電圧以下やピーク電圧以上になるかもしれません。誤差アンプ出力が高い場合、PWMラッチはリセットされず、発振器パルスが制御ロジックにハイサイドFETのオフとローサイドFETのオンの信号を出すまで、ハイサイドFETはオンを維持します。このとき、出力電圧がレギュレーションの設定値に達するまで、デバイスはVSENSEにはほぼREFINに等しい電圧を供給しながら最大デューティで動作します。誤差アンプ出力が低い場合、PWMラッチは継続的にリセットされ、ハイサイドFETはオンしません。このときローサイドFETは、VSENSEの電圧が低下してPWMコンパレータの状態を反転させるまでオンし続けます。TPS54672は、出力がレギュレーションの設定値に達するまで連続的に電流をシンクできます。

電流制限コンパレータが100nS以上動作すると、PWMランプ波形が誤差アンプ出力を超える前にPWMラッチをリセットします。そして、ハイサイドFETはオフし、ローサイドFETはオンして、出力電流を減少します。この過程は、電流制限コンパレータが動作するサイクルごとに行われます。

デッドタイム制御とMOSFETドライバ

適応性の高いデッドタイム制御は、MOSFETドライバのターン・オン時間を積極的に制御して、両方のNチャンネル・パワーMOSFETのスイッチング遷移時における貫通電流を防止します。ハイサイド・ドライバは、ローサイドFETのゲート電圧が2V以下になるまでオンしません。また、ローサイド・ドライバは、パワーMOSFETの結合点(PHピン)の電圧が2V以下になるまでオンしません。

ハイサイドとローサイドの両ドライバは300mAのソースおよびシンク能力で設計され、パワーMOSFETのゲートを急速にドライブできます。ローサイド・ドライバはVINから電源を供給され、ハイサイド・ドライバはBOOTピンから電源を供給されます。そのブートストラップ回路は、外付けのBOOTコンデンサと、VINピンとBOOTピン間の内部にある2.5Ωのブートストラップ・スイッチを用いています。このブートストラップ・スイッチは、ローサイドFETがオンしてBOOTコンデンサを充電するときにはオンします。ブートストラップ・スイッチの低抵抗によりドライブ効率が高まり、また、外付けの部品点数を節約できます。

過電流保護

電流制限はサイクルごとになされ、ハイサイドMOSFETの前のセンス用FETと、過電流スレッシュホールド電圧をプリセットしている差動アンプを用いています。センス用FETの電圧が過電流スレッシュホールド電圧を超えると、その200ns以内にハイサイドMOSFETがオフします。100nsの立ち上がりエッジ・ブランキング回路が、ハイサイドMOSFETがオンするときの電流制限の誤作動を防止します。電流制限の検出は、VINからPHへ流れる電流が出力フィルタに供給される場合のみに行われます。電流をシンクする場合の過負荷保護は、サーマル・シャットダウンで行われます。

サーマル・シャットダウン

デバイスの接合温度が150°Cを超えると、サーマル・シャットダウンがパワーMOSFETをオフし、制御回路をディスエーブルにします。接合温度がサーマル・シャットダウンの動作点より10°C低下すると、デバイスはシャットダウン状態から自動的に解放され、スロー・スタート回路の制御下でスタート・アップします。

ステータス(STATUS)

STATUSピンはオープン・ドレイン出力であり、デバイスの内部状態が適正動作に十分であることを示します。STATUSはシステム制御あるいは監視回路に接続して、ターミネーションあるいはトラッキング・レギュレータとしてのスタート・アップ準備完了状態を返すのに使えます。また、STATUSは、TPS54672の動作時あるいはイネーブル準備完了時にハイ・インピーダンスになります。さらに、STATUSは以下のいずれかの状況が発生するとアクティブ(ロー)になります。

- VIN < UVLOスレッシュホールド電圧
- VBIASあるいは内部基準電圧が不十分である。
- サーマル・シャットダウンが動作している。

代表的特性

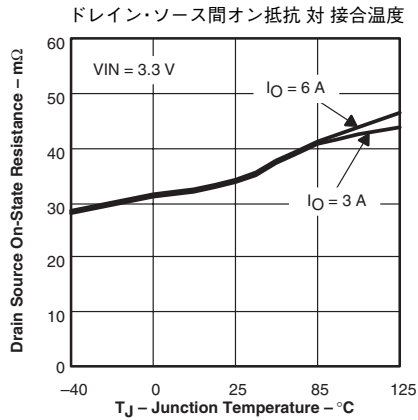


図1

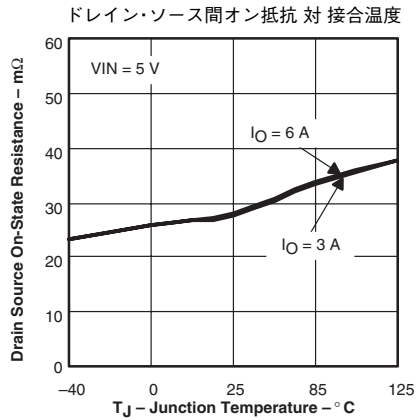


図2

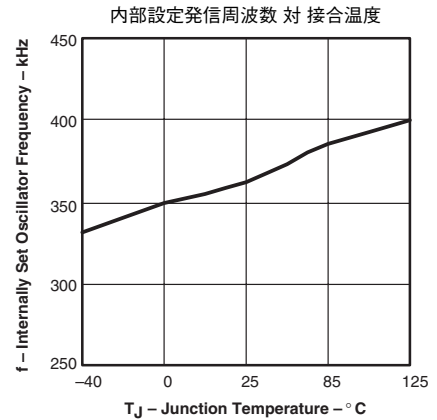


図3

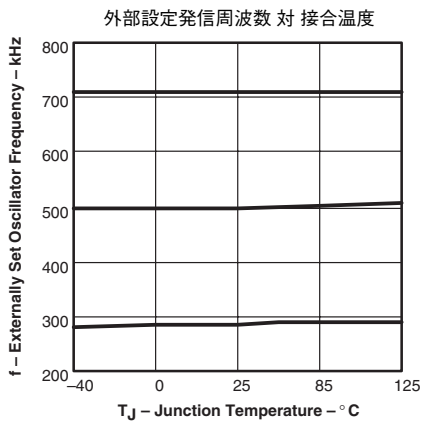


図4

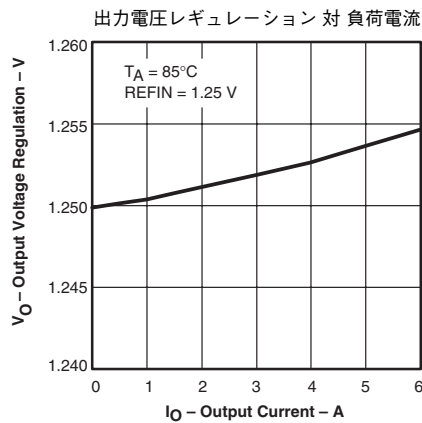


図5

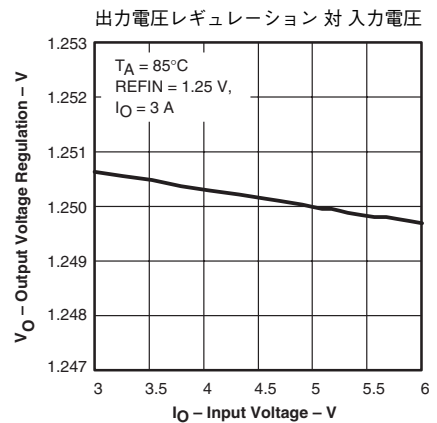


図6

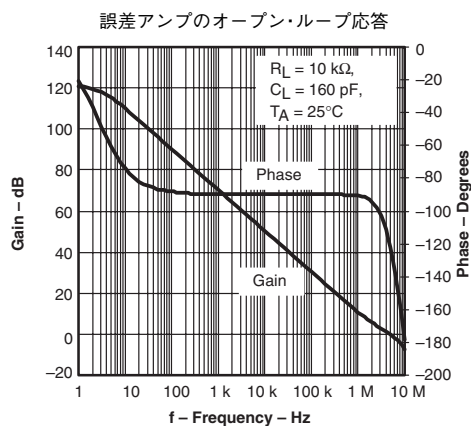


図7

アプリケーション情報

Figure9はTPS54672を用いた代表的なDDRメモリ、あるいはGTLバス終端アプリケーションの回路図を示します。TPS54672(図中のU1)は、6A以上の出力電流を供給できます。適正な動作のために、ICパッケージの底部の露出したサーマル・パワー・パッドをプリント基板へ直接半田付けする必要があります。

部品選定

本設計例で使用した部品の定数は、最適負荷過渡応答とトラックング応答を実現するように選びました。より詳細な設計情報は、www.ti.com で入手できます。

入力電圧

入力電圧範囲は3から5.5VDCです。入力フィルタ(C4)は10μFのセラミック・コンデンサ(太陽誘電)です。同じく10μFのセラミック・コンデンサ(太陽誘電)であるC8は、TPS54672への入力電圧を高周波デカップリングします。C8は極力デバイスの近くに配置する必要があります。また、リップル電流はC8とC4の双方と、そのPGNDへの帰路を伝わりませんが、それが出力コンデンサC7, C10を還流しないようにします。

帰還回路

部品R1, R2, R3, C1, C2, およびC3は、ループ補償回路網を形成しています。本設計ではタイプ3のトポロジーを用いています。補償回路網は、出力フィルタのインダクタおよびコンデンサとともに、135kHzのクロスオーバー周波数で50°の位相余裕を与えています。

動作周波数

周波数を設定するには、RT(28ピン)とアナログ・グランド間に68kΩから180 kΩの抵抗を接続します。あるいは、RTをオープンにしてデフォルト値の350kHzを選びます。抵抗値は式(2)を用いて計算できます。

$$R = \frac{500 \text{ kHz}}{\text{SwitchingFrequency}} \times 100 \text{ [k}\Omega\text{]} \quad (2)$$

出力フィルタ

出力フィルタは、0.56μHのCoilcraft社製インダクタ(D01813P-561HC)と、2個の150μFのCornell Dublier社製コンデンサ(ESRD151MR06R)で構成されています。このインダクタは低DC抵抗タイプのもので、使用しているコンデンサは4VのPOSCAP(チップ型のタンタル電解)であり、等価直列抵抗が最大0.040Ωのもので、

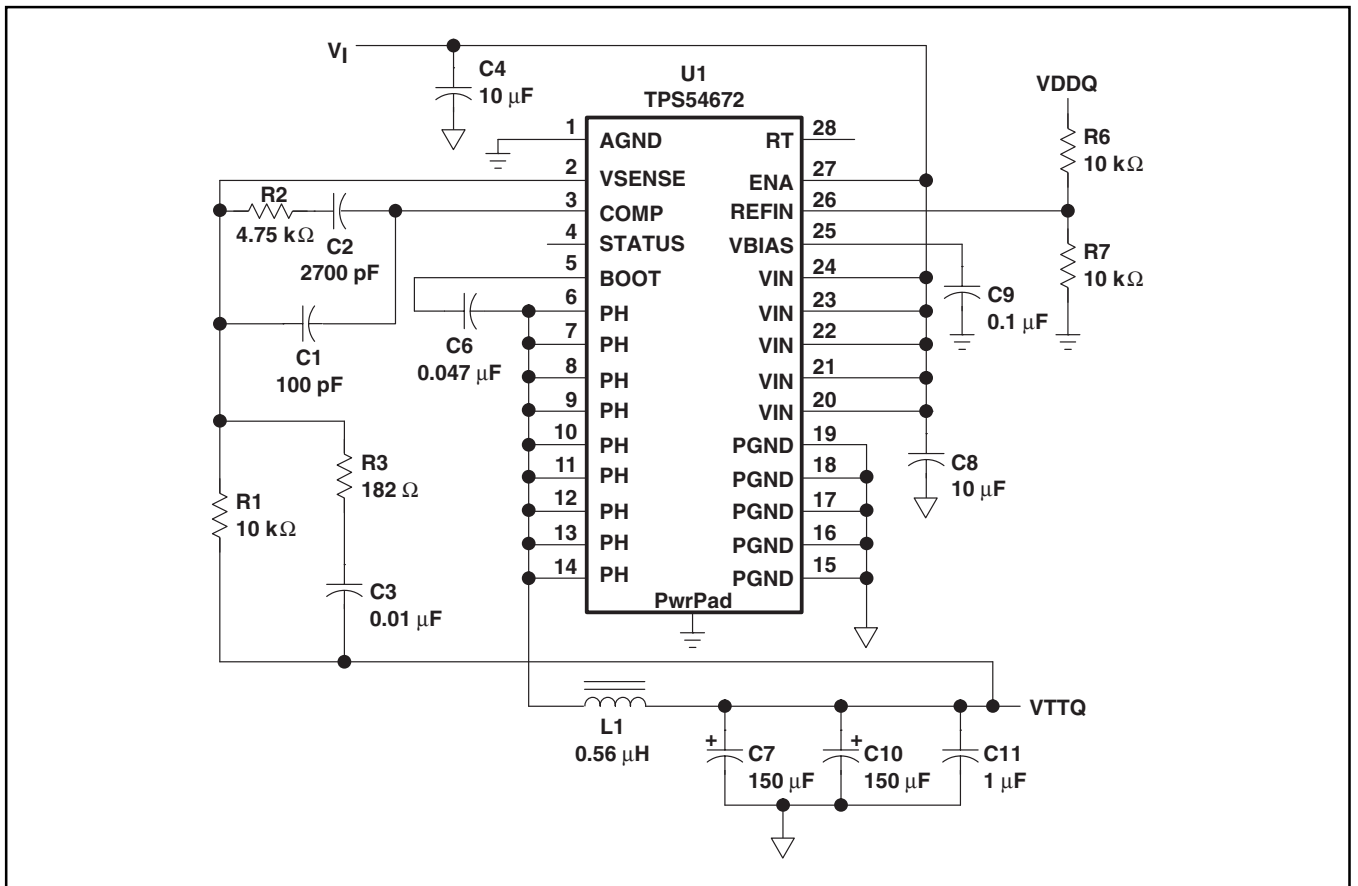


図8. 外形サイズと特性を最適化したアプリケーション回路

グラウンドのとりかた

回路特性の最適化のためには、グラウンドを適切にとることが重要です。本設計ではアナログとパワーの両グラウンドを分離し、これらを1点で接続しています。パワー・グラウンドはTPS54672のPGNDピン(15-19)とともに、入出力フィルタのコンデンサの負側リードを接続しています。回路の他の全グラウンド・ピンは、TPS54672のAGNDピンおよびサーマル・パワー・パッドとともにアナログ・グラウンドに接続しています。アナログとパワーの両グラウンドの1点接続はICピンの直近で可能であり、あるいは、出力フィルタ用コンデンサの負側リードの近くでも接続できます。そのようにすると、出力レギュレーションの精度をわずかに改善できます。いずれの場合も、入力リップル電流の帰路を確実に除去する必要があります。AGNDピン(あるいはパワー・パッド)とPGNDピン間の電位差を300mVpp以下にして、スプリアス動作を除去します。これに関して、以下のユーザー・ガイドのレイアウト例を参照願います。

TPS54672EVM, TPS54610EVM (SLVU054), TPS54614EVM (SLVU053)

熱特性に関するレイアウトの考察

最大負荷電流での動作のため、アナログ・グラウンド・プレーンには適当な放熱領域が必要です。それには、1オンスの銅による3インチ×3インチのプレーンを推奨します。これは必須というわけではなく、周囲温度と空気流に依存します。ほとんどのアプリケーションには内部グラウンド・プレーンの広い領域があり、パワー・パッドはその中で最大面積のものに接続します。部品面や半田面にある他の領域も放熱に寄与するので、6A以上の動作時はすべての領域を放熱に使用します。パワー・パッドの露出領域とアナログ・グラウンド・プレーン層との接続には、直径0.013インチのヴィアを用いて、ヴィアによる半田の上がりを取り除きます。パワー・パッド領域に8個のヴィアを作り、さらにデバイス・パッケージの直下に4個のヴィアを作ります。このパッケージ直下のヴィアのサイズは、露出したサーマル・パッド領域とは違って、0.018インチまで拡張できます。推奨するこれら12個のヴィアに加えて、熱特性を強化するヴィアをデバイス・パッケージの直下以外の領域にも作ります。

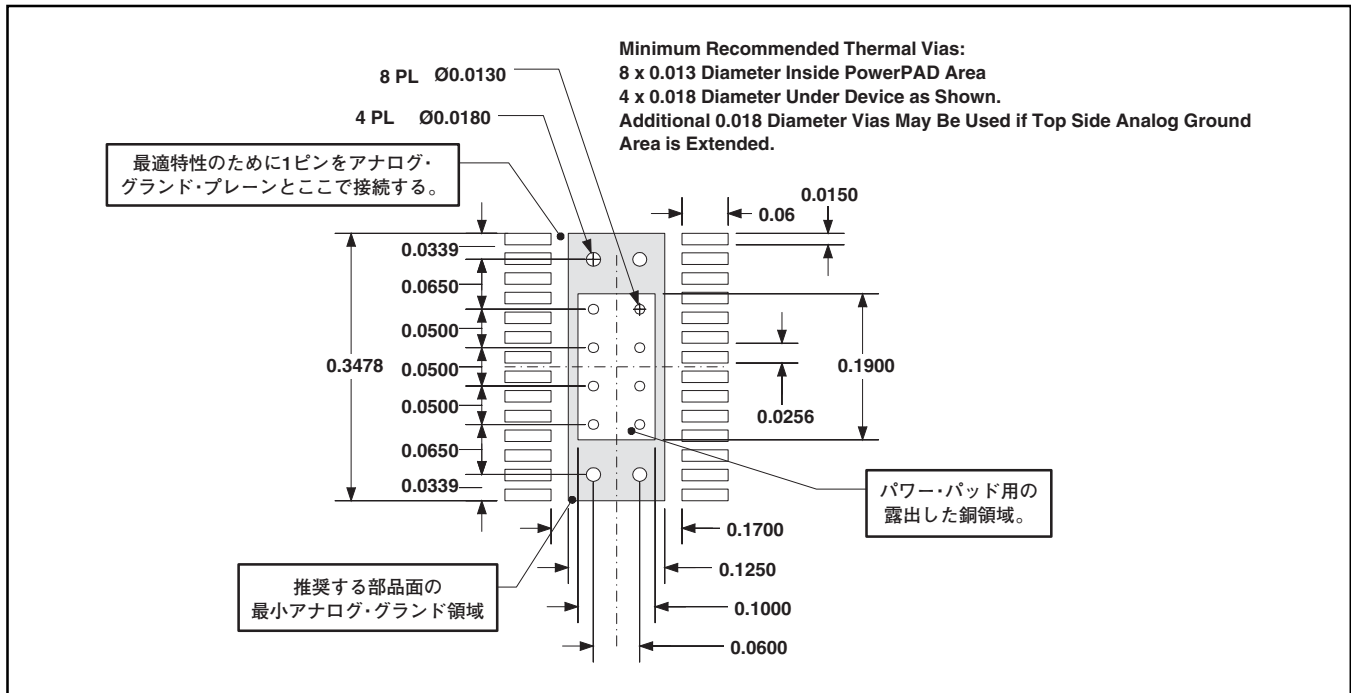


図9. 28ピンPWPパワー・パッド用の推奨ランド・パターン

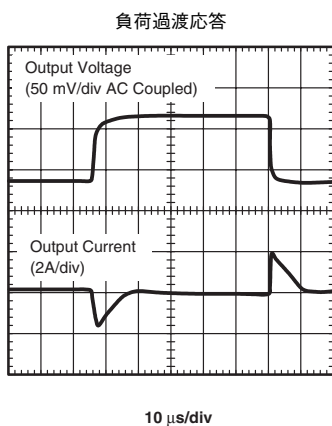


図10

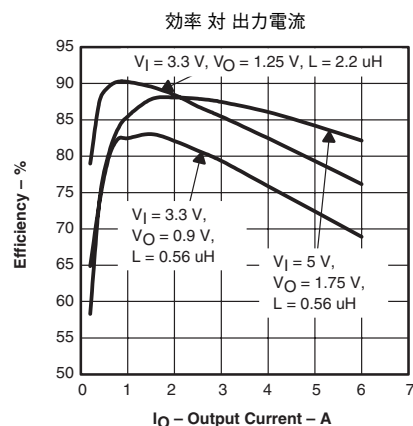


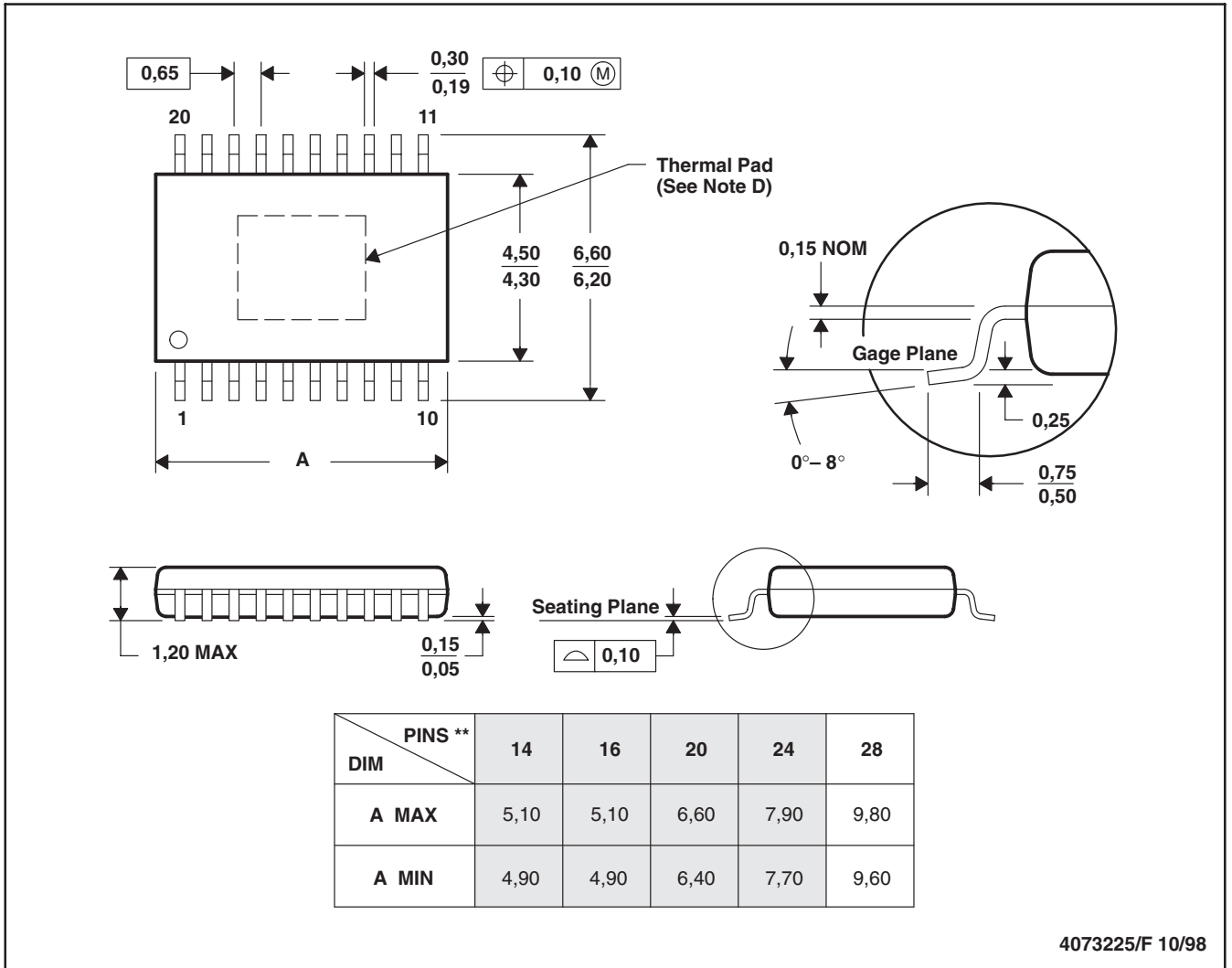
図11

外観

PWP (R-PDSO-G**)

PowerPAD™ PLASTIC SMALL-OUTLINE

20 PINS SHOWN



- 注：A. 直線的な寸法はすべてミリメートルです。
- B. 本図は通達なしに変更することがあります。
- C. 本体の寸法はモールド・フラッシュや突起を含みません。
- D. パッケージの熱特性は、サーマル・パッドを外部プレーンにボンディングすると強化されます。
このパッドは電氣的かつ熱的にチップの背面と結合します。また、一部のリードと接続している場合もあります。
- E. JEDEC MO-153の規格に準拠します。

ご注意

日本テキサス・インスツルメンツ株式会社及びTexas Instruments Incorporated (以下TIといいます)は、TI所定の手続きに従い、あるいはお客様とTIとの間に取引契約が締結されている場合は当該契約条件に従い、その製品を変更し、もしくは製品の製造中止またはサービスの提供を中止することがありますので、お客様は、発注される前に、これから参照しようとする情報が最新かつ完全なものであることを確かなものとするため、最新版の情報を取得するようお勧めします。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また取引契約が締結されていない場合は、ご注文の受諾の際に提示される保証、特許侵害、責任制限に関する条項を含むTIの標準販売契約約款に従って販売されます。

TIは、その製品が、TIの標準保証条件に従い販売時の仕様書に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様書に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TI製部品を使用しているお客様の製品についてはお客様が責任を負っています。

そのようなお客様の製品について想定されうる危険を最小のものとするため、製品固有の障害発生要因もしくは組み合わせによる障害発生要因を減らすための、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、製品の使用用途に関する支援もしくはお客様の製品の設計について責任を負うことはありません。TIは、その製品もしくはサービスが使用される、もしくは使用されている組み合わせ、機械装置、もしくは方法をカバーしている、もしくはそれ等に関連している特許権、著作権、回路配置利用権、その他の知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表示もしておりません。TIが第三者の製品もしくはサービスについて情報を提供しているということは、TIが当該製品もしくはサービスを承認、ライセンス、保証もしくは支持することを意味しません。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付られた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加え、あるいはその一部のみ、表示もしくは複製することは当該情報に係るTI製品もしくはサービスに対して提供された全ての保証を無効にし、かつ不公正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他と異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2003, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上