

シーケンス制御用 FET内蔵 (SWIFT™) 3V~6V入力、 3A出力トラッキング同期整流式バックPWMスイッチャ

特長

- 電源立ち上がり/立下りトラッキング
- オン抵抗60mΩのMOSFETスイッチ内蔵により3A連続ソース/シンク出力電流で高効率を実現
- 広いPWM周波数範囲
固定350kHzまたは可変280kHz~700kHz
- パワーグッド及びイネーブル機能
- ピーク電流制限による負荷保護及びサーマル・シャットダウン機能
- 集積化によるボード面積と部品点数の削減

アプリケーション

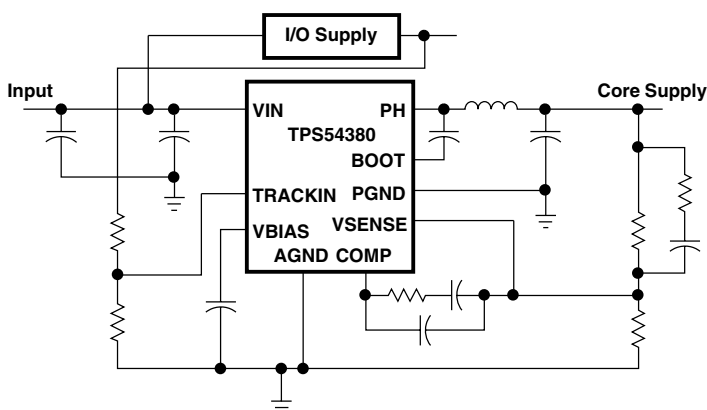
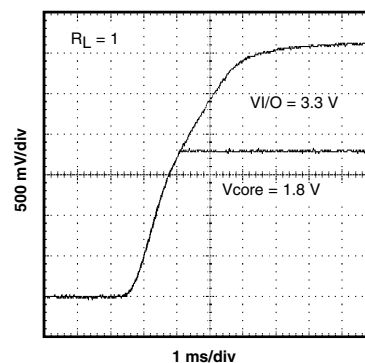
- 低電圧、高密度の分散型電源システム
- シーケンスを要する高性能DSP、FPGA、ASIC、マイクロプロセッサ用ポイント・オブ・ロード (POL)
- ブロードバンド、ネットワーク、光通信インフラストラクチャ

概要

TPS54380は、DC/DCレギュレータであるSWIFT™ファミリを構成する、低入力電圧、大電流出力の同期整流式バックPWMコンバータで、必要とされる能動部品を全て内蔵しています。他のレギュレータと組み合わせてTRACKINピンを使用すると電源の同時立ち上げ/立ち下げが容易に実現できます。特長に記載されている下地となっているものは、出力フィルタのL,C部品を選択する際に最大の性能と柔軟性を与える真に高性能な誤差増幅器、入力電圧が3Vに達するまで起動を抑える低電圧ロックアウト回路、突入電流を制限する内部または外部で設定されるスロースタート回路、プロセッサ/ロジックのリセットに有用なパワーグッド出力などです。


TPS54380は、熱特性を改善した20ピンのTSSOP (PWP) PowerPAD™パッケージで供給されており、大型のヒートシンクは不要です。TIは評価モジュールとSWIFT™デザイナー・ソフトウェアツールを提供しており、装置の短期間の開発サイクルにかなうような高性能な電源設計が迅速に行なわれることを支援しています。

SIMPLIFIED SCHEMATIC


START-UP WAVEFORM


SWIFT、PowerPAD、SpActおよびBurr-Brownは、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

ORDERING INFORMATION

T _A	OUTPUT VOLTAGE	PACKAGE	PART NUMBER
-40°C to 85°C	0.9 V to 3.3 V	Plastic HTSSOP (PWP) ⁽¹⁾	TPS54380PWP

(1) PWPパッケージはテープ/リールでも供給できます。デバイス・タイプの末尾にRを付けてください(すなわち、TPS54380PWPR)。PowerPADの図面及びレイアウト情報についてはこのデータシートのアプリケーションの節を参照してください。

ABSOLUTE MAXIMUM RATINGS

特に記述のない限り、動作温度⁽¹⁾

		TPS54380	UNIT
Input voltage range, V _I	VIN, ENA	-0.3 V to 7 V	V
	RT	-0.3 V to 6 V	
	VSENSE, TRACKIN	-0.3 V to 4V	
	BOOT	-0.3 V to 17 V	
Output voltage range, V _O	VBIAS, COMP, PWRGD	-0.3 V to 7 V	V
	PH	-0.6 V to 10 V	
Source current, I _O	PH	Internally Limited	
	COMP, VBIAS	6	mA
Sink current, I _S	PH	6	A
	COMP	6	mA
	ENA, PWRGD	10	
Voltage differential	AGND to PGND	±0.3	V
Operating virtual junction temperature range, T _J		-40 to 125	°C
Storage temperature, T _{stg}		-65 to 150	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds		300	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

	MIN	NOM	MAX	UNIT
Input voltage, V _I	3		6	V
Operating junction temperature, T _J	-40		125	°C

PACKAGE	THERMAL IMPEDANCE JUNCTION-TO-AMBIENT	T _A = 25°C POWER RATING	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
20 Pin PWP with solder	26 °C/W	3.85 W(3)	2.12 W	1.54 W
20 Pin PWP without solder	57.5 °C/W	1.73 W	0.96 W	0.69 W

(1) PWPパッケージの詳細な情報についてはTIテクニカル・ブリーフ文献番号SLMA002を参照してください。

(2) テスト・ボードの条件は以下の通りです。

- サイズ: 3インチ×3インチ、2層、厚さ0.062インチ
- PCBの上面に重量1.5オンスの銅配線
- PCBの底面に重量1.5オンスの銅のグランド・プレーン
- サーマル・ビアは10個 (このデータシートのアプリケーション情報の“推奨ランド・パターン”を参照してください)

(3) 最大消費電力は 過電流保護により制限されることがあります。

ELECTRICAL CHARACTERISTICS

over operating free-air temperature range unless otherwise noted

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SUPPLY VOLTAGE, V_{IN}					
Input voltage range, V_{IN}		3.0		6.0	V
$I_{(Q)}$ Quiescent current	$f_S = 350$ kHz, RT open, PH pin open		6.2	9.6	mA
	$f_S = 500$ kHz, RT = 100 k Ω , PH pin open		8.4	12.8	
	Shutdown, ENA = 0 V		1	1.4	
UNDER VOLTAGE LOCK OUT					
Start threshold voltage, UVLO			2.95	3.0	V
Stop threshold voltage, UVLO		2.70	2.80		V
Hysteresis voltage, UVLO		0.14	0.16		V
Rising and falling edge deglitch, UVLO ⁽¹⁾			2.5		μ s
BIAS VOLTAGE					
Output voltage, VBIAS	$I_{(VBIAS)} = 0$	2.70	2.80	2.90	V
Output current, VBIAS ⁽²⁾				100	μ A
CUMULATIVE REFERENCE					
V_{ref} Accuracy		0.882	0.891	0.900	V
REGULATION					
Line regulation ⁽¹⁾⁽³⁾	$I_L = 1.5$ A, $f_S = 350$ kHz, $T_J = 85^\circ$ C			0.07	%V
	$I_L = 1.5$ A, $f_S = 550$ kHz, $T_J = 85^\circ$ C			0.07	
Load regulation ⁽¹⁾⁽³⁾	$I_L = 0$ A to 3 A, $f_S = 350$ kHz, $T_J = 85^\circ$ C			0.03	%A
	$I_L = 0$ A to 3 A, $f_S = 550$ kHz, $T_J = 85^\circ$ C			0.03	
OSCILLATOR					
Internally set—free running frequency	RT open	280	350	420	kHz
Externally set—free running frequency range	RT = 180 k Ω (1% resistor to AGND) ⁽¹⁾	252	280	308	kHz
	RT = 100 k Ω (1% resistor to AGND)	460	500	540	
	RT = 68 k Ω (1% resistor to AGND) ⁽¹⁾	663	700	762	
Ramp valley ⁽¹⁾			0.75		V
Ramp amplitude (peak-to-peak) ⁽¹⁾			1		V
Minimum controllable on time ⁽¹⁾				200	ns
Maximum duty cycle		90%			

(1) 設計で規定されています。

(2) 抵抗性静負荷のみの場合です。

(3) 図9の回路での規定です。

ELECTRICAL CHARACTERISTICS (continued)

over operating free-air temperature range unless otherwise noted

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
ERROR AMPLIFIER					
Error amplifier open loop voltage gain	1 k Ω COMP to AGND ⁽¹⁾	90	110		dB
Error amplifier unity gain bandwidth	Parallel 10 k Ω , 160 pF COMP to AGND ⁽¹⁾	3	5		MHz
Error amplifier common mode input voltage range	Powered by internal LDO ⁽¹⁾	0		VBIAS	V
Input bias current, VSENSE	VSENSE = Vref		60	250	nA
Output voltage slew rate (symmetric), COMP ⁽¹⁾		1.0	1.4		V/ μ s
PWM COMPARATOR					
PWM comparator propagation delay time, PWM comparator input to PH pin (excluding deadtime)	10-mV overdrive ⁽¹⁾		70	85	ns
ENABLE					
Enable threshold voltage, ENA		0.82	1.20	1.40	V
Enable hysteresis voltage, ENA			0.03		V
Falling edge deglitch, ENA ⁽¹⁾			2.5		μ s
Leakage current, ENA	V _I = 5.5 V			1	μ A
POWER GOOD					
Power good threshold voltage	VSENSE falling		90		%V _{ref}
Power good hysteresis voltage ⁽¹⁾			3		%V _{ref}
Power good falling edge deglitch ⁽¹⁾			35		μ s
Output saturation voltage, PWRGD	I _(sink) = 2.5 mA		0.18	0.3	V
Leakage current, PWRGD	V _I = 5.5 V			1	μ A
CURRENT LIMIT					
Current limit trip point	V _I = 3 V Output shorted ⁽¹⁾	4	6.5		A
	V _I = 6 V Output shorted ⁽¹⁾	4.5	7.5		
Current limit leading edge blanking time ⁽¹⁾			100		ns
Current limit total response time ⁽¹⁾			200		ns
THERMAL SHUTDOWN					
Thermal shutdown trip point ⁽¹⁾		135	150	165	$^{\circ}$ C
Thermal shutdown hysteresis ⁽¹⁾			10		$^{\circ}$ C
OUTPUT POWER MOSFETS					
r _{DS(on)} Power MOSFET switches	V _I = 6 V ⁽⁴⁾		59	88	m Ω
	V _I = 3 V ⁽⁴⁾		85	136	
TRACKIN					
Input offset, TRACKIN	VSENSE = TRACKIN = 1.25 V ⁽¹⁾	-1.5		1.5	mV
Input voltage range, TRACKIN	See Note 1	0		V _{ref}	V

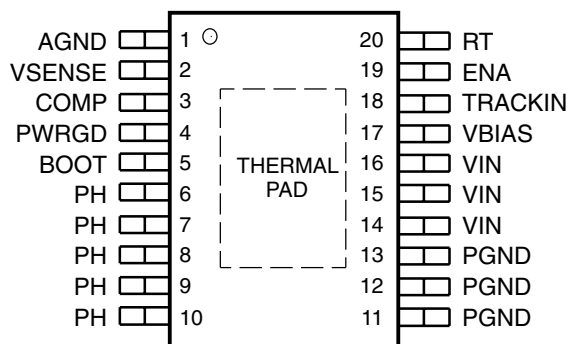
(1) 設計で規定されています。

(2) 抵抗性静負荷のみの場合です。

(3) 図9の回路での規定です。

(4) 一対のMOSFETのうちローサイド側のオン抵抗はテストで、ハイサイド側のオン抵抗は設計で規定されています。

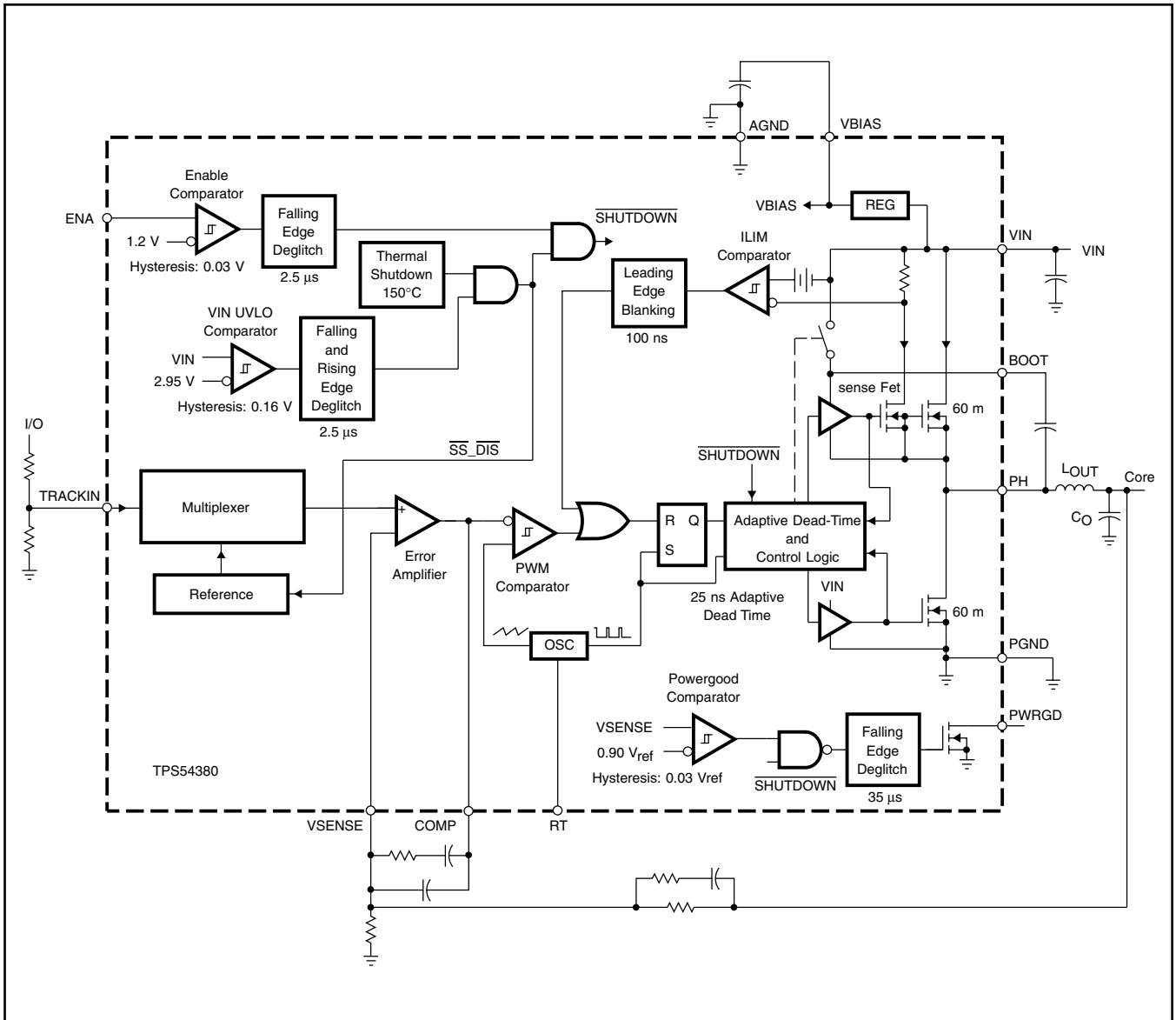
PWP PACKAGE
(TOP VIEW)



端子機能

TERMINAL NAME	TERMINAL NO.	DESCRIPTION
AGND	1	アナログ・グランド。補償回路/出力デバイダ、スロースタート・キャパシタ、VBIASキャパシタ、RT抵抗用帰還端子。PowerPADはAGNDに接続します。
BOOT	5	ブートストラップ出力。0.022 μ F~0.1 μ F の値で低ESRのキャパシタをBOOTピンからPHピンに接続するとハイサイドFETドライブ用にフローティング駆動がもたらされます。
COMP	3	誤差増幅器の出力。周波数補償回路をCOMPピンからVSENSEピンに接続します。
ENA	19	イネーブル入力。“H”レベルの場合、発振器回路、PWMコントロール回路、MOSFETドライブ回路がイネーブルになり、また、“L”レベルの場合は動作がディスエーブルになり、デバイスは低電流の静止状態になります。
PGND	11-13	電源グランド。ローサイドのドライバとパワーMOSFET用の大電流帰還端子。銅面積の大きなPGNDを入出力の電源帰還及び入出力キャパシタの負端子に接続します。AGNDに一点接続することを推奨します。
PH	6-10	フェーズ出力。内部のハイサイドとローサイドのパワーMOSFET、及び出力インダクタの結合点です。
PWRGD	4	パワーグッドでオープン・ドレイン出力。このピンはVSENSEの電圧が V_{ref} の90%以上の場合“H”レベルで、それ以外では“L”レベルです。
RT	20	周波数設定用の抵抗入力。RTピンからAGNDに抵抗を接続して、スイッチング周波数を設定します。
TRACKIN	18	外部基準電圧入力。内部基準電圧/マルチプレクサ、及び誤差増幅器回路へのハイ・インピーダンス入力。
VBIAS	17	内蔵のバイアス・レギュレータ出力。レギュレーションされた電圧が内部回路に供給されます。高品質で低ESRの0.1 μ F~1.0 μ F のセラミック・キャパシタを使ってVBIASピンからAGNDピンにバイパスします。
VIN	14-16	パワーMOSFETスイッチ及び内蔵バイアス・レギュレータ用の入力電源。高品質で低ESRの10 μ F のセラミック・キャパシタをパッケージに近づけて配置しVINピンからPGNDピンにバイパスします。
VSENSE	2	誤差増幅器の反転入力。補償回路/出力デバイダを介して出力電圧に接続します。

INTERNAL BLOCK DIAGRAM



**DRAIN-SOURCE ON-STATE RESISTANCE
vs
JUNCTION TEMPERATURE**

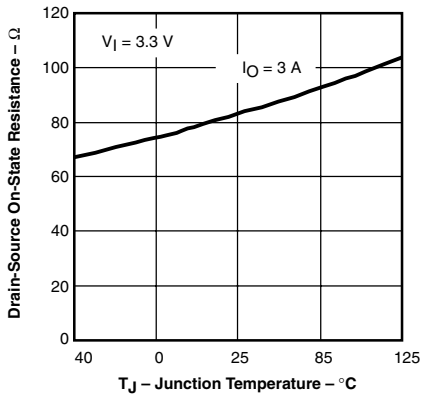


Figure 1

**DRAIN-SOURCE ON-STATE RESISTANCE
vs
JUNCTION TEMPERATURE**

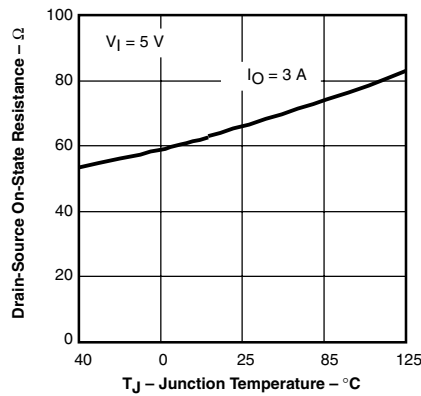


Figure 2

**INTERNALLY SET OSCILLATOR
FREQUENCY
vs
JUNCTION TEMPERATURE**

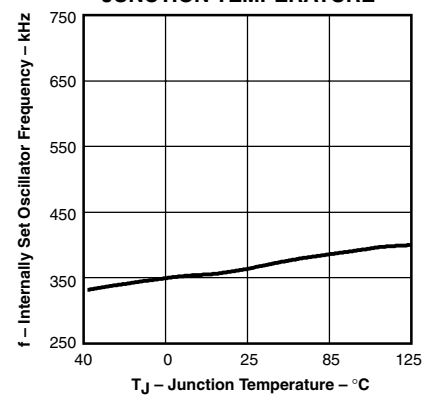


Figure 3

**EXTERNALLY SET OSCILLATOR
FREQUENCY
vs
JUNCTION TEMPERATURE**

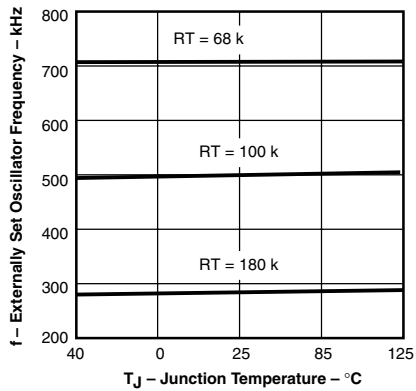


Figure 4

**VOLTAGE REFERENCE
vs
JUNCTION TEMPERATURE**

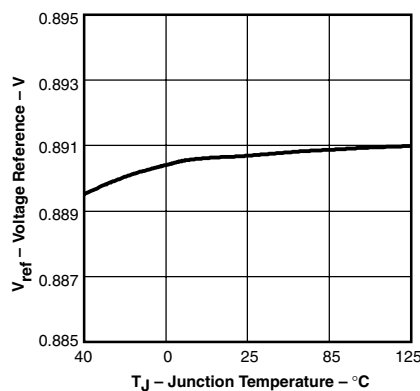


Figure 5

**OUTPUT VOLTAGE REGULATION
vs
INPUT VOLTAGE**

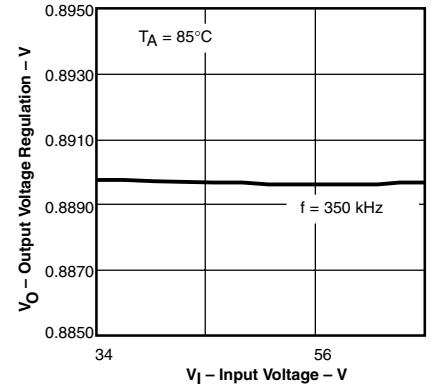


Figure 6

**ERROR AMPLIFIER
OPEN LOOP RESPONSE**

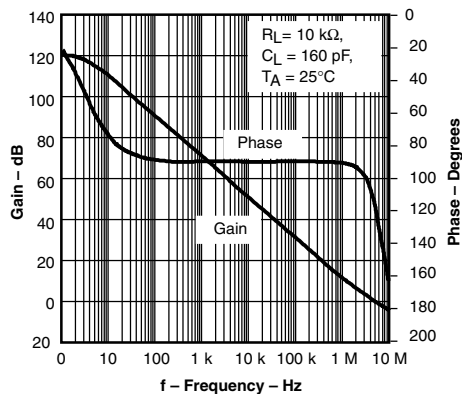


Figure 7

**DEVICE POWER LOSSES
vs
LOAD CURRENT**

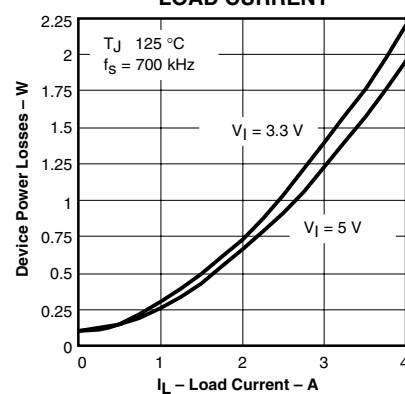


Figure 8

アプリケーション情報

図9にTPS54380の代表的なアプリケーション回路図を示します。TPS54380 (U1) は標準出力電圧1.8V時3A以上の出力電流を供給することができます。適切な熱特性を実現するには、ICパッケージの底面にむき出しの熱対策用のPowerPADをプリント基板にはんだ付けしなければなりません。電源立ち上がりのトラッキングを行なうには、I/O電源のイネーブルを使用してください。

I/Oイネーブルを電源の立ち上がりを使用しない場合は、確実に電源立ち上がりのトラッキングを行なうために同程度の低電圧ロックアウトのスレッシュホールド電圧をもつデバイスを使用することが必要となります。一方、確実に電源立ち下りのトラッキングを行なうには、イネーブル端子を使用しなければなりません。

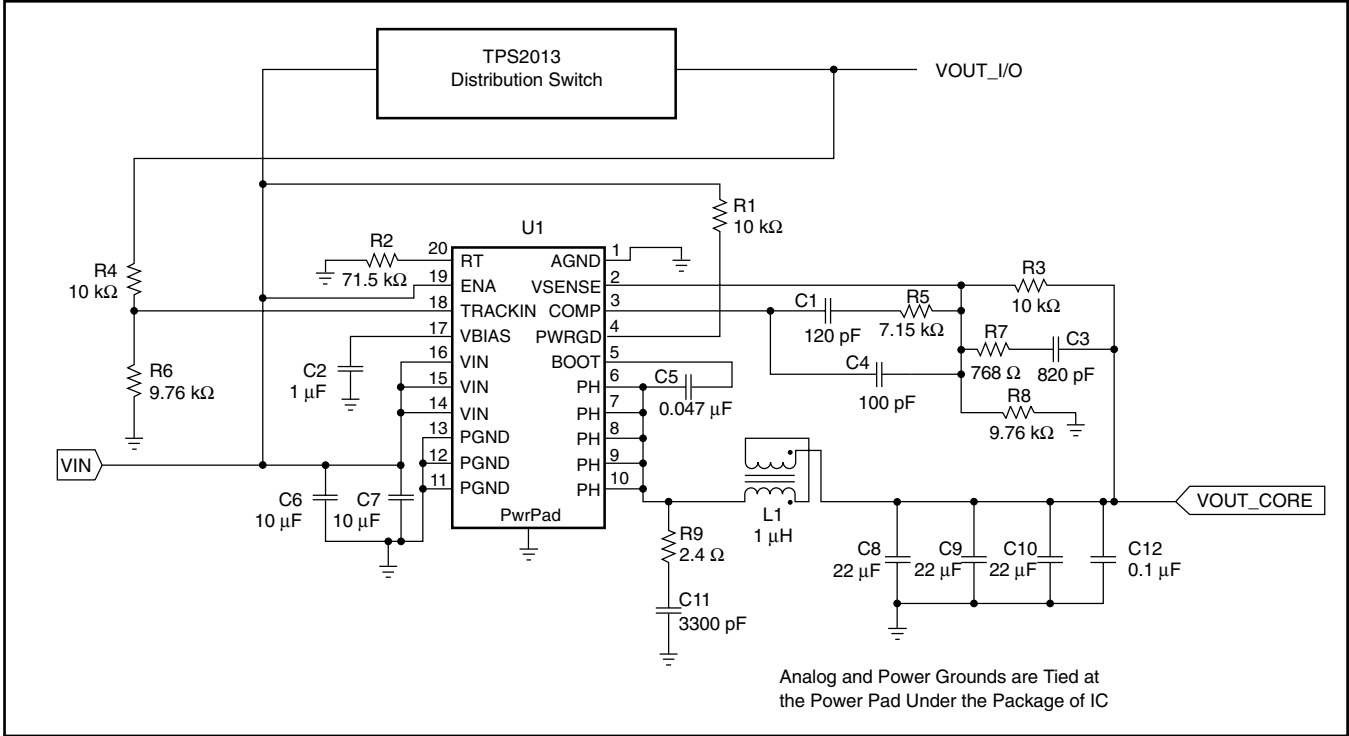


Figure 9. Application Circuit

部品の選択

この設計例で使用された部品の値は、出力リップル電圧が小さく、またPCB面積が小さくなるよう選択しています。設計情報の補足部分についてはホームページwww.ti.comを参照してください。

入力フィルタ

入力電圧は標準で5VDCです。入力フィルタC6は10μFのセラミック・キャパシタ(メーカー:太陽誘電)です。また、C7も10μFのセラミック・キャパシタ(メーカー:太陽誘電)であり、入力電源からのTPS54380への高周波結合が起らないようにするためのもので、できるだけデバイスの近くに配置しなければなりません。リップル電流はC6とC7に運ばれ、PGNDへの帰還パスにより電流が出力キャパシタC8、C9、C10に循環するのを回避しなければなりません。

フィードバック回路

これらの部品値は出力リップル電圧が小さくなるよう選択されています。抵抗デバイダ回路R3とR8により回路の出力電圧が1.8Vに設定されています。R3及びR7、R5、C1、C3、C4は回路のループ補償ネットワークを形成しています。この設計ではタイプ3のトポロジが使用されています。

動作周波数

アプリケーション回路で、RT端子を開放にすると350kHz動作が選択されます。180kΩ~68kΩの抵抗をRT(20ピン)とアナログ・グラウンド間に接続するとスイッチング周波数を280kHz~700kHzに設定することができます。RTピンに接続する抵抗を計算するには以下の式を使用します。

$$R = \frac{500 \text{ kHz}}{\text{Switching Frequency}} = 100 \text{ [k}\Omega\text{]} \quad (1)$$

出力フィルタ

出力フィルタは1μHのインダクタと22μFのキャパシタ3つで構成されています。インダクタは低DC抵抗(0.010Ω)タイプのVishay社型番1HLP2525CZ01です。使用キャパシタはX5R特性をもつ22μF/6.3Vのセラミック・タイプです。さらに高周波バイパス・キャパシタC12も追加されています。フィードバック・ループは単利得周波数が約50kHzとなるよう補償されています。

グラウンド処理とPowerPADレイアウト

TPS54380には内部グラウンドが2つあります(アナログとパワー)。TPS54380の内部で、アナログ・グラウンドはノイズに敏感な信号全てに結びついており、一方、パワー・グラウンドはノイズの大きい電源信号に結びついています。PowerPADは直接AGNDに接続しなければなりません。この2つのグラウンド間に入るノイズが、特に大出力電流時にTPS54380の性能を劣化させてしまいます。また一方、アナログ・グラウンド・プレーン上のグラウンド・ノイズもコントロール及びバイアス信号の一部に関連する問題を生じさせます。よって、アナログ・グラウンドとパワー・グラウンドのプレーンをそれぞれ分離することを推奨します。この2つのプレーンは2つのグラウンド間のノイズを低減するため、ともにICに直接接続しなければなりません。パワー・グラウンドのプレーンに直接接続しなければならない部品は、入力キャパシタ、出力キャパシタ、入力電圧デカップリング・キャパシタ、TPS54380のPGND端子です。TPS54380評価モジュールのレイアウトは4層ボードで推奨レイアウトを代表するものとなっています。TPS54380評価モジュールについての資料はテキサス・インスツルメンツ社のホームページのTPS54380製品フォルダ内にあります。TPS54380 EVMユーザー・ガイドを参照してください。

熱特性のためのレイアウトの考察

全定格負荷電流で動作を行なうには、アナログ・グラウンドのプレーンは十分な熱放散面積を備えていなければなりません。周囲の温度とエアフローにもよりますが、強制ではありませんが、重量1オンスの銅で3インチ × 3インチの大きさを推奨します。ほとんどのアプリケーションでは内部に大きな領域のグラウンド・プレーンをもつことができ、PowerPADはこの利用可能な最大領域に接続しなければなりません。上層または下層の別の領域も熱放散の手助けとなり、3Aまたはそれ以上の動作が求められる場合には利用可能な領域はすべて使用しなければなりません。PowerPADのむき出しの領域からアナログ・グラウンド・プレーン層へはビアの中でのほんだのウィッキング(ボイド)を避けるため直径0.013インチのビアを使って接続しなければなりません。PowerPAD領域に6つのビアと、デバイス・パッケージの下に設置される4つの追加ビアがなければなりません。むき出しのサーマル・パッド領域では不可能ですが、パッケージの下のビア寸法は0.018インチまで増やすことができます。熱特性を向上させるのに推奨される12個以上の追加ビアはデバイス・パッケージの下以外の領域に置く必要があります。

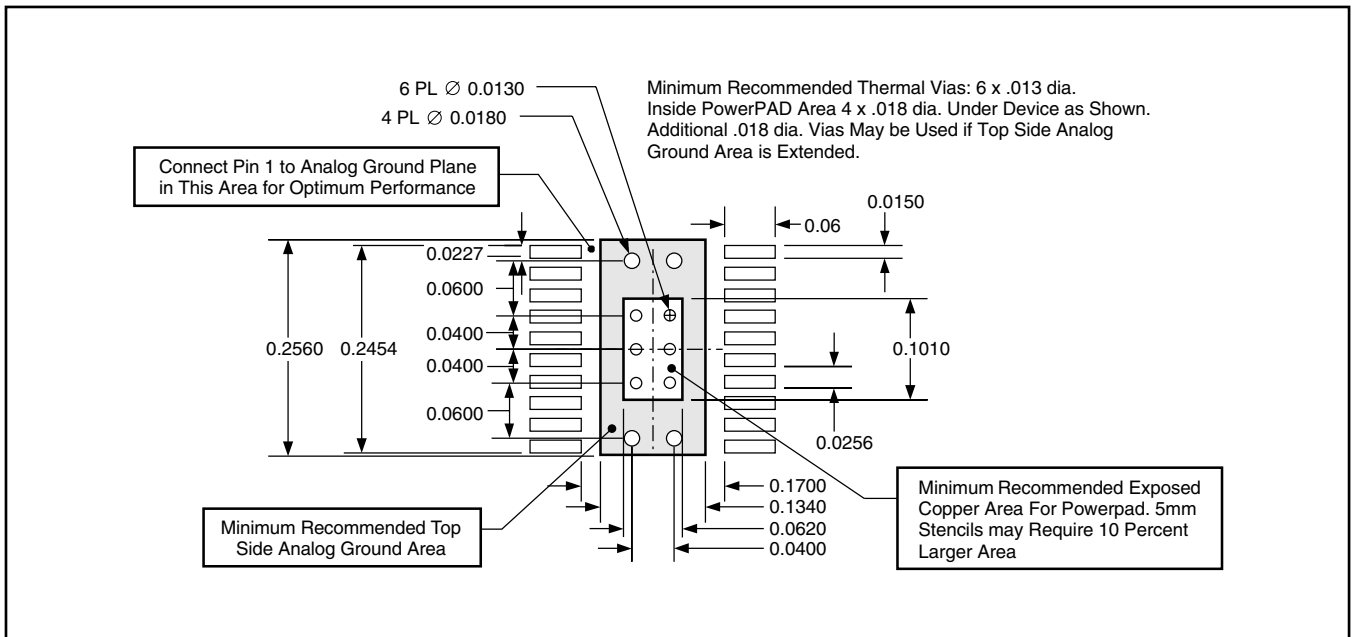


Figure 10. Recommended Land Pattern for 20-Pin PWP PowerPAD

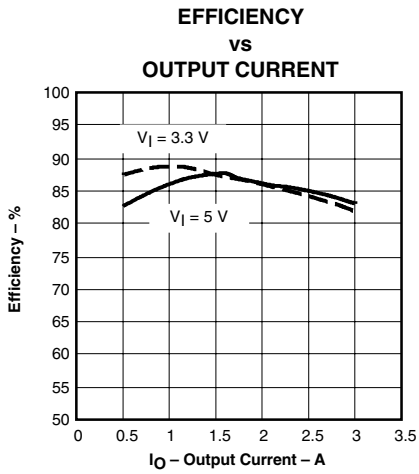


Figure 11

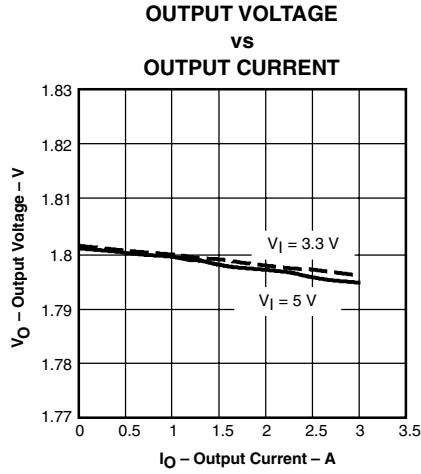


Figure 12

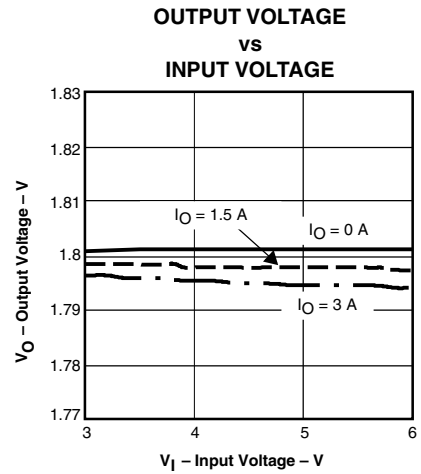


Figure 13

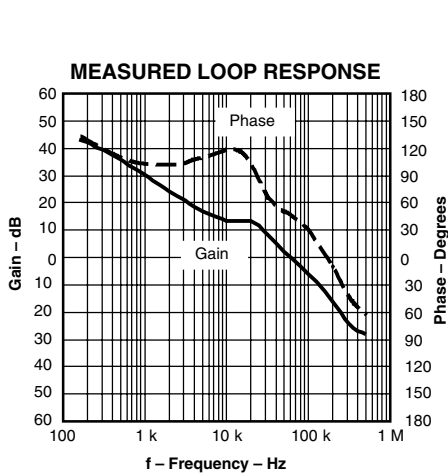


Figure 14

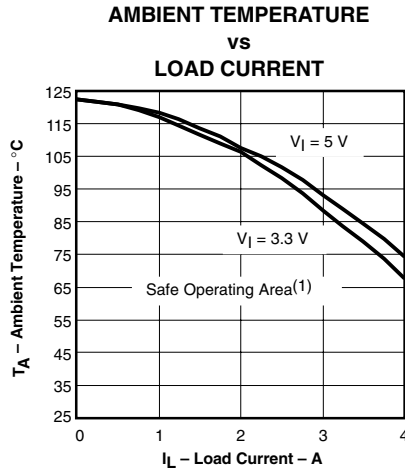


Figure 15

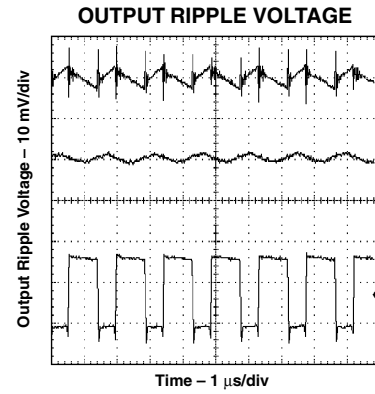


Figure 16

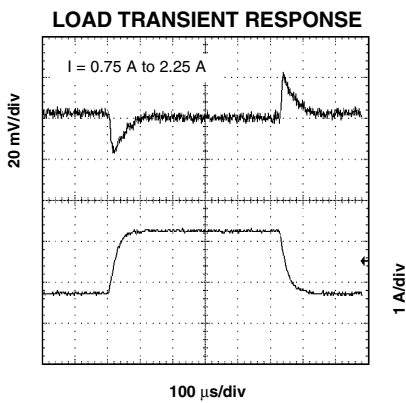


Figure 17

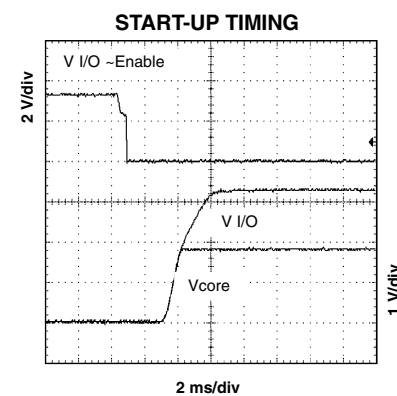


Figure 18

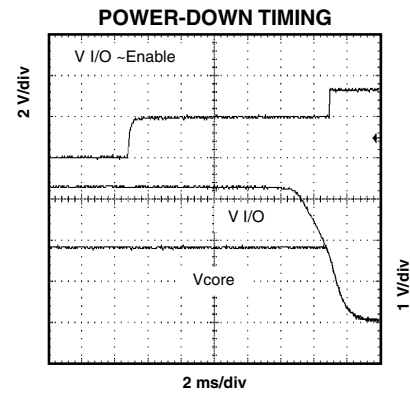


Figure 19

(1) Safeoperating area is applicable to the test board conditions in the Dissipation Ratings

詳細説明

低電圧ロックアウト (UVLO)

TPS54380には入力電圧が (VIN) が不足している場合にデバイスをディスエーブルにしておく低電圧ロックアウト回路が内蔵されています。電源の立ち上がり時、内部回路はVINが標準のUVLOスレッシュホールド電圧である2.95Vを越えるまでインアクティブに保持されます。UVLOスタート・スレッシュホールド電圧に達するとデバイスの起動が始まります。デバイスはVINが標準のUVLOストップ・スレッシュホールド電圧である2.8V以下に低下するまで動作します。VINのノイズによりデバイスが停止してしまう可能性はUVLOコンパレータのヒステリシス及び2.5µsの立ち上がり/立ち下がりエッジ・デグリッチ回路により低く抑えられています。

TRACKIN/内部スロースタート

内部のスロースタート回路により出力電圧の立ち上がり時のスロープをコントロールすることができます。この内部の標準スロースタート・レートは25V/msです。TRACKINピンの電圧が内部のスロープよりも速く上昇するか、またはデバイス動作がイネーブル時にこの電圧が存在する場合、出力は内部のレートで立ち上がります。TRACKINの基準電圧がより遅い速度で上昇する場合には、出力はTRACKINとほぼ同じレートで上昇します。

TRACKINピンの電圧が内部基準電圧である0.891Vより大きくなると、マルチプレクサは非反転ノードを高精度の基準電圧に切り換えます。

イネーブル制御 (ENA)

イネーブル・ピン (ENA) はTPS54380のデジタル・コントロールをイネーブルまたはディスエーブル (停止) にします。入力電圧が1.4V以上で確実にTPS54380はイネーブルになります。一方、入力電圧が0.82V以下ではデバイス動作は確実にディスエーブルになります。これらはTTL出力と互換性があるとはいえ標準ロジックのスレッシュホールド電圧ではありません。

ENAピンが“L”レベルの場合、発振器、ソフトスタート、PWMコントロール、MOSFETドライバはディスエーブルになり、デバイスの起動準備の初期状態に保持されます。ENAが“L”レベルから“H”レベルに移行する時、デバイスの起動が出力が0Vで開始されます。

バイアス・レギュレータ (VBIAS)

VBIASレギュレータは内部のアナログ及びデジタル・ブロックにジャンクション温度や入力電圧の変動にかかわらず安定した電源電圧を供給します。高品質で低ESRのセラミックのバイパス・キャパシタをVBIASピンに接続することが必要です。温度に対し特性値が安定しているため、X7RまたはX5Rクラスの特性の誘電体を推奨します。バイパス・キャパシタはVBIASピンの近くに置き、AGNDに帰還させなければなりません。

VBIASに外部負荷を接続することは、内部回路がVBIASの最小電圧2.70Vを必要とすること、及びVBIASに接続する外部負荷がACまたはデジタル・スイッチング・ノイズを持ち性能を

劣化させるかもしれない、という点に注意すれば可能です。VBIASピンは外付け回路への基準電圧としても有用です。

基準電圧

基準電圧システムは温度に対し安定なバンドギャップ回路の出力をスケールリングすることで高精度のVref信号を生成します。製造時、バンドギャップ回路とスケールリング回路はボルテージ・フォロワのように接続されたアンプにより誤差増幅器の出力で0.891Vが出力されるようトリミングされます。このトリミングは、スケールリング回路及び誤差増幅器の回路のオフセット誤差をキャンセルするため、TPS54380での高精度のレギュレーションがさらに助長されます。

発振器及びPWMランプ

発振器の周波数は内部で350kHzに設定されています。アプリケーションでそれ以外の周波数での動作が必要な場合には、発振器の周波数はRTピンとAGND間に抵抗を接続することで280kHz~700kHzの範囲で外部から調整することができます。スイッチング周波数は以下の式で概算することができます。但し、この式中のRはRTピンからAGNDに接続される抵抗です。

$$\text{Switching Frequency} = \frac{100 \text{ k}\Omega}{R} = 500 \text{ [kHz]} \quad (2)$$

SWITCHING FREQUENCY	RT PIN
350 kHz, internally set	Float
Externally set 280 kHz to 700 kHz	R = 180 kΩ to 68 kΩ

誤差増幅器

高性能で広い帯域幅をもつ誤差増幅器により、TPS54380はほとんどのDC/DCコンバータより際立って優れています。ユーザーは特殊なアプリケーションのニーズに適応するようLとCから成る出力フィルタ部品を広範囲に選択使用することができます。外付けの補償部品によりタイプ2または3の補償を用いることができます。

PWMコントロール

誤差増幅器の出力、発振器、電流制限回路からの信号はPWMコントロール・ロジックで処理されます。内部ブロック図を参照すると、このコントロール・ロジックにはPWMコンパレータ、ORゲート、PWMラッチ、アダプティブ・デッドタイムとコントロール・ロジックのブロックの一部が含まれます。電流制限スレッシュホールド電圧以下の定常状態動作では、PWMコンパレータの出力と発振器の連続パルスが交互にPWMラッチのリセットとセットを行ないます。PWMラッチがリセットされると、ローサイドFETは発振器のパルス幅で設定される最小期間の間オン状態のままです。この期間で、PWMランプはその下限電圧まで急速に放電します。ランプが再充電し始めると、ローサイドFETはオフになり、ハイサイドFETがオンになります。PWMランプ電圧が誤差増幅器の出力電圧を越えると、PWMコンパレータはラッチをリセットするため、ハイサイドFETがオフ、ローサイドFETはオンになります。ローサイドFETは、発

振器の次のパルスがPWMランプを放電するまでオン状態を保持します。

過渡状態では、誤差増幅器の出力はPWMランプの下限電圧以下またはPWMピーク電圧以上である可能性があります。誤差増幅器の出力が高いと、PWMラッチはリセットされず、ハイサイドFETは発振器のパルスがハイサイドFETをオフに、ローサイドFETをオンにするようコントロール・ロジックに信号を送るまでオン状態を保持します。このデバイスは出力電圧がレギュレーションの設定点に達し、VSENSEの電圧がVREFとほぼ同じ電圧に設定されるまで、その最大デューティ・サイクルで動作します。一方、誤差増幅器の出力が低いと、PWMラッチは絶えずリセットされ、ハイサイドFETはオンになりません。ローサイドFETは、VSENSE電圧がPWMコンパレータに状態を変えさせる程度に減少するまでオン状態を保持します。TPS54380は出力がレギュレーションの設定点に達するまで連続して電流をシンクすることができます。

電流制限コンパレータが100ns以上トリップしている場合、PWMラッチはPWMランプが誤差増幅器の出力を越える前にリセットされます。ハイサイドFETはオフに、ローサイドFETはオンになり、出力インダクタのエネルギーは減少し、その結果出力電流は減少します。このプロセスは電流制限コンパレータがトリップするたびに各サイクルで繰り返行なわれます。

デッドタイム・コントロール及びMOSFETドライバ

アダプティブ・デッドタイム・コントロールにより、MOSFETドライバのターンオン時間が能動的にコントロールされ、スイッチング過渡時シュートスルー電流が両方のNチャネル・パワーMOSFETに流れることが防止されます。ハイサイド・ドライバはローサイドFETのゲート電圧が2V以下になるまでオンになりません。一方、ローサイド・ドライバはハイサイドMOSFETのゲート電圧が2V以下になるまでオンになりません。

ハイサイド・ドライバ及びローサイド・ドライバはパワーMOSFETのゲートを高速に駆動するため300mAのソース/シンク能力をもつよう設計されています。ローサイド・ドライバはVINから電源を供給され、一方、ハイサイド・ドライバはBOOTピンから電源が供給されます。ブートストラップ回路は外付けのBOOTキャパシタと、VINとBOOTピン間に接続された2.5Ωの内部ブートストラップ・スイッチを利用しています。この内蔵ブートストラップ・スイッチにより、駆動効率が改善し、また外付け部品点数も削減します。

過電流保護

ハイサイドMOSFETを流れる電流を検出し、この信号を予め設定された過電流スレッシュホールドと比較することでサイクルごとの電流制限が実行されます。ハイサイドMOSFETは電流制限のスレッシュホールドに達した後200ns以内でオフになります。100nsのリーディング・エッジ・ブランキング回路は電流制限が誤ってトリップすることを防止します。電流制限の検出は出力フィルタへの電流をソースしている場合に電流がVINからPHに流れる時のみ起こります。電流シンクの動作時に負荷を保護することはサーマル・シャットダウンにより行なわれます。

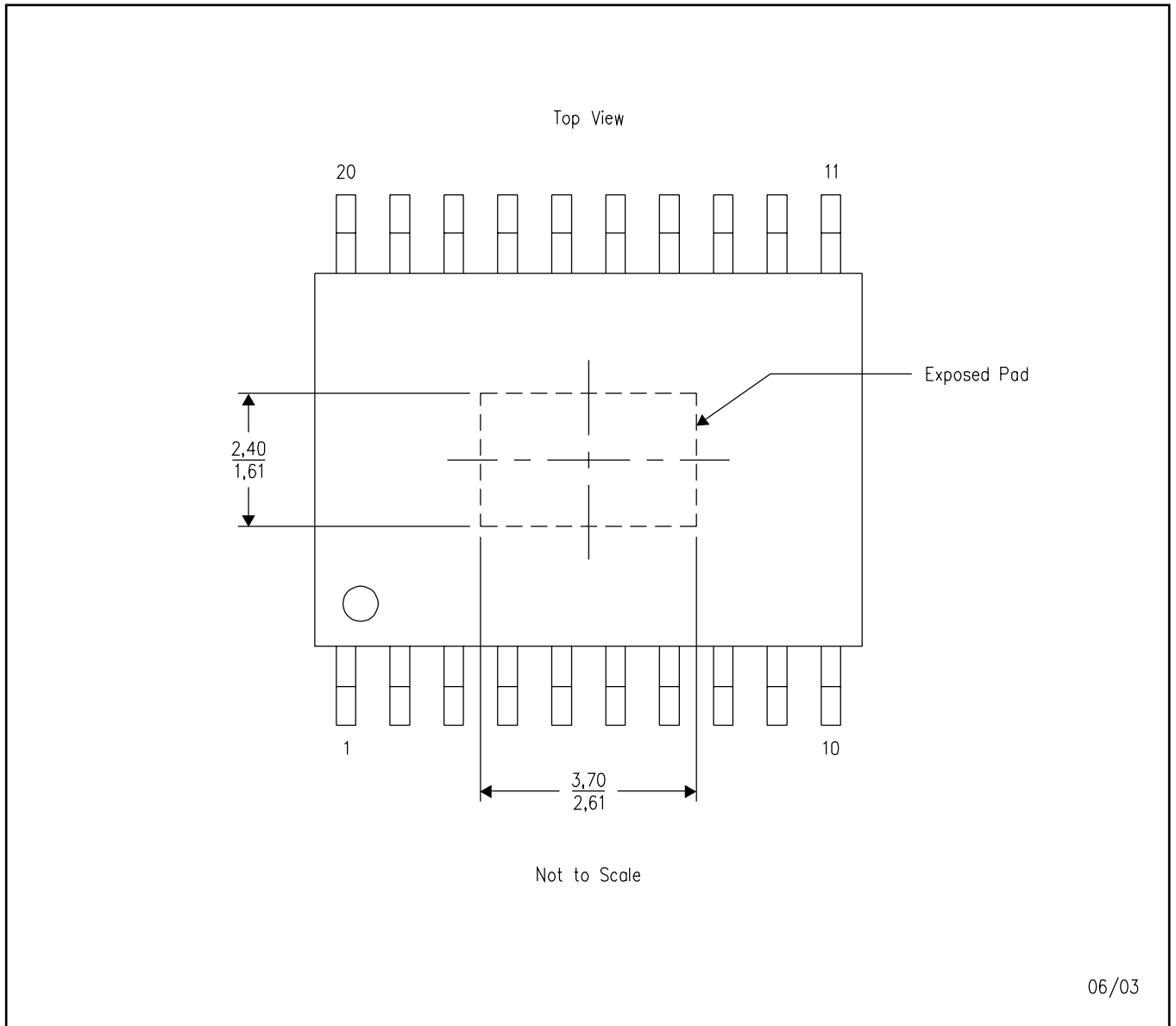
サーマル・シャットダウン

このデバイスはジャンクション温度が150°Cを越えるとサーマル・シャットダウンによりパワーMOSFETをオフにしコントローラをディスエーブルにします。デバイスはサーマル・シャットダウンのトリップ点より10°C下がると自動的にシャットダウンが解除され、スロースタート回路のコントロールの下で起動を開始します。

サーマル・シャットダウンは過負荷の状態が数ミリ秒間続いた時保護を行ないます。異常状態が続いていると、デバイスは連続して以下のサイクルを繰り返します。つまり、ソフトスタート回路のコントロールにより起動し、異常状態により熱をもち、その結果サーマル・シャットダウンのトリップ点に達した時シャットダウンします。このシーケンスは異常状態が解除されるまで繰り返されます。

パワーグッド (PWRGD)

パワーグッド回路はVSENSEが低電圧状態かどうかをモニタします。VSENSEの電圧が基準電圧より10%下になると、PWRGDのオープン・ドレイン出力が“L”レベルになります。また、VINがUVLOスレッシュホールド電圧以下またはENAが“L”レベル、あるいはサーマル・シャットダウンが起こった場合、PWRGDは“L”レベルになります。VINがUVLOスレッシュホールド電圧以上、ENAがイネーブル・スレッシュホールド電圧以上、VSENSEがVrefの90%より大きい場合は、PWRGDピンのオープン・ドレイン出力は“H”レベルになります。Vrefの3%のヒステリシス電圧と35µsの立ち下りエッジのデグリッチ回路が高周波ノイズによりパワーグッド・コンパレータがトリップするのを防止しています。



06/03

注A. 全ての線寸法の単位はミリメートルです。

注B. 図は予告なく変更することがあります。

注C. PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカル・ブリーフ “**PowerPAD Thermally Enhanced Package**” TI文献番号SLMA002及びアプリケーション・ブリーフ “**PowerPAD Made Easy**” TI文献番号SLMA004を参照してください。いずれもホームページ www.ti.comで入手できます。

ご注意

日本テキサス・インスツルメンツ株式会社及びTexas Instruments Incorporated (以下TIといいます)は、TI所定の手続きに従い、あるいはお客様とTIとの間に取引契約が締結されている場合は当該契約条件に従い、その製品を変更し、もしくは製品の製造中止またはサービスの提供を中止することがありますので、お客様は、発注される前に、これから参照しようとする情報が最新かつ完全なものであることを確実なものとするため、最新版の情報を取得するようお勧めします。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また取引契約が締結されていない場合は、ご注文の受諾の際に提示される保証、特許侵害、責任制限に関する条項を含むTIの標準販売契約約款に従って販売されます。

TIは、その製品が、TIの標準保証条件に従い販売時の仕様書に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様書に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TI製部品を使用しているお客様の製品についてはお客様が責任を負っています。

そのようなお客様の製品について想定されうる危険を最小のものとするため、製品固有の障害発生要因もしくは組み合わせによる障害発生要因を減らすための、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、製品の使用用途に関する支援もしくはお客様の製品の設計について責任を負うことはありません。TIは、その製品もしくはサービスが使用される、もしくは使用されている組み合わせ、機械装置、もしくは方法をカバーしている、もしくはそれ等に関連している特許権、著作権、回路配置利用権、その他の知的財産権に基づいて何らかのライセンスを許諾するということが明示的にも黙示的にも保証も表示もしておりません。TIが第三者の製品もしくはサービスについて情報を提供しているということは、TIが当該製品もしくはサービスを承認、ライセンス、保証もしくは支持することを意味しません。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加え、あるいはその一部のみ、表示もしくは複製することは当該情報に係るTI製品もしくはサービスに対して提供された全ての保証を無効にし、かつ不公正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他と異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2003, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上