

TPS54350EVM-235 3アンペア

SWIFT™レギュレータ評価モジュール

ユーザー・ガイド

序文

はじめにお読みください

このマニュアルについて

このユーザー・ガイドはTPS54350EVM-235評価モジュールの特性、動作、使用法について説明します。このユーザー・ガイドではEVMボードがサポートしているデバイスに加えて、このEVMボードを正しく使用するための全ての関連範囲が網羅されています。物理的なPCBレイアウト、回路図、部品表も用意されています。

このマニュアルの使い方

この文献は以下の章より構成されています。

- 第一章 序論
- 第二章 テスト構成と結果
- 第三章 ボード・レイアウト
- 第四章 回路図と部品表

FCC警告

本装置は実験室のテスト環境のみで使用することを対象にしています。本装置は無線周波数エネルギーを生成し、使用し、また放射することがあり、FCC規則15条Jに準拠したコンピュータ機器の制限に適合するようにはテストされていません。これらの制限は無線周波数障害に対し適切な保護を提供するよう策定されています。本装置を他の環境で動作させると無線通信への妨害を引き起こすことがあります。その場合、ユーザーは自費でこの妨害を是正するために必要なあらゆる措置を講じることが求められます。

商標

SWIFT及びPowerPADはテキサス・インスツルメンツ社の商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

目次

1	はじめに	1-1
1.1	背景	1-2
1.2	性能仕様のまとめ	1-3
1.3	変更	1-4
1.3.1	出力電圧設定点	1-4
1.3.2	スイッチング周波数	1-4
1.3.3	入力フィルタ	1-4
1.3.4	UVLOのプログラミング	1-4
1.3.5	同期	1-5
1.3.6	パワー・グッド	1-5
1.3.7	同期ローサイドFET	1-6
1.3.8	出力フィルタ(オプション)	1-6
2	テスト構成と結果	2-1
2.1	入力/出力接続	2-2
2.2	効率	2-3
2.3	消費電力	2-4
2.4	出力電圧レギュレーション	2-5
2.5	負荷過渡	2-6
2.6	ループ特性	2-7
2.7	出力電圧リップル	2-8
2.8	入力電圧リップル	2-8
2.9	ゲート駆動	2-9
2.10	起動と停止	2-10
3	ボード・レイアウト	3-1
3.1	レイアウト	3-2
4	回路図と部品表	4-1
4.1	回路図	4-2
4.2	部品表	4-3



2.1	接続図	2-2
2.2	TPS54350の測定効率	2-3
2.3	測定回路損失	2-4
2.4	負荷レギュレーション	2-5
2.5	ライン・レギュレーション	2-5
2.6	TPS54350の負荷過渡応答	2-6
2.7	TPS54350の測定ループ応答($V_I = 6V$)	2-7
2.8	TPS54350の測定ループ応答($V_I = 18V$)	2-7
2.9	TPS54350の測定出力電圧リップル	2-8
2.10	TPS54350の入力電圧リップル	2-8
2.11	TPS54350のゲート駆動信号	2-9
2.12	起動	2-10
2.13	停止	2-10
3.1	上層レイアウト	3-2
3.2	下層レイアウト	3-3
3.3	上層の実装	3-3
3.4	下層の実装	3-4
4.1	TPS54350EVM-235回路図	4-2



1.1	入力電圧と出力電流のまとめ	1-2
1.2	TPS54350EVM-235性能仕様のまとめ	1-3
1.3	出力電圧のプログラミング	1-4
1.4	内部UVLOの設定	1-5
4.1	TPS54350EVM-235部品表	4-3

はじめに

この章ではTPS54350EVM-235評価モジュール(SLVP235)のサポート情報とともにTPS54350の背景情報が記されています。回路図、部品表のほかに、TPS54350EVM-235の性能仕様が示されています。

表題	ページ
1.1 背景	1-2
1.2 性能仕様のまとめ	1-3
1.3 変更	1-4

1.1 背景

TPS54350 DC/DCコンバータは標準12V(6V~18V)の入力電圧源から最大3Aの出力を供給するよう設計されています。入力電圧範囲と出力電流範囲の定格を表1に示します。この評価モジュールは、TPS54350レギュレータを用いて設計する際に得られる小さなPCB領域を実証するために設計されており、この部品を用いて設計する際に得られる高効率を反映していません。スイッチング周波数は標準の500kHzに設定されているため、比較的小さなフットプリントの10 μ H出力インダクタを使用することができます。ハイサイドMOSFETは外付け同期FET用のゲート駆動回路とともにTPS54350パッケージに内蔵されています。MOSFETのドレイン/ソース間のオン抵抗が低いため、TPS54350は高効率を実現することができ、また高出力電流時接合部温度を低く保持するのにも寄与しています。補償部品はICの外部に備えられており、可変出力電圧とカスタマイズ可能なループ応答が実現できます。TPS54350はプログラム可能な低電圧ロックアウト、双方向同期、可変スイッチング周波数、イネーブル機能、パワー・グッド機能を含んだフル装備のデバイスです。

表1-1. 入力電圧と出力電流のまとめ

EVM	入力電圧範囲†	出力電流範囲
TPS54350EVM-235	6V~18V	0A~3A

† 最初の起動後では動作は4.0Vで保証されます。

1.2 性能仕様のまとめ

TPS54350EVM-235の性能仕様のまとめを表1-2に示します。この仕様は特に規定がない限り入力電圧12V、出力電圧3.3Vで与えられています。周囲温度は特に断りのない限り全測定に対し25°Cです。TPS54350の最大入力電圧は4.5Vから20Vです。EVMはこの範囲にわたって動作しますが、6V~18V(標準12V)の入力電圧範囲について設計及びテストされています。

表1-2. TPS54350EVM-235性能仕様のまとめ

Specification		Test Condition	Min	Typ	Max	Units
Input voltage range			6	12	18	V
Output voltage set point				3.3		V
Output current range		$V_I = 6V \text{ to } 18V$	0		3	A
Line regulation		$I_O = 0\text{--}3A, V_I = 6V \text{ to } 18V$		$\pm 0.1\%$		
Load regulation		$V_I = 12V, I_O = 0A \text{ to } 3A$		$\pm 0.05\%$		
Load transient response	Voltage change	$I_O = 0.75A \text{ to } 2.25A$		-10		mV _{PK}
	Recovery time			60		μs
	Voltage change	$I_O = 2.25A \text{ to } 075A$		11		mV _{PK}
	Recovery time			60		μs
Loop bandwidth		$V_I = 6V$		28		kHz
Phase margin		$V_I = 6V$		70		°
Loop bandwidth		$V_I = 18V$		32		kHz
Phase margin		$V_I = 18V$		60		°
Input ripple voltage				400		mV _{PP}
Output ripple voltage				40		mV _{PP}
Output rise time				2.8		ms
Operating frequency				500		kHz
Maximum efficiency		$V_I = 6.0V, V_O = 3.3V, I_O = 1.0A$		87%		

1.3 変更

TPS54350EVM-235 はTPS54350を用いて設計する際に得られる小型化を実証するために設計されているため、大幅な改良を可能にしている多くの機能がこのEVMから除外されています。

1.3.1 出力電圧設定点

R2の値を変えることにより出力電圧を0.9Vから5Vの範囲で変更することができます。ある出力電圧に対するR2の値は式1-1を使って計算することができます。表1-3にいくつかの一般的な出力電圧に対するR2の値を紹介します。

式1-1.

$$R_2 = 1\text{k}\Omega \times \frac{0.891\text{V}}{V_O - 0.891\text{V}}$$

表1-3. 出力電圧のプログラミング

出力電圧 (V)	R ₂ 値 (Ω)
1.2	2.87k
1.5	1.47k
1.8	976
2.5	549
3.3	374
5.0	221

最小出力電圧はデバイスのコントロール可能な最小オン時間である125nsにより制限され、デューティ・サイクル及び動作周波数に依存します。概算の最小出力電圧は式1-2を使って計算することができます。

式1-2.

$$V_O (\text{min}) = 125\text{nsec} \times f_s \times V_I (\text{max})$$

1.3.2 スイッチング周波数

スイッチング周波数はR4の値を変更することで250kHzから700kHz間の任意の値に整えることができます。また、スイッチング周波数はRTピンをAGNDに短絡することで予めプログラムされている値の250kHzに、或いはRTピンをフローティングにすることで500kHzに設定することができます。スイッチング周波数を減少させるとL1の値を増やさないと出力リップルが増加してしまいます。

1.3.3 入力フィルタ

ボード上で入力電解コンデンサC1を付加することができます。

1.3.4 UVLOのプログラミング

TPS54350にはVINからAGNDに分圧器が内蔵されています。このスタートおよびストップ・スレッシュホールドを表1-4に示します。

表1-4. 内部UVLOの設定

	スタート電圧のスレッシュホールド	ストップ電圧のスレッシュホールド
VIN	4.4V	3.7V
UVLO	1.18V	1.09V

異なるスレッシュホールドの組み合わせを設定するには、以下の式を使ってR6とR7を選択します。

式1-3.

$$R6 = \frac{V_{I(\text{start})} \times R7}{UVLO(\text{start})} - R7$$

式1-4.

$$R6 = \frac{V_{I(\text{stop})} \times R7}{UVLO(\text{stop})} - R7$$

R7には10kΩが妥当です。

1.3.5 同期

SYNCピンは、RTピンの構成次第で入力または出力として構成できます。RTピンがオープンまたはAGNDに接続された場合、SYNピンは出力として動作します。

出力として動作する場合、信号の立下りエッジはスイッチング・サイクルの1/2で、PHピンの立上がりエッジと約180°位相がずれます。従って、システムで2つのTPS54350デバイスが動作する場合、入力キャパシタを共有でき、単一ユニットの周波数の2倍でリップル電流が流れます。

RTピンからAGNDに抵抗を接続するとSYNCピンは入力として動作します。入力として動作する場合、SYNCピンは立下りエッジでトリガされる信号となり、RTピンの抵抗はSYNC入力周波数の90%の周波数を供給するよう設定しなければなりません。

1.3.6 パワー・グッド

内部の回路はVSENSE入力電圧が基準電圧近くのガードバンド以内にあるかどうかを確認するためにモニタしています。この電圧がお互い近い値であり、また、他に異常信号がないと、PWRGDピンはハイ・インピーダンスを呈します。PWRGDピンが“L”レベルであると異常を示します。PWRGDピンは設計上プルダウンが脆弱であり、デバイスに電源が供給されていない時でも異常を示します。TPS54350に電源が供給され、何か異常フラグがセットされると、TPS54350はPWRGDピンを“L”レベルにすることで出力は有効ではないことを表します。以下の事象の一つまたはその組み合わせが起こった場合に出力は有効ではないことを示します。

- VSENSEピンが規定範囲外
- 過電流
- サーマル・シャットダウン
- UVLO低電圧
- 入力電圧なし(脆弱なプルダウン)
- スロースタート時
- VBIAS低電圧

評価モジュールには10kΩの外付けプルアップ抵抗(R8)、外部の3.3Vまたは5V源に接続できる測定点TP1、パワー・グッド信号をモニタできる測定点TP2が用意されています。

1.3.7 同期ローサイドFET

TPS54350EVM-235は同期式バック・レギュレータとしての動作にローサイドFETが外付けられています。必要に応じて、FETの代わりにキャッチ・ダイオードを外付けすることもできます。このダイオードのパッドはPCBの裏面に置かれています。インダクタがローサイドFETのない場合での動作に適切な大きさになっていることを確認してください。このモードで動作する場合のインダクタの最小値は以下の式で求められます。

式1-5.

$$L(\text{min}) = \frac{V_O \left(1 - \frac{V_O}{V_{I(\text{max})}} \right)}{f_s \times 0.6}$$

1.3.8 出力フィルタ(オプション)

追加の出力フィルタ・キャパシタ用にEVMにオプションのパッドが含まれています。それはD4位置(C12)と0805位置(C5)です。

テスト構成と結果

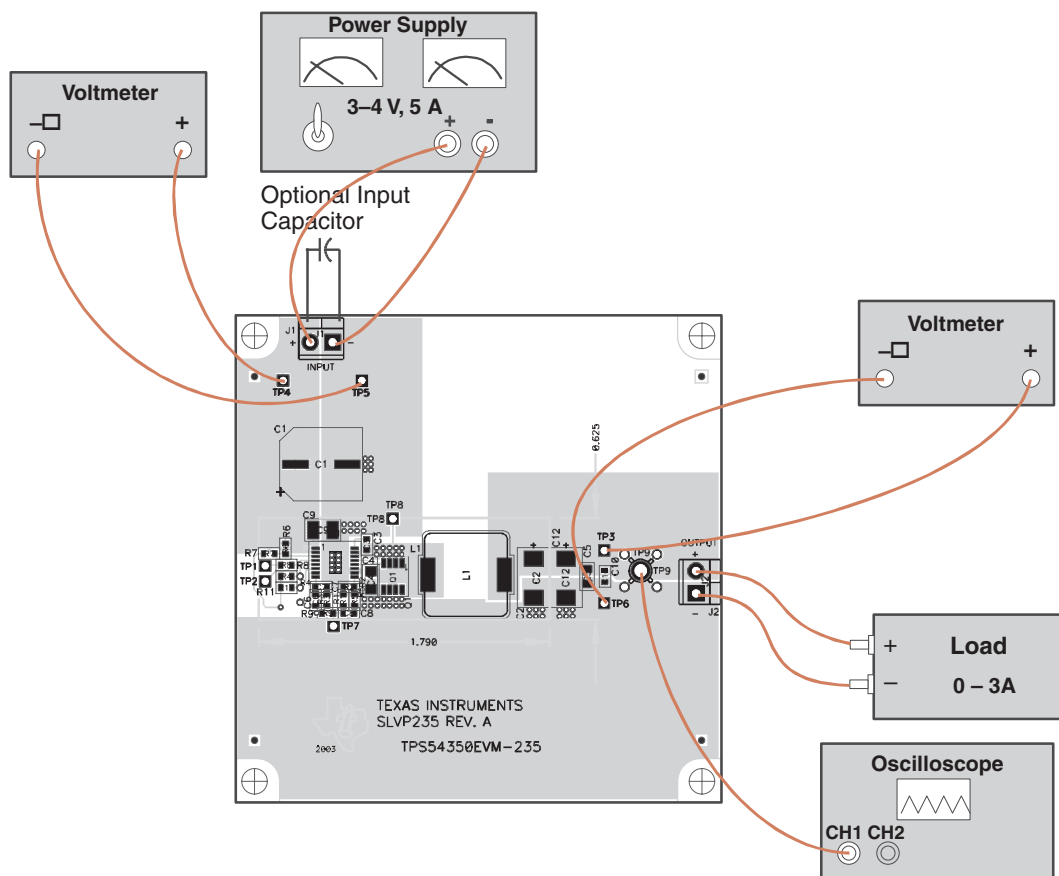
この章ではTPS54350EVM-235評価モジュールの適切な接続、設定、使用方法について説明します。また、ここではTPS54350EVM-235の標準的なテスト結果も含まれており、効率、出力電圧レギュレーション、負荷過渡、ループ応答、出力リップル、入力リップル、起動などが網羅されています。

表題	ページ
2.1 入力／出力接続	.2-2
2.2 効率	.2-3
2.3 消費電力	.2-4
2.4 出力電圧レギュレーション	.2-5
2.5 負荷過渡	.2-6
2.6 ループ特性	.2-7
2.7 出力電圧リップル	.2-8
2.8 入力電圧リップル	.2-8
2.9 ゲート駆動	.2-9
2.10 起動と停止	.2-10

2.1 入力 / 出力接続

TPS54350EVM-235には V_I (J1)と V_O (J2)の2つの入力 / 出力接続があります。接続点を示す図を図2-1に示します。5Aを供給できる電源は一組の20AWGワイヤによりJ1に、また、負荷は一組の20AWGワイヤによりJ2に接続しなければなりません。最大負荷電流能力は3Aです。ワイヤ長はワイヤによる損失を低減するため最小限にしなければなりません。測定点TP9は出力電圧をモニタするためにオシロスコープの電圧プローブを簡単に接続する場所を提供するためのものです。TPS54350はポイント・オブ・ロード・レギュレータとして使用することを目的としています。標準のアプリケーションではTPS54350は、通常、入力電圧源の近くに配置されます。 V_I のソースとしての外部電源とともにTPS54350EVM-235を使用する場合、ソースの出力インピーダンス及び接続ワイヤ長次第ではバルク・キャパシタが追加が必要となることがあります。示されているテスト結果は $47\mu\text{F} / 25\text{V}$ の入力キャパシタが付加された場合のものです。代わりにC1を入力フィルタ・キャパシタとして使うこともできます。

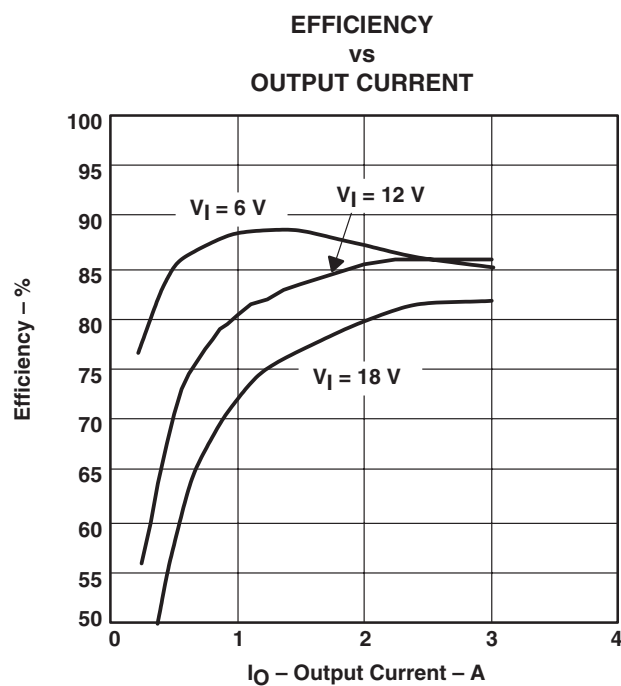
図2-1. 接続図



2.2 効率

TPS54350EVM-235の効率は負荷電流が約1A、 V_I が6Vの時最大になり、負荷電流が全負荷に向かって増加するにつれ低下していきます。入力電圧がこれより高いと静止時軽負時荷損失が大きく、効率は全負荷状態で最大になります。大切なことは、この設計では小型化と柔軟性について最適化されており、TPS54350を使用した特定のアプリケーションでなし得る高効率は反映していないことを考慮することです。図2-2に、周囲温度25°CにおけるTPS54350の効率を示します。効率はMOSFETのドレイン/ソース間抵抗の温度変動により周囲温度が高いと低くなります。効率はMOSFETのゲート損失およびスイッチング損失により、500kHzの場合のほうがそれより低いスイッチング周波数の場合よりわずかに低くなります。

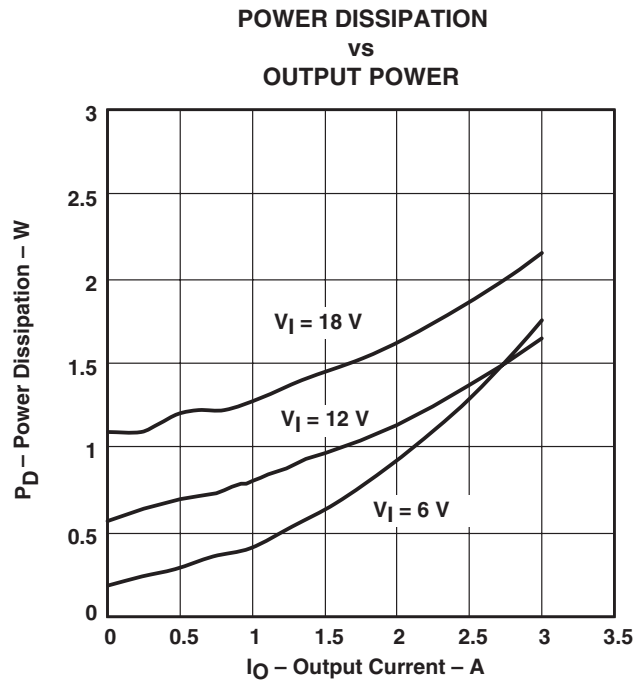
図2-2. TPS54350の測定効率



2.3 消費電力

PWPパッケージは接合部 / ケース間の熱抵抗が低いことと優れたボード・レイアウトにより、TPS54350EVM-235評価モジュールは接合部温度を安全に保ちながら定格全負荷電流を出力することができます。12Vの入力源と負荷が4.2Aの電流制限に近いことにより、接合部温度は約47°Cになります。25°C時の回路の総損失を図2-3に示します。入力電圧が6V、12V、18Vにおける消費電力が示されています。デバイスの定格消費電力についての追加情報は個々の製品データシートを参照してください。

図2-3. 測定回路損失



2.4 出力電圧レギュレーション

TPS54350EVM-235の出力電圧の負荷レギュレーションを図2-4に、出力電圧のライン・レギュレーションを図2-5に示します。測定は周囲温度25°C時のものです。

図2-4. 負荷レギュレーション

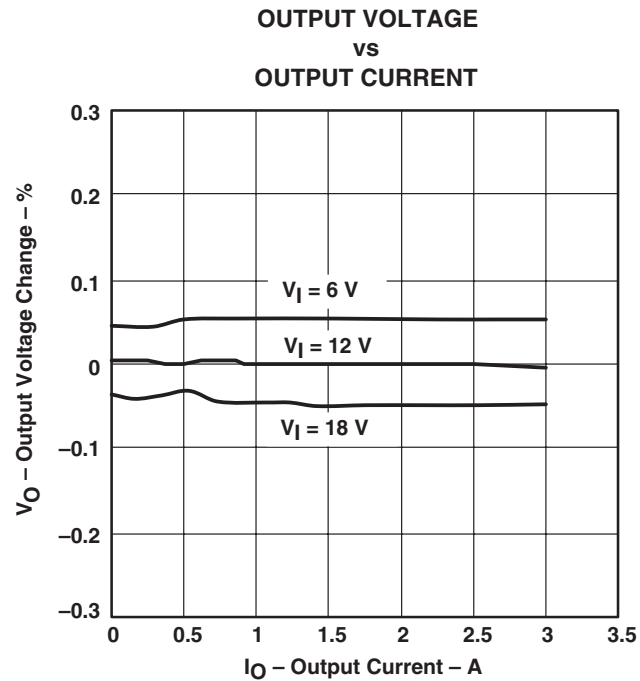
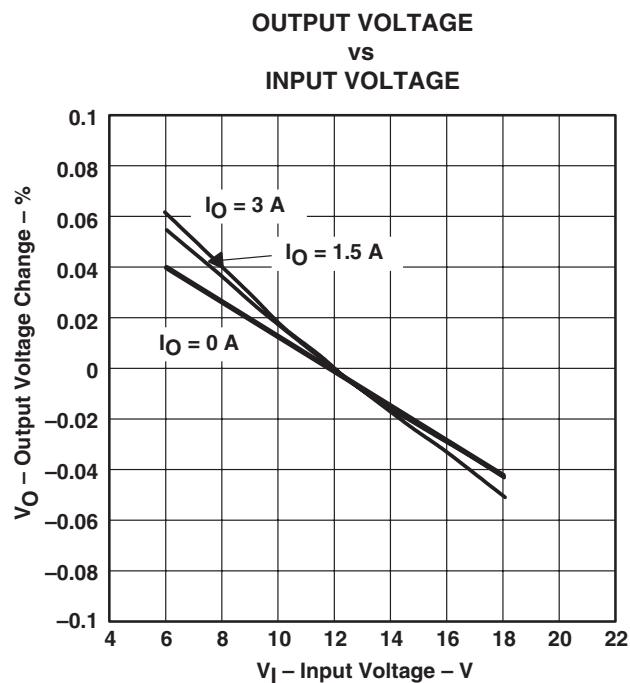


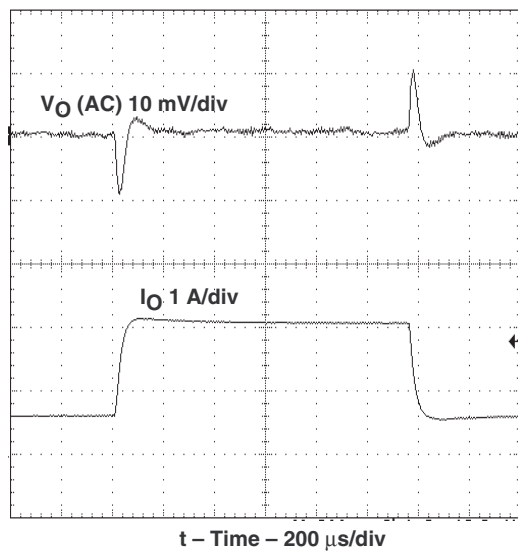
図2-5. ライン・レギュレーション



2.5 負荷過渡

TPS54350EVM-235の負荷過渡応答を図2-6に示します。電流ステップは最大定格負荷の25%から75%です。出力のリプル及びノイズを含んだピーク間総電圧変動が示されています。

図2-6. TPS54350の負荷過渡応答



2.6 ループ特性

TPS54350EVM-235のループ特性を図2-7と図2-8に示します。最小/最大動作電圧時のゲインと位相曲線が示されています。

図2-7. TPS54350の測定ループ応答 ($V_I = 6V$)

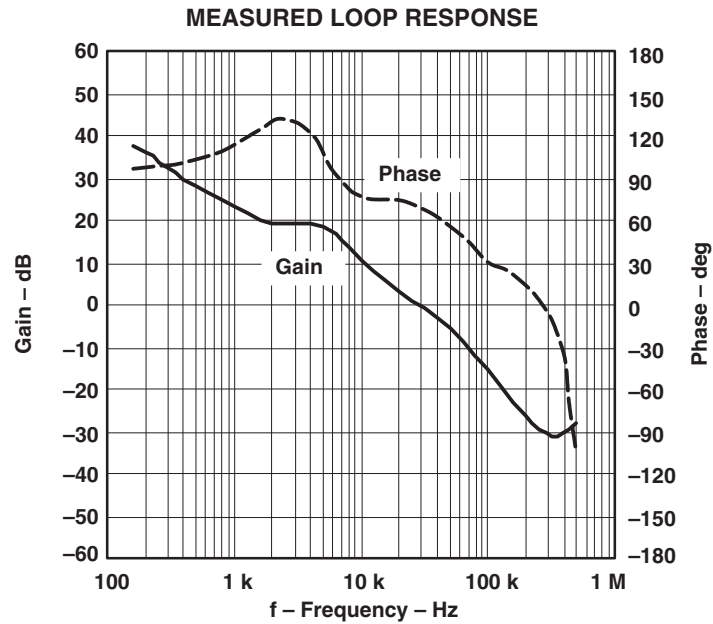
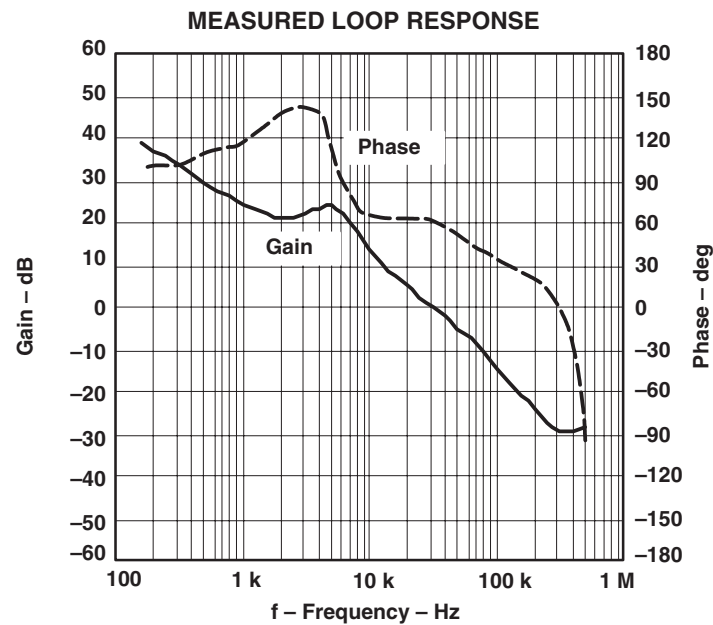


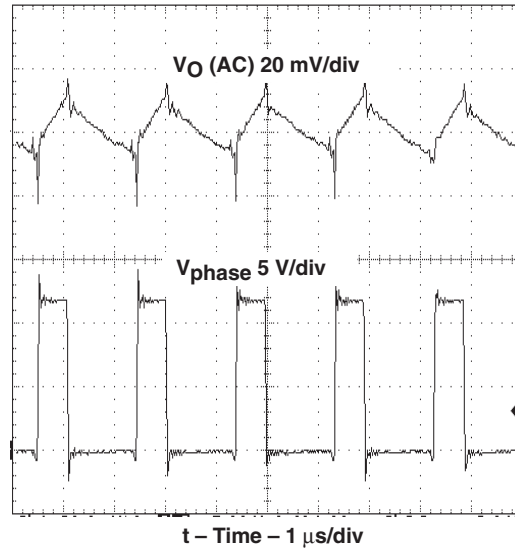
図2-8. TPS54350の測定ループ応答 ($V_I = 18V$)



2.7 出力電圧リップル

TPS54350EVM-235の出力電圧リップルを図2-9に示します。TPS54350の入力電圧は12Vです。出力電流は3Aの定格全負荷です。電圧は出力キャパシタ間で直接測定されています。

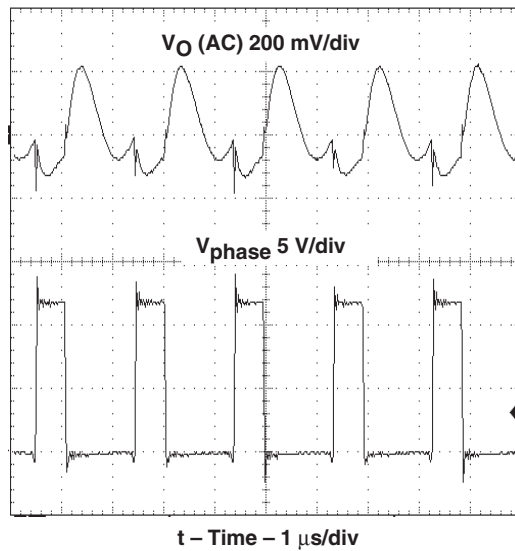
図2-9. TPS54350の測定出力電圧リップル



2.8 入力電圧リップル

TPS54350EVM-235の入力電圧リップルを図2-10に示します。TPS54350の入力電圧は12Vです。出力電流は3Aの定格全負荷です。

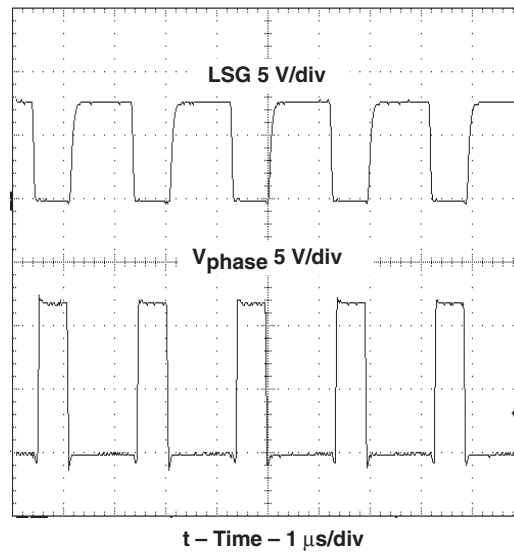
図2-10. TPS54350の入力電圧リップル



2.9 ゲート駆動

TPS54350は同期ローサイドFETにゲート駆動信号を供給します。このゲート駆動信号及びPHASE信号との相関関係を図2-11に示します。

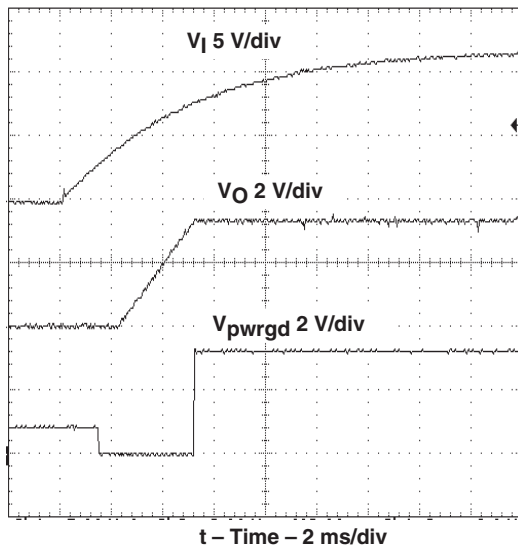
図2-11. TPS54350のゲート駆動信号



2.10 起動と停止

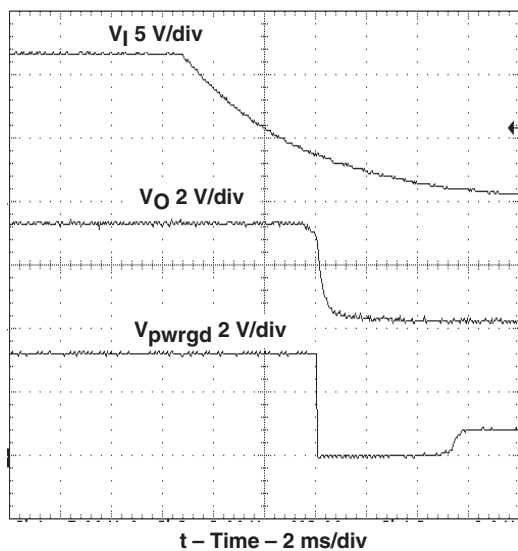
TPS54350EVM-235の起動時電圧波形を図2-12に示します。この波形で、チャンネル1は標準12Vの入力電圧、チャンネル2は上昇する3.3V出力電圧、チャンネル3はPWRGD信号です。PWRGD信号は外部で3.3Vにプルアップされていることに注意してください。

図2-12. 起動



対応する停止時の波形を図2-13に示します。チャンネルの割り当ては上記の起動時波形と同じです。

図2-13. 停止



ボード・レイアウト

この章ではTPS54350EVM-235のボード・レイアウトと各層の図について説明します。

表題	ページ
3.1 レイアウト	3-2

3.1 レイアウト

TPS54350EVM-235のボード・レイアウトを図3-1から図3-4に示します。TPS54350EVM-235の上層は小型化に最適化されるユーザー・アプリケーションの代表的な方法でレイアウトされています。上層及び下層には1.5オンスの銅が使用されています。

上層には V_I 、 V_O 、 V_{phase} の主なパワー配線が含まれています。また、上層にはTPS54350の残りのピンの接続と広いグラウンド領域もあります。下層は V_{phase} の領域、 V_{sense} の配線、並びにグラウンド・プレーンより構成されています。また、下層にはスナバ部品(R_{10} と C_{11})及びオプションのキャッチ・ダイオード(D_1)を実装するためのパッドもあります。上層及び下層のグラウンド配線は、PowerPAD™のランドからグラウンドへの熱経路を供給するためのTPS54350の真下の8つを含み含むボードの周囲に配置されている複数のビアで接続されています。

入力デカップリング・キャパシタ(C_9)、バイアス・デカップリング・キャパシタ(C_4)、ブートストラップ・キャパシタ(C_3)は全てできるだけICの近くに配置されています。さらに、補償部品もICの近くに配置されています。補償回路は、正出力接続で、レギュレーション点で出力電圧に接続されています。

図3-1. 上層レイアウト

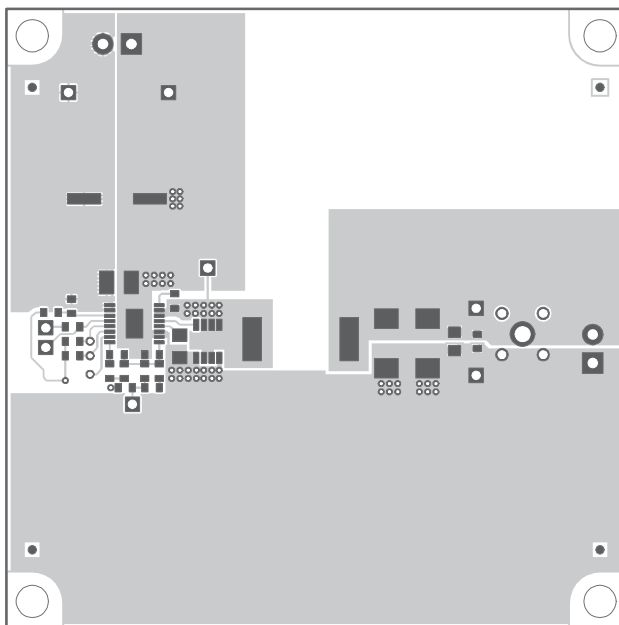


図3-2. 下層レイアウト

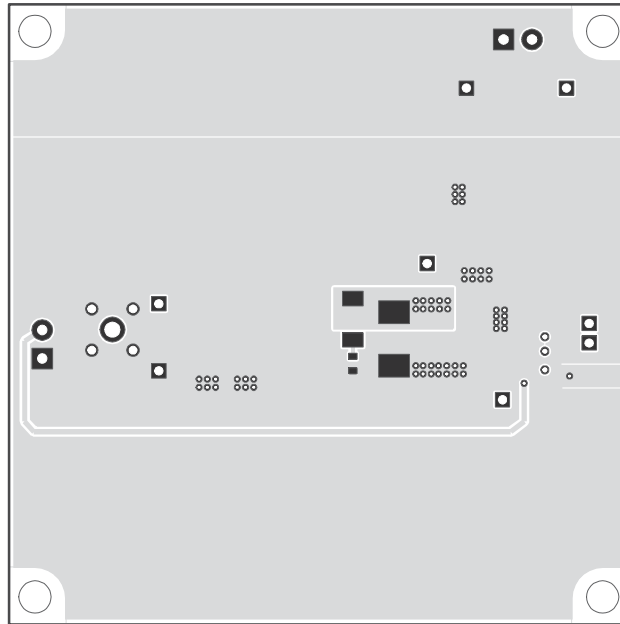


図3-3. 上側の実装

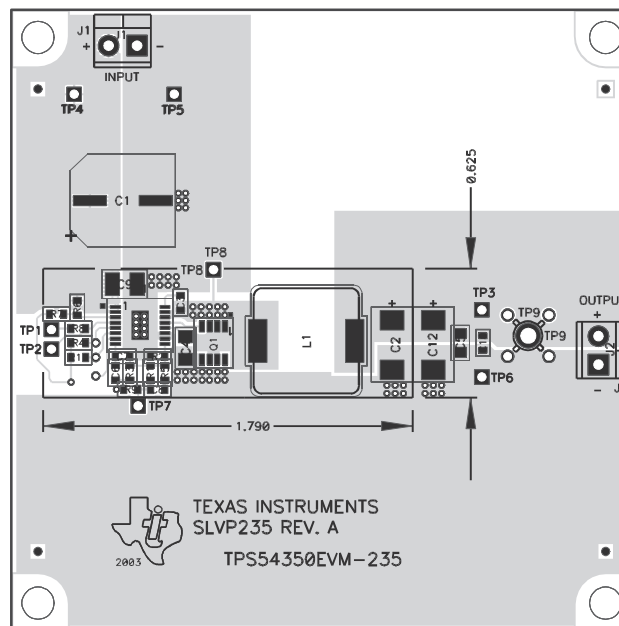
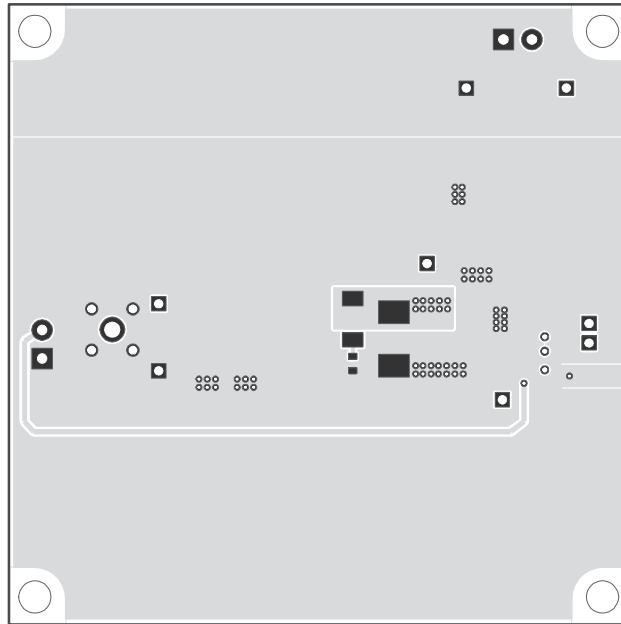


図3-4. 下側の実装



回路図と部品表

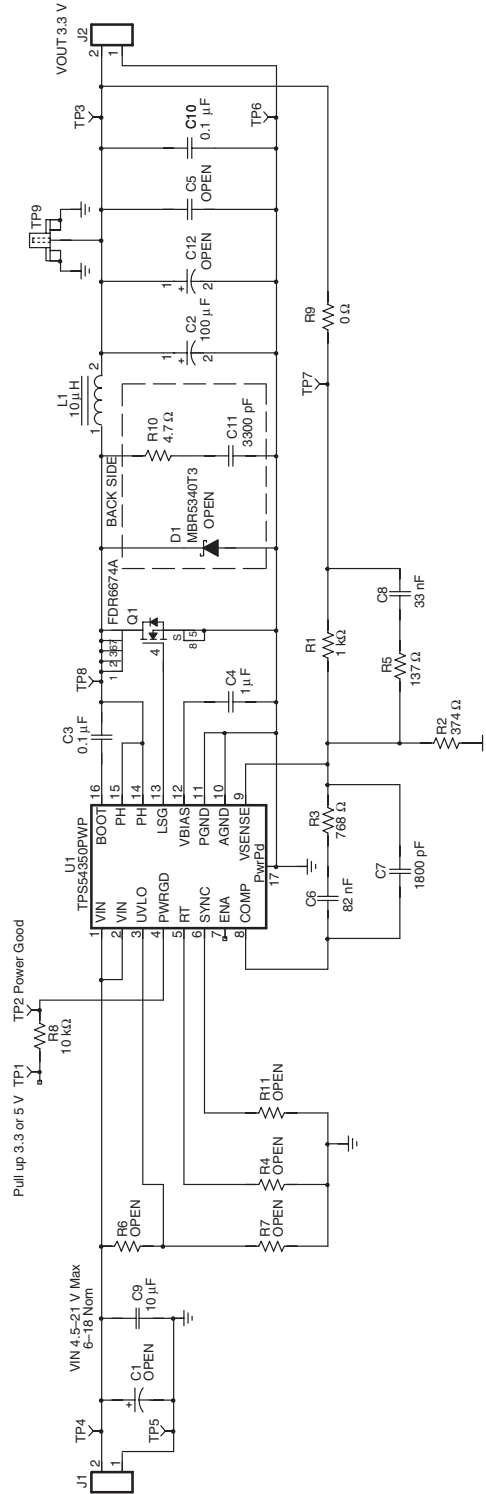
この章ではTPS54350EVM-235の回路図と部品表を記載します。

表題	ページ
4.1 回路図	4-2
4.2 部品表	4-3

4.1 回路図

TPS54350EVM-235の回路図を図4-1に示します。

図4-1. TPS54350-235回路図



4.1 部品表

TPS54350EVM-235の部品表を表4-1に示します。

表4-1. TPS54350-235部品表

Count	Ref Des	Description	Size	MFR	Part Number
—	C1	Capacitor, aluminum, 100 μ F, 35V, 20%, FC Series	0.335 x 0.374	Panasonic	EEVFC1V101P
1	C11	Capacitor, ceramic, 3300pF, 50V, X7R, 10%	603	std	std
—	C12	Capacitor, aluminum, xxx μ F, x V, 20% (UE Series)	7343	std	std
—	C5	Capacitor, ceramic, xxx μ F, vv V, [temp], [tol]	805	std	std
1	C2	Capacitor, POSCAP, 100 μ F, 6.3V, 45m Ω , 20%	7343 (D)	Sanyo	6TPC100M
2	C3, C10	Capacitor, ceramic, 0.1 μ F, 16V, X7R, 10%	603	std	std
1	C4	Capacitor, ceramic, 1.0 μ F, 16V, X7R, 10%	1206	std	std
1	C6	Capacitor, ceramic, 82nF, 16V, X7R, 10%	603	std	std
1	C7	Capacitor, ceramic, 1800pF, 50V, X7R, 10%	603	std	std
1	C8	Capacitor, ceramic, 33nF, 50V, X7R, 10%	603	std	std
1	C9	Capacitor, ceramic, 10 μ F, 25V, X5R, 20%	1210	Taiyo Yuden	TMK325 BJ106MN
—	D1	Diode, schottky, 3A, 40V	SMC	Motorola	MBRS340T3
2	J1, J2	Terminal block, 2pin, 6A, 3.5mm	75525	OST	ED1514
1	L1	Inductor, SMT, 10 μ H, 8A, 20m Ω	0.51 x 0.51	Vishay	IHLP-5050CZ
1	Q1	Transistor, MOSFET, Nch, 11.5A, 30V 9.5m Ω	0.160 x 0.130	Fairchild	FDR6674A
1	R1	Resistor, chip, 1.00k Ω , 1/16W, 1%	603	std	std
1	R10	Resistor, chip, 4.7 Ω , 1/2W, 5%	2010	std	std
1	R2	Resistor, chip, 374 Ω , 1/16W, 1%	603	std	std
1	R3	Resistor, chip, 768 Ω , 1/16W, 1%	603	std	std
—	R4, R6, R7, R11	Resistor, chip, xx Ω , 1/16W, 1%	603	std	std
1	R5	Resistor, chip, 137 Ω , 1/16W, 1%	603	std	std
1	R8	Resistor, chip, 10.0k Ω , 1/16W, 1%	603	std	std
1	R9	Resistor, chip, 0 Ω , 1/16 W, 1%	603	std	std
4	TP1, TP3, TP4, TP8	Test point, red, 1mm	0.038	Farnell	240-345
4	TP2, TP5, TP6, TP7	Test point, black, 1mm	0.038	Farnell	240-333
1	TP9	Adaptor, 3,5mm probe clip (or 131-5031-00)	0.2	Tektronix	131-4244-00
1	U1	IC, dc/dc converter	PWP16	TI	TPS54350PWP
1	—	PCB, 3 In x 3 In x 0.062 In		Any	SLVP235

注 (1) これら組み立て部品はESDに敏感であり、ESDに対する注意を守らなくてはなりません。

(2) これら組み立て部品はフラックスや全ての汚染物質があってはなりません。汚染されたフラックスを使用してはいけません。

(3) これら組み立て部品はANSI/IPC-A-610クラス2に準拠しなければなりません。

(4) アスタリスク(**)の付いた参照記号の部品は置き換えできません。その他の全部品は等価部品で代用できます。

ご注意

日本テキサス・インスツルメンツ株式会社及びTexas Instruments Incorporated (以下TIといいます)は、TI所定の手続きに従い、あるいはお客様とTIとの間に取引契約が締結されている場合は当該契約条件に従い、その製品を変更し、もしくは製品の製造中止またはサービスの提供を中止することがありますので、お客様は、発注される前に、これから参照しようとする情報が最新かつ完全なものであることを確実なものとするため、最新版の情報を取得するようお勧めします。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また取引契約が締結されていない場合は、ご注文の受諾の際に提示される保証、特許侵害、責任制限に関する条項を含むTIの標準販売契約約款に従って販売されます。

TIは、その製品が、TIの標準保証条件に従い販売時の仕様書に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様書に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TI製部品を使用しているお客様の製品についてはお客様が責任を負っています。

そのようなお客様の製品について想定されうる危険を最小のものとするため、製品固有の障害発生要因もしくは組み合わせによる障害発生要因を減らすための、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、製品の使用用途に関する支援もしくはお客様の製品の設計について責任を負うことはありません。TIは、その製品もしくはサービスが使用される、もしくは使用されている組み合わせ、機械装置、もしくは方法をカバーしている、もしくはそれ等に関連している特許権、著作権、回路配置利用権、その他の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表示もしておりません。TIが第三者の製品もしくはサービスについて情報を提供しているということは、TIが当該製品もしくはサービスを承認、ライセンス、保証もしくは支持することを意味しません。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加え、あるいはその一部のみ、表示もしくは複製することは当該情報に係るTI製品もしくはサービスに対して提供された全ての保証を無効にし、かつ不正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他と異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為であり、TIは、そのような使用については如何なる義務ないし責任も負うものではありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2004, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上