

# **TPS54380EVM-001**

3アンペア SWIFT™ レギュレータ  
評価モジュール

## ユーザーズ・ガイド

# まえがき

---

---

---

---

## このマニュアルについて

このユーザーズ・ガイドには、TPS54380EVM評価モジュール(EVM)の特徴、操作、および使用方法が記載されています。回路図、プリント基板(PCB)レイアウト、および部品表も含まれています。

## このマニュアルの使い方

- 第1章 - はじめに
- 第2章 - テストの設定および結果
- 第3章 - 基板レイアウト
- 第4章 - 回路図および部品表

## Information About Cautions and Warnings

This book may contain cautions and warnings.

**This is an example of a caution statement.**

**A caution statement describes a situation that could potentially damage your software or equipment.**

**This is an example of a warning statement.**

**A warning statement describes a situation that could potentially cause harm to you.**

## TIが提供する関連資料

- TPS54380データシート(資料番号SLVS454)

## 商標

SWIFT、PowerPADは、テキサス・インスツルメンツの商標です。

# 目次

---

---

---

1	はじめに.....	1-1
1.1	背景.....	1-2
1.2	性能仕様要約.....	1-3
1.3	変更.....	1-4
1.3.1	電源シーケンス制御.....	1-5
2	テストの設定および結果.....	2-1
2.1	入力/出力接続.....	2-2
2.2	効率.....	2-3
2.3	消費電力.....	2-4
2.4	出力電圧レギュレーション.....	2-5
2.5	負荷過渡.....	2-6
2.6	ループ特性.....	2-7
2.7	出力電圧リップル.....	2-8
2.8	入力電圧リップル.....	2-8
2.9	パワーアップおよびパワーダウン.....	2-9
3	基板レイアウト.....	3-1
3.1	レイアウト.....	3-2
4	回路図および部品表.....	4-1
4.1	回路図.....	4-2
4.2	部品表.....	4-3

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。  
資料によっては正規英語版資料の更新に対応していないものがあります。  
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。  
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。  
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



1-1	周波数トリミング抵抗の選択グラフ .....	1-4
2-1	接続図.....	2-2
2-2	効率の測定値、TPS54380 .....	2-3
2-3	回路損失の測定値.....	2-4
2-4	負荷レギュレーション .....	2-5
2-5	ラインレギュレーション .....	2-5
2-6	負荷過渡応答、TPS54380 .....	2-6
2-7	ループ応答の測定値、TPS54380、 $V_I = 3V$ .....	2-7
2-8	ループ応答の測定値、TPS54380、 $V_I = 5.5V$ .....	2-7
2-9	出力電圧リップルの測定値、TPS54380.....	2-8
2-10	入力電圧リップル、TPS54380 .....	2-8
2-11	トラッキングありのパワーアップ .....	2-9
2-12	トラッキングありのパワーダウン .....	2-9
2-13	レシオメトリック・シーケンス制御によるパワーアップ .....	2-10
2-14	レシオメトリック・シーケンス制御によるパワーダウン .....	2-10
2-15	コア電圧が先に立ち上がるパワーアップ.....	2-11
2-16	コア電圧が後から立ち下がるパワーダウン .....	2-11
3-1	上層レイアウト .....	3-2
3-2	下層レイアウト(上側から見た図).....	3-3
3-3	上層アセンブリ .....	3-3
4-1	TPS54380EVM-001回路図.....	4-2



1-1	入力電圧および出力電流一覧.....	1-2
1-2	TPS54380EVM-001性能仕様要約.....	1-3
1-3	出力電圧のプログラミング .....	1-4
4-1	TPS54380EVM-001部品表.....	4-3

## はじめに

この章では、TPS54380の背景情報と、TPS54380EVM-001評価モジュール(HPA001)のサポート資料について説明します。TPS54380EVM-001の性能仕様に加えて、TPS54380EVM-001の回路図および部品表も記載しています。

表題	ページ
1.1 背景 .....	1-2
1.2 性能仕様要約 .....	1-3
1.3 変更 .....	1-4

## 1.1 背景

TPS54380トラッキングDC/DCコンバータは、負荷に対して2種類以上の電圧を必要とするアプリケーションで、正確な電源シーケンス制御を行います。そのようなアプリケーションの例としては、マイクロプロセッサ、DSP、およびFPGA用のコアおよびI/O電源があります。一般に、パワーアップおよびパワーダウン・シーケンス中には、コア電源電圧とI/O電源電圧との間に特定の関係が成り立つ必要があります。TPS54380トラッキングDC/DCコンバータは、第2の電源に対する直接トラッキング、同時時間ソフトスタート・トラッキング、および電圧シーケンス制御が可能です。TPS54380EVM-001は、コアおよびI/O電圧の直接トラッキングおよびシーケンス制御においてTPS54380の設計が固有の柔軟性を持つことを示す、2チャンネルEVMです。TPS54380は、コア電圧を生成し、通常1.8Vに設定されます。TPS2013分配スイッチにより、通常3.3VのI/O電圧が提供されます。表1-1に、定格入力電圧および出力電流の範囲を示します。この評価モジュールでは、TPS54380レギュレータを使用した設計により、必要なPCB領域が小さくて済むことが示されます。スイッチング周波数は通常700kHzに設定され、フットプリントの小さい1.0 $\mu$ H出力インダクタを使用できます。TPS54380のMOSFETは、TPS54380パッケージに内蔵されています。これにより、外部MOSFETおよび関連ドライバが不要になります。MOSFETのドレイン・ソース間オン抵抗が低いため、TPS54380は高効率であり、高出力電流時にも接合温度を低く保つことができます。ICの外部にある補償部品により、出力電圧を調整でき、ループ応答をカスタマイズできます。TPS54380デバイスは、TRACKINピンを使用してトラッキングおよびシーケンス制御機能にアクセスします。内部のマルチプレクサ回路により、このピンの電圧が内部基準電圧と比較され、低い方の電圧が出力電圧レギュレーションの基準として使用されます。TPS54380のTRACKINピンに別の電源または分配スイッチが接続されている場合、パワーアップまたはパワーダウン中に、TRACKINピンの電圧が内部基準電圧より高くなるまで、TPS54380の出力はこのもう一方のチャンネルの出力をトラッキングします。適切な抵抗ダイバ・ネットワークを使用して、もう一方の電源出力をTRACKINピンに印加することにより、レギュレータの2つの出力電圧間でパワーアップおよびパワーダウン時に満たす必要のある関係を、ダイバ・ネットワークの比を変えることで設定できます。

表1-1. 入力電圧および出力電流一覧

EVM	Input Voltage Range	Output Current Range
TPS54380EVM-001	3.0 to 5.5V	Core, -3A to 3A I/O, 0 – 1.5A

入力電圧範囲は、TPS2013パワースイッチによって制限されています。

## 1.2 性能仕様要約

表1-2に、TPS54380EVM-225の性能仕様の要約を示します。特に指定がない限り、すべての仕様は入力電圧3.3V、出力電圧1.8Vで規定されています。特に指定がない限り、すべての測定値について周囲温度は25°Cです。表1-2に示したデータは、I/O出力に負荷のない状態で得られたものです。入力電圧範囲は、パワースイッチにより5.5Vに制限されています。TPS54380の最大入力電圧は6Vです。

表1-2. TPS54380EVM-001性能仕様要約

Specification		Test Conditions	Min	Typ	Max	Units
Input voltage range			3.0	3.3 or 5.0	5.5	V
Output voltage set point			0.9	1.8	3.3	V
Output current range		$V_I = 3V$ to 5.5V	-3		3	A
Line regulation		$I_O = 0 - 3A$ , $V_I = 3V$ to 5.5V		±0.1%		
Load regulation		$V_I = 3.3V$ , $I_O = 0$ to 3A		±0.2%		
Load transient response	Voltage change	$I_O = 0.75A$ to 2.25A		-24		mV <sub>PK</sub>
	Recovery time			120		μs
	Voltage change	$I_O = 2.25A$ to 0.75A		20		mV <sub>PK</sub>
	Recovery time			120		μs
Loop bandwidth		$V_I = 3V$		50		kHz
Phase margin		$V_I = 3V$		62°		
Loop bandwidth		$V_I = 5.5V$		80		kHz
Phase margin		$V_I = 5.5V$		46°		
Input ripple voltage				50	200	mV <sub>PP</sub>
Output ripple voltage				6	10	mV <sub>PP</sub>
Output rise time				N/A		ms
Operating frequency			280	700	700	kHz
Maximum efficiency		$V_I = 5.0V$ , $V_O = 1.8V$ , $I_O = 1.0A$		89%		-

### 1.3 変更

TPS54380EVM-001は、TPS54380を使用した設計により、基板サイズを小さくすることを元に設計されており、その他の機能はこのEVMでは省いております。R2の値を変更すると、出力電圧を0.9Vから3.3Vの範囲で変更できます。特定の出力電圧を得るためのR2の値は、式1-1を用いて計算できます。表1-3に、いくつかの一般的な出力電圧に対するR2の値を示します。

式1-1.

$$R2 = 10k\Omega \times \frac{0.891V}{V_O - 0.891V}$$

表1-3. 出力電圧のプログラミング

Output Voltage (V)	R2 Value (kΩ)
0.9	1000
1.2	28.7
1.5	14.7
1.8	9.76
2.5	5.49
3.3	3.74

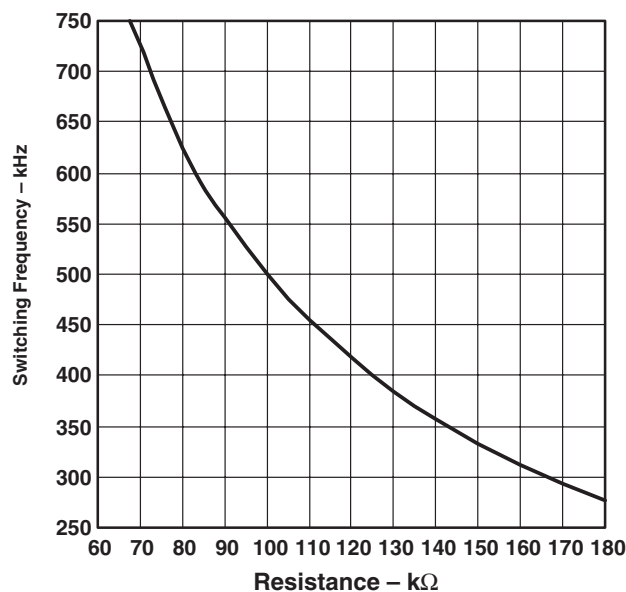
最小出力電圧は、デバイスの制御可能な最小オン時間(200ns)によって制限され、デューティ・サイクルおよび動作周波数に依存します。概算の最小出力電圧は、式1-2を用いて計算できます。

式1-2.

$$V_{OUTMIN} = 200n \text{ sec} \times f_s \times V_{INMAX}$$

また、R4の値を変更することで、スイッチング周波数を280kHzから700kHzまでの任意の値にトリミングできます。スイッチング周波数を低くすると、L1の値を大きくしない限り、出力リップルが増加します。図1-1に、RTの値とスイッチング周波数の関係を示します。

図1-1. 周波数トリミング抵抗の選択グラフ



C1には、オンボードの電解入力キャパシタを追加可能です。



### 1.3.1 電源シーケンス制御

R6-R7の抵抗デバイダ比の値を変えることにより、異なる電源シーケンス制御手順を設定できます。式1-3、1-4、および1-5に、異なる電源シーケンス制御を選択する方法を示します。

式1-3.

$$\frac{R6}{R7} = \frac{R1}{R2} \quad \text{-- core voltage tracks I/O voltage;}$$

式1-4.

$$\frac{R6}{R7} = \frac{(V_{I/O} - 0.891)}{8.891} \quad \text{-- ratiometric relation between core and I/O voltage;}$$

式1-5.

$$\frac{R6}{R7} < \frac{R1}{R2} \quad \text{-- core voltage rises first at power up and falls second at power down.}$$

## テストの設定および結果

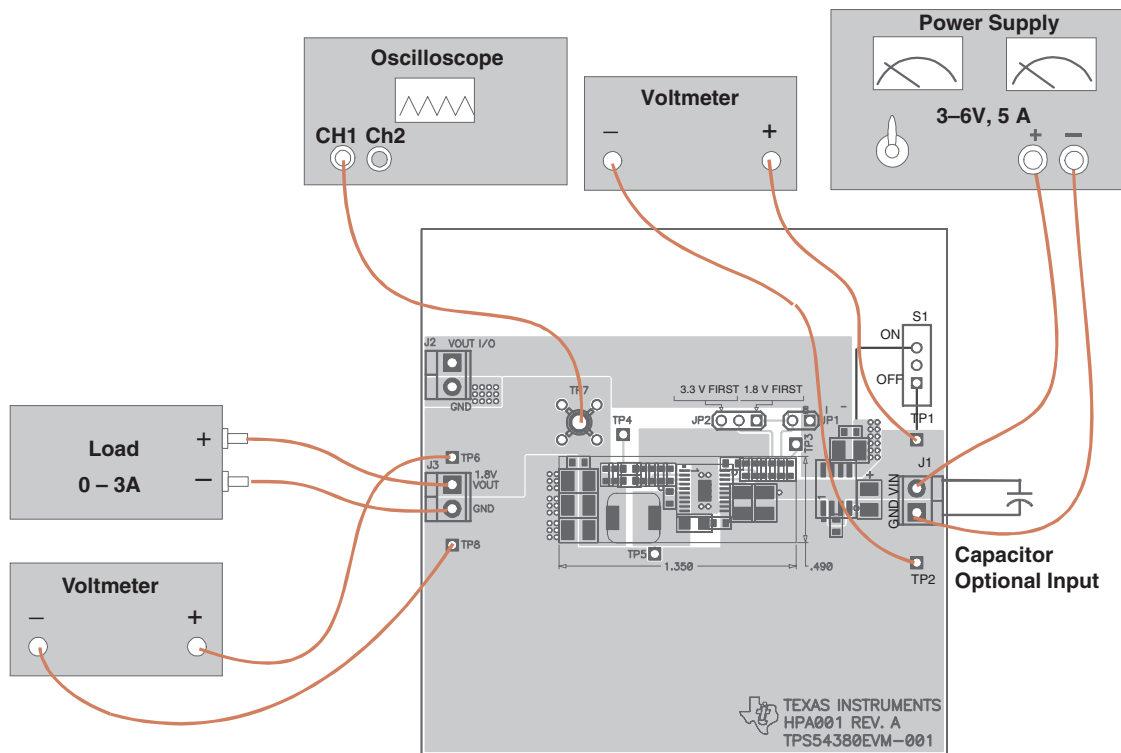
この章では、TPS54380EVM-001評価モジュールの適切な接続、設定、および使用方法について説明します。また、TPS54380EVM-001に対する標準的なテスト結果を示し、効率、出力電圧レギュレーション、負荷過渡状態、ループ応答、出力リップル、入力リップル、およびスタート・アップについても説明します。

表題	ページ
2.1 入力/出力接続.....	2-2
2.2 効率.....	2-3
2.3 消費電力.....	2-4
2.4 出力電圧レギュレーション.....	2-5
2.5 負荷過渡.....	2-6
2.6 ループ特性.....	2-7
2.7 出力電圧リップル.....	2-8
2.8 入力電圧リップル.....	2-8
2.9 パワーアップおよびパワーダウン.....	2-9

## 2.1 入力/出力接続

TPS54380EVM-001には、VI J1、VO I/O J2、VO Core J3という3つの入力/出力コネクタがあります。図2-1に、接続箇所を示しています。5Aを供給できる電源を1対の20AWGワイヤを通してJ1に接続します。負荷は、1対の16AWGワイヤを通してJ3に接続します。最大負荷電流容量は3Aです。ワイヤ内での損失を低減するため、ワイヤ長はできるだけ短くします。テストポイントTP6には、出力電圧のモニタ用にオシロスコープの電圧プローブを簡単に接続できます。TPS54380は、ポイント・オブ・ロード・レギュレータとして使用されることを意図しています。標準的なアプリケーションでは、入力電圧ソースの近くに配置されます。TPS54380EVM-001でVIのソースとして外部電源を使用する場合は、ソースの出力インピーダンスおよびフックアップ・ワイヤの長さに応じて、追加のバルク・キャパシタが必要になる場合があります。ここで示すテスト結果は、470 $\mu$ F、16Vの追加入力キャパシタを使用して得られたものです。または、C1に入力フィルタ・キャパシタを使用することもできます。次の図は、I/O電圧出力に負荷のない場合の接続を示しています。I/O電圧は、外部負荷に対して1.5Aを供給することができます。

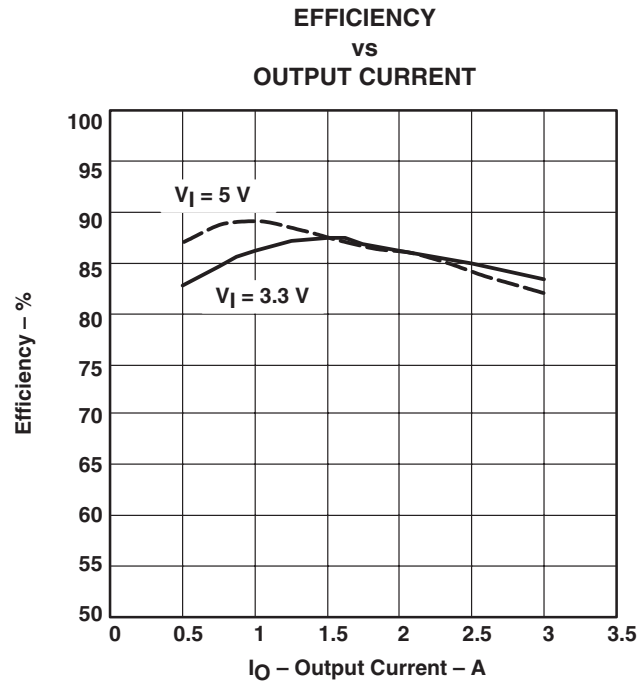
図2-1. 接続図



## 2.2 効率

TPS54380EVM-001の効率は、負荷電流が約1A~2Aのときにピークとなり、負荷電流が全負荷に近づくにつれて低下します。図2-2に、周囲温度25°CでのTPS54380の効率を示します。高い周囲温度では、MOSFETのドレイン・ソース間抵抗が温度により変動するため、効率が下がります。また、MOSFETのゲートおよびスイッチング損失により、スイッチング周波数が700kHz以下の場合には効率がわずかに低くなります。

図2-2. 効率の測定値、TPS54380

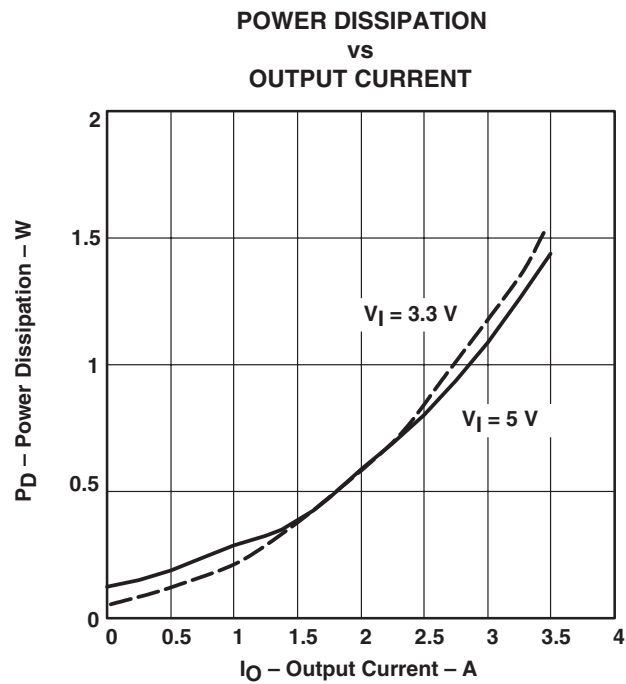


## 2.3 消費電力

PWPパッケージの接合部・ケース間の熱抵抗が低いことと、適切な基板レイアウトにより、TPS54380EVM-001 EVMでは安全な接合温度を保ちながら全定格負荷電流を出力することができます。3.3Vの入力ソースと3A負荷の場合、接合温度は約60°Cで、ケース温度は約55°Cです。図2-3に、25°Cでの全回路損失を示します。入力電圧が3.3Vおよび5.0Vの場合の消費電力が示されています。

デバイスの消費電力定格の詳細については、個々の製品データシートを参照してください。

図2-3. 回路損失の測定値



## 2.4 出力電圧レギュレーション

図2-4に、TPS54380EVM-001の出力電圧負荷レギュレーションを示します。図2-5には、出力電圧ラインレギュレーションを示します。周囲温度25°Cでの測定値です。

図2-4. 負荷レギュレーション

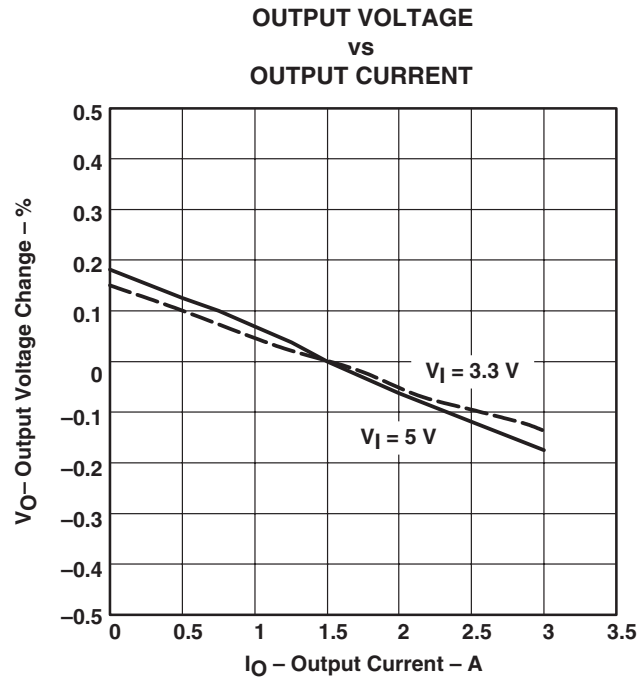
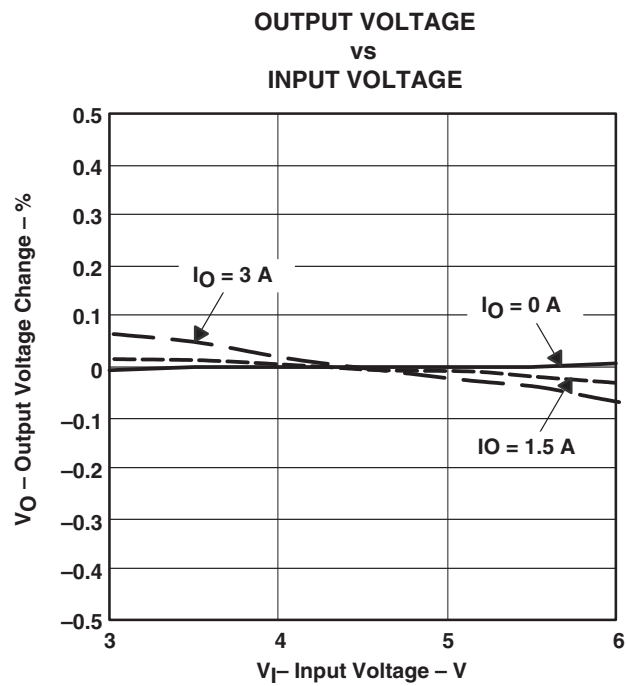


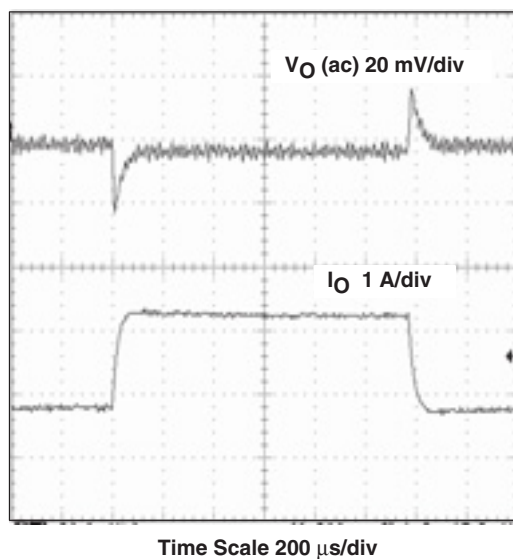
図2-5. ラインレギュレーション



## 2.5 負荷過渡

図2-6に、負荷過渡に対するTPS54380EVM-001の応答を示します。電流ステップは、最大定格負荷の25%から75%までです。出力上のリップルおよび雑音を含めた、合計ピーク・ツー・ピーク電圧変動が示されています。

図2-6. 負荷過渡応答、TPS54380



## 2.6 ループ特性

TPS54380EVM-001のループ応答特性を図2-7および図2-8に示します。各デバイスについて、最小動作電圧および最大動作電圧でのゲインおよび位相のプロットが示されています。

図2-7. ループ応答の測定値、TPS54380、 $V_I = 3V$

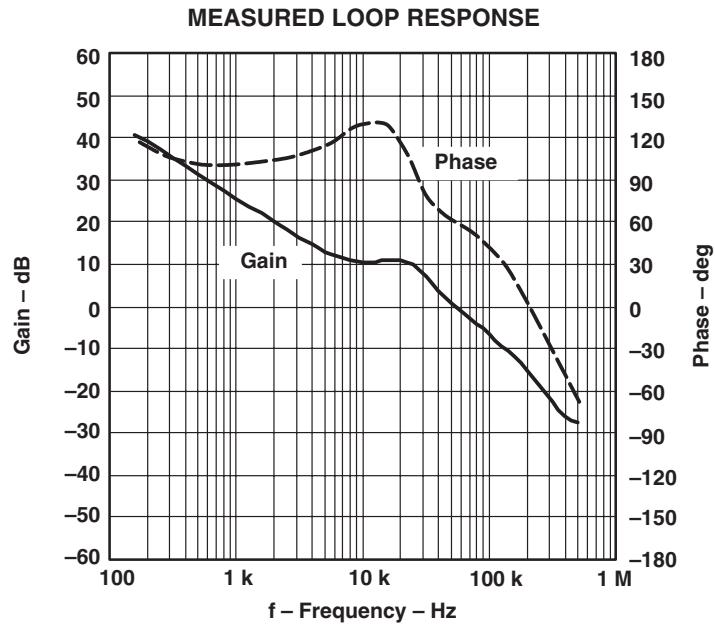
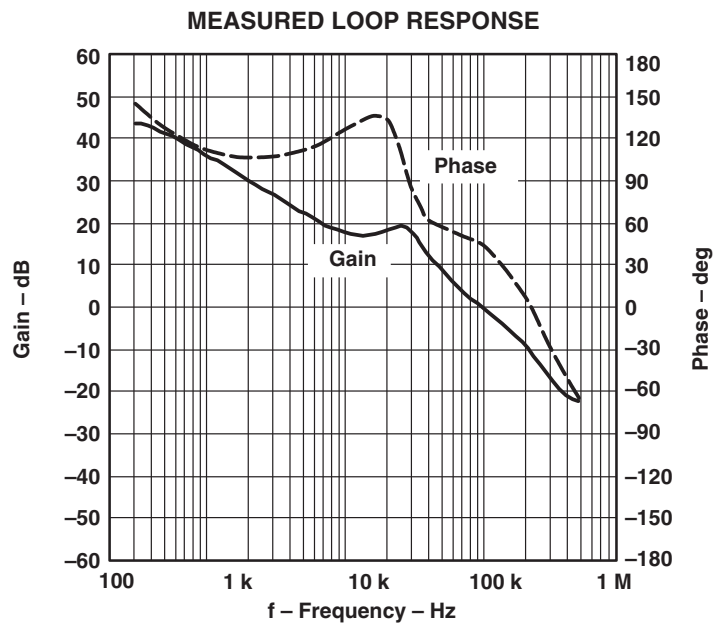


図2-8. ループ応答の測定値、TPS54380、 $V_I = 5.5V$

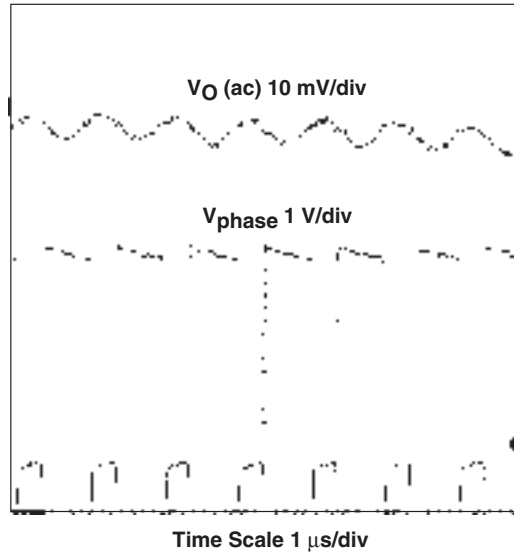




## 2.7 出力電圧リップル

図2-9に、TPS54X73EVM-225の出力電圧リップルを示します。TPS54380の入力電圧は3.3Vです。出力電流は、定格全負荷の3Aです。電圧は、出力キャパシタ間で直接測定されています。

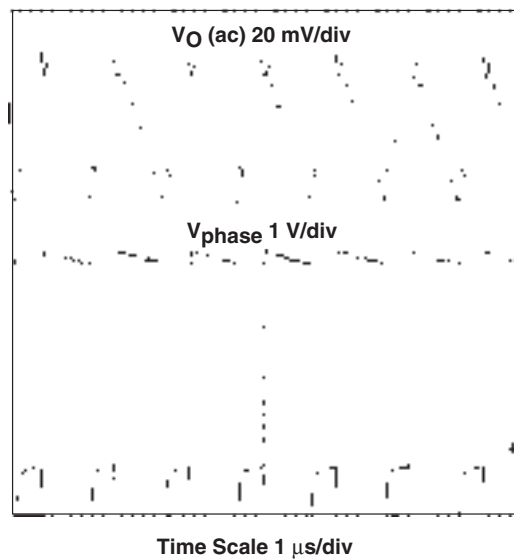
図2-9. 出力電圧リップルの測定値、TPS54380



## 2.8 入力電圧リップル

図2-10に、TPS54X73EVM-225の入力電圧リップルを示します。TPS54380の入力電圧は3.3Vです。各デバイスの出力電流は、定格全負荷の3Aです。

図2-10. 入力電圧リップル、TPS54380



## 2.9 パワーアップおよびパワーダウン

TPS54380レギュレータでは、コアおよびI/O電圧のパワーアップおよびパワーダウン・シーケンス制御に対して異なる複数のモードを使用できます。抵抗デバイダR6/R7(図4-1)に対して異なる比を選択することにより、パワーアップおよびパワーダウン中のコア電圧の傾きを、I/O電圧の傾きと同じ、それより高い、それより低いのいずれかに設定できます。抵抗 $R6 = R1$ および $R7 = R2$ の場合、コア電圧はI/O電圧をトラッキングします。この条件でのTPS54380EVM-001のスタートアップ電圧波形を図2-11に示します。この波形では、コア電圧レギュレータが、通常1.8Vレベルに達するまでの間、I/Oレギュレータの出力をトラッキングします。その後、コアレギュレータはその出力を、プリセットされている1.8Vレベルに制御します。I/Oレギュレータは引き続き、通常3.3Vレベルに達するまで上昇を続けます。パワーアップ中の出力電圧波形は、負荷電流に依存しません。出力電圧波形は、入力電圧が既に印加されている状態で、ENABLE信号をアサートすると立ち上がります。

図2-11. トラッキングありのパワーアップ

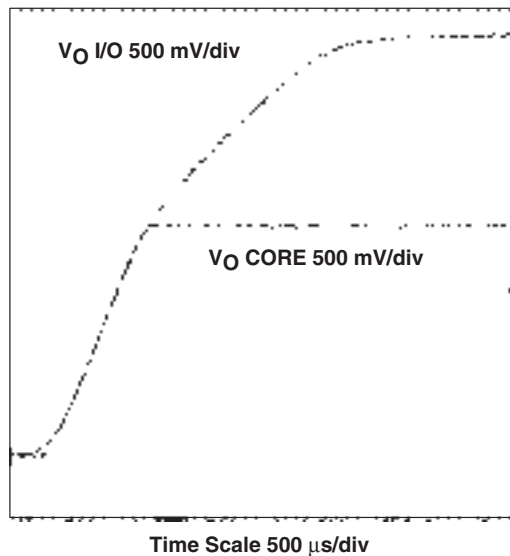
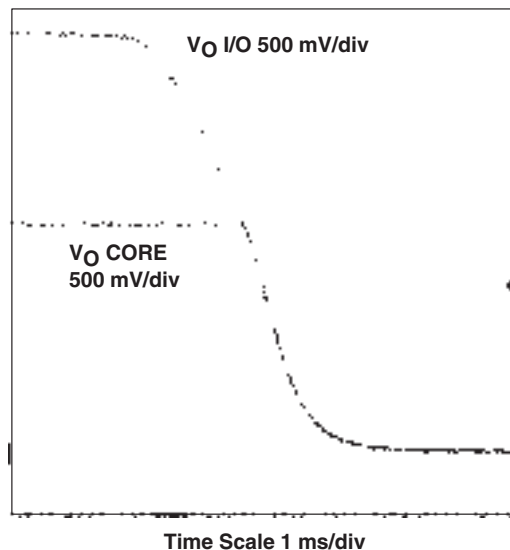


図2-12に、パワーダウン波形を示します。パワーダウン中の出力電圧立ち下がり時間は、出力容量および負荷抵抗によって決定されます。この場合、I/O出力負荷抵抗は $20\Omega$ に設定され、コア出力負荷抵抗は $1\Omega$ に設定されています。I/O出力電圧が約 $1.25V/ms$ のスレートで立ち下がる場合、基本的にコア電圧とI/O電圧の間に差はありません。

図2-12. トラッキングありのパワーダウン



TPS54380EVM-001 EVMでは、ジャンパJP2(図4-1の回路図を参照)を使用して、コア・レギュレータの出力電圧のスルーレートを変えることができます。R8がR7と並列に接続されるようにジャンパJP2を設定すると、レシオメトリックな電源シーケンス制御が実現されます。レシオメトリック・シーケンス制御については、次の条件を満足する必要があります。

$$\text{if } R6 = 10\text{k}\Omega \text{ then } R8 \parallel R7 = (R7 \times 0.891) / (V_{I/O} - 0.891)$$

この場合、I/O電圧とコア電圧は同時にそれぞれの通常値に到達します。レシオメトリックなパワーアップおよびパワーダウンの波形を図2-13および図2-14に示します。

図2-13. レシオメトリック・シーケンス制御によるパワーアップ

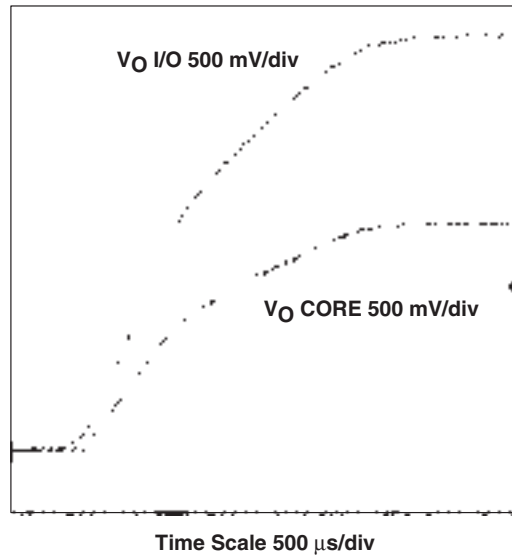
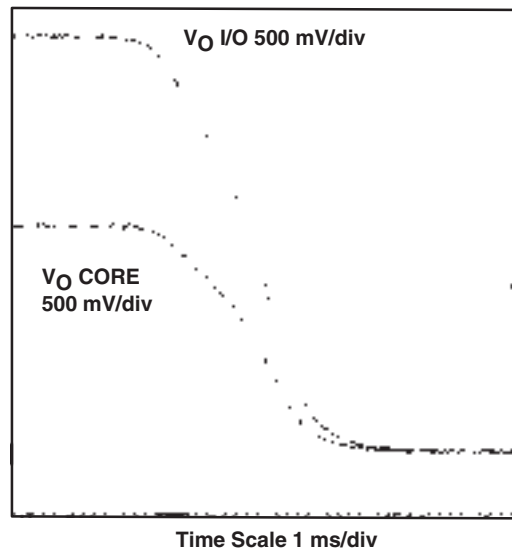


図2-14. レシオメトリック・シーケンス制御によるパワーダウン



R8がR6と並列に接続されるようにジャンパJP2を設定すると、コア電圧はパワーアップ時には先に立ち上がり、パワーダウン時には後から立ち下がります。このタイプのシーケンス制御の波形を図2-15および図2-16に示します。

図2-15. コア電圧が先に立ち上がるパワーアップ

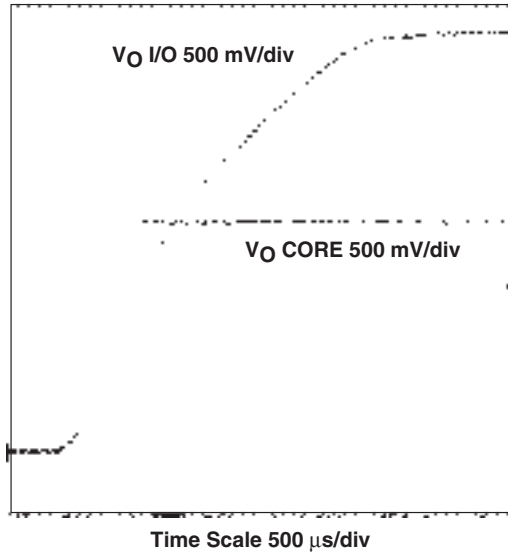
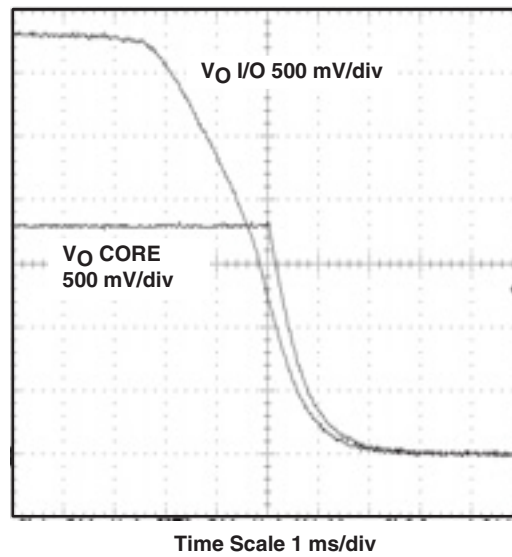


図2-16. コア電圧が後から立ち下がるパワーダウン



## 基板レイアウト

---

---

---

---

この章では、TPS54380EVM-001の基板レイアウトについて説明し、基板層構造図を示します。

表題	ページ
3.1 レイアウト .....	3-2

### 3.1 レイアウト

TPS54380EVM-001の基板レイアウトを図3-1から図3-3に示します。TPS54380EVM-001の上層は、ユーザ・アプリケーションで一般的な方法によりレイアウトされています。上層および下層は、1.5オンス銅です。

上層には、 $V_I$ 、 $V_O$ 、および $V_{(phase)}$ のメイン電源トレースが含まれています。また、上層には、TPS54380の残りのピンの接続と、グラウンドで占められる大きな領域とがあります。下層には、グラウンドおよび $V_O$ 銅領域、およびいくつかの信号ルーティングが含まれています。上層と下層のグラウンド・トレースは、基板の周囲に設けられた複数のビアによって接続されています。これには、PowerPAD™のランドからグラウンドまでのthermal pathを提供する、TPS54380デバイス直下の10個のビアも含まれています。

入力デカップリング・キャパシタ(C5およびC9)、バイアス・デカップリング・キャパシタ(C4)、およびブートストラップ・キャパシタ(C3)はすべて、ICにできるだけ近づけて配置されています。さらに、補償部品もICに近接して配置されています。補償回路は、高周波バイパス出力キャパシタに隣接したレギュレーション・ポイントで、出力電圧に接続されています。

図3-1. 上層レイアウト

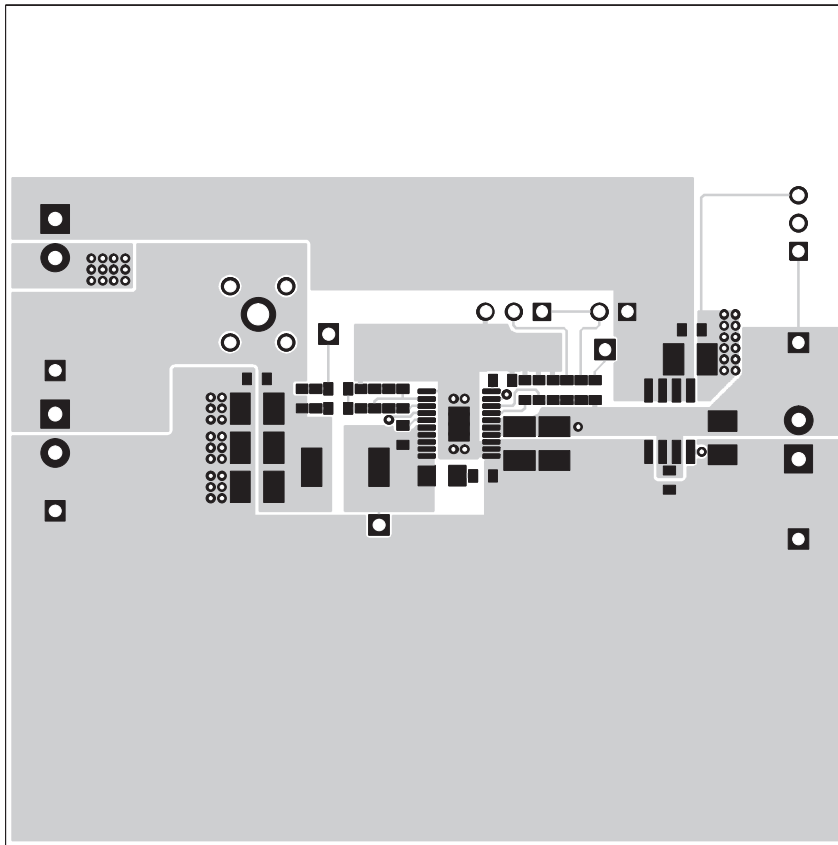


図3-2. 下層レイアウト(上側から見た図)

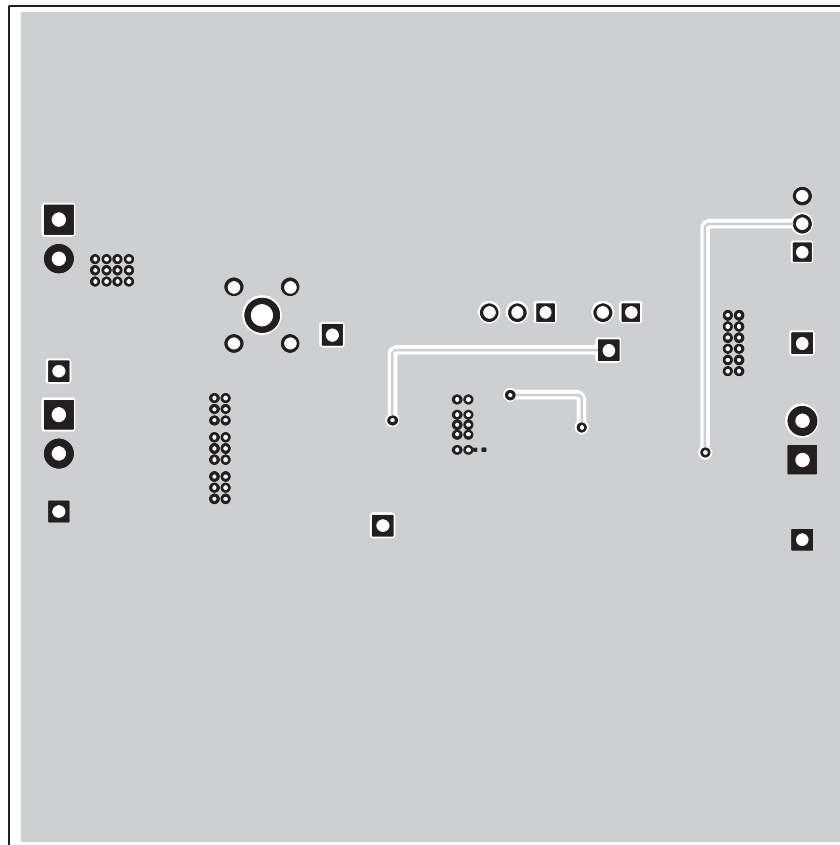
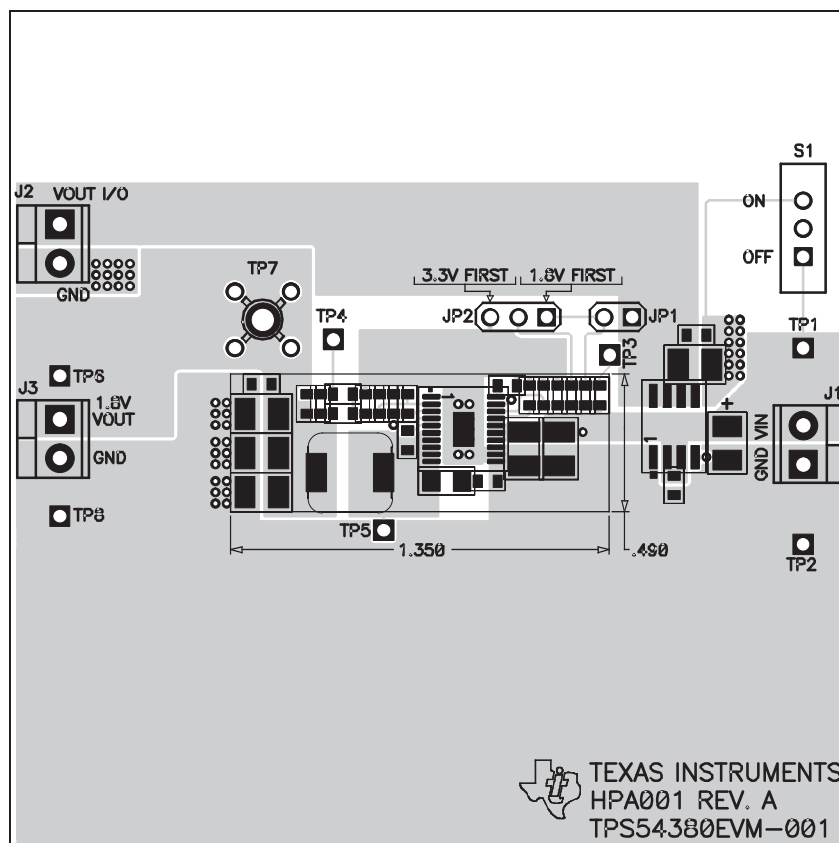


図3-3. 上層アSEMBリ



# 回路図および部品表

---

---

---

---

この章では、TPS54380EVM-001の回路図および部品表を示します。

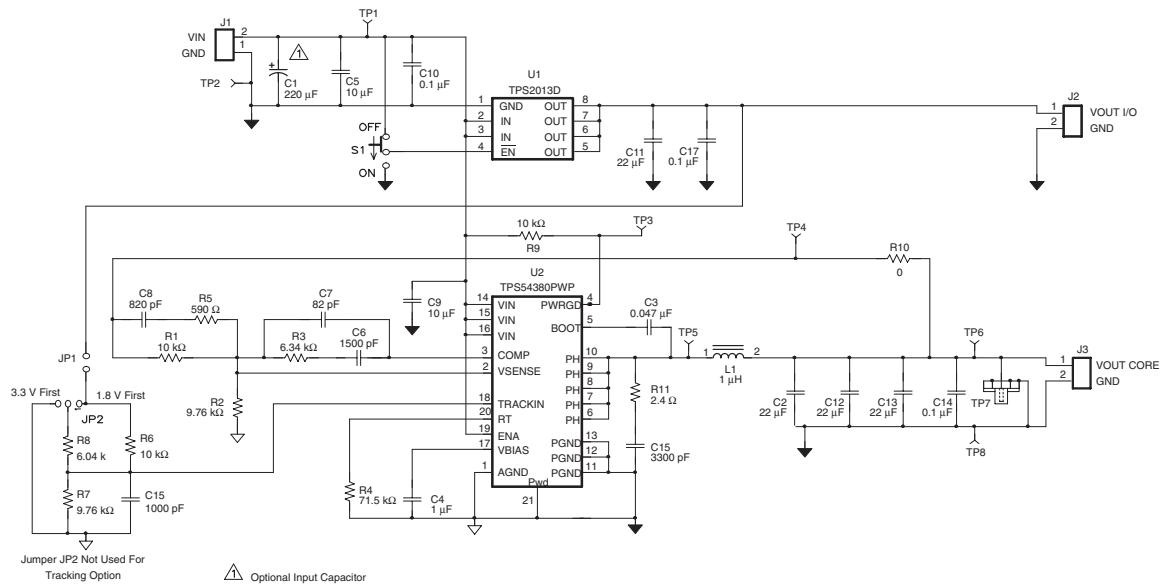
表題	ページ
4.1 回路図.....	4-2
4.2 部品表.....	4-3



## 4.1 回路図

図4-1に、TPS54380EVM-001の回路図を示します。

図4-1. TPS54380EVM-001回路図



## 4.2 部品表

表4-1に、TPS54380EVM-001の部品表を示します。

表4-1. TPS54380EVM-001部品表

Count	RefDes	Description	Size	MFR	Part Number
–	C1	Capacitor, POSCAP, 220 $\mu$ F, 10V, 40-m $\Omega$ , 20%	D4	Sanyo	10TPB220M
4	C2, C11, C12, C13	Capacitor, ceramic, 22 $\mu$ F, 6.3V, X5R, 20%	1210	Taiyo Yuden	JMK325BJ226MN
1	C3	Capacitor, ceramic, 0.047 $\mu$ F, 25V, X7R, 10%	603	Std	Std
1	C4	Capacitor, ceramic, 1.0 $\mu$ F, 10V, X5R, 20%	603	Std	Std
2	C5, C9	Capacitor, ceramic, 10 $\mu$ F, 10V, X5R, 20%	1210	Taiyo Yuden	LMK325BJ106MN
1	C6	Capacitor, ceramic, 1500pF, 50V, X7R, 10%	603	Std	Std
1	C7	Capacitor, ceramic, 82pF, 50V, NPO, 5%	603	Std	Std
1	C8	Capacitor, ceramic, 820pF, 50V, X7R, 10%	603	Std	Std
2	C10, C17	Capacitor, ceramic, 0.1 $\mu$ F, 25V, X7R, 10%	603	Std	Std
1	C14	Capacitor, ceramic, 0.1 $\mu$ F, 25V, X7R, 10%	603	Std	Std
1	C15	Capacitor, ceramic, 3300pF, 50V, X7R, 10%	603	Std	Std
1	C16	Capacitor, ceramic, 1000pF, 25V, X7R, 10%	603	Std	Std
3	J1, J2, J3	Terminal block, 2pin, 6A, 3.5mm	75525	OST	ED1514
1	JP1	Header, 2pin, 100mil spacing, (36-pin strip)	0.100 $\times$ 2"	Sullins	PTC36SAAN
1	JP2	Header, 3pin, 100mil spacing, (36-pin strip)	0.100 $\times$ 3"	Sullins	PTC36SAAN
1	L1	Inductor, SMT, 1.0 $\mu$ H, 8.5A, 10m $\Omega$	0.270 sq	Vishay	IHLP–2525CZ–01
1	R1	Resistor, chip, 10.0k $\Omega$ , 1/16W, 1%	603	Std	Std
1	R2	Resistor, chip, 9.7k $\Omega$ , 1/16W, 1%	603	Std	Std
1	R3	Resistor, chip, 6.34k $\Omega$ , 1/16W, 1%	603	Std	Std
1	R4	Resistor, chip, 71.5k $\Omega$ , 1/16W, 1%	603	Std	Std
1	R5	Resistor, chip, 590 $\Omega$ , 1/16W, 1%	603	Std	Std
1	R6	Resistor, chip, 10.0k $\Omega$ , 1/16W, 1%	603	Std	Std
1	R7	Resistor, chip, 9.76k $\Omega$ , 1/16W, 1%	603	Std	Std
1	R8	Resistor, chip, 6.04k $\Omega$ , 1/16W, 1%	603	Std	Std
1	R9	Resistor, chip, 768 $\Omega$ , 1/16W, 1%	603	Std	Std
1	R10	Resistor, chip, 0 $\Omega$ , 1/16W, 1%	603	Std	Std
1	R11	Resistor, chip, 2.4 $\Omega$ , 1/8W, 1%	1206	Std	Std
1	S1	Switch, 1P2T, slide, PC mount, 200mA	0.46 $\times$ 0.16	E_Switch	EG1218
1	SH1	Short jumper			
5	TP1, TP3, TP4, TP5, TP6	Test point, red, 1mm	0.038", 6400"	Farnell	240–345
2	TP2, TP8	Test point, black, 1mm	0.038", 6400"	Farnell	240–333
1	TP7	Adaptor, 3.5-mm probe clip (or 131–5031–00)	72900	Tektronix	131–4244–00
1	U1	IC, High-side power distribution SW with current limit	SO8	TI	TPS2013D
1	U2	IC, dc/dc tracking converter	PWP20	TI	TPS54380PWP
1	—	PCB, 3 In $\times$ 3 In $\times$ 0.062 In		Any	HPA001

- 注: 1) これらのアセンブリは静電気放電に敏感です。静電気放電に関する注意事項を遵守してください。  
 2) これらのアセンブリには、フラックスやその他の汚れが付着しないようにしてください。汚れたフラックスの使用は容認されません。  
 3) これらのアセンブリは、仕上がり基準IPC-A-610クラス2に適合している必要があります。  
 4) アスタリスク(\*\*)で示した基準指定を置き換えることはできません。他のすべての部品は、等価なMFG部品で置き換えることができます。

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといひます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといひます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えよとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付られた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2004, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - んだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上