

## イントロダクション

プログラマブル・ロジック・デバイス (PLD) の集積度とI/Oピン数が増加すると共に、小さいサイズのパッケージとさらに幅広いパッケージ・オプションに対する要求が増大しています。ボール・グリッド・アレイ (BGA : Ball Grid Array) パッケージは、I/Oの接続がパッケージの内側で行われ、ボード上の占有面積に対するピン数の比率が改善されるため、これらの要求に理想的なソリューションとなります。標準的なBGAパッケージは、クワッド・フラット・パック (QFP) パッケージと同じ実装面積でQFPパッケージの2倍のピン接続を実現します。さらに、BGAパッケージのソルダ・ボールは機械的な強度の面でQFPパッケージのリードよりも優れており、ラフな取り扱いにも耐えうる堅牢なパッケージとなっています。

アルテラは高集積PLDのユーザに対してFineLine BGA™パッケージと呼ばれる新しいBGAソリューションを開発しました。この新しいパッケージは、従来の標準的なBGAパッケージの半分以下のボード・スペースで実装することができます。このアプリケーション・ノートはアルテラのFineLine BGAパッケージが搭載されるプリント基板 (PCB) をデザインするときのガイドラインを示したもので、以下の項目について解説しています。

- BGAパッケージの概要
- PCBのレイアウトに使用される用語
- FineLine BGAパッケージのPCBレイアウト

## BGAパッケージの概要

PLDの集積度が1,000,000ゲート以上まで増大するにしたがって、さらに進化した柔軟性の高いパッケージが求められるようになってきました。BGAパッケージは、技術的な利点と共に将来のシステムにおける要求にも対応できる高い柔軟性を実現しています。

BGAパッケージでは、I/Oとの接続部分がデバイスの内側に配置されています。これまでパッケージの周囲に配置されていたリードは、サブストレートの底面部にマトリックス状に配置されたソルダ・ボールで置き換えられています。最終デバイスは、システム設計者にとって好ましい標準的な表面実装方法と全く同じアセンブル工程によりPCBに直接ハンダ付けされます。

さらに、BGAパッケージには、下記の利点もあります。

- リード損傷の危険性が低い BGAパッケージのリードは硬いソルダ・ボールで構成されており、ハンドリングによってリードが損傷を受ける危険性が低くなっています。

- **単位面積あたりのピン数が多い** ソルダ・ボールをパッケージの末端近くまで配置し、またボール間のピッチを1.0mmまで縮小することによって、ピン数を増加させています。
- **低価格の表面実装用機器が使用可能** BGAパッケージはマウント時における実装位置に一定の誤差を許容することができるため、低価格の表面実装用機器を使用することができます。BGAパッケージはハンダ・リフロー時にボールがセルフ・アライメントを行う性質を持っているため、マウント時の実装位置に一定の誤差が許容されます。
- **小さな実装スペース** 通常、BGAパッケージはQFPパッケージよりも実装スペースが20%から50%も小さくなるため、最高の性能と最小の実装面積が要求されるアプリケーションに最適です。
- **高い動作スピード** BGAパッケージはマイクロ波帯の周波数スペクトラムで良好に動作し、パッケージ構造内にグラウンド・プレーン、グラウンド・リング、およびパワー・リングを採用することにより、高い電氣的性能を達成しています。
- **熱消費を改善** FineLine BGAパッケージでは、ダイがパッケージの中心部に位置しており、ほとんどのVCCとGNDのピンがパッケージの中心部に配置されるため、GNDピンとVCCピンがダイの真下に位置することになります。このため、デバイスで発生する熱はGNDとVCCピンを通じて放射されます（GNDピンとVCCピンがヒート・シンクの働きをする）。

## PCBのレイアウトに使用される用語

このセクションでは、PCBのレイアウトに使用される用語について解説します。

### 信号引き出しライン（Escape Routing）

信号引き出しラインとは、信号をデバイスのパッケージからPCB上の他の部品に接続するときに使用される配線パターンです。

### 多層基板（マルチ・レイヤPCB）

BGAパッケージのI/O数が増加すると共に、複雑な信号引き出し線を実現する業界標準の方法として、多層基板が採用されるようになりました。多層基板では、信号がPCBの複数のレイヤを通じてボード上の他の部品と接続されます。

### ビア

ビア（メッキされたスルー・ホール）は、多層基板のあるレイヤから他のレイヤに信号を転送する目的で使用されます。ビアは多層基板にドリルで開けられたホールであり、多層基板の各レイヤ間の電氣的な接続を実現します。すべてのビアは各レイヤ間の接続にのみ使用され、デバイスのリードや他の補強材がビアに挿入されることはありません。

表 1 は、ビアの寸法を定義するとき使用されるパラメータを解説したものです。

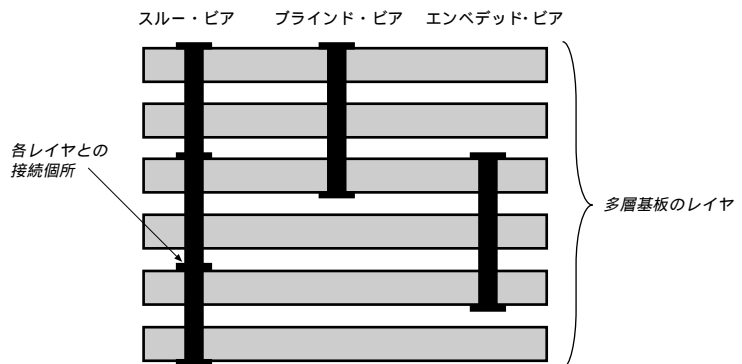
用語	定義
アスペクト比	アスペクト比とは、メッキ済みのビアの直径に対するビアの長さまたは深さの比率を指します。
ドリル径	ここでいうドリル径とは、ボードにドリルで開けられた実際のビアの直径を指します。
仕上げ後のビア直径	仕上げ後のビア直径は、仕上げ（メッキ）が完了した後のビア・ホールの内径を指します。

表 2 に、多層基板で使用される代表的な 3 種類のビアを示します。

タイプ	説明
スルー・ビア	多層基板の最上位レイヤから最下位レイヤまでを接続。スルー・ビアは、多層基板内の内挿レイヤとの接続も実現する。
ブラインド・ビア	最上位または最下位のレイヤと中間の内挿レイヤを接続。
エンベデッド・ビア	多層基板の任意の内挿レイヤ間を接続。

図 1 は、これら 3 種類のビアを図で示したものです。

図 1 ビアの種類



ブラインド・ビアとスルー・ビアはエンベデッド・ビアよりもよく使用されます。ブラインド・ビアは、スルー・ビアよりもコスト的に高くなりますが、ブラインド・ビアの下で信号パターンの配線が可能になるため、PCBに要求される全体のレイヤ数が減少して、トータルのコストが低減されることがあります。これに対して、スルー・ビアでは、下位レイヤを通じた信号の配線ができないため、PCBに要求されるレイヤ数が増加して全体的なコストも上昇することがあります。

### ビア・キャプチャ・パッド

ビアは、各ビアの周囲に配置されたビア・キャプチャ・パッドを通じてPCBの各レイヤと電氣的に接続されます。

### 表面ランド・パッド

表面ランド・パッドは、BGAパッケージのソルダ・ボールが接触するPCB上の領域です。これらのパッドのサイズは、ビアと信号引き出しラインに使用できるスペースに影響を与えます。一般的に、表面ランド・パッドの設計には、次の基本的な2種類の方法があります。

- 非ソルダ・マスク定義パッド (NSMD : Non Solder Mask Defined)、または銅箔定義パッド
- ソルダ・マスク定義パッド (SMD : Solder Mask Defined)

上記2種類の表面ランド・パッドの違いは、配線パターンのサイズとスペース、使用できるビアの種類、そしてハンダ・リフロー後のソルダ・ボールの形状となって現れます。

### NSMDパッド

非ソルダ・マスク定義 (NSMD) パッドでは、ソルダ・マスクの開孔をランド・パッドの銅箔部分の直径よりも大きくします。これによって、表面ランド・パッドの銅箔部分がすべて接触可能の状態となり、BGAパッケージのソルダ・ボールと接触できる面積が広がります (図2を参照)。NSMDパッドを採用することによって、機械的なストレスが加わる個所が少なくなり、パッド間の配線領域が広がるため、アルテラはほとんどのアプリケーションにこのNSMDパッドを採用することを推奨しています。

### SMDパッド

ソルダ・マスク定義 (SMD) パッドでは、ソルダ・マスクの開孔をランド・パッドの直径よりも小さくし、両者がオーバーラップするようにします (図2を参照)。このオーバーラップによって、銅箔パッドとPCBのエポキシ/ガラス・ラミネート間の粘着強度が高くなります。これは、PCBに大きな曲げ応力が加えられたときや、加速温度サイクル試験を実施したときに効果を発揮します。ただし、この場合はソルダ・マスクがオーバーラップしているために、BGAパッケージのソルダ・ボールがパッドの銅箔部分と接触できる面積が狭くなります。

図 2 NSMDパッドとSMDパッドの側面図

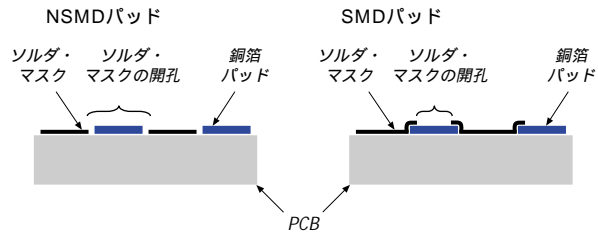
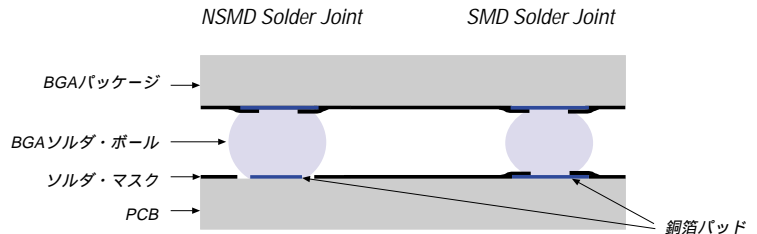


図 3 はNSMDパッドとSMDパッドがハンダ付けされた状態を側面図で示したものです。

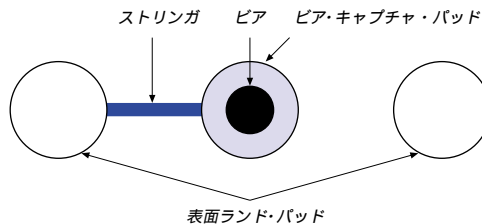
図 3 NSMDパッドとSMDパッドがハンダ付けされた状態を示す側面図



## ストリング

ストリングとは、ビア・キャプチャ・パッドと表面ランド・パッドを電氣的に接続するための長方形または四角形の配線パターンのことです。図 4 は、ビア、ビア・キャプチャ・パッド、表面ランド・パッド、ストリングの関係を示しています。

図 4 ビア、表面ランド・パッド、ストリング、ビア・キャプチャ・パッドの関係



## FineLine BGA パッケージの PCBレイアウト

FineLine BGAパッケージ用のPCBをデザインするときは、下記の要素を考慮する必要があります。

- 表面ランド・パッドの寸法
- ビア・キャプチャ・パッドのレイアウトと寸法
- 信号ラインのスペースとパターン幅
- PCBのレイヤ数



以降のFineLine BGAの図で表示されている寸法の単位はミリメートル (mm) です。

### 表面ランド・パッドの寸法

BGAパッケージのソルダ・ボールとの接続部における機械的な強度のバランスを取るため、表面ランド・パッドはBGAパッケージ側のランド・パッドと同じサイズにする必要があります。この理由から、アルテラは表面ランド・パッドのサイズをBGAパッドと同じ15.75milにすることを推奨します。図5は、15.75milのBGAパッドを示しています。

図5 15.75milのBGAランド・パッド

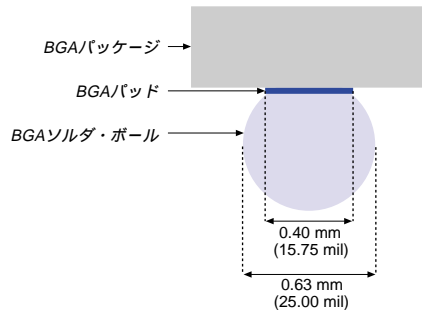
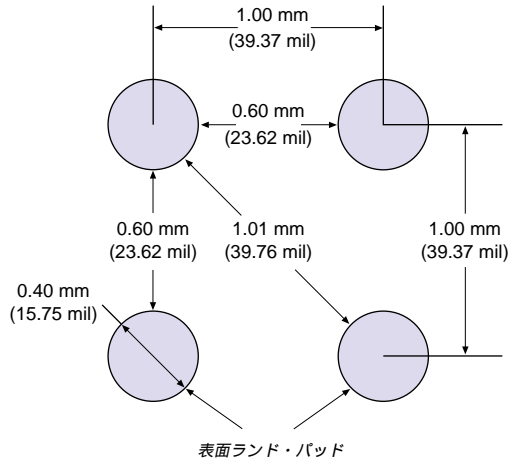


図6は、表面ランド・パッドのサイズを15.75milにしたとき、ビアと引き出しラインに提供されるスペースを示しています。

図6 表面ランド・パッドのサイズを15.75milにしたときの空きスペース

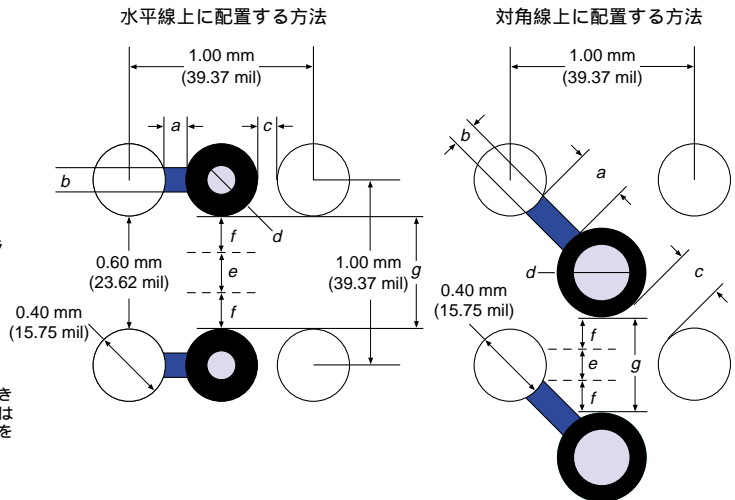


### ビア・キャプチャ・パッドのレイアウトと寸法

ビア・キャプチャ・パッドのレイアウトと寸法は、信号引き出し配線ラインに使用できるスペースに影響を与えます。一般的に、ビア・キャプチャ・パッドのレイアウトには、表面ランド・パッドと同じ水平線上に配置する方法と、表面ランド・パッドの対角線上に配置する方法との2種類があります。図7は、これら2種類のレイアウトを示しています。

図7 ビア・キャプチャ・パッドの配置方法

- 表面ランド・パッド
- ビア・キャプチャ・パッド
- ビア
- スtring
- a* Stringの長さ
- b* Stringの幅
- c* ビア・キャプチャ・パッドと表面ランド・パッドとの間の最小間隔
- d* ビア・キャプチャ・パッドの直径
- e* パターン幅
- f* スペース幅
- g* 信号引き出し配線ラインに使用できる領域（表面ランド・パッド間ではなく、他のレイヤに接続することを前提にした配線の空きスペース）



ビア・キャプチャ・パッドを表面ランド・パッドに対して水平線上に配置するか、対角線上に配置するかは、下記の要素をベースに決定されます。

- ビア・キャプチャ・パッドの直径
- ストリングの長さ
- ビア・キャプチャ・パッドと表面ランド・パッド間の間隔

PCBのレイアウト方法を決定するときは、図7と表3に示されている情報を使用します。PCBのデザイン・ガイドラインが表3に示されている2つの公式のいずれにも準拠していない場合は、アルテラの応用技術部にご相談ください。

レイアウト形式	公式
水平線上に配置	$a + c + d \leq 23.62 \text{ mil}$
対角線上に配置	$a + c + d \leq 39.76 \text{ mil}$

表3は、ビア・キャプチャ・パッドを表面ランド・パッドに対して水平線上に配置するよりも、対角線上に配置したほうが、ビア・キャプチャ・パッド自体のサイズを大きくすることができることを示しています。

ビア・キャプチャ・パッドのサイズは、PCB上で配線できるパターンの本数にも影響を与えます。図8は、標準的なビア・キャプチャ・パッドによるレイアウトと、これをさらにファイン・ピッチ化したプレミアム・タイプのレイアウトを示しています。標準的なレイアウトでは、ビア・キャプチャ・パッドのサイズが27mil、ビアのサイズが8mil、配線パターン間隔が4milとなっています。このレイアウトでは、ビア間に1本のみ配線パターンを通すことができます。さらに多くの配線パターンを必要とする場合は、ビア・キャプチャ・パッドのサイズを小さくするか、または配線パターンの間隔を狭くします。

プレミアム・タイプのレイアウトでは、ビア・キャプチャ・パッドのサイズが20mil、ビアのサイズが5mil、そして配線パターン間隔が3milとなっています。このレイアウトでは、ビア間に2本の配線パターンを通すだけの十分なスペースが提供されます。

図8 標準的なレイアウトとプレミアム・タイプのレイアウトにおけるビア・キャプチャ・パッドのサイズ

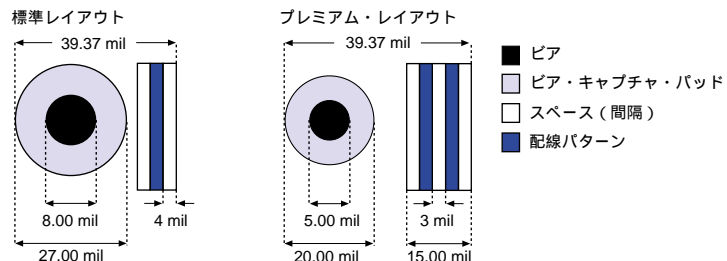




表 4 は、ほとんどのPCBベンダで採用されている標準およびプレミアム・タイプの仕様です。

仕様	標準(mil)	プレミアム(mil)
配線パターン幅 / パターン間隔	5/5	3/3
ドリル・ホール径	12	10
仕上げ後のビア直径	8	≤ 5
ビア・キャプチャ・パッド	25.5	20
アスペクト比	7:1	10:1

ドリル・サイズ、ビア・サイズ、配線パターン幅とパターン間隔、ビア・キャプチャ・パッドのサイズの詳細については、各PCBベンダにお問い合わせください。

### 信号ラインのスペースとパターン幅

信号の引き出し配線が行える能力は、配線パターンの幅とパターン間に要求される最小スペースで規定されます。信号接続のための最小エリアとは、信号ラインを通さなければならない最小の領域です（2個のビアの間隔、または図7の $g$ ）。このエリアは下記の式で計算されます。

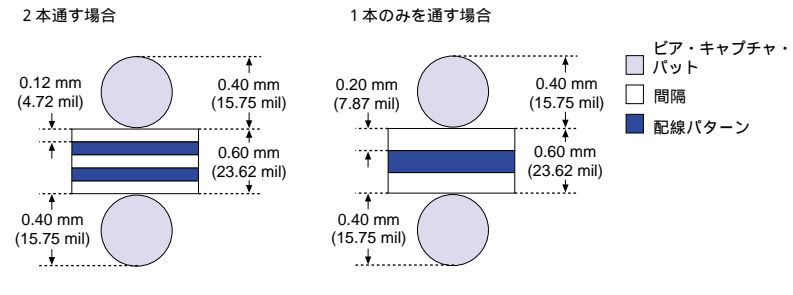
$$g = 39.37 - d$$

このエリアを通して接続できる配線パターンの本数は、許容される配線パターンの本数とスペースの幅を基準に決定されます。表5の公式を使用することによって、 $g$ の間を通して接続できる配線パターンの本数を判断することができます。

配線パターン	公式
1	$g \geq [2 \times (\text{スペース幅})] + \text{パターン幅}$
2	$g \geq [3 \times (\text{スペース幅})] + [2 \times (\text{パターン幅})]$
3	$g \geq [5 \times (\text{スペース幅})] + [3 \times (\text{パターン幅})]$

図9は、配線パターン幅と配線パターンの間隔を縮小することによって、 $g$ の間を通すことができる本数を増加させる方法を示しています。配線パターンの本数を増やすことで、PCBに要求されるレイヤ数が減少し、全体的なコストも減少します。

図9 引き出し配線を1本にした場合と2本にしたときのレイアウト



### PCBのレイヤ数

一般的に、信号を配線するために必要なPCBのレイヤ数はビア間の配線パターンの本数と反比例します（パターンの本数を増加させると、必要なPCBのレイヤ数が減少）。最初に下記の仕様を決定することによって、必要なPCBのレイヤ数を推定することができます。

- 配線パターンのサイズと間隔
- ビア・キャプチャ・パッド間を通して配線されるパターンの本数
- 使用されるビアの種類

EPF10K50Eの各FineLine BGAパッケージにおいて、電源プレーンとグラウンド・プレーンを設け、すべてのI/Oピンが使用されることを仮定したときに信号の配線に必要なPCBのレイヤ数が表6に示されています。この表から、ビア・キャプチャ・パッド間のパターンを2本にし、ブラインド・ビアを使用することによって、必要となるレイヤ数が減少することがわかります。

FineLine BGA パッケージ (ボール数)	1本の配線パターン		2本の配線パターン	
	ブラインド・ビア (レイヤ数)	スルー・ビア (レイヤ数)	ブラインド・ビア (レイヤ数)	スルー・ビア (レイヤ数)
100	2	2	1	1
144	(1)	(1)	(1)	(1)
256	2	2	2	2
324	(1)	(1)	(1)	(1)
484	2	3	2	2
672	3	4	2	3
1,020	(1)	(1)	(1)	(1)

注：  
 (1) 必要となるPCBのレイヤ数に関する情報については、日本アルテラの実用技術部へお問い合わせください。

使用するI/Oピン数を最大のI/Oピン数よりも少なくすることによって、要求されるレイヤ数を減少させることができます。また、ビアの種類によっても、要求されるレイヤ数を減少させることができます。ビアの種類が要求されるレイヤ数に与える影響を図10に示すレイアウトの例で説明します。

図10 PCBのレイアウト例

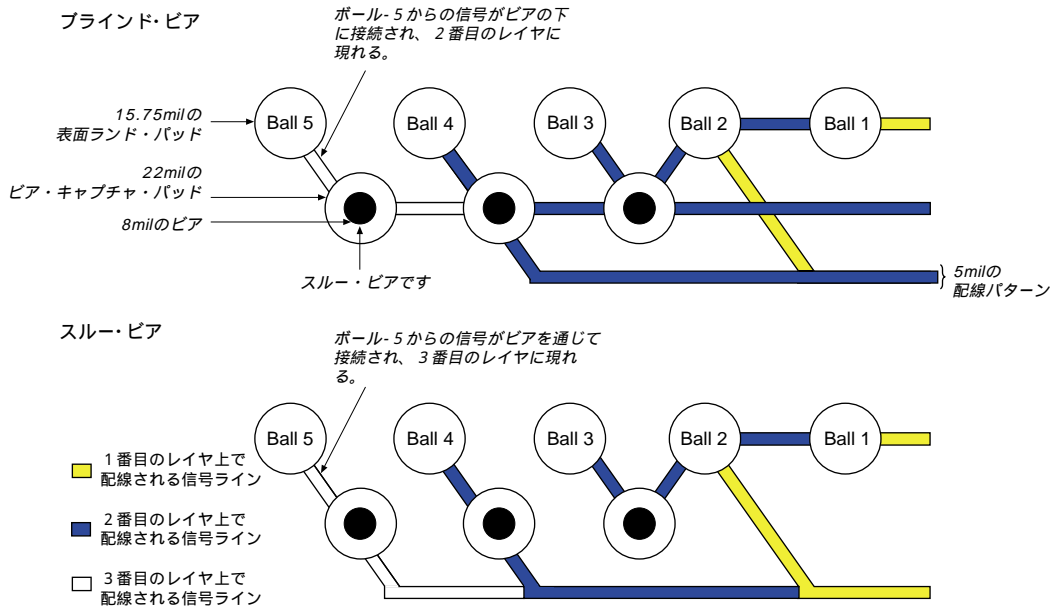


図10に示したブラインド・ビアのレイアウトでは、PCBに2レイヤが必要になるだけです。最初の2個のボール（ボール-1とボール-2）からの信号は最初のレイヤ上でダイレクトに配線することができます。3番目と4番目のボール（ボール-3とボール-4）からの信号はビアを通して2番目のレイヤで配線することができ、5番目のボールからの信号はボール-3とボール-4が接続されるビアの下に接続することができ、2番目のレイヤで配線することができます。これによって、このレイアウトに必要なのは2レイヤだけとなります。

これに対して、図10のスルー・ビアを使用したレイアウトでは、スルー・ビアの下での信号接続ができないため、PCBに3レイヤが必要になります。3番目と4番目のボールからの信号はビアを通じて2番目のレイヤで配線することができますが、5番目のボールからの信号はビアを通じて3番目のレイヤで配線しなければなりません。この例では、スルー・ビアではなく、ブラインド・ビアを使用することによって、1レイヤ分を削減することができます。

## まとめ

アルテラは、最新の1.00mmピッチのFineLine BGAパッケージを発表し、PLD用パッケージに関しても業界におけるリーダーの地位を確立しました。これらのパッケージは非常に多くのピン数を確保しながら、実装占有面積を縮小します。このアプリケーション・ノートの情報を活用することで、FineLine BGAを使用したPCBを簡単にデザインすることができ、サイズが縮小されたパッケージの利点を活用することができます。

## 更新情報

このアプリケーション・ノート、AN 114のバージョン1.03には以前のバージョンから以下の変更、更新情報が含まれています。

### バージョン1.03

アプリケーション・ノート、AN 114 ( *Designing with FineLine BGA Packages* ) のバージョン1.03には、下記の変更が含まれています。

- 図5、6、7、9、10の寸法、および表3と表6の内容を更新しました。
- この資料の一部の表現方法と表記形式を変更しました。

### バージョン1.02

アプリケーション・ノート、AN 114 ( *Designing with FineLine BGA Packages* ) のバージョン1.02には、下記の変更が含まれています。

- 図5のBGAソルダ・ボールの寸法を更新しました。
- 図10の表面ランド・パッドのサイズを更新しました。

### バージョン1.01

アプリケーション・ノート、AN 114 ( *Designing with FineLine BGA Packages* ) のバージョン1.01には、下記の変更が含まれています。

- 表6の情報を更新しました。
- この資料の一部の表現方法と表記形式を変更しました。

Altera、FineLine BGAは、Altera Corporationの米国および該当各国におけるtrademarkまたはservice markです。この資料に記載されているその他の製品名などは該当各社のtrademarkです。Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Copyright © 1999 Altera Corporation. All rights reserved.



I.S. EN ISO 9001

---

**ALTERA**  
日本アルテラ株式会社

〒163-1332  
東京都新宿区西新宿6-5-1  
新宿アイランドタワー32F 私書箱1594号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
<http://www.altera.com/japan>  
E-mail: [japan@altera.com](mailto:japan@altera.com)

### 本社 Altera Corporation

101 Innovation Drive,  
San Jose, CA 95134  
TEL : (408) 544-7000  
<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラのwebサイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文のアプリケーション・ノートを日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものです。