

イントロダクション

APEX™ 20Kデバイスには、PLL(Phase -Locked-Loop)回路を使用したClockLock™とClockBoost™機能が内蔵されており、性能の向上とクロック周波数の合成機能を実現しています。ClockLock機能はデバイス内部でのクロックの遅延とスキューを最少に抑え、ゼロ・ホールド・タイムを維持しながら、「Clock-to-Output」遅延とセットアップ・タイムを短縮します。また、ClockBoost機能を利用することによって、入力クロックよりも高速または低速の周波数でデバイスの内部ロジックを動作させることが可能になります。ClockBoostの機能を使用することで、プリント基板上のクロック・パスで高速信号を分配する必要がなくなるため、プリント基板の設計が簡単になります。また、ClockBoost機能を活用した時間分割動作(Time-Domain Multiplexing)の回路を構成することによって、デバイス内のリソースの共有化を実現し、デバイスのエリア効率を改善することもできます。

APEX 20KEデバイスには性能と機能をさらに強化したClockLock回路が内蔵されており、LVDS (Low Voltage Differential Signaling) インタフェース、クロック信号のデバイス外部への出力とフィードバック機能、ClockShift™機能、 $m/(n \times k)$ 乗算を可能にした最新のClockBoost機能などのサポートにより、複雑なクロック周波数の合成を必要とするアプリケーションに対応できるようになっています。これらの強化された機能によって、APEX 20KEデバイス内ではシステム・レベルでのクロック・マネージメントとスキューのコントロールが可能となっています。

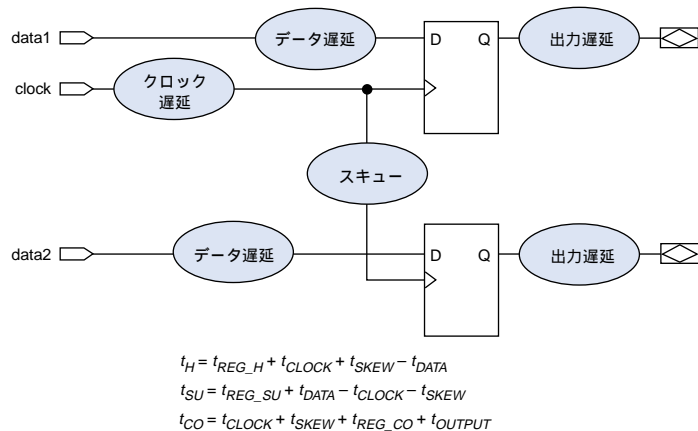
ClockLockとClockBoostの機能は、システム性能、帯域幅、System-on-a-Chip™の集積化能力を大幅に改善します。このアプリケーション・ノートは、APEX 20KとAPEX 20KE デバイスのClockLockおよびClockBoost機能について解説したものです。また、これらの機能を活用したアプリケーションについても記述しています。

クロック遅延とスキュー

特に集積度の高いデバイスでは、クロック・ピンとレジスタ間の遅延がデバイス内部および外部性能を大幅に低下させる可能性があります。ピン間の「Clock-to-Output」遅延(t_{CO})を表す計算式が図1に示されています。

高集積デバイスの場合、クロック遅延(t_{CLOCK})とクロック・スキュー(t_{SKEW})のパラメータが全体の「Clock-to-Output」遅延の大きな部分を占めることになります。ClockLockとClockBoostの回路はクロックの遅延とスキューを低減することによって、デバイスの「Clock-to-Output」時間を改善します。

図 1 APEX 20KとAPEX 20KEのホールド・タイム、セットアップ・タイム、Clock-to-Output遅延



クロックのスキューとは、クロックが各レジスタに到達するまでの遅延時間の差のことです。また、クロックのスキューは間接的にセットアップ・タイムも増大させます。0nsのホールド・タイム(t_H)を確保するためには、レジスタに対するクロックの最大遅延の計算にデータの遅延を追加する必要があります。高速プロセスや、一定の電圧、温度範囲の条件下でも0nsのホールド・タイムを確保するためには、このデータ遅延が十分に大きくなっている必要があります。ただし、追加されたデータ遅延は、低速プロセスや一定の電圧、温度範囲条件におけるレジスタのセットアップ・タイムを増大させます。ClockLock信号でレジスタをドライブすることによって、レジスタへのデータ遅延が解消され、セットアップ・タイムが短縮されます。また、クロックのスキューと遅延時間が低減されるため、レジスタのゼロ・ホールド・タイムを維持することができます。

プログラマブル・デバイスの高集積化が進展すると共に、クロックの遅延とスキューが問題になってきます。また、クロックのスキューはプリント基板の設計にも大きな影響を与える可能性があります。これらの問題を解決する方法として、PLL(Phase-Locked Loop)またはDLL(Delay-Locked Loop)のいずれかが使用されます。PLLとDLLは共にシステム・クロックの内部スキューを低減することができますが、PLLはDLLよりもシステム・クロックの周波数合成を柔軟に実現できます。また、DLLは、 m/n のスケールを実行することはできませんが、PLLは m/n によるスケールを実行することができるため、クロック周波数の乗算または除算を行うアプリケーションに最適となっています。

ClockLockと ClockBoost 機能

ClockLockおよびClockBoost回路は、入力クロックの立ち上がりエッジにロックします。これらの回路の出力は、レジスタのクロック・ポートをドライブします。APEX 20KデバイスのClockLock出力とClockBoost出力は、立ち上がりおよび立ち下がりエッジ・トリガ型のレジスタに使用することができます。

表 1 にAPEX 20KとAPEX 20KEデバイスでサポートされている機能がまとめられています。

デバイス名	内蔵 PLL 数	ClockBoost 機能	外部クロック出力の本数	フィードバック入力の本数	ClockShift 機能	T1/E1 変換	LVDS クロック	LVDS データ
EP20K100	1	1×, 2×, 4×	—	—	—	—	—	—
EP20K200	1	1×, 2×, 4×	—	—	—	—	—	—
EP20K400	1	1×, 2×, 4×	—	—	—	—	—	—
EP20K100E	2	$m/(n \times k)$ (2)	1	1	✓	✓	✓	—
EP20K160E	2	$m/(n \times k)$ (2)	1	1	✓	✓	✓	—
EP20K200E	2	$m/(n \times k)$ (2)	1	1	✓	✓	✓	—
EP20K300E	4	$m/(n \times k)$ (2)	2	2	✓	✓	✓	✓
EP20K400E	4	$m/(n \times k)$ (2)	2	2	✓	✓	✓	✓
EP20K600E	4	$m/(n \times k)$ (2)	2	2	✓	✓	✓	✓
EP20K1000E	4	$m/(n \times k)$ (2)	2	2	✓	✓	✓	✓

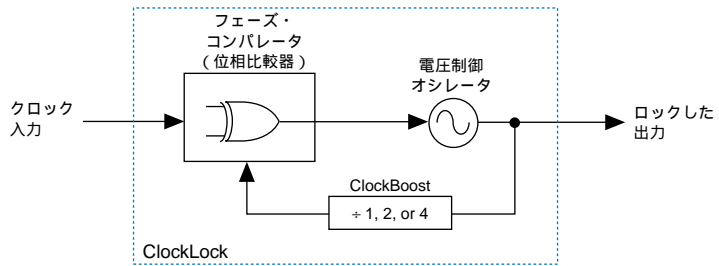
注:

- (1) ClockLockとClockBoostの機能をサポートしているAPEX 20Kデバイスは、オーダ・コードの末尾に"X"のサフィックスが付加されています (例: EP20K400FC672-1X)。
 (2) m 、 n 、 k は、1~16までの整数です。

APEX 20Kデバイス

APEX 20KデバイスのPLLは、さらに強化されたClockLockによる同期回路を実現しており、25MHzから133MHzの範囲で出力周波数を可変することができます。さらにAPEX 20Kデバイスでは、ClockBoostによる1×、2×、4×のクロック周波数通倍動作を行う乗算機能がサポートされています。図 2は、ClockLockとClockBoostの回路をブロック図で示したものです。


図 2 APEX 20KデバイスのClockLock回路とClockBoost回路



ユーザはClockLock回路とClockBoost回路による乗算機能を使用して、1×、2×、4×の1本の出力クロック、または1×、2×、4×を組み合わせた2本の出力クロックを使用することができます。表2は、ClockLock回路とClockBoost回路でサポートされるクロック周波数の通倍比の組み合わせを示したものです。これらの出力は、デバイス内部のすべてのロジック・エレメント (LE)、I/Oエレメント(IOE)、エンベデッド・システム・ブロック(ESB)をドライブすることができます。また、ClockLock回路とClockBoost回路の出力をAPEX 20Kのデバイス・ピンに出力することはできません。

表 2 通倍比の組み合わせ

Clock 0	Clock 1
1×	2×
1×	4×
2×	4×

 Quartus™ソフトウェアは、外付けデバイスを使用せずにAPEX 20KデバイスのClockLockとClockBoostの機能を実現します。ユーザは、Quartusソフトウェアを使ってAPEXデバイスにこれらの機能をプログラムすることができます。

クロック専用ピン(GCLK1)は、PLLにクロックを供給します。クロック専用ピンがClockLock回路やClockBoost回路をドライブしている場合は、デバイス内の他の信号をドライブすることはできません。

表3は、APEX 20KデバイスのClockLock機能とClockBoost機能のタイミング・パラメータをまとめたものです。

シンボル	パラメータ	最少	最大	単位
f_{OUT}	出力周波数	25	200	MHz
f_{CLK1}	入力クロック周波数(ClockBoostの逡倍比が1のとき)	25	200	MHz
f_{CLK2}	入力クロック周波数(ClockBoostの逡倍比が2のとき)	16	100	MHz
f_{CLK4}	入力クロック周波数(ClockBoostの逡倍比が4のとき)	10	48	MHz
$t_{OUTDUTY}$	ClockLockまたはClockBoost回路による生成クロックのデューティ・サイクル	40	60	%
t_R	入力立ち上がり時間		5	ns
t_F	入力立ち下がり時間		5	ns
t_{LOCK}	ClockLockとClockBoostの回路がロックするまでに必要な時間 注(3)		10	μ s
t_{SKEW}	ClockLock/ClockBoost回路による生成クロック間のスキュー遅延		500	ps
t_{JITTER}	ClockLock/ClockBoost回路による生成クロックのジッタ 注(4)		250 注(5)	ps
$t_{INCLKSTB}$	入力クロック安定度(隣接クロック間で測定)		100 注(5)	ps

注:

- (1) これらの数値は暫定仕様です。
- (2) すべての入力クロックが該当する規格を満足している必要があります。クロックが要求される規格を満足していない場合は、PLLが入力クロックにロックせず、デバイス内で不適切なクロックが生成されることがあります。
- (3) デバイスのコンフィギュレーション時にClockLockとClockBoostの回路はデバイスの他の部分よりも先にコンフィギュレーションされます。コンフィギュレーション時に入力クロックが供給された場合でも、ロック時間はデバイス全体のコンフィギュレーションに要する時間よりも短いため、コンフィギュレーションの実行中にClockLockとClockBoostの回路が入力クロックにロックします。
- (4) ジッタの規格は長時間による観測で測定されたものです。
- (5) 入力クロックの安定度が50psの場合、 t_{JITTER} は、200psになります。

表 4 は、APEX 20KのClockLock回路のピンとその機能についてまとめたものです。

ピン名	ピンのタイプ	概要	標準 I/O 規格への対応 注(1)
GCLK1	入力	ClockLockとClockBoostの回路をドライブする専用ピン。	2.5V I/O、LVCMOS、LVTTTL、3.3V PCI
LOCK	出力	ClockLockとClockBoostの回路の状態を示すオプション・ピン。ClockLockとClockBoostの回路が入力クロックにロックし、内部クロックが生成されると、LOCKピンがHighにドライブされる。LOCKピンは、クロック入力が規格の範囲内である限り、Highを維持する。	

注:

- (1) LVCMOS: Low-Voltage Complementary Metal-Oxide Semiconductor, LVTTTL: Low-Voltage Transistor-to-Transistor Logic, PCI: Peripheral Component Interconnect.

APEX 20KEデバイス

APEX 20KEデバイスには、最先端の機能をサポートした複数のClockLock回路が内蔵されています。これらのデバイスには、 $m/(n \times k)$ によるスケーリング、LVDSのサポート、ClockShift回路、外部クロック出力とフィードバック入力、T1/E1クロック・ドメイン変換などの機能を持ったClockLock回路とClockBoost回路が内蔵されています。下記の図 3 は、APEX 20KEデバイスのClockLock回路とClockBoost回路を示したものです。

図 3 APEX 20KEデバイスのClockLock回路とClockBoost回路

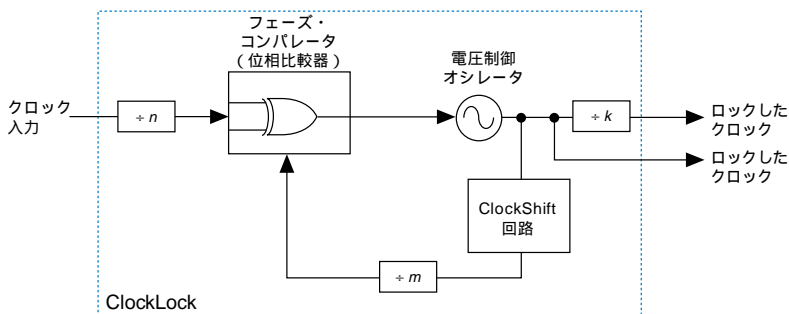
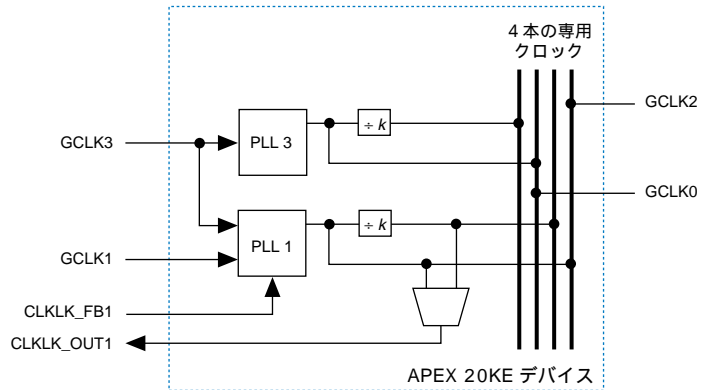


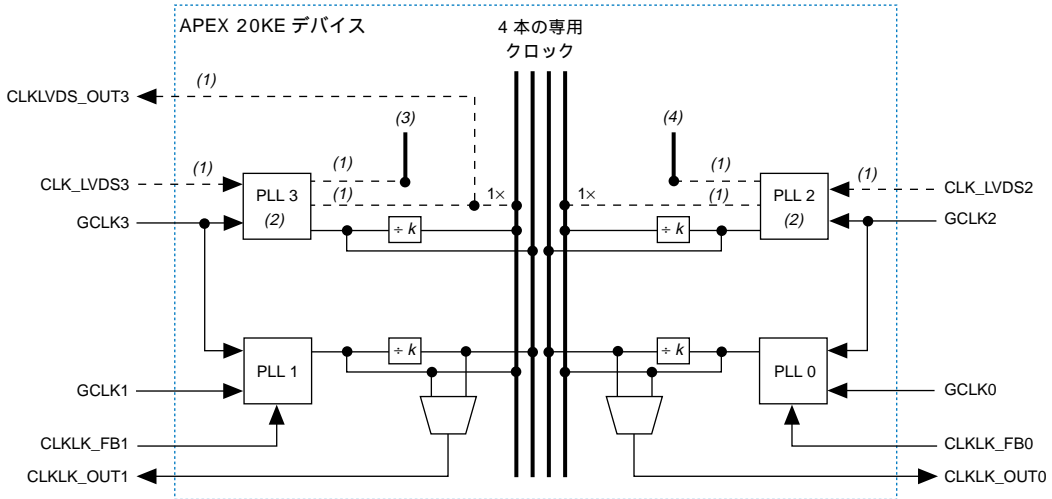
図 4 で示す通り、EP20K200E、EP20K160E、EP20K100Eの各デバイスには、ClockLock、ClockBoost、ClockShiftの機能を実現する 2 個の汎用PLLが内蔵されています。

図 4 EP20K200E、EP20K160E、EP20K100EのPLLとグローバル・クロックを示すブロック図



EP20K300Eおよびこのデバイスより高集積のデバイスには、4個の強化された汎用PLL回路が内蔵されています。このうちの2個のPLLは、汎用のPLL回路またはLVDSインタフェースのいずれかに使用することができます。残りの2個は、図5で示すような汎用のPLL回路となっています。

図5 EP20K1000E、EP20K600E、EP20K400E、EP20K300EのPLLとグローバル・クロックを示すブロック図



注:

- (1) これらのPLLとの接続は、LVDSモードのみで使用されます。
- (2) PLL2またはPLL3を、同時に汎用PLLとLVDS用にコンフィギュレーションすることはできません。
- (3) CMOS/LVDSインタフェース・クロック
- (4) LVDS/CMOSインタフェース・クロック

表 5 は、APEX 20KEのClockLockピンとその機能をまとめたものです。

表 5 APEX 20KEデバイスのClockLockピン			
ピン名	ピンタイプ	概要	標準 I/O 規格への対応 注(1)
GCLK	入力	PLLクロック入力をドライブする専用ピン。	1.8V I/O、2.5V I/O、AGP、CTT、HSTL、LVCOMS、LVDS、LVTTTL、GTL+、3.3V PCI、SSTL-2、SSTL-3
LOCK	出力	ClockLockとClockBoostの回路の状態を示すオプション・ピン。ClockLockとClockBoostの回路が、入力クロックにロックし、内部クロックが生成されると、LOCKピンがHighにドライブされる。LOCKピンは、クロック入力規格の範囲内である限りHighの状態を維持する。	
CLKLK_FB	入力	PLLへの外部フィードバックを可能にする専用ピン。	LVDS
CLKLK_OUT	出力	PLL出力が外部デバイスをドライブできる専用のクロック出力。	
CLK_LVDS 注(2)	入力	LVDSモードでLVDS/CMOSのデータ変換を行うときにPLLのクロック入力をドライブする専用ピン。	LVDS
CLKLVDS_OUT 注(2)	出力	LVDSモードでLVDSの1×クロックを外部に出力するためのLVDS専用クロック出力。LVDSの出力データは、このクロックに同期する。	

注:

- (1) AGP: Advanced Graphics Port, CTT: Center-Tap Terminated, GTL+: Gunning Transceiver Logic, HSTL: High Speed Transceiver Logic, SSTL: Stub-Series Terminated Logic.
 (2) このピンは、EP20K1000E、EP20K600E、EP20K400EおよびEP20K300Eデバイスのみで供給されます。

最新のClockBoostが実現する $m/(n \times k)$ による乗除算

APEX 20KEデバイスの各PLLには、 $m/(n \times k)$ のスケーリング・ファクタによるクロック周波数の合成を実現する回路が内蔵されています。PLLがロックしている場合、ロックされた出力クロックは入力クロックの立ち上がりエッジに同期します。図5に示されている閉ループ回路から、出力周波数は $f_{OUT} = (m/(n \times k))f_{IN}$ の式で決定されます。この式により、クロック周波数をプログラム可能な数で乗算または除算することができます。ここで、 m 、 n 、 k の値は、指定された周波数範囲となる1から16までの整数です。 n の値は、 m による乗算を続行する前の入力のプリスケール除算に使用され、 k の値は、スケール除算後に使用されます。

$m/(n \times k)$ による乗算がサポートされたことによって、DLLでは不可能だったユーザ定義の乗算、除算比率によるクロックの合成を広範囲に実行することができます。例えば、与えられた入力クロックに対して3.75の周波数スケールリング・ファクタが必要な場合は、 $m=15$ 、 $n=2$ 、 $k=2$ で実現可能となります。最新のClockBoost回路によるスケールリング機能は1個のPLLで実行可能であり、PLLの出力をカスケード接続する必要はありません。

n と k の除算ファクタを別々にすることによって、各PLLの電圧制御オシレータ(VCO)は指定された周波数範囲内で確実に動作します。クロック入力を乗算するとき規定されている最高200MHzまでの出力周波数範囲を超える可能性があるときは、乗算前に n の数値で除算する必要があります(プリスケール)。例えば、125MHzクロックに対する m/n のスケール・ファクタを $7/5$ に設定し、175MHzクロック出力を得ることができます。ここで、 m の値を7にした乗算を行う前に、 n を5に設定して入力を除算またはプリスケールする必要があります。最初に5で除算せずに 125×7 の乗算をした場合は、VCO最大周波数の範囲を超えてしまいます。低周波数の信号を入力する場合も、逆のことを考慮する必要があります。乗算はVCOが最低の周波数で動作していることを確認してから実行し、ポスト・スケール・ファクタ、 k による除算を実行します。例えば、5MHzの入力クロックを m または m/n で乗算し、20MHz以上の周波数を得ることができます。 k の値を用いてこの値を除算することによって、要求される20MHz以下の周波数を得ることができます。Quartusソフトウェアでは、このような適切なスケール・ファクタが選択できるようになっています。

出力クロックのデューティ・サイクルが50/50になるように修正することも可能です。 k の値を偶数に設定することで約50/50デューティ・サイクルが得られ、 m を奇数倍のクロック乗算を実現する値に選択することもできます。例えば、 m を6として、 k を2とした場合、3倍の周波数のクロックが、50/50のデューティ・サイクルで生成されます。

PLLがLVDSインタフェース用にコンフィギュレーションされている場合は、スケール・ファクタの機能が変更されます。LVDSモードでは、 $f_{OUT} = (w)f_{IN}$ の式となります。ここで、 w の値は、4、7、8のいずれかになります。表6から表8は、ClockLockとClockBoostパラメータとスケール・ファクタ・パラメータの規格と条件を示したものです。

表6 APEX 20KEのClockLockとClockBoostのパラメータ

シンボル	パラメータ	最小	最大	単位
f_{OUT}	出力周波数	1.25	200	MHz
f_{IN}	入力クロック周波数 (汎用PLL)	1.5	160	MHz
f_{INLVDS}	入力クロック周波数 (LVDSモードのPLL)	30	80	MHz

表7 APEX 20KEデバイスの汎用PLLの乗算レート 注(1)

スケール・ファクタ	パラメータ	最小	最大	単位	f_{IN}
m, n, k	乗算ファクタ	1	16	整数	1.5 ~ 30MHz (2)、(3)
		1	8	整数	30 ~ 160MHz (2)、(3)

表 8 APEX 20KEデバイスのLVDSに使用されるPLLの乗算レート				
スケーリング・ファクタ	パラメータ	値	単位	f_{IN}
W	乗算ファクタ	7、8	整数	30 ~ 80MHz (2)
		4	整数	50 ~ 80MHz (2)

表中の注:

- (1) スケーリング・ファクタの値と f_{IN} は、これらの条件を同時に満たしている必要があります。
 $1.5\text{MHz} \leq (f_{IN}/m) \leq 160\text{MHz}$
 $20\text{MHz} \leq (f_{IN} \times (m/n)) \leq 200\text{MHz}$
- (2) パラメータの数値は暫定仕様です。最新の値については、日本アルテラにお問い合わせください。
- (3) PLLのVCO周波数範囲は、 $20\text{MHz} \leq f_{OUT} \leq 200\text{MHz}$ です。
- (4) LVDSを使用した場合のPLLのVCO周波数範囲は、 $200\text{MHz} \leq f_{OUT} \leq 622\text{MHz}$ です。

APEX 20KEデバイスを低周波数(<16MHz)で動作させる場合、入力ジッタの許容範囲は周期の2%以内となっています。このため、大きなジッタのある低周波数の入力から高周波数への乗算は避けてください。大きなジッタのある低周波数入力は、高周波数出力に大きな影響を与えます。例えば、 m の値を16に設定して1.5MHzの入力周波数から24MHzの出力周波数を生成する例を考えます。この場合、入力ジッタが周期の2%または13ns未満までの許容範囲内となっていれば、PLLはロックしたままです。ただし、入力に13nsのジッタがあった場合は、24MHzのクロック出力に250psの出力ジッタを期待することはできません。この乗算アプリケーションでは、入力のジッタを減少させることで結果が改善されます。

T1/E1クロック変換

2個の汎用PLLには、T1/E1変換をサポートするための特殊な回路が含まれています。通信の標準規格であるT1とE1では、T1に1.544MHz、E1に2.048MHzのクロックが使用されます。EP20K1000E、EP20K600E、EP20K400E、EP20K300Eの各デバイス内に内蔵されている2個のLVDS対応の汎用PLLは、T1クロックからE1クロックへの変換、およびその逆の変換を行うことができます。T1/E1変換は、これらのPLLを汎用として使用した場合にのみ実現可能です。EP20K200E、EP20K160E、EP20K100Eデバイス内にある1個のPLLは、T1クロックをE1クロックへ変換することができ、その逆の変換を行うこともできます。

LVDSインタフェースのコンフィギュレーション

EP20K300Eおよびそれより高集積のデバイスでは、2個のClockLock PLLをLVDSのI/Oインタフェース用にコンフィギュレーションすることができます。LVDSを使用することによって、I/Oクロックの乗算による高速のデータ転送レートや、LVDSデータとCMOSデータとの間の変換を実現することができます。これらのPLLはAPEX 20KEデバイス内のLVDS用入力および出力ブロックとのインタフェースを実現します。クロック入力を4、7、8のいずれかで乗算して、LVDSデータの取り込みまたは変換を行うことができます。また、低速のLVDS入力に対しては、PLLをバイパスすることも可能です。

外部クロック出力

EP20K300Eおよびそれより高集積のデバイスには、低ジッタの外部クロックのソースとして使用できるCLKLK_OUT0とCLKLK_OUT1ピンが設けられています。EP20K200E、EP20K160E、EP20K100Eデバイスでは、1本の外部クロック（CLKLK_OUT1）出力を外部クロックのソースとして使用することができます。CLKLK_OUT0信号は汎用PLL-0から生成され、CLKLK_OUT1信号は、汎用PLL-1から生成されます。プリント基板上的他のデバイスは、これらの出力をクロック・ソースとして使用することができます。このPLLは外部クロックを利用した乗算回路もサポートしています。

同じPLLから内部グローバル信号とCLKLK_OUTを生成している場合は、フィードバックを使用するかどうかにかかわらず、内部グローバル信号とCLKLK_OUTとの間に遅延時間が発生します。CLKLK_FBピンを使用すると、PLLはCLKLK_OUTをGCLKに一致するように調整します。フィードバックが使用されていない場合は、Quartusソフトウェアにより、GCLKに一致させる信号をCLKLK_OUTかグローバル信号のいずれかに選択することができます。双方の信号をGCLKに一致させる必要がある場合は、2個のPLLを使用する必要があります。

LVDSを使用する場合、CLKLVDS_OUTピンからPLLのLVDS 1×のクロックをチップの外部に出力することができます。LVDSの出力データは、低スキュー・マージンでLVDSの出力クロックに同期します。

外部フィードバック入力

クロックの出力機能に加え、フィードバック入力を使用して入力クロックとフィードバック・クロックを一致させることもできます。これらのクロックを一致させることにより、デバイス間でのクロックの遅延とスキューを取り除くことができます。CLKLK_OUT信号と外部フィードバック入力の双方が使用されている場合は、ClockShift回路による位相シフト機能を利用することはできません。

CLKLK_FBピンを使用している場合、CLKLK_OUTの周波数をプリント基板上で分周してAPEX 20KEデバイスへフィードバックすることは避けてくだ

さい。CLKLK_FBピンは、クロックのスキューを調整するためのもので、周波数の調整を行うために用意されたものではありません。

Lock信号

APEX 20KEデバイスのClockLock回路では、それぞれ独立したLOCK信号がサポートされています。ClockLock回路が入力クロックにロックすると、LOCK信号はHighレベルをドライブします。LOCK信号は、クロック入力規格の範囲内である限り、Highを維持します。入力が連続した3クロック・サイクルで規格外となった場合、この信号はLowになります。LOCKピンは、APEX 20KEデバイスで使用される各PLLのオプション・ピンであり、使用されない場合はI/Oピンとなります。

ClockShift回路

APEX 20KEデバイスのPLLは、クロックの遅延と位相をプログラマブルに調整できるClockShift回路をサポートしています。このクロックの遅延をプログラマブルに調整する機能を使用して、入力クロックに対する出力クロックのエッジを100psの分解能で2nsまで進めたり、入力クロックの1周期まで遅らせることができます。時間遅延の設定値、(N)は、デバイス内部で15%の誤差があります。すなわち、実際の遅延時間は $N \pm (N \times 15\%)$ となります。クロックの位相は、90度単位で90度、180度、270度にシフトすることができます。同じクロックから位相を調整したクロックと調整しないクロックを生成して、2本の異なるクロック・ラインをボード上に分配することができます。Quartusソフトウェアは、ユーザの定義した角度シフトと遅延シフトの設定にしたがって、自動的にClockShift回路をコンフィギュレーションします。なお、LVDSモードでPLLのClockShift回路の機能を使用することはできません。

APEX 20KおよびAPEX 20KEデバイスのClockLock回路は、入力クロックの立ち上がりエッジに一致するようにデザインされています。同様にClockShift回路もクロックの立ち上がりに対して調整されるようになっています。クロック信号の立ち下がりエッジはデューティ・サイクルで決定されるため、立ち下りエッジでの調整を行うことはできません。 k の値を偶数に設定(偶数で除算)すると、出力クロックのデューティ・サイクルが約50%になります。

プリント基板 のレイアウト

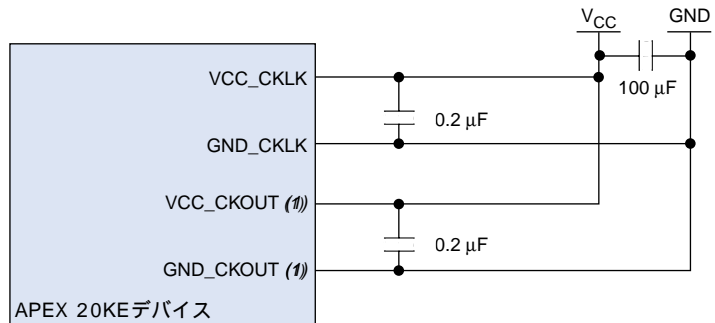
各PLLには、独立したVCCピンとGNDピンが必要です。APEX 20Kデバイスは、ClockLockとClockBoostの回路に一組のVCCピンとGNDピンを持っています。また、APEX 20KEデバイスでは、各PLLと各クロック出力ピンに対して一組のVCCとGNDが必要です。表9に、APEX 20KとAPEX 20KEデバイスに必要な電源ピンが示されています。

表 9 APEX 20KとAPEX 20KEのClockLockおよびClockBoost機能を実現するために必要な電源ピン

デバイス	ピン名	概要
EP20K100 EP20K200 EP20K400	VCC_CKCLK GND_CKCLK	ClockLockおよびClockBoost回路用の電源ピンとグラウンド・ピン。ノイズの影響を避けるため、ClockLockとClockBoost回路の電源ピンとグラウンド・ピンは、デバイスの残りの部分に供給される電源とグラウンドから分離されている必要がある。
EP20K100E EP20K160E EP20K200E	VCC_CKCLK[1..0] GND_CKCLK[1..0] VCC_CKOUT GND_CKOUT	ClockLockおよびClockBoost回路とクロック出力用の電源ピンとグラウンド・ピン。ノイズの影響を避けるため、ClockLockとClockBoost回路とクロック出力の電源ピンとグラウンド・ピンは、デバイスの残りの部分に供給される電源とグラウンドから分離されている必要がある。
EP20K300E EP20K400E EP20K600E EP20K1000E	VCC_CKCLK[3..0] GND_CKCLK[3..0] VCC_CKOUT[1..0] GND_CKOUT[1..0]	ClockLockおよびClockBoost回路とクロック出力用の電源ピンとグラウンド・ピン。ノイズの影響を避けるため、ClockLockとClockBoost回路とクロック出力の電源ピンとグラウンド・ピンは、デバイスの残りの部分に供給される電源とグラウンドから分離されている必要がある。

グラウンド・バウンスや V_{CC} を低下させるような電源ノイズは、クロックのジッタにダイレクトに影響を及ぼします。過度なジッタを回避するためには、適切な電源デカップリングを使用する必要があります。ノイズの影響を避けるため、ClockLockおよびClockBoost回路とクロック出力の電源ピンとグラウンド・ピンのペアは、デバイスの他の部分に供給される電源とグラウンドから分離されている必要があります。プリント基板(PCB)上に専用の配線パターンを設けてClockLock回路とクロック出力に電源を供給するようにし、VCCINT/GNDINTとVCCIO/GNDIOのプレーンから切り離してください。各VCC_CKCLK/GND_CKCLKとVCC_CKOUT/GND_CKOUTのペアには、電源から供給される専用のパターンを使用してPLL間のカップリングが発生しないようにします。各VCC_CKCLK/GND_CKCLKとVCC_CKOUT/GND_CKOUTのペアには、APEX 20Kデバイスの近傍に0.2 μ Fのデカップリング・コンデンサを配置して、デカップリングが確実に実現されるようにしてください。また、ClockLockとClockBoost用の電源ラインがPCBに入力される位置の近傍には、100 μ Fのコンデンサを配置する必要があります。図6を参照してください。

図 6 電源デカップリング



注：

(1) VCC_CKOUTピンとGND_CKOUTピンはAPEX 20KEデバイスのみを提供されています。

アプリケーション

APEX 20KおよびAPEX 20KEデバイスのPLL回路の機能は、多様なアプリケーションで活用することができます。このセクションでは、いくつかのアプリケーション例について解説します。

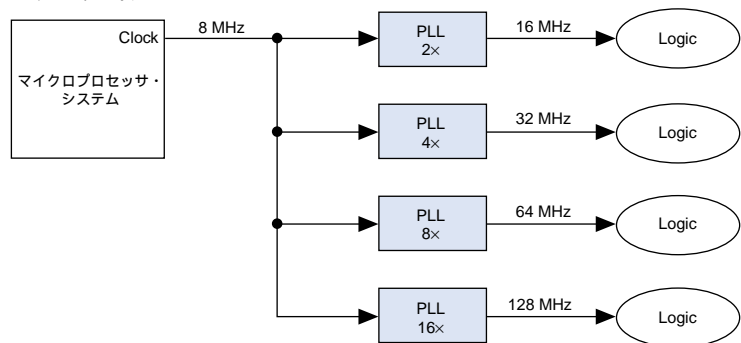
クロックの乗算と除算

ClockBoost機能を利用することによって、プリント基板上で分配されるクロックを低速にすることが可能になり、高周波信号の分配による影響を低減することができます。ClockBoost機能は、デバイス内部のスピードを高速化するとき使用されます。伝送ラインの影響を低減することによって、プリント基板のレイアウトを簡単にすることもできます。APEX 20Kデバイスでは、プリント基板上のクロック周波数をデバイス内部で2倍または4倍にすることができます。また、APEX 20KEデバイスでは、さらに複雑な比率での周波数演算を行うことができます。詳細については、10ページの表7と11ページの表8を参照ください。

クロック周波数の乗算と除算は、通信関係のアプリケーションで特に有効となります。転送レートの乗算や除算が必要になる場合は、ClockBoostの機能を活用することができます。クロックの乗算と除算は、パラレル・データ・ストリームとシリアル・データ・ストリームとの間の変換を行うときにビット・レートを維持する目的にも使用されます。

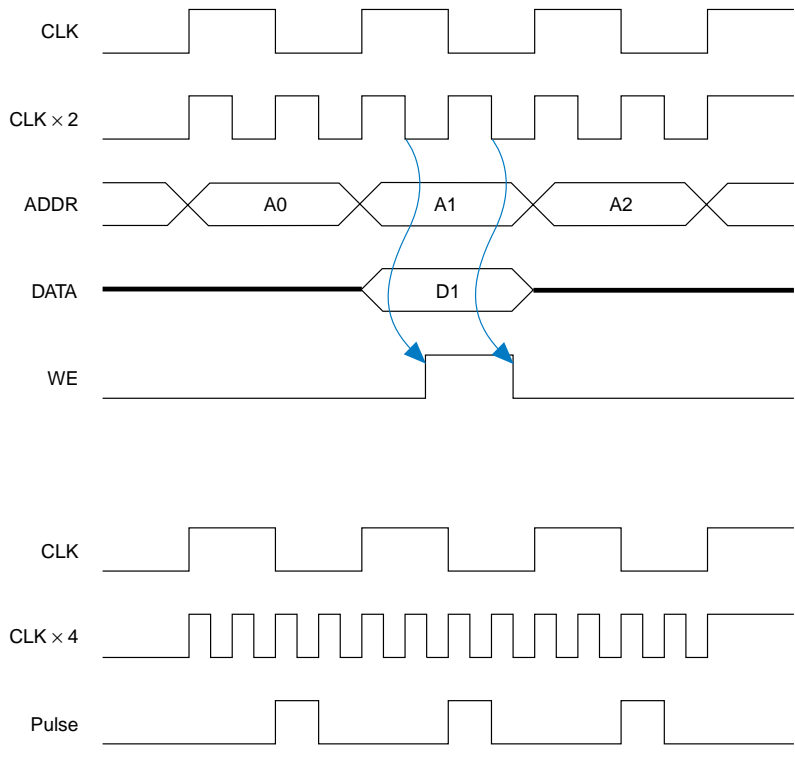
マイクロプロセッサをベースにしたシステムでは、システム・クロックがシステム内の他の部品よりも低速で動作することもあります。例えば、エンベデッド・プロセッサやその周辺機器回路が、システム・クロックよりも高速で動作することがあります。エンベデッド・システムのアプリケーションでは、同期化やカウンタのような動作にさらに高速な内部レートが必要になることもあります。APEX 20Kデバイスを使用したエンベデッド・アプリケーションでは、ClockBoostの機能を利用して低速のシステム・バス・クロックを乗算することができます。APEX 20Kデバイスの乗算と除算の機能を活用することによって、System-on-a-Programmable-Chipのデザインの実現が可能になります。図7は、エンベデッド・システムのアプリケーションにおけるクロックの合成例を示したものです。

図7 クロックの合成機能を活用したエンベデッド・システムのアプリケーション



ClockBoost機能を使用して、可変パルス幅の信号を生成することができます。周波数の乗算機能とカウンタを使用して、カウンタをドライブする信号に対して乗算された周波数に応じて適切なパルス幅を設定することができます。これらのパルスは外部のSRAMまたはDRAMとのインタフェースに使用することができます。例えば、SDRAMとのインタフェースに要求されるライト・イネーブル(WE)、ロウ・アドレス・ストローブ(RAS)、カラム・アドレス・ストローブ(CAS)信号を規定されたアドレスおよびデータのセットアップ時間になるように生成することができます。図8を参照してください。

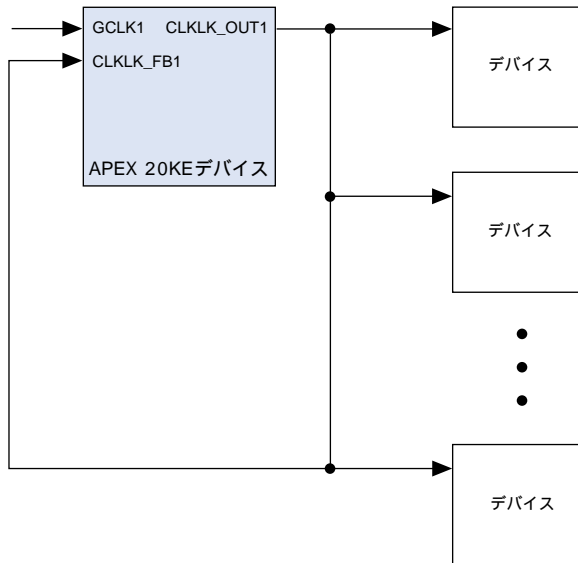
図 8 乗算機能を使用したパルスの生成



プリント基板上の遅延を低減

APEX 20KEデバイスのフィードバック・ピンを活用することによって、プリント基板上に実装された複数のデバイス間でのクロック・スキューを低減することができます。PLLはフィードバック入力を調整してGCLK入力クロックに一致させます。PLLは、温度や電圧の条件で生じる遅延の変化を計算し、出力を連続的に調整します。プリント基板を設計するときは、フィードバック入力に含まれるリターン遅延を各デバイスへの配線遅延に一致させる必要があります。同じような遅延時間を実現することによって、フィードバック入力のエッジと各デバイスにクロックが到達するまでの時間が一致し、プリント基板上的遅延を解消することができます。図 9 は、APEX 20KEデバイスを使用してプリント基板上の遅延時間を低減する方法を説明したものです。

図 9 APEX 20KEデバイスによるプリント基板上の遅延を低減する方法
注(1)



注:

- (1) プリント基板を設計するときは、CLKLK_OUT1から各デバイスへの配線遅延とFB1へのリターンパスの遅延が等しくなるようにする必要があります。

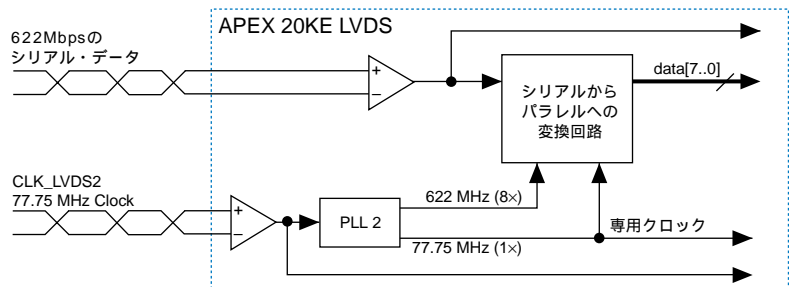
APEX 20KEデバイスのCLKLK_OUTとCLKLK_FB信号との間の遅延時間は、最小に抑える必要があります。フィードバックパスは閉ループを形成するため、プリント基板上の伝播に大きな遅延時間が存在すると、PLLのループに複数のポールと位相遅延を追加させる結果となり、出力が不安定となります。このため、PLLのクロック出力時間とプリント基板上の配線遅延時間を加えた値が、必ずCLKLK_FBの期間よりも短くなるようにしてください。

LVDS

EP20K300Eおよびそれより高集積のデバイスでは、2個の汎用PLLをLVDSインタフェース用にコンフィギュレーションすることができます。これらのPLLは、APEX 20KEデバイスのLVDS差動入出力ブロックとのインタフェースを実現します。クロック入力を4倍、7倍、または8倍に乗算することによって、内蔵の専用パラレル-シリアル・コンバータおよびシリアル-パラレル・コンバータを使用したLVDS/CMOSのデータ変換を行うことができます。

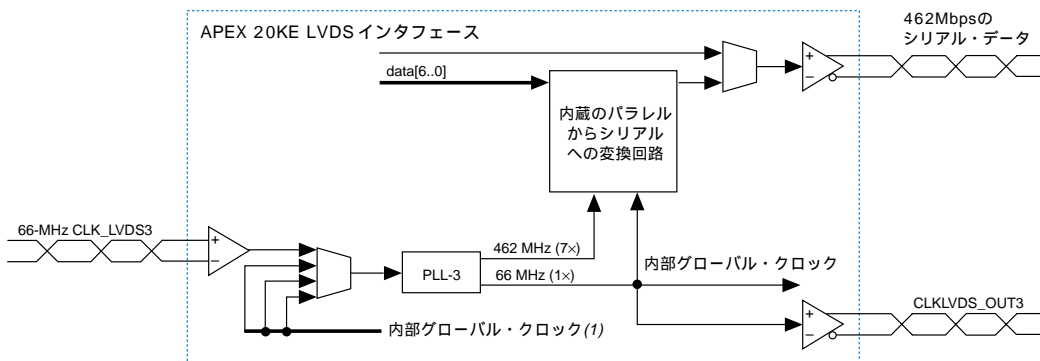
APEX 20KEデバイスをLVDSインターフェイス用にコンフィギュレーションした場合は、CLK_LVDS2入力の乗算にPLL-2が使用されます。シリアルからパラレルへの変換回路は乗算されたクロックを使用して、高速のシリアルLVDSデータを低速のパラレルCMOSデータに変換します。ここで使用される通倍比は、要求されるマルチプレクサおよびデマルチプレクサの比率と一致している必要があります。例えば、622MbpsのLVDSチャンネルに1対8の変換比率が必要となる場合は、77.75MHzのクロック入力に対する通倍比を8にする必要があります。低速のLVDSデータが入力される場合は、必要に応じてシリアル-パラレル・コンバータとPLLをバイパスすることもできます。図10は、内蔵のLVDS入力インターフェイスが622MbpsのシリアルLVDS入力とのインターフェイスを行い、マルチプレクサ/デマルチプレクサの比率を1対8とした場合の例を示しています。

図10 APEX 20KEのLVDS PLL/入力インターフェイス



APEX 20KEデバイスをLVDS用にコンフィギュレーションした場合は、CLK_LVDS3入力に対する乗算にPLL-3が使用されます。パラレルからシリアルへの変換回路は、乗算されたクロックを使用して、低速のパラレルCMOSデータを高速のシリアルLVDS出力データに変換します。ここで使用される通倍比は、要求されるマルチプレクサおよびデマルチプレクサの比率と一致している必要があります。例えば、462MbpsのLVDS出力に7対1の変換比率が必要となる場合は、66MHzの入力クロックにする通倍比を7にする必要があります。低速のLVDSシリアル・データが出力される場合は、必要に応じてパラレル-シリアル・コンバータとPLLをバイパスすることもできます。図11は、内蔵のLVDS出力インターフェイスが内部のパラレル・データを7対1の比率で462MbpsのレートのLVDSシリアル・データに変換する例を示しています。

図11 APEX 20KEのLVDS PLL/出力インタフェース



注：

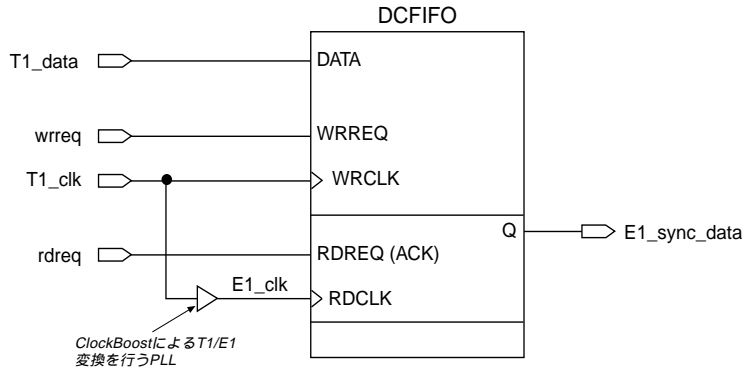
(1) LVDSのモードでは、CLK_LVDS3、または残り3本の内部グローバル・クロックのうち1本がPLL-3に接続されます。

T1とE1のクロック・ドメイン変換

APEX 20KEデバイスのClockBoost回路は、T1規格のクロック周波数(1.544MHz)からE1規格のクロック周波数(2.048MHz)への変換、またはその逆の変換を実行する場合にも使用できます。ClockLock回路には、T1/E1変換を実行するための特殊なモードが提供されています。このときの乗算は k 、 m 、 n を適切な値に設定するだけで実現することはできません。

どのような種類のクロック・ドメインのデータ転送でも、あるクロック・ドメインから他のクロック・ドメインにデータを転送するためには、適切な非同期設計技術が必要になります。例えば、DCFIFOのFIFO (First-In First-Out) 機能を使用して、転送されるデータをバッファすることができます。図12は、DCFIFOを使用して異なるクロック・ドメイン間のデータをインタフェースする例を示したものです。この例では、DCFIFOには、データとT1クロックが入力され、PLLをT1クロックに同期させています。DCFIFOの出力は、PLLによってE1のレートに変換されたクロックに同期させる必要があります。PLLの出力をE1クロックにすることによって、出力データのE1への同期化が実現されます。同様の方法は、異なるクロック・ドメイン間でのデータの同期化を実現するときに使用できます。

図12 DCFIFOによる異なるクロック・ドメイン間のインタフェース

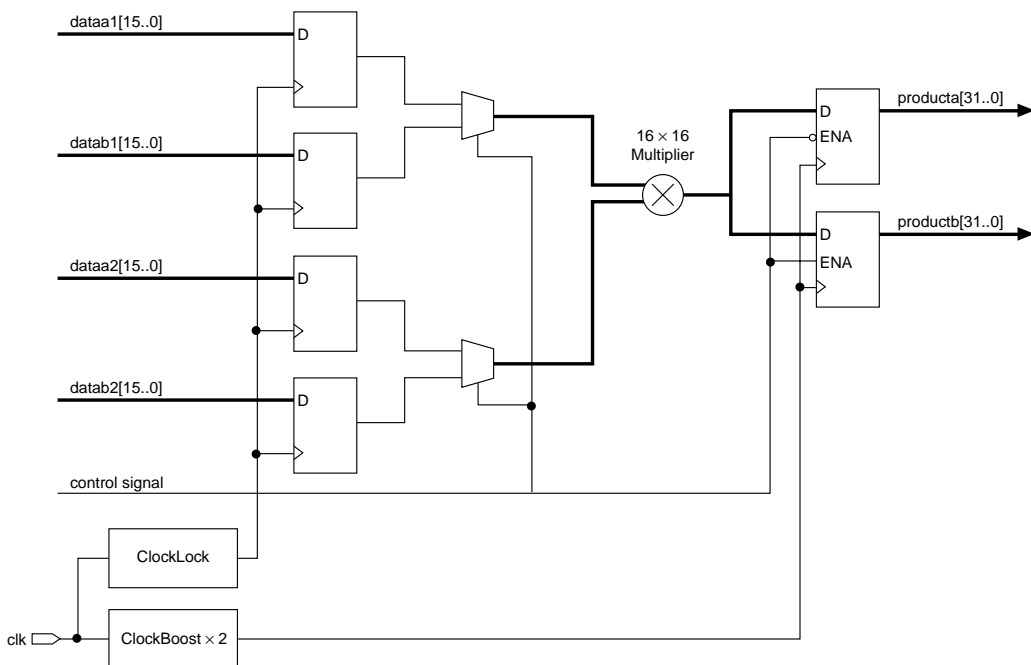


時分割多重

ClockBoost機能を活用して、特定の回路を1クロック・サイクルで複数回使用する時分割多重(Time-Domain Multiplexing)のアプリケーションを実現することができます。APEX 20Kデバイス内のClockBoost回路により、クロック周波数を2倍または4倍にすることによって、同じ回路を1システム・サイクルで2回または4回動作させることができます。このような時分割多重のテクニックを使用することにより、必要な機能を少ないロジック・セルまたはESBで実現することができます。

例えば、2個の 16×16 乗算器を使用する回路では、各乗算器に447個のLEが使用され、合計894個のLEが必要になります。この場合、システム・クロックを2倍にして、1個の乗算器を各クロック・サイクルごとに2回動作する回路を実現する方法があります。このような乗算回路では、乗算器の入力側に2組の入力を切り換えるマルチプレックス機能が必要になりますが、出力側ではマルチプレックスせずに2回の乗算結果を出力することができます。このような時分割動作の実現にはいくつかのLEが必要となりますが、乗算器が1個だけになるため、使用されるトータルLE数を大幅に減少させることができ、コストの低減を図ることができます。図13は、時分割多重を実現した回路例を示したものです。

図13 時分割多重回路



同様な手法は、4個の乗算器を必要とする回路にも応用できます。この場合は、4倍のクロックを使用し、図13で示されている2対1のマルチプレクサの代わりに4対1のマルチプレクサを使用します。4倍のクロック・サイクルごとに1個の出力バス・レジスタがイネーブルになるワンホット・カウンタまたはワンホット・ステート・マシンを使用したコントロール・ライン・バスを作成することによって、シングル・システム・クロック・サイクルで1個の乗算器を4回使用する回路を実現することができます。表10には、時分割多重のテクニックを適用することによって、使用するLE数をどの程度減少させることができるかが示されています。

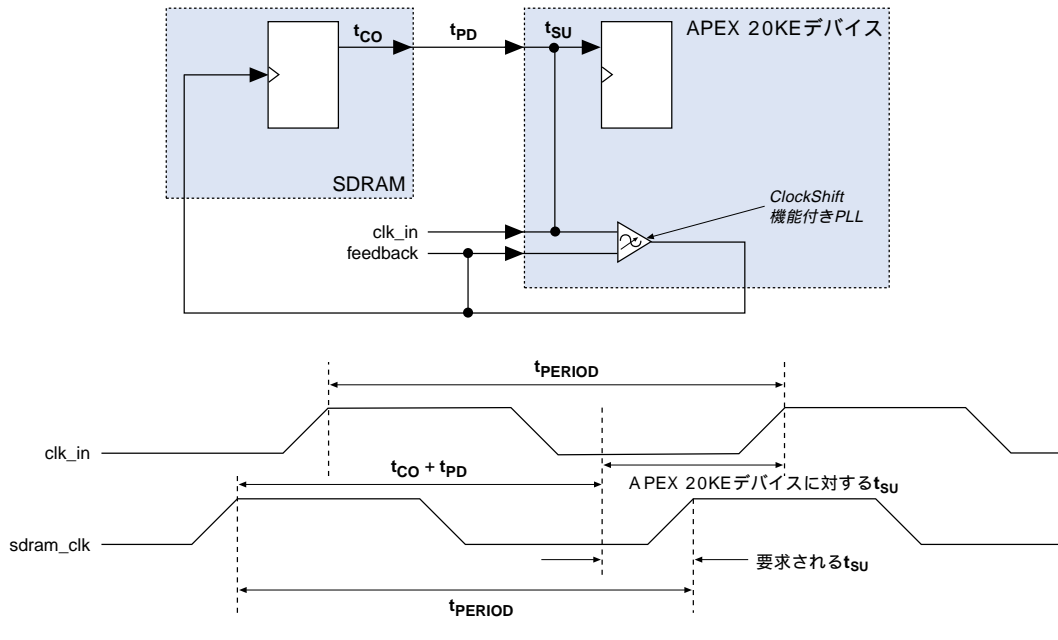
デザイン	使用LE数
2個の16×16乗算器	894
2×のClockBoost機能を使用して2個の16×16乗算器を時分割多重で実現	547
4個の16×16乗算器	1,788
4×のClockBoost機能を使用して4個の16×16乗算器を時分割多重で実現	741

ClockShiftアプリケーション

PLLクロック出力の位相と時間遅延を調整する機能は、数多くのインタフェース・アプリケーションに適用できます。例えば、遅延を調整することで、厳しいタイミング条件に簡単に適合させることができます。クロック出力のタイミングを進めたり、遅らせることによって、複数のクロック間で生じる遅延時間を利用してAPEX 20KEまたは外部デバイスの「Clock-to-Output」やセットアップ・タイムを改善することができます。

高速SDRAMや他のデバイスで規定されているアクセス・タイムを実現するためには、インタフェースするデバイスが与えられたクリティカル・パスを満足する高速のセットアップ・タイムを確保する必要があります。この場合、SDRAMに与えられる入力クロックのタイミングが一定の時間だけ進むように外部クロックの出力タイミングを調整することによって、要求のタイミングに適合させることができます。クロック・エッジを調整することにより、SDRAMの「Clock-to-Output」(t_{CO})の期間を前に進め、高速のセットアップ時間の条件を満足させることができます。図14は、APEX 20KEデバイスとSDRAM間のインタフェースとタイミングを示したものです。この例では、APEX 20KEデバイスが 5.5ns の t_{CO} で高速SDRAMからデータを読み込めるようになっています。ここで、システム・スピードを 100MHz 、すなわち 10ns の周期、SDRAMとAPEX 20KEデバイスとの間のボード上の伝播遅延(t_{PD})を 3ns と仮定した場合、 t_{PD} 遅延と t_{CO} 遅延の合計は 8.5ns となります。これは、APEX 20KEデバイスに残されたセットアップ時間が 1.5ns しかないことを意味します。このような場合でも、SDRAMに対するクロックの位置をAPEX 20KEデバイスの t_{SU} から要求される t_{SU} を差し引いた値まで進めることによって、要求されるタイミングの必要条件を満たすことができます。

図14 ClockShift機能を使用してSDRAMのタイミングを満足させる方法



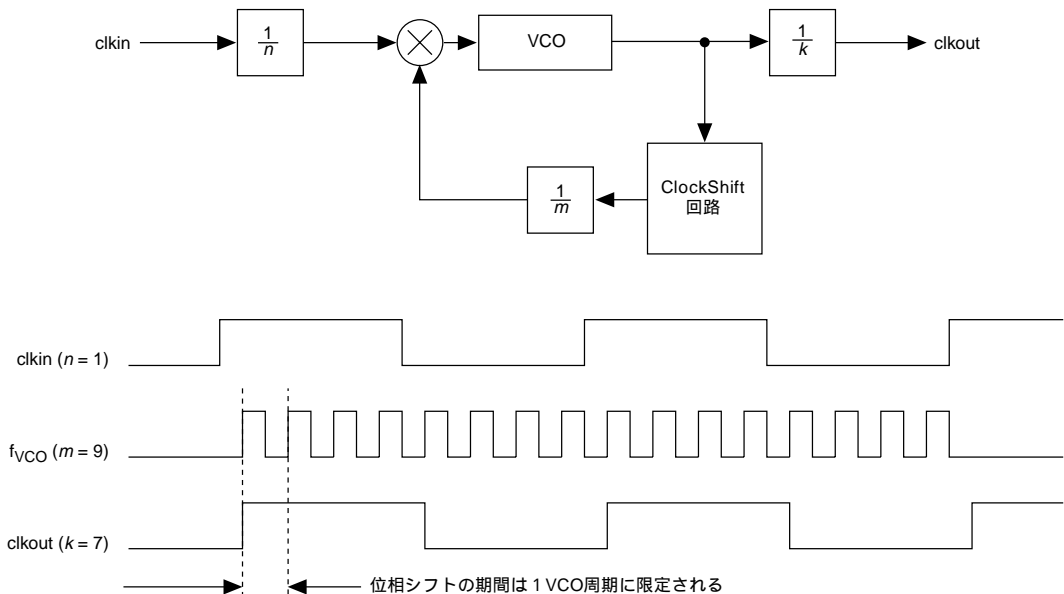
セットアップ時間条件を満足させることに加え、SDRAMインタフェースの「Clock-to-Output」時間を改善した要領で意図的にクロックを遅延させることによって、デバイスの「Clock-to-Output」時間を改善することもできます。これは出力デバイスに対するクロック位置を遅らせることによって、システム・クロックをそのまま使用した場合よりもデバイスの「Clock-to-Output」時間を高速にすることができます。また、I/Oレジスタに使用されている内部クロックの位置を進めることによって、出力レジスタで高速の「Clock-to-Output」時間を実現することもできます。

プリント基板上でクロック・ソースから離れた位置にあるデバイスに供給されるクロックの遅延時間をコントロールするときには、フィードバックを使用せずに、そのデバイスまでの距離に応じてクロックの遅延時間をコントロールすることも可能です。この場合は、ユーザがAPEXデバイスの外部クロック出力をマニュアルで調整して、プリント基板の遅延を補正します。

位相の調整機能は、外部デバイスとのインタフェースにも活用できます。分離された2つのClockLockとClockBoost回路を使用して入力クロックの位相を調整して、2本の異なるクロックを外部に出力することができます。例えば、1本のクロック入力からこれらの外部出力を生成して、3相DCモータに使用することができます。

APEX 20KEデバイスでは、プログラマブルに調整できる位相のシフト機能がVCOの1周期内に限定されています。図15は、スケーリング・ファクタとVCOの関係を示したものです。スケール・ファクタの m の値が大きくなると、VCOの周期は入力周期の値よりも小さくなってしまい、 t_{VCO} が t_{CLKIN} に比べてかなり小さな値になってしまいます。スケール・ファクタの k の値が大きくなった場合も、VCO周期は出力周期の値よりも小さくなり、 t_{VCO} が、 t_{CLKOUT} に比べてかなり小さな値になってしまいます。位相調整の範囲はVCOの周期に限定されており、出力クロック周期と比較してVCOの周期が狭くなるほど、クロック出力の位相を調整できる範囲が狭くなります。図15は、スケーリング・ファクタがどのように位相範囲に影響を及ぼすかを波形で示したものです。VCOの周期が要求される位相の調整範囲になるように、 m 、 n 、 k の値を選択してください。

図15 電圧制御オシレータ (VCO) とスケーリング・ファクタの関係



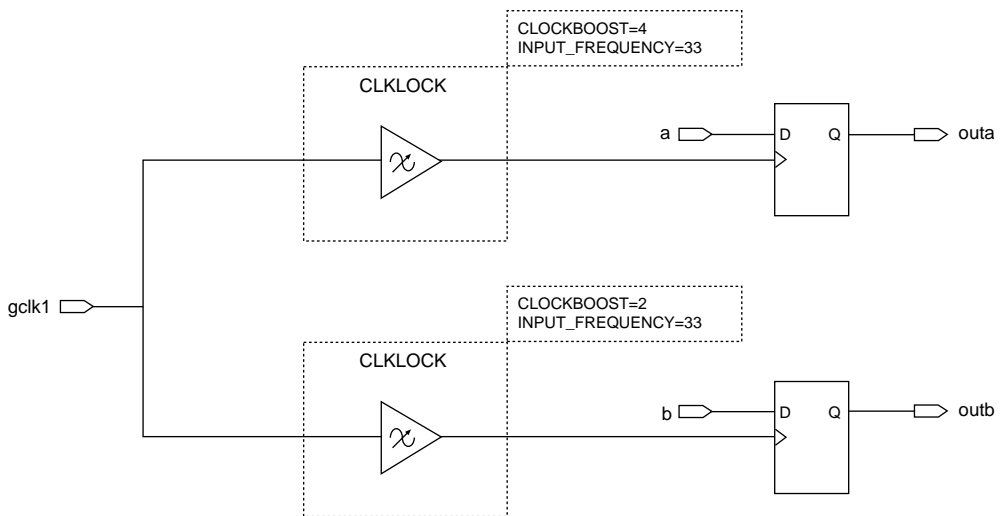
ソフトウェア サポート

APEX 20KデバイスのClockLock機能とClockBoost機能は、Quartusソフトウェアで設定することができます。このソフトウェアはCLKLOCKメガファンクションを使用してClockLockとClockBoostの機能を実現し、ユーザは入力動作周波数とClockBoostによるクロックの逡倍率を指定することができます。

GCLK1は、ClockLockとClockBoostの双方の回路にクロック信号を入力する専用の入力ピンとなっています。2本の出力クロックには、1×と2×、1×と4×、2×と4×のように、任意の組み合わせを設定することができます。2本の出力が生成された場合、他のクロック・ピン(GCLK0)を使用することはできません。ClockLockとClockBoostの回路から2本の出力を必要とするデザインでは、プリント基板上のクロックの配線パターンをGCLK1だけに接続します。2本のクロック出力を使用するときは、双方の回路に対する入力周波数のパラメータを同じ値に設定する必要があります。この場合、入力周波数のパラメータは、出力クロックの周波数を最高の通倍率にしたときの規格の範囲内になっていなければなりません。例えば、APEX 20Kデバイスで2×と4×の出力を使用するときは、入力周波数が f_{CLK4} で規定されている15MHzから33MHzの範囲に設定されている必要があります。

図16は、QuartusソフトウェアでClockBoost回路から2本の出力を実現した例をブロック図で示したものです。この例は回路図で表記されていますが、同様の回路をアルテラ・ハードウェア記述言語 (AHDL)、VHDL、Verilog HDLで記述することもできます。

図16 複数のClockLockおよびClockBoost回路を使用した例



パラメータ化されたCLKLOCKファンクションを使用することによって、APEX 20KEデバイスでもクロックの乗算と位相をコントロールすることができます。この機能は、Quartusソフトウェアのデザイン・エントリ・エディタ(AHDL、VHDL、Verilog HDL、ブロック・エディタ)で実現することができます。Quartusソフトウェアには、サードパーティのVHDLまたはVerilog HDLシミュレータでシミュレーションを実行するためのファイルを生成するユーティリティ・プログラムも提供されています。

まとめ

PLLを使用してAPEX 20Kデバイスに実現されたClockLockとClockBoostの最先端機能は、システム性能を大幅に改善すると共に、デザインの応用範囲をさらに拡大させています。デバイス内のクロックの遅延を低減し、スキューを解消することによってデザインが改善され、時分割多重の回路を実現することでエリア効率が改善されます。ClockBoostの機能を使用してデバイスの内部ロジックを入力クロック周波数よりも高速のレートで動作させることによって、プリント基板の設計を簡単にすることができます。APEX 20KEで実現されたClockLockとClockBoostの最先端機能は、さらに複雑なクロックの合成を必要とするアプリケーションにも対応できる $m/(n \times k)$ による乗算、LVDS I/Oインタフェース、位相調整なども実現しています。

Altera, APEX, APEX 20K, APEX 20KE, ClockBoost, ClockLock, ClockShift, EP20K100, EP20K100E, EP20K160E, EP20K200, EP20K200E, EP20K300E, EP20K400, EP20K400E, EP20K600E, EP20K1000E, Quartus, System-on-a-Programmable-Chipは、Altera Corporationの米国および該当各国におけるtrademarkまたはservice markです。この資料に記載されているその他製品名、サービス名は該当各社のtrademarkです。Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001

Copyright © 1999 Altera Corporation. All rights reserved.

ALTERA®

日本アルテラ株式会社

〒163-0436

東京都新宿区西新宿2-1-1

新宿三井ビル私書箱261号

TEL. 03-3340-9480 FAX. 03-3340-9487

<http://www.altera.com/japan>

E-mail: japan@altera.com

本社 **Altera Corporation**

101 Innovation Drive,

San Jose, CA 95134

TEL : (408) 544-7000

<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラのwebサイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文のアプリケーション・ノートを日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものです。