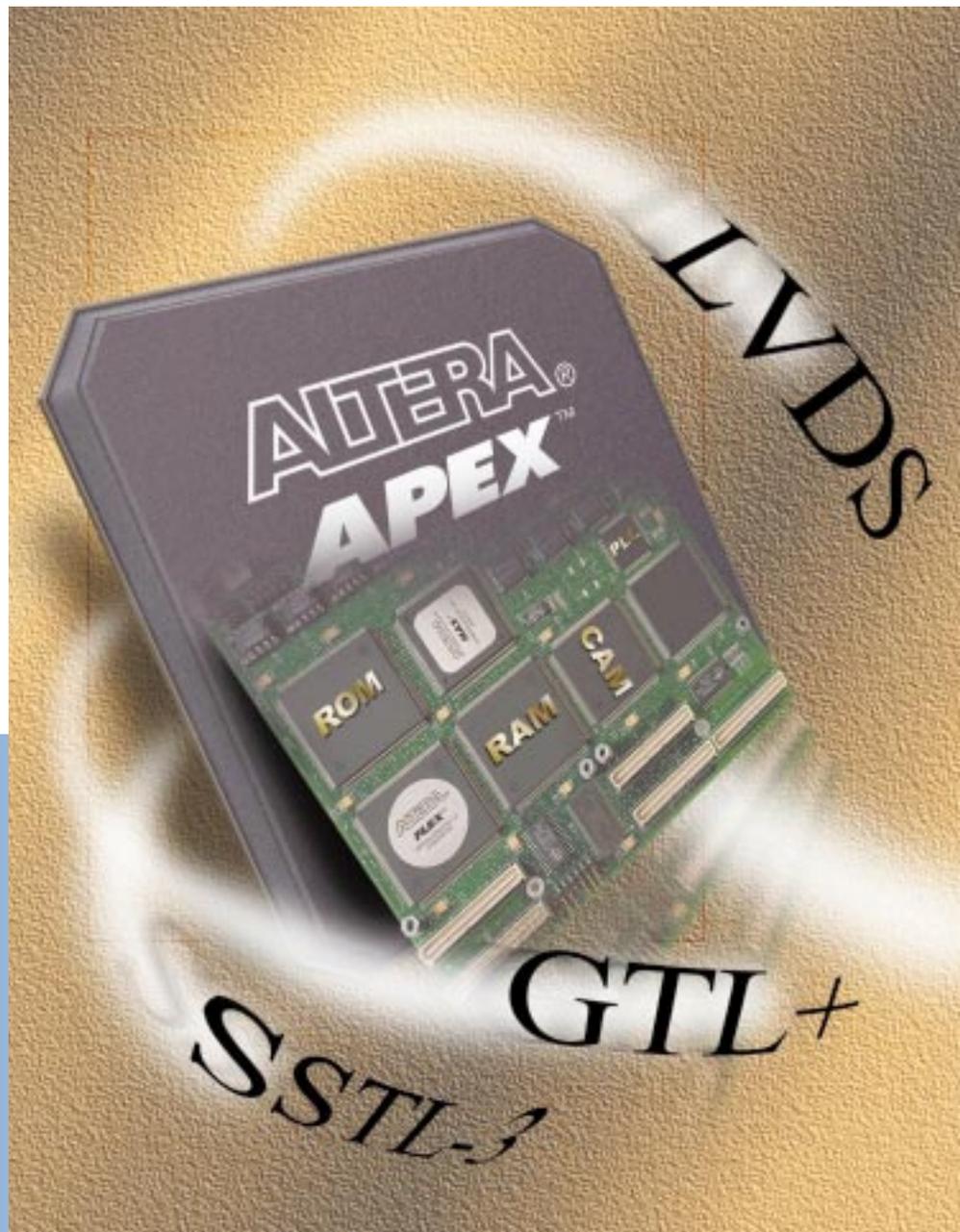


ALTERA®

APEX 20K

システム・レベル・インテグレーションのための
高集積エンベデッド・プログラマブル・ロジック・デバイス



January 1999

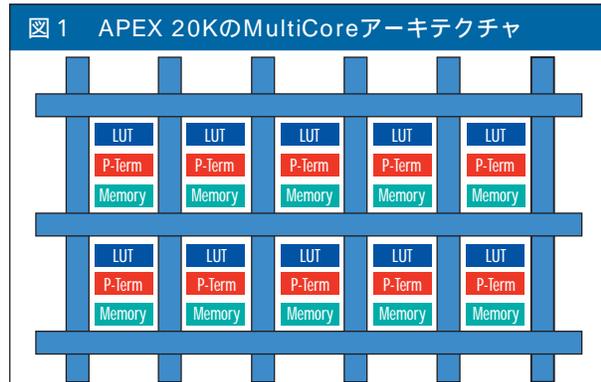
APEX：革命的なエンベデッド・アーキテクチャ

アルテラのAPEX™ 20K プログラマブル・ロジック・ファミリは、シングル・チップへの完全なシステム・レベル・インテグレーションを実現します。革新的なMultiCore™アーキテクチャが採用されているAPEX 20Kファミリは、これまで提供されてきた複数のPLDアーキテクチャの利点を統合、強化して、System-on-a-Programmable-Chip™ (SOPC™) のアプリケーションに対してこれまでにない高いレベルのデザイン・フレキシビリティと効率を提供しています

1,000,000ゲートまでの集積度とPLL(Phase-Locked Loop)などによる性能の強化を実現したAPEX 20Kデバイス・ファミリは64ビット、66MHzのPCI仕様に準拠するように設計されており、125MHzのシステム性能を達成することができます。2.5Vで動作するAPEX 20Kデバイスは最先端の0.22ミクロン6層メタルSRAMプロセスで製造されています。また、APEX 20Kデバイスと機能互換となっている1.8V動作のAPEX 20KEデバイスには、0.18ミクロン6層メタル・プロセスが採用されます。

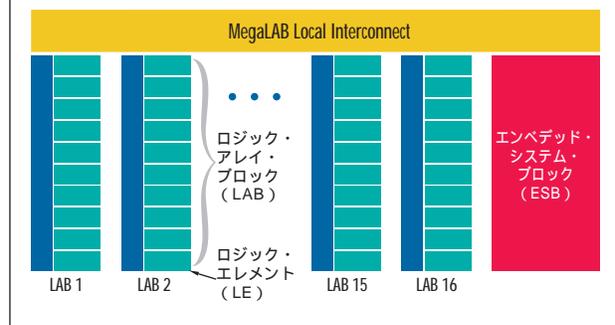
MultiCoreアーキテクチャによるブレイクスルー

革新的なAPEXのMultiCoreアーキテクチャ(図1に示す)には、FLEX 10KデバイスやFLEX 6000デバイスのLUTロジック、MAX 7000デバイスのプロダクト・ターム・ロジック、FLEX 10KEデバイスの拡張強化されたエンベデッド・メモリ・ブロックの3種類のPLD構造が内蔵されています。これら3種類すべての構造がひとつの集積化されたアーキテクチャに統合されているため、複数のデバイスを使用する必要性が解消され、ボード・スペースを節減して、複雑なデザインを簡単に実現できるようになります。



MultiCoreアーキテクチャでは、MegaLAB™と呼ばれる新しいレベルの階層構造が実現されています(図2を参照)。各MegaLABには、計16個のロジック・アレイ・ブロック(LAB)とエンベデッド・システム・ブロック(ESB)と呼ばれる最先端のエンベデッド構造のブロックが1個含まれています。各LABにはルック・アップ・テーブル(LUT)ロジックを構成す

図2 MegaLABの構造



るときに使用されるロジック・エレメント(LE)が10個内蔵されています。MegaLABのローカル・インタコネクトは16個のLABとESB間をグローバルな配線リソースを使用することなく相互に接続することができます。そして各MegaLAB間は、高速で予測可能な遅延を実現する連続した配線構造のFastTrack®インタコネクトで接続されます。

エンベデッド・システム・ブロックのコンフィギュレーション

エンベデッド・システム・ブロックはMultiCoreアーキテクチャの心臓部となっています。APEX 20Kの各ESBには2,048ビットのプログラマブル・ビットが内蔵されており、これをプロダクト・ターム・ロジック、LUTロジック、またはデュアル・ポートRAM、ROM、CAM(Content-Addressable Memory)の3種類のメモリのいずれかにコンフィギュレーションすることができます。

エンベデッド・システム・ブロックのコンフィギュレーション



ESBをプロダクト・ターム・ロジックとしてコンフィギュレーションすることによって、アドレス・デコーダや複雑なステート・マシンのようなコントロール・ロジック・ファンクションの構成に理想的なリソースが提供され、高いレベルでの集積化が実現できます。複数のESBをカスケード接続して、高ファン・インのファンクションを構成することもできます。APEX 20Kデバイスは、プロダクト・タームとLUTをシングル・デバイス内に集積化することによって、双方のタイプのファンクションに対して最高の効率と性能の最適化が実現されるようになっています。

エンベデッド・デュアル・ポートRAM

APEX 20KのESBは、リードとライトのポートが独立した同期または非同期動作のデュアル・ポートRAMをサポートしており、多様なデータ幅と深さのRAM（128×16、256×8、512×4、1,024×2、および2,048×1）で150MHzのFIFO性能を実現することができます。また、複数のESBを接続してデータ幅と深さをさらに拡張することもできます。

標準的なメモリ・アプリケーションの性能			
ファンクション	構成	使用ESB数	性能
Cache RAM	256 x 32	4	150 MHz
	4,096 x 64	128	110 MHz
Dual-Port FIFO	128 x 32	2	150 MHz
	128 x 64	4	150 MHz
ROM	256 x 32	4	150 MHz
	4,096 x 64	128	110 MHz

高性能 Content-Addressable Memory (CAM)

APEX 20KEデバイス内では、ESBを高速アドレス・サーチ機能を持つパラレル処理メモリ、CAM (Content-Addressable Memory) としてもコンフィギュレーションすることができます。CAMはRAMと反対のような動作を行い、RAMがアドレス入力を受信してデータを出力するのに対して、CAMはデータ入力を受信して、このデータがストアされているアドレスを出力します。

CAMはデータ通信のアプリケーションにおいて、アドレス・スイッチ・マッピング、アドレス変換、パケット・ヘッダ検出、キャッシュ・タグなどファンクションに標準的に使用されています。APEX 20KEのCAMファンクションは高速のパラレル・コンパレータとして動作するため、PLDのデザインに多くの新しいアプリケーションを実現できるようになります。

各ESBは32ワード×32ビットCAMとしてコンフィギュレーションすることができ、複数のESBをカスケード接続してさらに大規模なCAMを構成することもできます。APEX 20KEデバイス内にCAMを集積化することによって、外部に独立したCAMを接続するソリューションに比較してシステム性能が大幅に向上します。

高帯域、低電圧I/O

さらに高いシステム性能や低電源電圧への要求が強まっています。APEX 20KEデバイスは、LVTTTL、LVCMOS、GTL+、SSTL-2、AGP、HSTL、SSTL-3、および622 Mbits/sec.までの性能を持つLVDSを含む複数の標準I/Oインタフェース規格をサポートしています。すべてのAPEXデバイスは、複数の電圧が使用されるシステムに最適なアルテラのMultiVolt™ I/Oインタフェースをサポートしています。

強化されたPLL (Phase-Locked Loop)

システムのクロック・レートをさらに向上させるため、APEX 20KEデバイスには最大4個までのPLL (Phase-Locked Loop) が内蔵されており、その性能がさらに強化されたClockLock™とClockBoost™の回路が提供されています。ClockLock回路は拡張された周波数範囲を持つ同期PLLを使用して、デバイス内のクロックのスキューと遅延を減少させます。また、ClockBoostはクロック周波数の通倍機能を提供しており、ボード上に低速のクロックを分配してデバイス内でこの周波数を通倍して使用することができます。ClockBoost回路を使用して、デバイス内のリソースを共有させることによって、デバイスのエリア効率を改善することもできます。

APEX 20Kデバイス								
デバイス名	ゲート数	ピン数 / パッケージ・オプション ²	I/Oピン数 ²	電源電圧	ロジック・エレメント数	RAMビット数	マクロセル数	
EP20K100	100,000	144-Pin TQFP, 196-Pin BGA ¹ , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ¹ , 356-Pin BGA	99, 146, 157, 185, 246, 246	2.5 V	4,160	53,248	416	
EP20K100E	100,000	144-Pin TQFP, 196-Pin BGA ¹ , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ¹	99, 145, 157, 185, 246	1.8 V	4,160	53,248	416	
EP20K160E	160,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 400-Pin BGA ¹	91, 148, 177, 316	1.8 V	6,400	81,920	640	
EP20K200	200,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ¹ , 672-Pin BGA ¹	142, 170, 285, 328, 376	2.5 V	8,320	106,496	832	
EP20K200E	200,000	208-Pin PQFP, 240-Pin PQFP, 484-Pin BGA ¹	142, 170, 376	1.8 V	8,320	106,496	832	
EP20K300E	300,000	208-Pin RQFP, 240-Pin RQFP, 672-Pin BGA ¹	130, 159, 416	1.8 V	11,520	147,456	1,152	
EP20K400	400,000	652-Pin BGA, 655-Pin PGA, 672-Pin BGA ¹	496, 496, 496	2.5 V	16,640	212,992	1,664	
EP20K400E	400,000	208-Pin RQFP, 240-Pin RQFP, 672-Pin BGA ¹	140, 140, 496	1.8 V	16,640	212,992	1,664	
EP20K600E	600,000	240-Pin RQFP, 672-Pin BGA ¹ , 900-Pin BGA ¹	140, 505, 620	1.8 V	24,320	311,296	2,432	
EP20K1000E	1,000,000	900-Pin BGA ¹ , 984-Pin PGA	780, 780	1.8 V	42,240	540,672	4,224	

注：

¹ 実装スペースを削減するFineLine BGAパッケージです。

² 暫定仕様です。最新の情報については、日本アルテラへお問い合わせください。

FineLine BGAパッケージによる 柔軟性の高いピン・マイグレーション機能

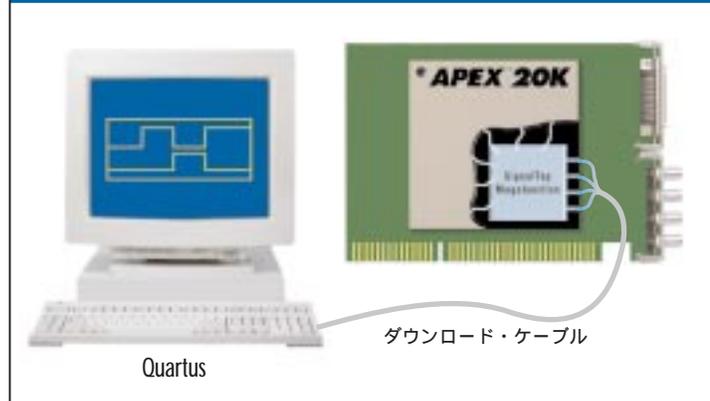
すべてのAPEX 20Kデバイスには、実装スペースを削減するFineLine BGA™パッケージを含む豊富なパッケージ・オプションが用意されています。1.0mmピッチのボール・グリッド・アレイ・パッケージは、これまでにない高いレベルの効率とパッケージング・フレキシビリティを提供します。FineLine BGAパッケージによるSameFrame™ピン配置機能は、ピン数の異なるパッケージ間でピン配置の互換性を実現させています。このピン配置機能によって、ボード・レイアウトを変更することなく、あるFineLine BGAパッケージから別のFineLine BGAパッケージへの移行を簡単に行うことができます。

Quartus開発ソフトウェアとIPによるデザインの 簡略化

APEX 20Kファミリの集積度や機能を必要とするプログラマブル・ロジックのデザインには、高速でパワフルな効率の高い、そして使いやすいデザイン・ソフトウェアが必要になります。アルテラのQuartus™開発システムを使用することによって、設計者はこれまでのPLD開発用ツールでは見られなかった最新の機能を活用して、数百万ゲートのデザインを処理することができます。Quartusソフトウェアには、ロジック解析機能（SignalTap™アナリシス）や、インクリメンタル・リコンパイルーション（nSTEP™コンパイラ）、ワークグループ・コンピューティング、EDAツールとの統合化、マルチ・プロセッサのサポート、IP（Intellectual Property）の集積化などの機能が提供されています。

SignalTapロジック解析ツールは、ロジック・アナライザの機能をQuartusソフトウェアに組み込むことによって、デザインの検証に要する時間を大幅に短縮させます。設計者はこのSignalTapロジック解析ツールを使用することによって、デバイスを実スピードで動作させながら、APEX 20Kデバイス内のノードの状態を捕らえ、解析することができます。データはAPEX 20Kデバイス内のESBにストアされ、ダウンロード・ケーブルを通じてQuartusのウェブファーム・ビューワにレポートされます（図3を参照）。

図3 SignalTapロジック解析ツール



Quartusのコンパイラはデザインを解析して、ファンクションをAPEXアーキテクチャ内にあるLUTベースのロジック・エレメント、プロダクト・ターム・ベースのマクロセル、あるいはエンベデッド・メモリ・ロジックの適切なブロックに分割します。そして、コンパイラがアルテラのCoreSyn™合成機能を使用し、適切な合成テクノロジーを起動してロジックが各アーキテクチャに最適化されるようにします。nSTEPインクリメンタル・リコンパイルーション機能やマルチ・プロセッサのサポートなど、Quartusソフトウェアが実現したその他の機能もデザイン・サイクルの短縮に役立ちます。

アルテラへすぐにご連絡ください。

APEX 20Kデバイス・ファミリはこれまでにない新たなレベルの機能を実現しており、System-on-a-Programmable-Chipのアプリケーションに対するプラットフォームを提供しています。3種類のアーキテクチャを1デバイス内に集積化した革命的なMultiCoreアーキテクチャの実現によって、LUTロジック、プロダクト・ターム・ロジック、そしてエンベデッド・メモリのパワーをシステム・レベルの集積化に同時に活用できるようになっています。このミリオン・ゲートのプログラマブル・ロジック・ファミリについての詳細を、すぐに日本アルテラまたは下記の販売代理店へお問い合わせください。また、これらの情報はアルテラのウェブ・サイト、<http://www.altera.com>にも提供されています。

ALTERA® 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 Altera Corporation

101 Innovation Drive, San Jose, CA 95134
TEL : (408)544-7000
<http://www.altera.com>

Copyright © 1999 Altera Corporation. Altera, APEX, APEX 20K, ClockLock, ClockBoost, CoreSyn, FastTrack, FineLine BGA, FLEX, FLEX 10K, FLEX 6000, MAX, MAX 7000, MegaCore, MegaLAB, MultiCore, nSTEP, Quartus, SameFrame, SignalTap, System-on-a-Programmable-Chip, SOPC, および各製品名はAltera Corporationの米国および該当各国におけるtrademarkまたはservice markです。その他のブランド名は該当各社のtrademarkです。この資料に掲載された内容は予告なく変更されることがあります。最新の情報は、アルテラのウェブ・サイト、<http://www.altera.com>でご確認ください。

M-GB-APEX20K-01/J