

特長

- 量産用ゲートアレイのアプリケーションに対して理想的なローコストでプログラマブルな代替ソリューションを提供し、デザインの試作やテスト段階での迅速な変更を可能にするデバイス
- 製品の機能
 - 豊富なレジスタを内蔵し、ルック・アップ・テーブル (LUT) をベースにしたアーキテクチャ
 - デバイスの高いエリア効率を実現するOptiFLEX™アーキテクチャを採用
 - 5,000から24,000ユーザブル・ゲートの集積度 (表1を参照)
 - 内蔵のクロック分配ツリーにより、クロックのスキューを低減
 - すべてのデバイスに100%のファンクショナル・テストを実施: テスト・ベクタやスキャン・チェーンが不要
 - 最新の3.2 mil (81ミクロン) ボンディング・パッド・ピッチの採用により、ダイ・サイズを大幅に縮小
- システム・レベルの機能
 - 外部のコンフィギュレーションEPROM、またはインテリジェント・コントローラによるイン・サーキット・リコンフィギュラビリティ (ICR) をサポート
 - PCI (Peripheral Component Interconnect) SIGのPCIローカル・バス仕様書 Revision 2.1に完全準拠した5.0-Vデバイス
 - 外部の追加ロジックなしで実現できるIEEE Std.1149.1-199準拠のJoint Test Action Group (JTAG) バウンダリ・スキャン・テスト (BST) 回路を内蔵
 - 電源電圧の異なるシステム間のブリッジを可能にするMultiVolt™ I/Oインタフェース
 - 低消費電力 (スタンバイ・モードの標準特性で0.5 mA以下)

表1 FLEX 6000デバイス・ファミリの特長

機能	EPF6010A	EPF6016	EPF6016A	EPF6024A
標準ゲート数 (ロジックとRAM) 注(1)	5,000 to 10,000	8,000 to 16,000	8,000 to 16,000	12,000 to 24,000
ロジック・エレメント (LE) 数	880	1,320	1,320	1,960
最大I/Oピン数	117	204	171	218
供給電源電圧 (V _{CCINT})	3.3 V	5.0 V	3.3 V	3.3 V

注:

- (1) ゲート数はデザイン手法や内容によって異なり、LE 1個が6から12ゲートに相当します。例えば、LEのレジスタを多数必要とするようなパイプライン・デザインでは、完全な組み合わせ回路のデザインよりもゲート数が多くなります。JTAGバウンダリ・スキャン・テストを必要とするデザインでは、内蔵JTAG回路が14,000ゲート相当となります。

さらに多くの 特長

- パワフルなI/Oピン
 - 各ピンごとに設定可能なトライ・ステート出力イネーブル・コントロール機能
 - スwitching・ノイズを低減できるプログラマブルな出力スルー・レート・コントロール機能
 - 高速の「Clock-to-Output」遅延を実現するレジスタ-I/Oピン間の高速バス
- 柔軟性の高い配線構造
 - 連続した配線構造のFastTrackインタコネクトにより、高速で予測可能な配線遅延を実現
 - アダー、カウンタ、コンパレータなどの演算機能を高速で実現する専用キャリア・チェーン（ソフトウェア・ツールやメガファンクションが自動的に使用）
 - 高ファン・インのロジックを高速で実現する専用カスケード・チェーン（ソフトウェア・ツールやメガファンクションが自動的に使用）
 - 内部にトライ・ステート・ネットを実現することができるトライ・ステート・エミュレーション機能
 - クロック、クリア、プリセット、またはロジック信号に使用できる低スキュー特性の4本の専用グローバル・パス
- 486およびペンティアム・ベースのPC、およびSun SPARCstation HP 9000 Series 700800、IBM RISC System/6000の各ワークステーション上で動作するアルテラのMAX+PLUS® II開発システムによるソフトウェア・デザイン・サポートと自動配置配線機能
- EDIF2.0.0および3.0.0のネットリスト・ファイル、LPM(Library of Parameterized Modules)、Verilog HDL、VHDL、DesignWareコンポーネントなどのサポートにより、デザインの入力とシミュレーションにはケイデンス、エグゼンプラ・ロジック、メンター・グラフィックス、OrCAD、シノプシス、シンプリシティ、ペリベスト、ビューロジックなどの各社から供給されているEDAツールが使用可能
- 幅広いパッケージ・オプション
 - 薄型クワッド・フラット・パック（TQFP）、プラスチック・クワッド・フラット・パック（PQFP）、ボール・グリッド・アレイ（BGA）を含む豊富なパッケージ・オプションを提供（表2を参照）
 - 集積度の異なるデバイスをピン配列互換の同一パッケージで供給

表2 FLEX 6000パッケージ・オプションとI/Oピン数

デバイス名	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	240-Pin PQFP	256-Pin BGA	256-Pin BGA*
EPF6010A	71	102	-	-	-	139
EPF6016	-	117	171	199	204	-
EPF6016A	81	117	171	-	-	171
EPF6024A	-	117	171	199	218	218

* Fine Line BGAパッケージ（供給予定品）

概要

アルテラのFLEX 6000プログラマブル・ロジック・デバイス (PLD) ファミリは、量産用ゲートアレイ・デザインに対するロー・コストな代替デバイスです。FLEX 6000デバイスには、高い性能と配線能力を維持しながら最小のダイ・サイズを実現するOptiFLEXアーキテクチャが採用されています。また、FLEX 6000デバイスはリコンフィギュラブルなSRAMエレメントによって構成されており、デザインの試作やテスト段階においてデザインを迅速に変更できる高い柔軟性が提供されています。イン・サーキット・リコンフィギュレーションの機能を活用することにより、デバイスの動作中にデザインを変更することも可能です。

FLEX 6000デバイスはリプログラマブルとなっており、各デバイスは出荷前に100%のテストが実施されています。このため、設計者は故障検出率の高いテスト・ベクタを作成する必要がなく、デザインのシミュレーションや検証に注力することができます。また、FLEX 6000デバイスでは、必要な論理機能がボード上で実現されるため、ゲートアレイ・デザインの場合のように数種類に及ぶデザインを作成して、それぞれのデバイスの在庫を管理する必要がありません。

表3は、FLEX 6000で代表的な回路機能を実現したときの性能を示したものです。これらの性能はシノプシスのDesignWareまたはLPMを使用して得られたものであり、各機能の実現に特殊なデザイン・テクニックは使用されていません。Verilog HDL、VHDL、アルテラ・ハードウェア記述言語 (AHDL) のデザイン・ファイルや回路図ファイル上で、これらの機能ブロックをインスタンス化、または参照するだけで希望する回路機能が実現できます。

アプリケーション	使用 LE数	性能		単位
		- 2 スピード・ グレード	- 3 スピード・ グレード	
16 ビット・ローダブル・カウンタ	16	125	80	MHz
16 ビット・アキュムレータ	16	125	80	MHz
24 ビット・アキュムレータ	24	100	62	MHz
16 対 1 マルチプレクサ (ピン間遅延) 注(1)	10	13.3	16.4	ns
4 段パイプライン付き 16 x 16 マルチブライヤ	592	71	49	MHz

注:

(1) この性能値はピン間の遅延を測定して得られたものです。

表 4 は、さらに複雑なデザインを FLEX 6000 で実現したときの性能を示したものです。

表 4 複雑なデザインを実現したときの FLEX 6000 の性能 注(1)				
アプリケーション	使用 LE 数	性能		単位
		- 2 スピード・グレード	- 3 スピード・グレード	
16 ビット、8 タップの並列 FIR (Finite Impulse Response) フィルタ	599	77	57	MSPS
8 ビット、512 ポイントの高速フーリエ変換 (FFT) 機能	1,166	108	135	μS
		44	35	MHz
a16450 UART (Universal Asynchronous Receiver/Transmitter)	478	22	18	MHz
ゼロ・ウェイト・ステートの PCI バス、ターゲット機能	596	33	25	MHz

注：

(1) この表中のアプリケーションはアルテラの MegaCore™ ファンクションを使用して作成されています。

FLEX 6000 デバイスのデザインは、回路図、AHDL を含むテキストおよび波形の各デザイン入力、コンパイル、論理合成、完全なシミュレーション、ワースト・ケースのタイミング解析などの機能を 1 パッケージに統合したアルテラの MAX+PLUS II 開発システムでサポートされています。また、MAX+PLUS II は EDIF 2.0.0 および 3.0.0、LPM、VHDL、Verilog HDL などとのインタフェースを提供しており、デザインの入力とシミュレーションには他のベンダから供給される PC または UNIX ワークステーション上で動作する業界標準の EDA ツールも使用できます。

MAX+PLUS II は、標準的なゲートアレイの論理合成やシミュレーションに使用される EDA ツールとも簡単にインタフェースすることができます。例えば、MAX+PLUS II ソフトウェアはケイデンスの Verilog-XL のようなシミュレーション・ツールに対して Verilog HDL ファイルを出力することができます。また、MAX+PLUS II ソフトウェアには、高速のカウンタや演算機能に使用される専用キャリー・チェーンなどのような、FLEX 6000 デバイスに提供される特定の機能を利用するための EDA ライブラリも含まれています。MAX+PLUS II 開発システムと共に供給されるシノプシスの Design Compiler ライブラリには、FLEX 6000 のアーキテクチャに最適化された DesignWare のファンクションが含まれています。

MAX+PLUS II は、486 またはペンティアム・ベースの PC、および Sun SPARCstation、HP 9000 Series 700/800、IBM RISC System/6000 の各ワークステーション上で動作します。



詳細については 1998 年版データブックに収録されている「MAX+PLUS II Programmable Logic Development System & Software」のデータシートを参照して下さい。

機能の説明

FLEX 6000のOptiFLEXアーキテクチャは、ロジック・エレメント（LE）によって構成されています。各LEは4入力のLUT（4入力の多様なファンクションが実現可能）、レジスタ、キャリア/カスケード・チェーン用の専用バスによって構成されています。各LEにはレジスタが1個内蔵されているため、パイプライン化されたデザインを最小のLEで簡単に実現することができます。規定されているFLEX 6000のゲート数には、すべてのLUTとレジスタが含まれています。

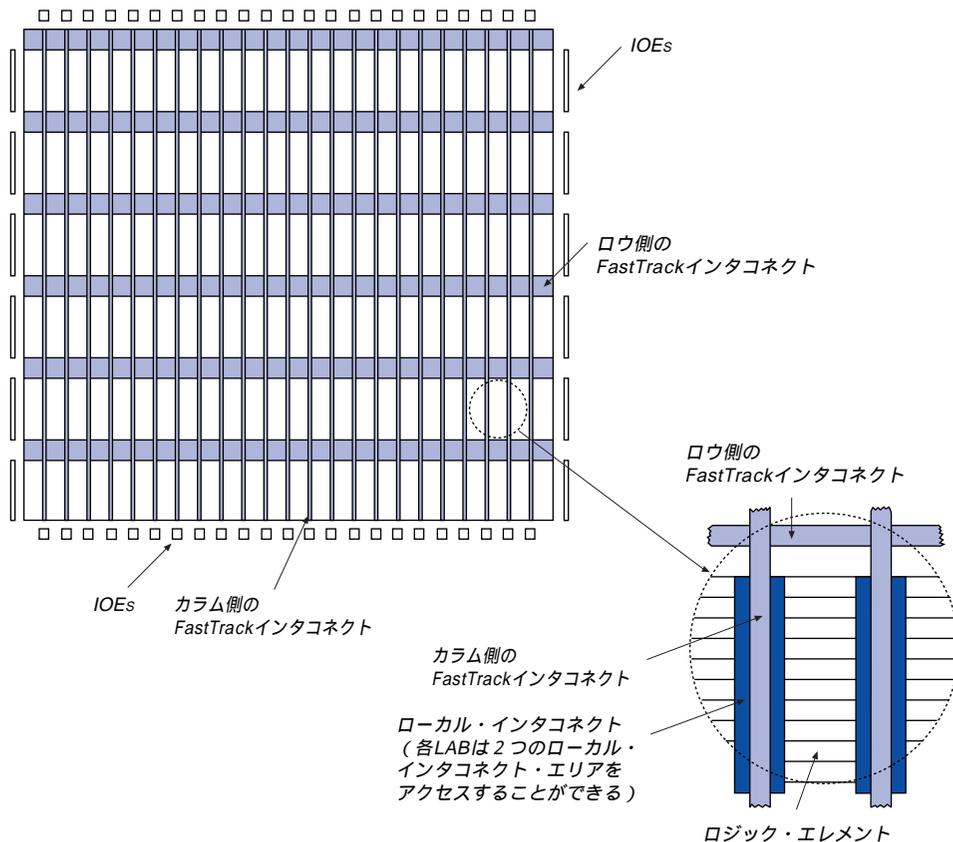
複数のLEはロジック・アレイ・ブロック（LAB）と呼ばれるブロックにグループ化されており、各LABには10個のLEが含まれています。MAX+PLUS IIのソフトウェアは、関連したLEを同一のLAB内に自動的に配置し、使用されるインタコネクタのリソースを最小に抑えます。また、1個のLABだけで、カウンタやマルチプレクサなどの中規模な論理ブロックを実現することができます。

FLEX 6000デバイスの内部とデバイス・ピン間の信号接続には、FastTrackインタコネクタによる高速の配線構造が提供されています。この配線構造は、デバイス全体を縦横に走っている連続した口とカラムの高速配線チャンネルにより実現されています。すべてのLEとピンは、FastTrackインタコネクタを通じて他のLEやピンをドライブすることができます。FastTrackに関する詳細については、17ページの「FastTrackインタコネクタ」を参照して下さい。

各I/Oピンは、口とカラムのFastTrackインタコネクタの両端に配置されているI/Oエレメント（IOE）と接続されます。各IOEには双方向のI/Oバッファが内蔵されています。また、IOEはLABの近傍に配置されており、LABのローカル・インタコネクタからIOEをドライブすることができます。この機能により、隣接したLAB内にある10個のLEのいずれかから、あるピンがドライブされた場合に、8ns以下の「Clock-to-Output」遅延が実現されます。また、LEは口・インタコネクタまたはカラム・インタコネクタを通じて、任意のピンをドライブすることができます。また、I/Oピンは口・インタコネクタとカラム・インタコネクタを通じて、LEのレジスタを4 ns以下のセットアップ・タイムと0 nsのホールド・タイムでドライブすることができます。IOEには、JTAG BSTのサポート、スルー・レート・コントロール、トライ・ステート・バッファなど、豊富な機能が提供されています。

図1はFLEX 6000のOptiFLEXアーキテクチャのブロック図を示したものです。10個のLEがグループ化されて1個のLABを構成しており、各LABはそれぞれ口とカラムに配置されています。LAB間はFastTrackインタコネクタで相互に接続されます。また、FastTrackインタコネクタの口とカラムの両端には複数のIOEが配置されています。

図 1 FLEX 6000のOptiFLEXアーキテクチャのブロック図



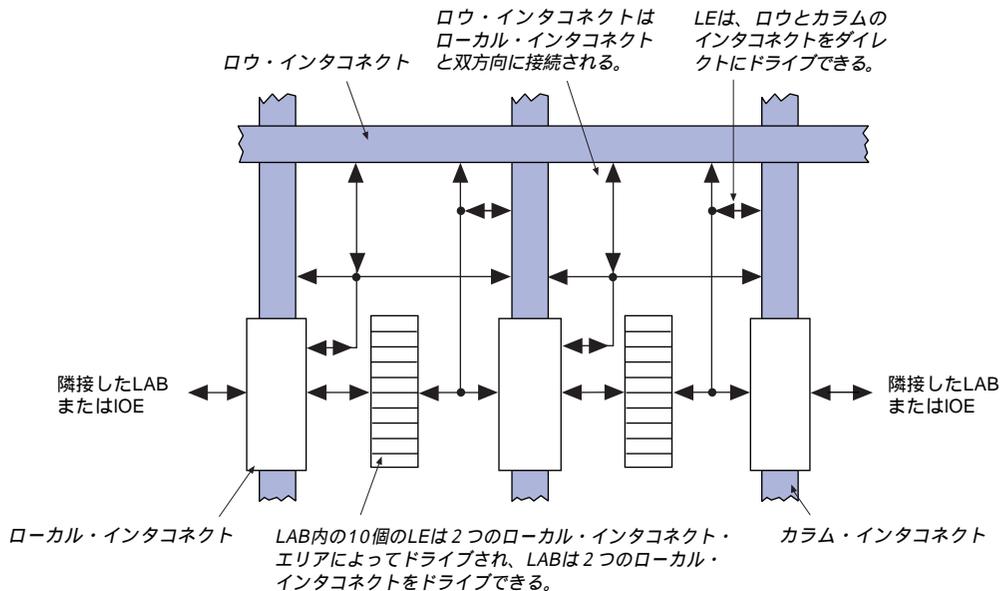
FLEX 6000デバイスにはフリップフロップのコントロール入力をドライブする4本のグローバルな入力専用ピンが提供されており、高速でスキューの小さいコントロール信号を効率的にデバイス全体に供給することができます。これらの入力には、FastTrackよりも遅延とスキューがさらに小さくしている専用の配線チャンネルが提供されています。また、これらの入力は内部ロジックからもドライブ可能となっており、クロック・デバイダやデバイス内の多数のレジスタをクリアする非同期のクリア信号を内部生成する場合にも理想的なソリューションが提供されます。このグローバルな配線構造はデバイス内に組み込まれており、クロック・ツリーを作成する必要がありません。

ロジック・アレイ・ブロック

LABは10個のLE、キャリア・チェーン、カスケード・チェーン、LABコントロール信号、LABローカル・インタコネクタによって構成されています。LABはFLEX 6000アーキテクチャのコース・グレイン構造を提供しており、高いデバイス使用効率と高性能を可能にする効率的な配線構造を実現しています。

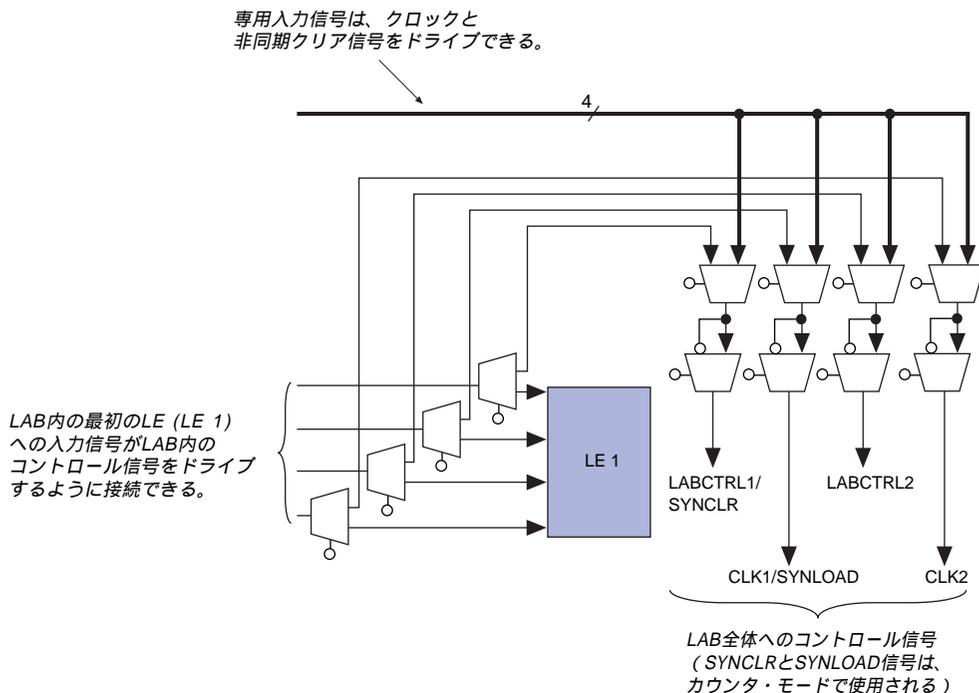
FLEX 6000アーキテクチャが実現した革新的な機能であるインタリーブドLAB構造では、各LABが2つのローカル・インタコネクタをドライブできるようになっています。この機能により、FastTrackインタコネクタの使用を最小限に抑え、最小のダイ・サイズで高い性能を得ることができます。ローカル・インタコネクタを通じて1つのLABから20個のLEをドライブすることができるため、ダイ・サイズを最小に抑えながら、フィットティングの柔軟性を最大にすることができます。図2を参照して下さい。

図2 FLEX 6000のLAB



多くのデザインでは、レジスタにグローバルなクロックとクリア信号のみが使用されます。ただし、デザインによっては、別のクロックや非同期なクリア信号が必要になることがあります。さらに、カウンタに同期クリアやロード信号が使用される場合もあります。非グローバルなクロックやクリア信号を使用したデザインでは、LAB内の1番目のLEからの入力とそのLABに対するコントロール信号をドライブするように内部で接続されます。図3を参照して下さい。

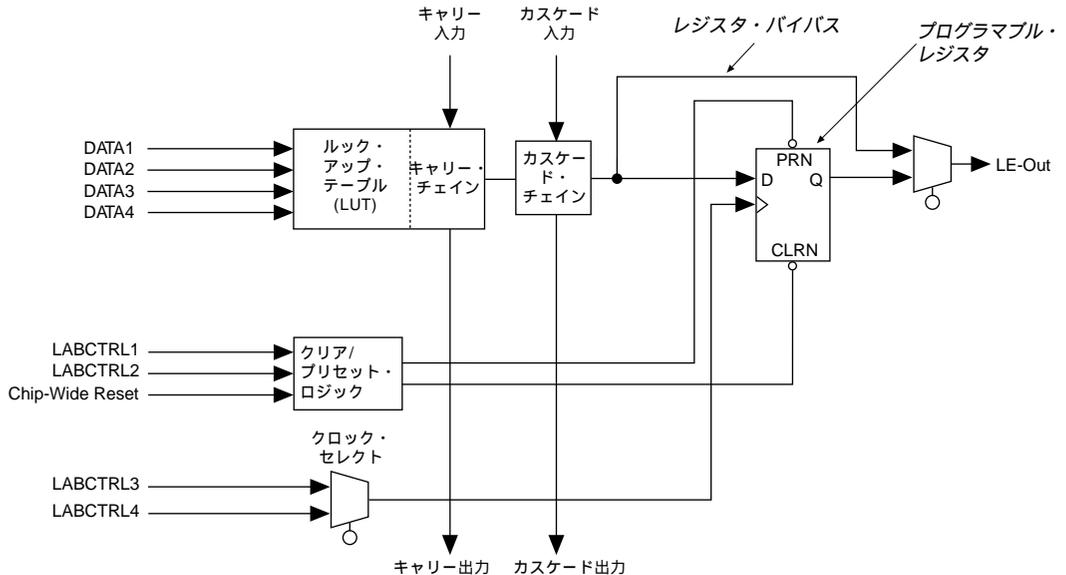
図3 FLEX 6000のLABに提供されるコントロール信号



ロジック・エレメント

LEはFLEX 6000アーキテクチャが持つロジックの最小構成単位となっており、高いデバイス使用効率を実現するコンパクトなサイズとなっています。各LEには4変数によるあらゆる論理演算が高速で実行できる4入力のLUTが1個含まれています。各LEにはプログラマブルなフリップフロップとキャリア・チェーンとカスケード・チェーンも内蔵されています。各LEは、ローカル・インタコネクトとFastTrackインタコネクトの双方をドライブすることができます。図4を参照して下さい。

図 4 FLEX 6000のロジック・エレメント



LEのプログラマブル・フリップフロップは、D、T、JK、SRタイプの動作を行うようにコンフィギュレーションすることができます。フリップフロップのクロックとクリア・コントロール信号は、グローバル信号や汎用I/Oピン、または内部の論理回路からドライブされます。組み合わせ回路を実現するときにはフリップフロップがバイパスされ、LUTの出力が直接LEの出力となります。LEの出力は、ローカル・インタコネクトとFastTrackインタコネクトの双方をドライブすることができます。

FLEX 6000デバイスのアーキテクチャには、ローカル・インタコネクトを使用せずに隣接したLE間を接続できる2種類の高速度専用データ・パスとして、キャリア・チェーンとカスケード・チェーンが提供されています。キャリア・チェーンはカウンタやアダーのような高速演算機能をサポートし、カスケード・チェーンは最小の遅延で多入力論理機能を実現するとき 사용됩니다。キャリア・チェーンとカスケード・チェーンは、LAB内のLE2から10までを接続し、同一のロウに配置されている半分のLABをすべて接続することができます。キャリア・チェーンとカスケード・チェーンが多数使用された場合に、配線の柔軟性が低下することがあるため、これらのチェーンはデザイン内でスピードがクリティカルとなる部分だけに限定して使用する必要があります。

キャリア・チェイン

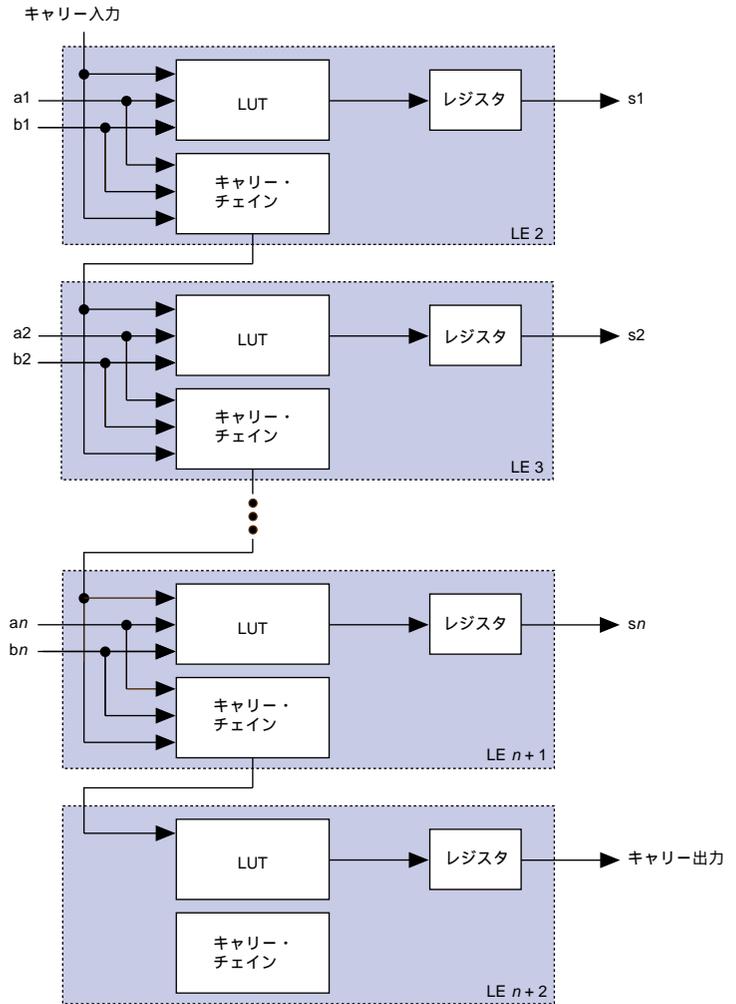
キャリア・チェインは、LE間でキャリアを非常に高速なスピード（0.2 ns）で転送します。下位ビットからのキャリア・イン信号はキャリア・チェインを通して上位ビットへ転送され、LUTと上位ビットのキャリア・チェインの双方に入力されます。この機能を使用することによって、FLEX 6000 アーキテクチャはカウンタやアダプター、指定したビット幅のコンパレータを高速で実現することができます。キャリア・チェインのロジックはデザインを処理する段階でMAX+PLUS IIのコンパイラにより自動的に生成され、またデザインの入力時にマニュアルで指定することもできます。DesignWareやLPMのようなパラメータ化されたファンクションでは、適切な機能部分にキャリア・チェインの利点が自動的に適用されます。

各LABの1番目のLEは、そのLABのコントロール信号を生成するようになっているため、キャリア・チェインを持っていません。また、このLAB内の1番目のLEはキャリア・チェインを使用したカウンタのロード・イネーブル信号や同期クリア信号を生成するときに使用されます。

9個を超えるLEが接続される長いキャリア・チェインは、複数のLABをリンクさせることによって自動的に生成されます。このような長いキャリア・チェインは、フィッティングを向上させるために同じロウに配置された隣のLABを1個おきにスキップして構成され、奇数番目どうしまたは偶数番目どうしのLABがキャリア・チェインを構成します。例えば、あるロウの最初のLAB内の最後のLEは、同じロウにある3番目のLAB内の2番目のLEにキャリアを転送します。キャリア・チェインは各ロウの中央部を超えないようになっています。EPF6016の場合、キャリア・チェインはLAB 11で終了し、新しいキャリア・チェインがLAB 12から開始されます。

図5は $n+1$ 個のLEとキャリア・チェインを使用して n ビットのフル・アダプターを実現する方法を示したものです。ここで、LUTの一部が入力信号とキャリア・イン信号を使用して2ビットのサム（和）を生成します。そして、このサムがLEの出力に接続されます。単純なアダプターを構成する場合にはレジスタは通常バイパスされますが、レジスタをアキュムレータの機能に使用することもできます。LUTの他の部分とキャリア・チェインのロジックはキャリア・アウト信号を生成し、この信号は次の上位ビットのキャリア・イン信号へ直接、接続されます。最後のキャリア・アウト信号はLEに接続され、この最後のLEでFastTrackインタコネクトと接続できるようになります。

図 5 キャリー・チェーン



カスケード・チェイン

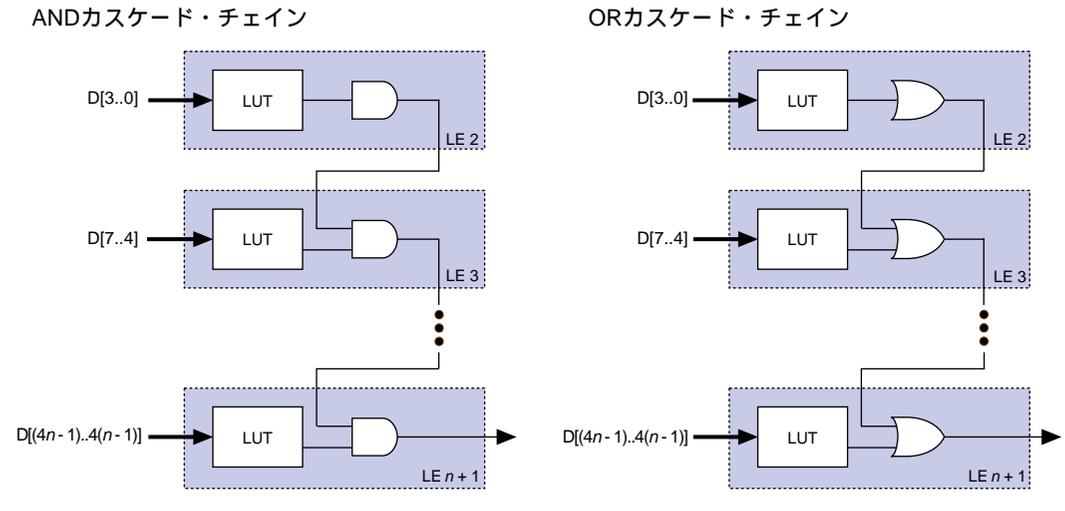
カスケード・チェインを使用することによって、FLEX 6000のアーキテクチャは非常に大きなファン・インを持った回路機能を実現することができます。隣接している複数のLUTをパラレルに動作させ、その間の中間値をカスケード・チェインを使ってシリアルに転送させることによって論理機能の一部を実現することができます。カスケード・チェインは隣接したLEの出力間を接続するときに論理積 (Logical AND) またはド・モルガンの反転定理による論理和 (Logical OR) の機能を使用することができます。追加される各LEは要求される回路機能の入力ビット幅をLEあたり0.9 ns程度の遅延時間で4ビットずつ効率的に拡張します。カスケード・チェインのロジックはデザインの処理の段階でMAX+PLUS IIのコンパイラによって自動的に生成され、またデザインの入力時にマニュアルで指定することもできます。DesignWareやLPMのようなパラメータ化されたファンクションでは、カスケード・チェインが適切な機能部分に自動的に適用されます。

1個のANDゲートを実現するカスケード・チェインには、最後のLEのレジスタを使用することができます。ただし、1個のORゲートを実現するカスケード・チェインでは、最後のLEでORゲートの実現にインバータが必要となるため、レジスタを使用することはできません。

各LABの1番目のLEは、そのLABのコントロール信号を生成するため、カスケード・チェインを持っていません。9ビットを超える長いカスケード・チェインは、複数のLABをリンクさせることによって自動的に生成されます。長いカスケード・チェインは、配線を容易にするために同じロウに配置された隣のLABをスキップして構成され、奇数番目どうし、または偶数番目どうしのLABがカスケード・チェインを構成します。例えば、あるロウの最初のLAB内の最後のLEは、同じロウにある3番目のLAB内の2番目のLEにカスケード接続されます。カスケード・チェインは各ロウの中央部を超えないようになっています。EPF6016の場合、カスケード・チェインはLAB 11で終了し、新しいカスケード・チェインがLAB 12から開始されます。

図6は、カスケード・ファンクションが、大きなファン・インを持つ回路機能を実現するときに、カスケード・チェインが隣接したLUT間でどのように接続されるかを示したものです。この例は、 n 個のLEで $4n$ 個の変数を持つ論理機能を実現できることを示しています。カスケード・チェインを使用した場合、16ビットのアドレスのデコードを4.8 nsのスピードで実現することができます。

図6 カスケード・チェイン



LEの動作モード

FLEX 6000のLEは、次の3種類のモードのいずれかで動作します。

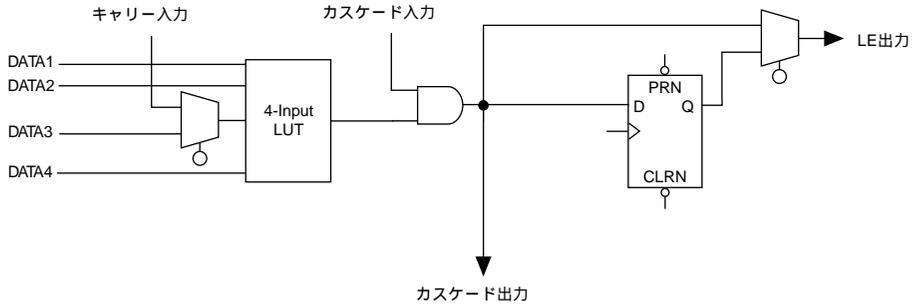
- ノーマル・モード
- 演算モード
- カウンタ・モード

これらの各モードでは、LEのリソースをそれぞれ異なる形で使用します。LEには各モードで計7本の入力提供されており（LABローカル・インタコネクトからのデータ入力4本、プログラマブル・レジスタからのフィードバック、前段のLEからのキャリー・インとカスケード・インの計7本）、要求される論理機能を実現するためにこれらの入力はそれぞれ異なるリソースに接続されます。LAB全体に供給される信号としては、レジスタに対するクロック、非同期クリア、同期クリア、同期ロード・コントロールが提供されています。LPMやDesignWareのようなパラメータ化されたファンクションをサポートしているMAX+PLUS IIソフトウェアは、カウンタやアダー、マルチプライヤなどの代表的な論理機能に対して、適切なモードを自動的に選択します。また、必要に応じて、設計者が各デザインに最適な性能が得られるLEの動作モードを指定することもできます。

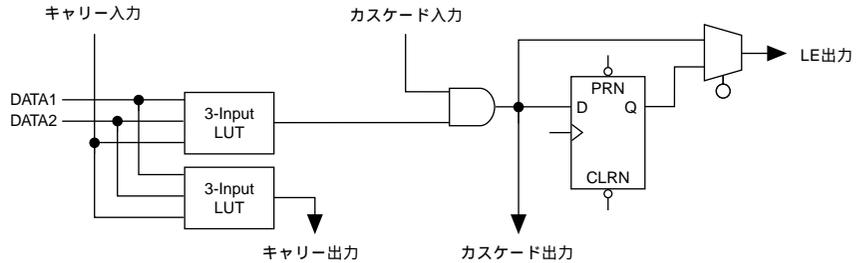
図7はLEの各動作モードを示したものです。

図7 LEの動作モード

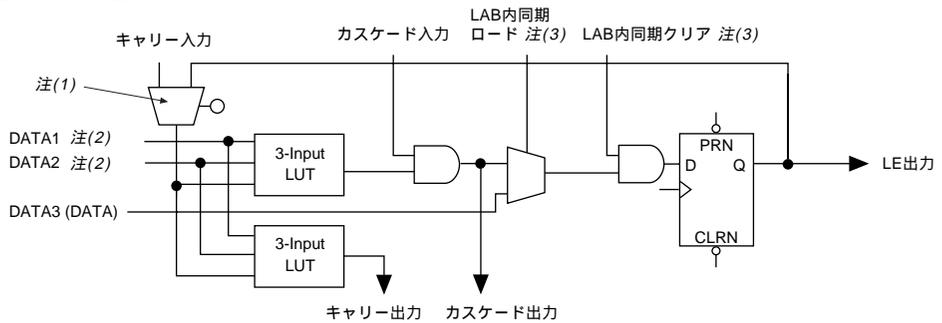
ノーマル・モード



演算モード



カウンタ・モード



注:

- (1) 各LABのLE2にはレジスタ・フィードバック用のマルチプレクサが提供されています。
- (2) DATA1、DATA2入力、LABの2番目のLEを除く各LEにクロック・イネーブル、アップ/ダウン・コントロール、レジスタ・フィードバック信号を供給することができます。
- (3) LAB全体に対する同期クリアと同期ロード信号は、同一LAB内のすべてのレジスタに影響を与えます。

ノーマル・モード

ノーマル・モードは、汎用のロジック・アプリケーションやカスケード・チェーンの長所を活用できる多入力のデコーダなどに適しています。ノーマル・モードでは、LABローカル・インタコネクトからの4本のデータ入力とキャリア・インが4入力LUTの入力になります。MAX+PLUS IIのコンパイラはDATA3とキャリア・インのいずれかをLUTの入力として自動的に選択します。LUTの出力をカスケード・イン信号と組み合わせることにより、カスケード・アウト信号を持つカスケード・チェーンを構成することができます。

演算モード

演算モードは、アダー、アキュムレータ、コンパレータの構成に最適です。演算モードのLEには3入力のLUTが2個提供されます。このうち1個のLUTが3入力の論理関数を提供し、もう1個のLUTがキャリア・アウトを生成します。図7で示されているように、最初のLUTはキャリア・インとLABローカル・インタコネクトからの2本のデータ入力を使用して、組み合わせ出力またはレジスタ出力の論理を生成します。例えば、アダーを構成した場合、この出力はDATA1、DATA2そしてキャリア・イン信号による3ビットのサム（和）となります。2番目のLUTは同じ3本の信号からキャリア・アウト信号を生成してキャリア・チェーンを構成します。演算モードでは、同時にカスケード・チェーンを使用することもサポートされています。

MAX+PLUS IIのソフトウェアは適切な箇所に演算モードを自動的に適用してパラメータ化された論理機能を実現するため、設計者がキャリア・チェーンの使用方法を考慮する必要はありません。

カウンタ・モード

カウンタ・モードでは、カウンタ・イネーブル、同期アップ/ダウン・コントロール、同期クリア、同期ロードのオプション機能が提供されています。カウンタ・イネーブルと同期アップ/ダウン・コントロール信号は、LABローカル・インタコネクトからのデータ入力により生成されます。同期クリアと同期ロードの信号はLAB全体で使用され、同一LAB内のすべてのレジスタに接続されることとなります。LAB内のいずれかのLEがカウンタ・モードになる場合、そのLAB内の他のLEは同じカウンタ・モードまたは、組み合わせ回路用として使用されなければなりません。MAX+PLUS II開発システムは、同一LAB内にカウンタが構成されるように、レジスタを自動的に配置します。

カウンタ・モードでは3入力のLUTが2個使用され、このうちの1個がカウンタ・データを生成し、もう1個が高速キャリア・ビットを生成します。また、2対1のマルチプレクサを使用した同期ロードの機能がサポートされており、このマルチプレクサの出力とANDゲートによる同期クリア機能がサポートされています。カウンタ・モードのLEでカスケード・ファンクションが使用された場合は、同期クリアや同期ロードがカスケード・チェーンで伝搬された信号を無効にします。また、同期クリアを使用した場合は、同期ロードが無効になります。

カウンタ・イネーブルまたはアップ/ダウン・コントロールのいずれかの信号をカウンタの構成に使用することができます。また、データ入力にレジスタ出力を接続することによって、同期ロードをカウンタ・イネーブル信号として使用することもできます。設計者の必要に応じて、カウンタにはこうした機能が自動的に実現されます。

各LABの2番目のLEはカウンタ・モードに対して特別な機能を持っており、このLEのキャリー・インはレジスタからの高速フィードバック・パスからドライブされるようになっています。この機能により、LABの2番目のLEから開始されるカウンタのキャリー・チェーンを構成して高速のカウンタを実現することができます。

MAX+PLUS IIのソフトウェアは適切な箇所に自動的にカウンタ・モードを適用してパラメータ化された論理機能を実現するため、設計者がキャリー・チェーンの使用を考慮する必要はありません。

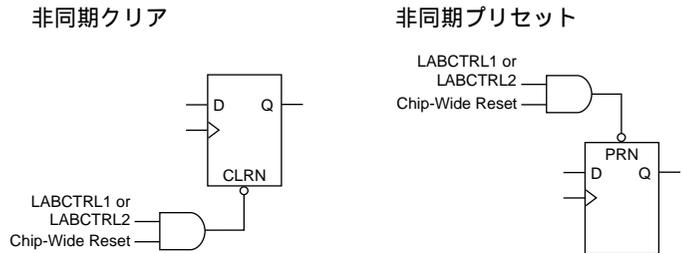
インターナル・トライ・ステート・エミュレーション

インターナル・トライ・ステート・エミュレーションは、実際のトライ・ステート・パスのような制限を受けることなく、デバイス内部にトライ・ステート・パスを実現する機能です。実際のトライ・ステート・パスでは、トライ・ステート・バッファの出力イネーブル(OE)信号がバスをドライブする信号を選択します。ただし、複数のOE信号がアクティブになったときには、競合する複数の信号がバスをドライブすることになります。逆に、どのOE信号もアクティブになっていない場合には、バスはフローティング状態になります。インターナル・トライ・ステート・エミュレーションの機能は、競合するトライ・ステート・バッファをLowの値に、フローティング状態のバスをHighの値にしてこれらの問題を解消します。MAX+PLUS IIソフトウェアは、マルチプレクサを使用してトライ・ステート・パス機能を自動的に実現します。

クリアとプリセットのロジック・コントロール

プログラマブル・レジスタのクリアとプリセットの機能を実現するロジックは、LAB全体の信号であるLABCTRL1とLABCTRL2によってコントロールされます。LEのレジスタは非同期プリセットの機能も実現できる非同期クリアを持っています。LABCTRL1とLABCTRL2のどちらの信号でも、非同期クリアまたはプリセットをコントロールすることが可能です。クリアとプリセットの信号はアクティブLowとなっているため、MAX+PLUS IIのコンパイラは未使用のクリアやプリセットのノードを自動的にHighレベルに設定します。クリアおよびプリセット・ロジックは、デザイン入力時に次の2種類のモードの内いずれかで実現されます。(図8を参照して下さい。)

図 8 LEのクリアとプリセットのモード



非同期クリア

フリップフロップはLABCTRL1またはLABCTRL2のいずれかの信号でクリアされます。

非同期プリセット

非同期プリセットは非同期クリアを使用して実現されます。MAX+PLUS IIのソフトウェアは、レジスタの入力と出力の極性反転機能とクリアを使ってプリセットをコントロールします。LEおよびIOEに対する入力信号には、極性反転をコントロールする機能が提供されており、このテクニックはレジスタが特定のロジックやデバイス・ピンをドライブするときに使用できます。

FLEX 6000デバイスには、上記の2種類のクリアとプリセットのモードに加え、デバイス内のすべてのレジスタをリセットするときに使用できるグローバルリセット・ピン (DEV_CLRn) が提供されています。このピンの使用はオプションとなっており、MAX+PLUS IIソフトウェアによるコンパイルの前に設定されます。このチップ全体のリセットは他のコントロール信号よりも優先されます。チップ全体のリセット・ピンがアクティブになると、非同期プリセット機能を持つすべてのレジスタは、非同期プリセットを実現するために使用された極性反転機能によって、プリセットされます。

MAX+PLUS IIのソフトウェアはプログラマブルなNOTゲート・プッシュバック・テクニックを使用して、プリセットとクリアまたは非同期ロード機能を持ったレジスタを構成することができます。ただし、このテクニックではレジスタあたりさらに3個のLEが使用されます。

FastTrackインタコネク

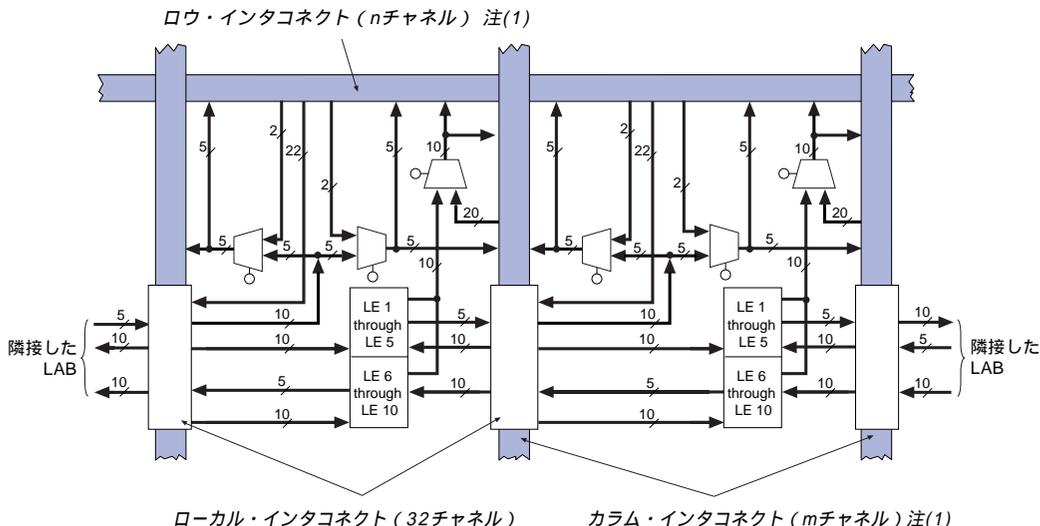
FLEX 6000のOptiFLEXアーキテクチャでは、デバイス全体を水平方向と垂直方向に走っている高速で連続した配線チャネルとなっているFastTrackインタコネクにより、LEとデバイスI/Oピン間との接続が行われます。このデバイス全体をカバーする配線構造によって、複雑なデザインに対してもその性能が予測可能になっています。これに対して、FPGAで

は配線領域がセグメント化されているため、一定しない複数のパスを接続するためのスイッチ・マトリックスが必要となり、ロジック・リソース間の遅延時間が増加して性能が低下してしまいます。

FastTrackインタコネクトは、デバイス全体をカバーするカラム・インタコネクトとロウ・インタコネクトで構成されています。同じロウに位置するLAB間の信号接続や、I/OピンからLABへの信号接続には専用のロウ・インタコネクトが使用されます。また、隣接したLABに位置するLE間の接続には、ローカル・インタコネクトが使用されます。異なるロウ・インタコネクト間の信号接続とI/Oピンからロウ・インタコネクトへの信号接続はカラム・インタコネクトによって行われます。

LAB内のLE 1 から 5 までが、右側のローカル・インタコネクトをドライブし、LE 6 から 10 までが左側のローカル・インタコネクトをドライブします。各LE内のDATA1とDATA3の入力は、左側のローカル・インタコネクトによってドライブされ、DATA2とDATA4の入力は右側のローカル・インタコネクトによってドライブされます。また、ローカル・インタコネクトは、LEからI/Oピンへの信号も接続します。図9はFLEX 6000のインタコネクト・アーキテクチャの概要を示したものです。最初と最後のカラムのLEはLAB内のすべてのLEがローカル・インタコネクトを通じてI/Oピンをドライブできるように両側にドライバを持っています。

図9 FLEX 6000のFastTrackインタコネクト・アーキテクチャ



注：
 (1) EPF6016とEPF6016Aではn=144チャンネル、m=20チャンネルとなっており、EPF6024Aではn=186チャンネル、m=30チャンネルとなっています。

1本のロウ・チャンネルは、1個のLEと2本のカラム・チャンネルのうちいずれかの1本でドライブされます。この3本の信号は3対1のマルチプレクサに入力され、この出力が指定された6本のロウ・チャンネルに接続されます。ロウ・チャンネルはマルチプレクサを通じてローカル・インタコネクต์をドライブしています。

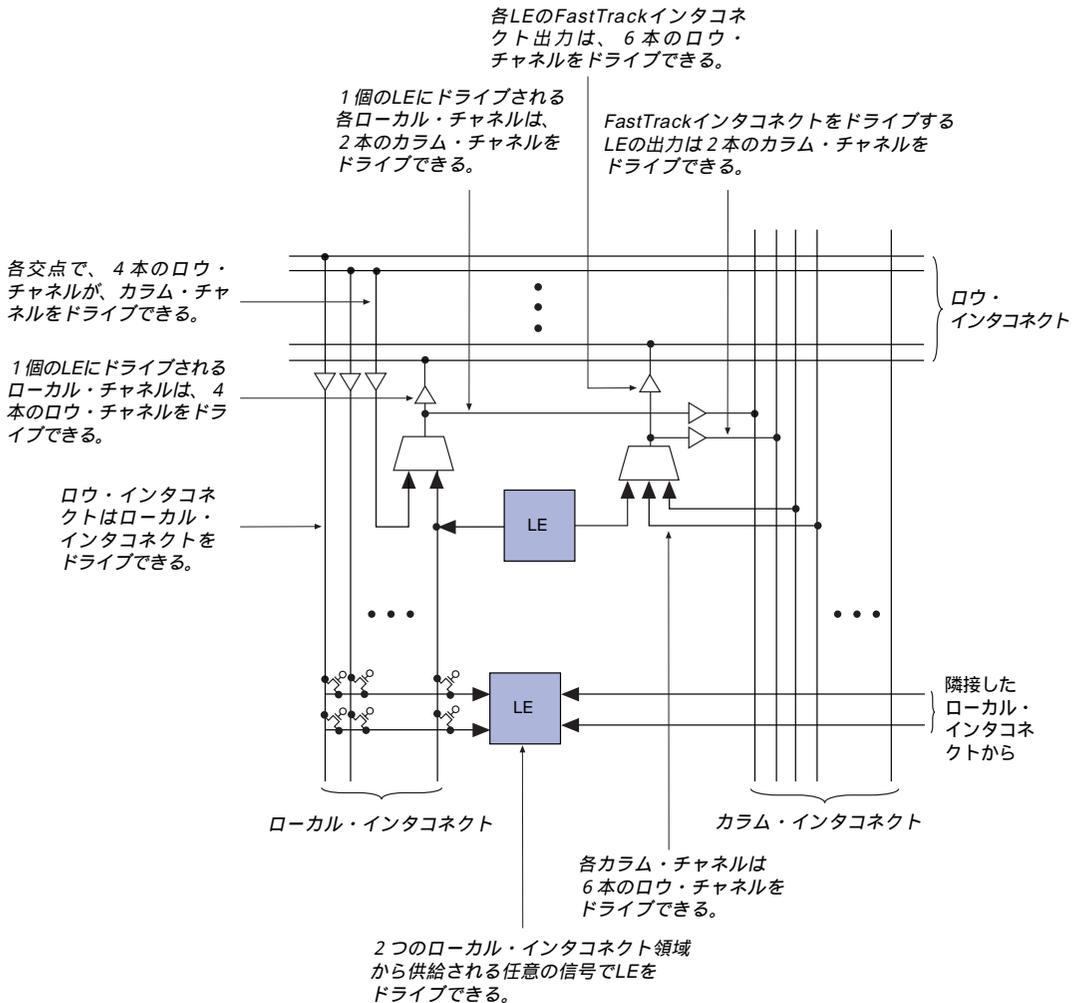
各LABのカラム側には、専用のカラム・インタコネクต์が提供されています。LAB内のLEはこのカラム・インタコネクต์をドライブすることができます。LAB内のLE、カラム側のIOE、ロウ・インタコネクต์は、カラム・インタコネクต์をドライブできます。カラム・インタコネクต์はロウ・インタコネクต์をドライブして、デバイス内の異なるロウに位置する他のLAB間の接続を行うことができます。カラム・インタコネクต์からの信号は、LABに入力される前にロウ・インタコネクต์に接続される必要があります。

各LEはFastTrackインタコネクต์用の出力とローカル・インタコネクต์用の出力を1本ずつ持っています。FastTrackインタコネクต์への出力は、6本のロウ・チャンネルと2本のカラム・チャンネルを直接ドライブすることができます。ローカル出力はローカル・インタコネクต์をドライブします。1個のLEによってドライブされる各ローカル・インタコネクต์・チャンネルは4本のロウ・チャンネルと2本のカラム・チャンネルをドライブすることができます。これにより、各LEは計10本のロウ・チャンネルと4本のカラム・チャンネルをドライブできるため、配線の柔軟性がさらに向上しています。

また、LEはグローバル・コントロール信号をドライブすることもできます。これは、内部ロジックで生成されたクロックや非同期クリア、非同期ブリセット信号などの供給に有効な機能となります。グローバル信号は、データ信号もドライブでき、ファン・アウトの大きなデータ信号のドライブに使用する場合にも有効です。

さらに、各LABは2つのローカル・インタコネクต์のグループをドライブできるようになっており、1個のLEからローカル・インタコネクต์を通じて2個のLABすなわち20個のLEをドライブすることが可能です。ロウからローカルへ接続するマルチプレクサは、2個のLABをドライブできるように効率良く構成されています。図10はLABがロウおよびカラム・インタコネクต์とどのように接続されるかを示したものです。

図10 LABとロウおよびカラム・インタコネクととの接続

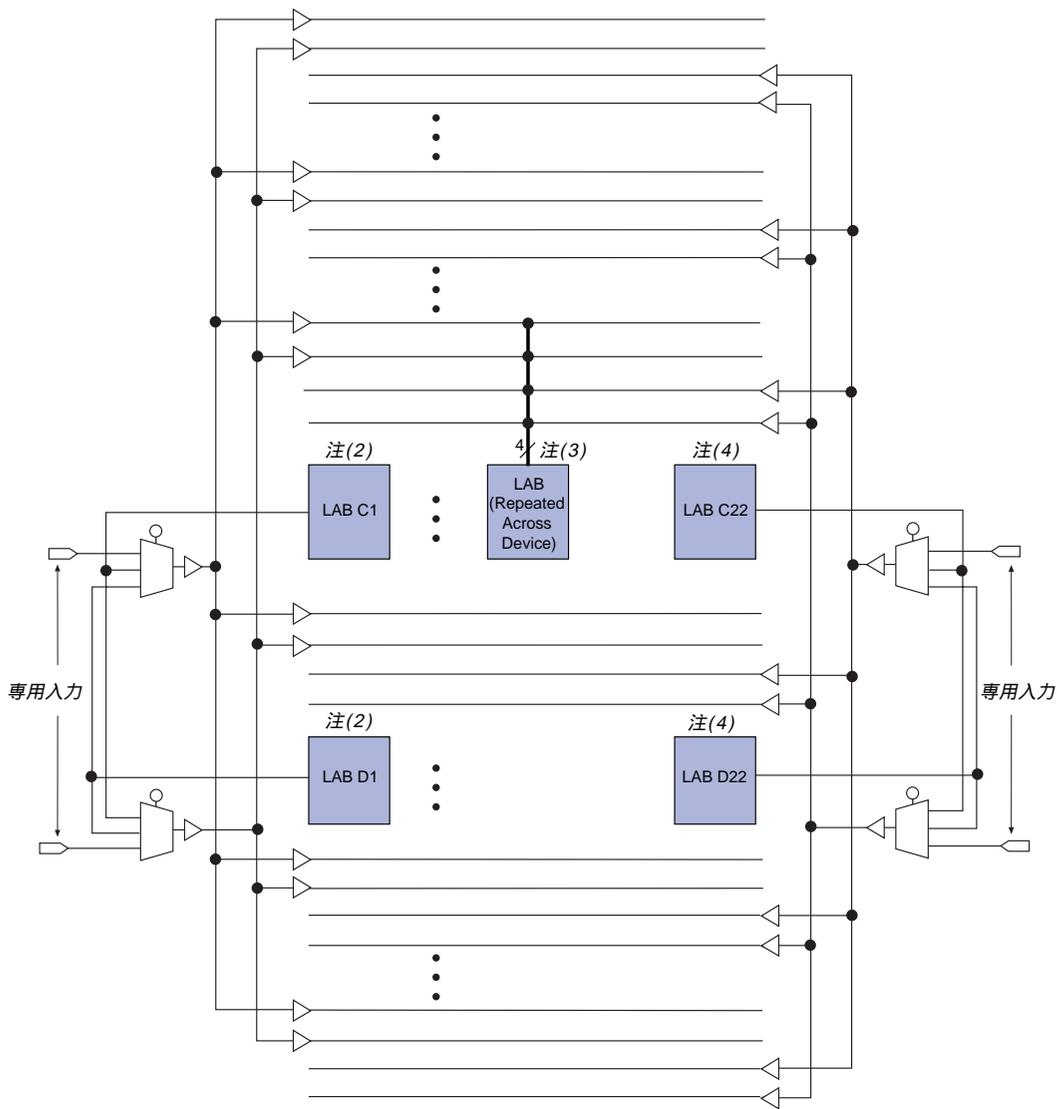


配線能力を改善するため、ロウ・インタコネクトはフル・レンジ・チャンネルとハーフ・レンジ・チャンネルの配線リソースとを組み合わせただけのものになっています。フル・レンジ・チャンネルは、同じロウに位置しているすべてのLAB間を接続できます。これに対して、ハーフ・レンジ・チャンネルは、ひとつのロウの半分のLAB間を接続します。このアーキテクチャでは、性能の予測を可能にする配線構造やロウ全体をカバーした配線リソースが提供できる特徴に加え、2つの隣接したLAB間をハーフ・レンジのロウ・チャンネルを使って接続できるため、残り半分のロウ・チャンネルを他の配線リソースとして使用することができます。ロウ・チャンネルの3分の1が、このハーフ・レンジの配線チャンネルとなっています。

FLEX 6000デバイスは汎用のI/Oピンの他に、スキューの小さな信号をデバイス全体に供給できる4本の専用入力ピンを持っています。これら4本の入力はデバイス内のすべてのLEをコントロールするグローバル・クロック、非同期クリア・コントロール信号として使用することができます。また、これらの専用入力ピンからの信号はデバイス内の各LABのローカル・インタコネクต์に接続できるため、汎用のデータ入力としても使用することができます。これらの専用入力ピンをデータ信号入力として使用することによって、ファン・アウトの大きな信号に対して高速なパスが提供されます。ただし、これらの専用入力ピンをデータ信号として使用した場合、コントロール信号のネットワークの遅延時間が大きくなる可能性があります。

2本のロウの両端に位置するLABのローカル・インタコネクต์は、グローバル・コントロール信号をドライブすることができます。例えば、EPF6016デバイスでは、C1、D1、C22、D22のLABが、グローバル・コントロール信号をドライブすることができます。LEがグローバル・コントロール信号をドライブしている場合は、この信号を専用入力ピンからドライブすることはできません。任意のLEからFastTrackインタコネクต์を通じてグローバル・コントロール信号を対応するLABにドライブすることができます。ただし、MAX+PLUS IIは遅延時間を最小に抑えるため、このLEを適切なLABに配置します。このLEによるグローバル・コントロール信号のドライブ機能は設計者によってコントロールされ、MAX+PLUS IIのソフトウェアによって自動的に使用されることはありません。図11を参照して下さい。

図11 グローバル・クロックとクリア信号の分配 注(1)



注：

- (1) この図はEPF6016およびEPF6016 Aのグローバル・クロックとクリア信号の分配を示したものです。EPF6024Aでは、CとEのロウのLABがグローバル信号をドライブします。
- (2) LAB C1とD1からのローカル・インタコネクトは、左側の2本のグローバル・コントロール信号をドライブすることができます。
- (3) グローバル信号は、各LAB内のクロック、非同期クリア、プリセット、データ信号として使用されます。
- (4) LAB C22とD22からのローカル・インタコネクトは、右側の2本のグローバル・コントロール信号をドライブすることができます。

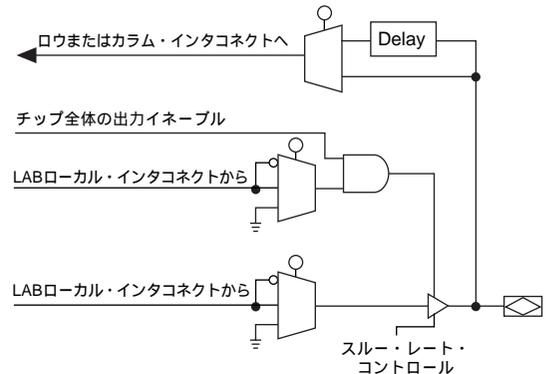
I/Oエレメント

IOEは双方向のI/Oバッファとトライ・ステート・バッファで構成され、入力、出力、または双方向のピンとして使用することができます。IOEは隣接したローカル・インタコネクタからのデータ信号を受信し、ロウまたはコラム・インタコネクタ（デバイス内の任意のLEによるIOEのドライブが可能）または隣接したLE（高速の「Clock-to-Output」遅延を実現）によってドライブされます。ロウの両端にあるLAB内のLEはローカル・ドライバを持っており、これらのLAB内のすべてのLEがローカル・インタコネクタを通じてI/Oピンをドライブできるようになっています。IOEには同じバスを通じて出力イネーブル信号が供給されるようになっており、各ピンごとに独立した出力イネーブルの設定とオープン・ドレイン・バッファのエミュレーションが可能になっています。MAX+PLUS IIのコンパイラはプログラマブルな反転オプションを使用して、適切な位置でデータや出力イネーブル信号の極性を自動的に反転させます。

チップ全体の出力イネーブル機能により、1本のピン（DEV_OEピン）に信号を供給するだけで、デバイスのすべてのピンをディセーブルすることができます。これはボードのデバッグやテスト時に便利な機能となります。オープン・ドレイン・エミュレーションは入力データをLowにドライブし、各IOEのOEをトグルすることにより実現できます。ピン当たり1本のOEが使えるため、このエミュレーションが可能になります。

図12にIOEのブロック図を示します。

図12 IOEブロック図



各IOEが入力や双方向ピンとして使用されている場合、IOEは1本のロウ・インタコネクタまたはコラム・インタコネクタをドライブします。ロウ側のIOEは6本のロウ・ラインのいずれか1本をドライブし、コラム側のIOEは2本のコラム・ラインのいずれか1本をドライブします。I/OパッドからFastTrackインタコネクタへの入力パスには、0 nsのホールド・タイムを保証するためのプログラマブルな遅延素子が提供されています。設計者は

IOEをドライブする信号の位置に応じて、このプログラマブルな遅延をオンにして、0 nsのホールド・タイムを確保することができます。図13はIOEとロウ・インタコネクととの接続、図14はIOEとカラム・インタコネクととの接続を示したものです。

図13 IOEとロウ・インタコネクととの接続

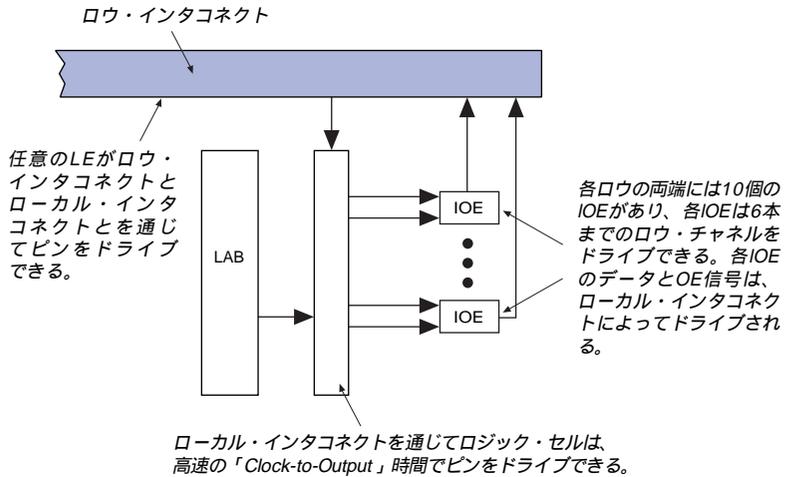
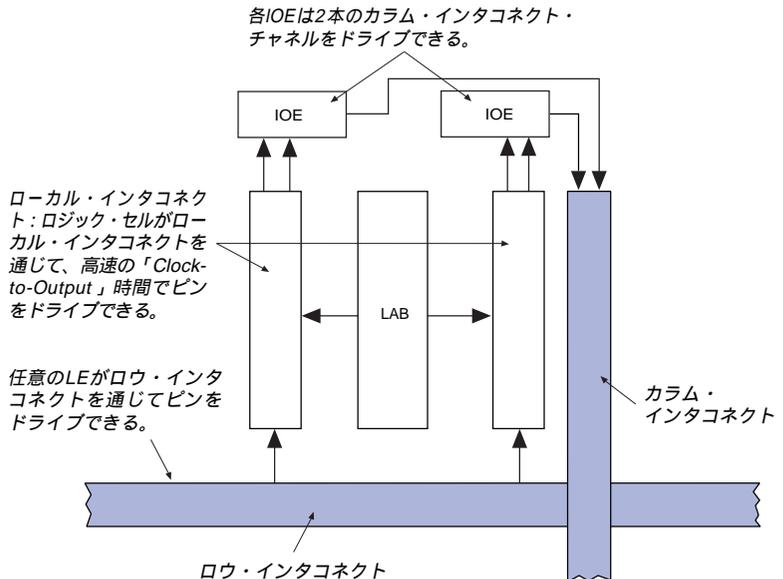


図14 IOEとカラム・インタコネクととの接続



出力の コンフィギュ レーション

このセクションでは、FLEX 6000のスルー・レート・コントロール機能と MultiVolt I/O インタフェースについて解説します。

スルー・レート・コントロール

各IOEの出力バッファには出力のスルー・レートを調整できる機能を持っており、出力バッファをロー・ノイズのモードまたは高速性能を提供するモードのいずれかに設定できます。低速のスルー・レートのモードではノイズが低減されますが、最大2.4 nsまでの追加遅延時間が発生します。高速スルー・レートのモードはノイズに対する適切な対策が行われているシステムでスピードがクリティカルとなる出力にのみ使用して下さい。スルー・レートの設定は設計の入力時にピンごとに行うことができ、すべてのピンにデフォルトのスルー・レートを指定することもできます。スルー・レートの設定は出力の立ち下がりエッジのみに影響を与えます。

MultiVolt I/O インタフェース

FLEX 6000デバイスのアーキテクチャは、MultiVolt I/O インタフェース機能をサポートしており、電源電圧の異なるシステム間のインタフェースを可能にしています。EPF6016に対しては、3.3-Vまたは5.0-VのI/Oピン動作を指定することができます。このデバイスは、内部動作と入力バッファ用の V_{CC} ピン (V_{CCINT})、I/O出力ドライバ用の V_{CC} ピン (V_{CCIO}) を持っています。

EPF6016の V_{CCINT} ピンには、常に5.0-Vの電源を供給します。 V_{CCINT} が5.0-Vで入力電圧がTTLレベルとなっている場合は、3.3-Vおよび5.0-Vの入力が可能です。また、FLEX 6000 Aデバイスの V_{CCINT} ピンには常に3.3-Vの電源と接続します。

EPF6016の V_{CCIO} ピンは必要な出力レベルに応じて、3.3-Vまたは5.0-Vのいずれかの電源に接続することができます。 V_{CCIO} ピンを5.0-Vの電源に接続した場合、出力レベルは5.0-Vシステムと互換性を持つようになります。 V_{CCIO} ピンを3.3-Vの電源に接続した場合は、出力のHighレベルが3.3-Vとなり、3.3-Vまたは5.0-Vシステムと互換性を持つようになります。 V_{CCIO} が4.75-V未満となるデバイスの動作では、 t_{OD1} の代わりに t_{OD2} のタイミング遅延が発生します。

また、3.3-VのFLEX 6000 Aデバイスで V_{CCIO} ピンを2.5-Vの電源に接続した場合は、2.5-V、3.3-V、5.0-Vの各システムとインタフェースすることができます。デバイスの出力ピンは2.5-Vのシステムをドライブすることができ、入力ピンを2.5-V、3.3-V、5.0-Vの各システムからドライブすることができます。 V_{CCIO} ピンを3.3-Vの電源に接続した場合の出力は、3.3-Vまたは5.0-Vのシステムをドライブできます。

IEEE 1149.1 (JTAG) バウンダリ・ スキャンの サポート

すべてのFLEX 6000デバイスはIEEE Std. 1149.1-1990の規格に準拠したJTAG BST回路を内蔵しています。表5はFLEX 6000デバイスでサポートされているJTAG命令を示したものです。JTAG BSTはコンフィギュレーションの前か後で実行できますが、コンフィギュレーションの間中には実行できません。

JTAG命令	内容
SAMPLE/PRELOAD	動作中のデバイスのピンから信号を取り込んでテストすることができる。また、最初のデータ・パターンをデバイス・ピンに出力させることができる。
EXTEST	出力ピンにテスト・パターンを強制的に与え、入力ピンのデータを取り込んでテスト結果を比較することによって外部回路との接続とボードレベルの配線がテストできる。
BYPASS	TDIピンとTDOピンの間に1ビットのバイパス・レジスタを配置することによって、デバイスに通常の動作をさせながらBSTデータが指定したデバイスをバイパスして隣接したデバイスに同期転送されるようにすることができる。



JTAGの動作に関する詳細については、当社発行のアプリケーション・ノート、AN 39「JTAG Boundary-Scan Testing in Altera Devices(日本語版「アルテラ・デバイスのJTAGバウンダリ・スキャン・テスト」)」を参照して下さい。

図15はJTAG信号に対するタイミングの規格を示したものです。

図15 JTAG信号の波形

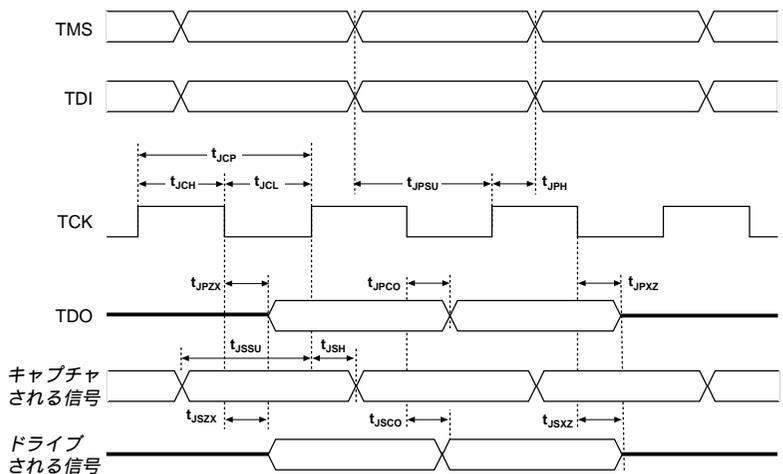


表6はFLEX 6000デバイスのJTAG信号に関連したタイミング・パラメータとその値を示したものです。

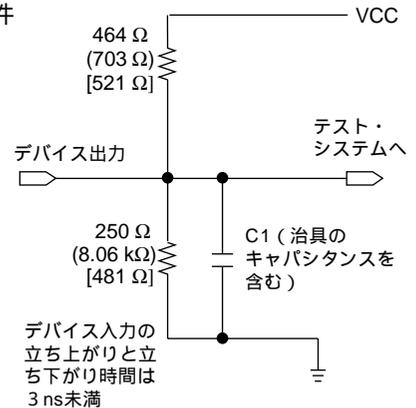
シンボル	パラメータ	最小	最大	単位
t_{JCP}	TCKクロックの期間	100		ns
t_{JCH}	TCKの High時間	50		ns
t_{JCL}	TCKの Low時間	50		ns
t_{JPSU}	JTAGポートのセットアップ・タイム	20		ns
t_{JPH}	JTAGポートのホールド・タイム	45		ns
t_{JPCO}	JTAGポートの「Clock-to-Output」遅延		25	ns
t_{JPZX}	JTAGポートのハイ・インピーダンスから有効出力まで		25	ns
t_{JPXZ}	JTAGポートの有効出力からハイ・インピーダンスまで		25	ns
t_{JSSU}	キャプチャ・レジスタのセットアップ・タイム	20		ns
t_{JSH}	キャプチャ・レジスタのホールド・タイム	45		ns
t_{JSCO}	アップデート・レジスタの「Clock-to-Output」遅延		35	ns
t_{JSZX}	アップデート・レジスタのハイ・インピーダンスから有効出力まで		35	ns
t_{JSXZ}	アップデート・レジスタの有効出力からハイ・インピーダンスまで		35	ns

デバイスのテスト

FLEX 6000の各デバイスには機能テストが実施されており、その動作が保証されています。コンフィギュレーションされる各SRAMビットとすべての論理機能は完全にテストされ、100%のコンフィギュレーションが保証されています。FLEX 6000デバイスのACテストは、図16に等価な条件で行われています。デバイスのコンフィギュレーションとテストには、生産フローの中のあらゆる工程で複数のテスト・パターンが使用されています。

図16 FLEX 6000のACテスト条件

電源のトランジェントがAC特性の測定に影響を及ぼすことがあります。正確な測定を行うため、複数の出力を同時に変化させることは避けて下さい。スレッショルドのテストはACの測定条件では行わないで下さい。デバイスの出力が負荷のキャパシタンスをディスチャージするときに、大振幅で高速なグラウンド電流のトランジェントが発生し、これらのトランジェントがグラウンド・ピンとテスト・システムのグラウンドとの間に存在する寄生インダクタンスに流れると、ノイズ・マージンが著しく低下します。()内の数値は3.3Vデバイスまたは3.3V出力の場合のもので、[]内の数値は2.5Vデバイスまたは2.5V出力に対するものです。



動作条件

次に示す各表は、5.0-Vおよび3.3-V動作のFLEX 6000デバイスの絶対最大定格、推奨動作条件、DC特性、キャパシタンスを示したものです。

5.0-V デバイスの絶対最大定格 注(1)

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電圧	GND に対して 注(2)	-2.0	7.0	V
V_I	DC 入力電圧		-2.0	7.0	V
I_{OUT}	DC 出力電流 (ピンあたり)		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_{AMB}	周囲温度	バイアス時	-65	135	°C
T_J	接合温度	PQFP、PLCC、BGA パッケージ		135	°C

5.0-V デバイスの推奨動作条件

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックと 入力バッファ用供給電圧	注(3)、(4)	4.75 (4.50)	5.25 (5.50)	V
V_{CCIO}	5.0-V動作時の 出力バッファ用供給電圧	注(3)、(4)	4.75 (4.50)	5.25 (5.50)	V
	3.3-V動作時の 出力バッファ用供給電圧	注(3)、(4)	3.00 (3.00)	3.60 (3.60)	V
V_I	入力電圧		0	V_{CCINT}	V
V_O	出力電圧		0	V_{CCIO}	V
T_J	動作接合温度	一般用	0	85	°C
		工業用	-40	100	°C
t_R	入力立ち上がり時間			40	ns
t_F	入力立ち下がり時間			40	ns

5.0-V デバイスの DC 特性 注(5)、(6)

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IH}	High レベル入力電圧		2.0		$V_{CCINT} + 0.3$	V
V_{IL}	Low レベル入力電圧		-0.3		0.8	V
V_{OH}	5.0-V High レベル TTL 出力電圧	$I_{OH} = -4 \text{ mA DC}$, $V_{CCIO} = 4.75 \text{ V}$ 注(7)	2.4			V
	3.3-V High レベル TTL 出力電圧	$I_{OH} = -4 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(7)	2.4			V
	3.3-V High レベル CMOS 出力電圧	$I_{OH} = -0.1 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(7)	$V_{CCIO} - 0.2$			V
V_{OL}	5.0-V Low レベル TTL 出力電圧	$I_{OL} = 8 \text{ mA DC}$, $V_{CCIO} = 4.75 \text{ V}$ 注(8)			0.45	V
	3.3-V Low レベル TTL 出力電圧	$I_{OL} = 8 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(8)			0.45	V
	3.3-V Low レベル CMOS 出力電圧	$I_{OL} = 0.1 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(8)			0.2	V
I_I	入力ピンのリーク電流	$V_I = V_{CC}$ or ground	-10		10	μA
I_{OZ}	トライ・ステート時の I/O ピン・リーク電流	$V_O = V_{CC}$ or ground	-40		40	μA
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)	$V_I = \text{GND}$ 、無負荷		0.5	5	mA

5.0-V デバイスのキャパシタンス 注(9)

シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	I/O ピンの入力キャパシタンス	$V_{IN} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		8	pF
C_{INCLK}	専用入力ピンの入力キャパシタンス	$V_{IN} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		12	pF
C_{OUT}	出力キャパシタンス	$V_{OUT} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		8	pF

表中の注：

- (1) 絶対最大定格については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices* (日本語版「アルテラ・デバイスの使用上の注意」)を参照して下さい。
- (2) 最低DC入力電圧は - 0.3Vです。無負荷の条件で20ns以下の幅であれば、過渡状態の期間に入力が - 2.0Vまでアンダシュート、または7.0Vまでオーバシュートしても構いません。
- (3) カッコ内の数値は工業用温度範囲の製品の場合です。
- (4) V_{CC} の立ち上がりは最大100msです。 V_{CC} の立ち上りは単調増加しなければなりません。
- (5) 標準値は $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 5.0 \text{ V}$ の条件のときのものです。
- (6) これらの値は28ページに記載されている「5.0-Vデバイスの推奨動作条件」をベースに規定されています。
- (7) I_{OH} のパラメータはHighレベルTTLまたはCMOS出力電流として参照されます。
- (8) I_{OL} のパラメータはLowレベルTTLまたはCMOS出力電流として参照されます。このパラメータは出力ピンと同じようにオープン・ドレイン・ピンにも適用されます。
- (9) キャパシタンスはサンプルテストのみです。

3.3-V デバイスの絶対最大定格 注(1)、(3)

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電圧	GND に対して 注(2)	-0.5	4.6	V
V_I	DC 入力電圧		-0.5	5.7	V
I_{OUT}	DC 出力電流 (ピンあたり)		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_{AMB}	周囲温度	バイアス時	-65	135	°C
T_J	接合温度	PQFP、PLCC、BGA パッケージ		135	°C

3.3-V デバイスの推奨動作条件 注(3)

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックと入力バッファ用 供給電圧	注(4)、(5)	3.00 (3.00)	3.60 (3.60)	V
V_{CCIO}	3.3-V 動作時の出力バッファ用 供給電圧	注(4)、(5)	3.00 (3.00)	3.60 (3.60)	V
	2.5-V 動作時の出力バッファ用 供給電圧	注(4)、(5)	2.30 (2.30)	2.70 (2.70)	V
V_I	入力電圧		0	5.3	V
V_O	出力電圧		0	V_{CCIO}	V
T_J	動作接合温度	一般用	0	85	°C
		工業用	-40	100	°C
t_R	入力立ち上がり時間			40	ns
t_F	入力立ち下がり時間			40	ns

3.3-V デバイスの DC 特性 注(3)、(6)、(7)

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IH}	High レベル入力電圧		1.7		5.3	V
V_{IL}	Low レベル入力電圧		-0.3		0.8	V
V_{OH}	3.3-V High レベル TTL 出力電圧	$I_{OH} = -4 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(8)	2.4			V
	3.3-V High レベル CMOS 出力電圧	$I_{OH} = -0.1 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(8)	$V_{CCIO}-0.2$			V
	2.5-V High レベル出力電圧	$I_{OH} = -100 \mu\text{A DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(8)	2.1			V
		$I_{OH} = -1 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(8)	2.0			V
		$I_{OH} = -2 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(8)	1.7			V
V_{OL}	3.3-V Low レベル TTL 出力電圧	$I_{OL} = 4 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(9)			0.45	V
	3.3-V Low レベル CMOS 出力電圧	$I_{OL} = 0.1 \text{ mA DC}$, $V_{CCIO} = 3.00 \text{ V}$ 注(9)			0.2	V
	2.5-V Low レベル出力電圧	$I_{OL} = 100 \mu\text{A DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(9)			0.2	V
		$I_{OL} = 1 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(9)			0.4	V
		$I_{OL} = 2 \text{ mA DC}$, $V_{CCIO} = 2.30 \text{ V}$ 注(9)			0.7	V
I_I	入力ピンのリーク電流	$V_I = V_{CC}$ or ground	-10		10	μA
I_{OZ}	トライ・ステート時の I/O ピン・リーク電流	$V_O = V_{CC}$ or ground	-40		40	μA
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)	$V_I = \text{GND}$ 、無負荷		0.5		mA

3.3-V デバイスのキャパシタンス 注(3)、(10)

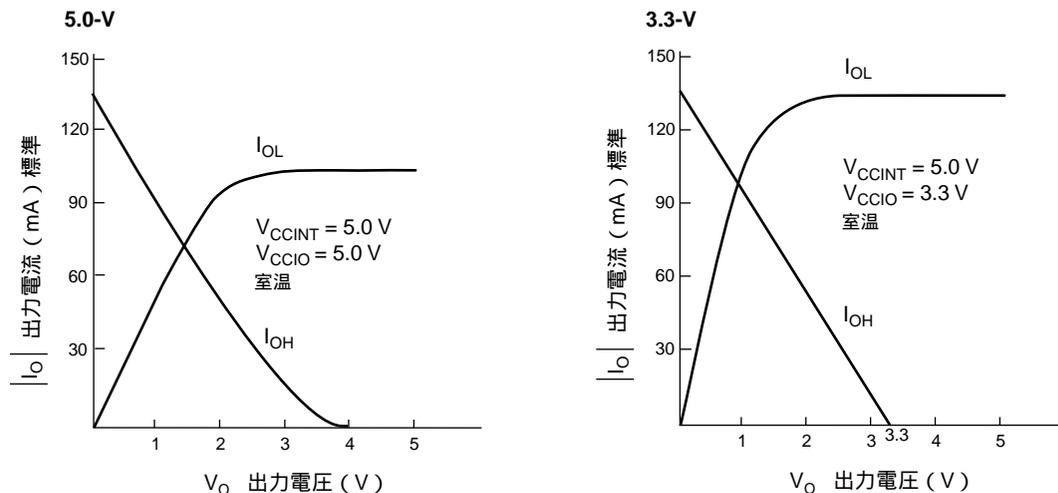
シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	I/O ピンの入力キャパシタンス	$V_{IN} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		8	pF
C_{INCLK}	専用入力ピンの入力キャパシタンス	$V_{IN} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		12	pF
C_{OUT}	出力キャパシタンス	$V_{OUT} = 0 \text{ V}$, $f = 1.0 \text{ MHz}$		8	pF

表中の注：

- (1) 絶対最大定格については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices* (日本語版「アルテラ・デバイスの使用上の注意」)を参照して下さい。
- (2) 最低DC入力電圧は - 0.3Vです。無負荷の条件で20ns以下の幅であれば、過渡状態の期間に入力が - 0.5Vまでアンダシュート、または5.7Vまでオーバシュートしても構いません。
- (3) これらの値は暫定仕様です。最新の情報については、日本アルテラの応用技術部へお問い合わせ下さい。
- (4) カッコ内の数値は工業用温度範囲の製品の場合です。
- (5) V_{CC} の立ち上がりは最大100msです。 V_{CC} は単調増加しなければなりません。
- (6) 標準値は $T_A=25$ 、 $V_{CC}=3.3V$ の条件のときのものです。
- (7) これらの値は30ページに記載されている「3.3Vデバイスの推奨動作条件」をベースに規定されています。
- (8) I_{OH} のパラメータはHighレベルTTLまたはCMOS出力電流として参照されます。
- (9) I_{OL} のパラメータはLowレベルTTLまたはCMOS出力電流として参照されます。このパラメータは出力ピンと同じようにオープン・ドレイン・ピンにも適用されます。
- (10) キャパシタンスはサンプルテストのみです。

図17は、FLEX 6000の V_{CCIO} を5.0-Vおよび3.3-Vに接続したときの標準的な出力ドライブ特性を示したものです。 $V_{CCIO}=5.0V$ 時の出力ドライブは、PCIローカル・バス仕様のRevision 2.1と互換性があります。

図17 出力ドライブ特性



タイミング・モデル

FLEX 6000デバイスでは、連続した高性能な配線リソースとなっているFastTrackインタコネクトによって、予測可能な性能と正確なシミュレーションとタイミング解析が保証されています。この性能が予測可能な点は、分割された配線方式を使用しているために性能の予測が不可能となるFPGAと大きく異なる点です。

デバイスの性能はソースからインタコネクトを通してディスティネーションに至る信号パスをトレースすることによって、推定することができます。例えば、同じロウに配置されている2つのLE間におけるレジスタの性能は下記のパラメータを加えることによって計算することができます。

- LEレジスタの「Clock-to-Output」遅延 ($t_{CO} + t_{REG_TO_OUT}$)
- 配線遅延 ($t_{ROW} + t_{LOCAL}$)
- LEのルック・アップ・テーブル遅延 ($t_{DATA_TO_REG}$)
- LEレジスタのセットアップ・タイム (t_{SU})

配線の遅延時間はソースとディスティネーションとなるLEの位置に依存します。さらに複雑なレジスタのパスでは、ソースとディスティネーションとなるLE間に複数のLEによる組み合わせ回路が構成されることもあります。

タイミング・シミュレーションと遅延時間の予測には、MAX+PLUS IIのシミュレータとタイミング・アナライザ、または業界標準のEDAツールを使用することができます。MAX+PLUS Iのシミュレータでは、論理合成前に設計回路の正確さを評価するために行う機能シミュレーションと、0.1nsの分解能で行われる論理合成後のタイミング・シミュレーションがサポートされています。また、MAX+PLUS IIのタイミング・アナライザは指定されたポイント間のタイミング・ディレイ情報を提供し、セットアップ・タイムとホールド・タイムの解析、およびデバイス全体の性能解析を行います。

図18は、FLEX 6000デバイス内の多様なエレメント間で接続される可能性のあるパスを表したデバイス全体のタイミング・モデルです。

図18 FLEX 6000のタイミング・モデル

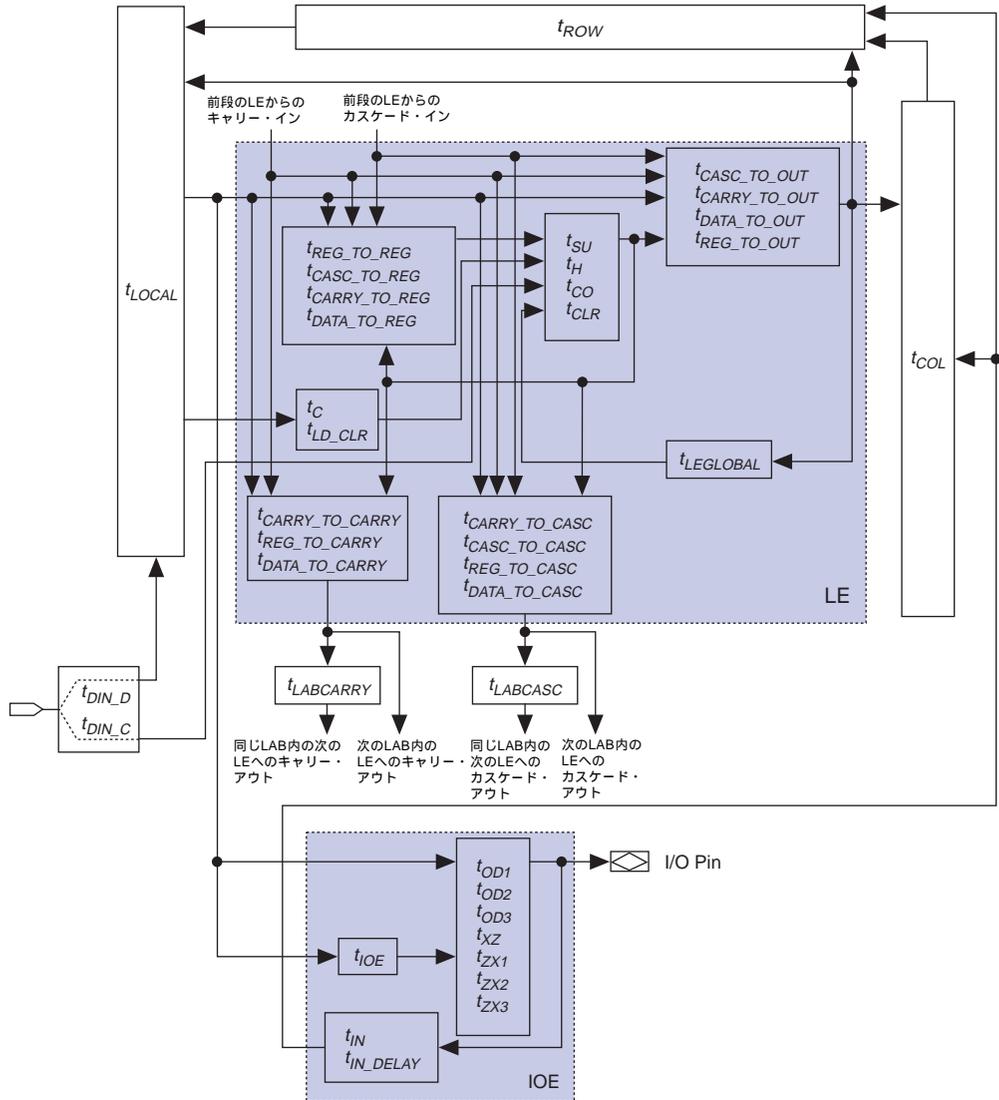


表7から表9は、FLEX 6000の内部タイミング・マイクロパラメータです。これらの内部タイミング・パラメータはワースト・ケースの値で表示されています。これらのタイミング・パラメータを使用した計算結果から、デザインの性能を推定することができます。ただし、デザインを確定する前に、実際のワースト・ケースの性能をタイミング・シミュレーションやタイミング解析の機能を使用して確認しておく必要があります。表10と表11はFLEX 6000の外部タイミング・パラメータです。

シンボル	パラメータ	条件
$t_{REG_TO_REG}$	キャリー・チェイン内 LE レジスタへのフィードバックに対する LUT 遅延	
$t_{CASC_TO_REG}$	カスケード入力からレジスタまでの遅延	
$t_{CARRY_TO_REG}$	キャリー入力からレジスタまでの遅延	
$t_{DATA_TO_REG}$	LE のデータ入力からレジスタまでの遅延	
$t_{CASC_TO_OUT}$	カスケード入力から LE 出力までの遅延	
$t_{CARRY_TO_OUT}$	キャリー入力から LE 出力までの遅延	
$t_{DATA_TO_OUT}$	LE の入力から LE 出力までの遅延	
$t_{REG_TO_OUT}$	レジスタ出力から LE 出力までの遅延	
t_{SU}	LE レジスタのセットアップ・タイム；非同期クリアの挿入後の LE レジスタ・リカバリ・タイム	
t_H	LE レジスタのホールド・タイム	
t_{CO}	LE レジスタの「Clock-to-Output」遅延	
t_{CLR}	LE レジスタのクリア遅延	
t_C	LE レジスタのコントロール信号遅延	
t_{LD_CLR}	カウンタ・モードにおける同期ロードまたはクリアの遅延	
$t_{CARRY_TO_CARRY}$	キャリー・インからキャリー・アウトまでの遅延	
$t_{REG_TO_CARRY}$	レジスタ出力からキャリー出力までの遅延	
$t_{DATA_TO_CARRY}$	LE 入力からキャリー出力までの遅延	
$t_{CARRY_TO_CASC}$	キャリー入力からカスケード出力までの遅延	
$t_{CASC_TO_CASC}$	カスケード入力からカスケード出力までの遅延	
$t_{REG_TO_CASC}$	レジスタ出力からカスケード出力までの遅延	
$t_{DATA_TO_CASC}$	LE 入力からカスケード出力までの遅延	
t_{CH}	LE レジスタのクロック High 期間	
t_{CL}	LE レジスタのクロック Low 期間	

表 8 IOE のタイミング・マイクロパラメータ 注(1)		
シンボル	パラメータ	条件
t_{OD1}	出力バッファとパッドの遅延、Slow Slew Rate= off、 $V_{CCIO}=V_{CCINT}$	C1 = 35 pF 注(2)
t_{OD2}	出力バッファとパッドの遅延、Slow Slew Rate= off、 $V_{CCIO}=Low Voltage$	C1 = 35 pF 注(3)
t_{OD3}	出力バッファとパッドの遅延、Slow Slew Rate= on	C1 = 35 pF 注(4)
t_{XZ}	出力バッファのディセーブル遅延	C1 = 5 pF
t_{ZX1}	出力バッファのイネーブル遅延、Slow Slew Rate= off、 $V_{CCIO}=V_{CCINT}$	C1 = 35 pF 注(2)
t_{ZX2}	出力バッファのイネーブル遅延、Slow Slew Rate= off、 $V_{CCIO}=Low Voltage$	C1 = 35 pF 注(3)
t_{ZX3}	IOE 出力バッファのイネーブル遅延、Slow Slew Rate= on	C1 = 35 pF 注(4)
t_{IOE}	出力イネーブル・コントロール信号遅延	
t_{IN}	入力パッドとバッファから FastTrack インタコネクタまでの遅延	
t_{IN_DELAY}	追加遅延を ON に設定したときの入力パッドとバッファから FastTrack インタコネクタまでの遅延	

表 9 インタコネクタ・タイミング・マイクロパラメータ 注(1)		
シンボル	パラメータ	条件
t_{LOCAL}	LAB ローカル・インタコネクタの配線遅延	
t_{ROW}	ロウ・インタコネクタの配線遅延	注(5)
t_{COL}	コラム・インタコネクタの配線遅延	注(5)
t_{DIN_D}	専用入力から LE のデータ入力までの遅延	注(5)
t_{DIN_C}	専用入力から LE のコントロール入力までの遅延	
$t_{LEGLOBAL}$	LE 出力を使用した内部生成グローバル信号の LE コントロール入力までの遅延	注(5)
$t_{LABCARRY}$	LE のキャリー出力信号が異なる LAB 内の LE のキャリー・インをドライブしたときの配線遅延	
$t_{LABCASC}$	LE のカスケード・アウト信号が異なる LAB 内の LE のカスケード・インをドライブしたときの配線遅延	

表 10 外部リファレンス・タイミング・パラメータ		
シンボル	パラメータ	条件
t_1	テスト・パターンによるレジスタ間遅延	注(6)
t_{DRR}	4 個の LE、3 個所のロウ・インタコネク、4 個所のローカル・インタコネクを通る信号のレジスタ間遅延	注(7)

表 11 外部タイミング・パラメータ		
シンボル	パラメータ	条件
t_{INSU}	LE レジスタのグローバル・クロックに対するセットアップ・タイム	注(8)
t_{INH}	LE レジスタのグローバル・クロックに対するホールド・タイム	注(8)
t_{OUTCO}	FastFLEX™ I/O ピン使用時の LE レジスタにおけるグローバル・クロックによる「Clock-to-Output」遅延	注(8)
t_{ODH}	クロック入力後の出力データのホールド・タイム	注(8)

表中の注：

- (1) マイクロパラメータはアーキテクチャを構成する個別の要素によって発生する遅延時間であり、これらを明確に測定することはできません。
- (2) 動作条件：
 FLEX 6000 (non-A) デバイスの一般用は、 $V_{CCIO}=5.0V \pm 5\%$
 FLEX 6000 (non-A) デバイスの工業用は、 $V_{CCIO}=5.0V \pm 10\%$
 FLEX 6000 A デバイスの一般用および工業用は、 $V_{CCIO}=3.3V \pm 10\%$
- (3) 動作条件：
 FLEX 6000 (non-A) デバイスの一般用および工業用は、 $V_{CCIO}=3.3V \pm 10\%$
 FLEX 6000 A デバイスの一般用および工業用は、 $V_{CCIO}=2.5V \pm 0.2V$
- (4) 動作条件： $V_{CCIO}=2.5V$ 、 $3.3V$ 、または $5.0V$
- (5) これらのパラメータの値は代表的なアプリケーションにおけるワースト・ケースの値です。各デザインの実際のワースト・ケースの性能を決定する場合は、コンパイル完了後にタイミング・シミュレーションとタイミング解析を行う必要があります。
- (6) このタイミング・パラメータは、FLEX 6000 デバイスのスピード・グレードの決定に使用されているテスト・パターンによるレジスタ間の遅延時間を示しています。このときの信号パスには、ソースとディスティネーションとなるレジスタを含め12個のLEが接続されています。レジスタ間の接続には、長さの異なるロウとカラムのインタコネクが使用されています。
- (7) このタイミング・パラメータは参考値ですが、特性評価によりその値が保証されています。
- (8) このタイミング・パラメータは、特性評価によりその値が保証されています。

表12から表16はEPF6016とEPF6024 Aのタイミング規格です。

表 12 EPF6016 の LE タイミング・マイクロパラメータ (1/2)					
パラメータ	- 2 スピード・グレード		- 3 スピード・グレード		単位
	最小	最大	最小	最大	
$t_{REG_TO_REG}$		2.2		2.8	ns
$t_{CASC_TO_REG}$		0.9		1.2	ns
$t_{CARRY_TO_REG}$		1.6		2.1	ns
$t_{DATA_TO_REG}$		2.4		3.0	ns

表 12 EPF6016 の LE タイミング・マイクロパラメータ (2/2)					
パラメータ	- 2 スピード・グレード		- 3 スピード・グレード		単位
	最小	最大	最小	最大	
$t_{CASC_TO_OUT}$		1.3		1.7	ns
$t_{CARRY_TO_OUT}$		2.4		3.0	ns
$t_{DATA_TO_OUT}$		2.7		3.4	ns
$t_{REG_TO_OUT}$		0.3		0.5	ns
t_{SU}	1.1		1.6		ns
t_H	1.8		2.3		ns
t_{CO}		0.3		0.4	ns
t_{CLR}		0.5		0.6	ns
t_C		1.2		1.5	ns
t_{LD_CLR}		1.2		1.5	ns
$t_{CARRY_TO_CARRY}$		0.2		0.4	ns
$t_{REG_TO_CARRY}$		0.8		1.1	ns
$t_{DATA_TO_CARRY}$		1.7		2.2	ns
$t_{CARRY_TO_CASC}$		1.7		2.2	ns
$t_{CASC_TO_CASC}$		0.9		1.2	ns
$t_{REG_TO_CASC}$		1.6		2.0	ns
$t_{DATA_TO_CASC}$		1.7		2.1	ns
t_{CH}	4.0		4.0		ns
t_{CL}	4.0		4.0		ns
t_{OD1}		2.3		2.8	ns
t_{OD2}		4.6		5.1	ns
t_{OD3}		4.7		5.2	ns
t_{XZ}		2.3		2.8	ns
t_{ZX1}		2.3		2.8	ns
t_{ZX2}		4.6		5.1	ns
t_{ZX3}		4.7		5.2	ns
t_{IOE}		0.5		0.6	ns
t_{IN}		3.3		4.0	ns
t_{IN_DELAY}		4.6		5.6	ns

表 13 EPF6016 のインタコネクト・タイミング・マイクロパラメータ

パラメータ	- 2 スピード・グレード		- 3 スピード・グレード		単位
	最小	最大	最小	最大	
t_{LOCAL}		0.8		1.0	ns
t_{ROW}		2.9		3.3	ns
t_{COL}		2.3		2.5	ns
t_{DIN_D}		4.9		6.0	ns
t_{DIN_C}		4.8		6.0	ns
$t_{LEGLOBAL}$		3.1		3.9	ns
$t_{LABCARRY}$		0.4		0.5	ns
$t_{LABCASC}$		0.8		1.0	ns

表 14 EPF6016 の外部リファレンス・タイミング・パラメータ

パラメータ	- 2 スピード・グレード		- 3 スピード・グレード		単位
	最小	最大	最小	最大	
t_1		53.0		65.0	ns
t_{DRR}		16.0		20.0	ns

表 15 EPF6016 の外部タイミング・パラメータ

パラメータ	- 2 スピード・グレード		- 3 スピード・グレード		単位
	最小	最大	最小	最大	
t_{INSU}	3.2		4.1		ns
t_{INH}	0.0		0.0		ns
t_{OUTCO}		7.9		9.9	ns
t_{ODH}	2.0		2.0		ns

表 16 EPF6024A の外部リファレンス・タイミング・パラメータ 注(1)

パラメータ	- 2 スピード・グレード		- 3 スピード・グレード		単位
	最小	最大	最小	最大	
t_1		53.0		65.0	ns

注：
 (1) この値は暫定仕様です。

消費電力

FLEX 6000デバイスの消費電力 (P) は、次式によって計算できます。

$$P = P_{INT} + P_{IO}$$

$$P = (I_{CCSTANDBY} + I_{CCACTIVE}) \times V_{CC} + P_{IO}$$

標準的な $I_{CCSTANDBY}$ の値は、このデータシートの29ページと31ページにある「FLEX 6000デバイスのDC特性」の表の中で I_{CC0} として表示されています。 $I_{CCACTIVE}$ の値はスイッチング周波数とアプリケーションのロジックに依存します。この値は各LEが標準的に消費する電流の量をベースにしたものとなっています。 P_{IO} の値は、デバイスの出力に接続される負荷の特性とスイッチング周波数に依存しますが、1998年版データブックに収録されているアプリケーション・ノート、AN 74「Evaluating Power for Altera Devices」(日本語版有り)のガイド・ラインを使用して算出することができます。

$I_{CCACTIVE}$ の値は、次式によって計算できます。

$$I_{CCACTIVE} = K \times f_{MAX} \times N \times \text{tog}_{LC} \times \frac{\mu A}{\text{MHz} \times LE}$$

この式に使用されているパラメータは下記の通りです。

f_{MAX}	=	最大動作周波数 (MHz)
N	=	FLEX 6000デバイスで使用されるロジック・セル数
tog_{LC}	=	各クロックでトグルするLEのロジック・セルの平均的な比率 (通常は12.5%)
K	=	定数

EPF6016デバイスの定数Kの値は88で、EPF6024Aの定数Kの値は55です。

この計算では無負荷時における標準的な条件での I_{CC} が推定されます。この計算はデバイスの実際のパターンと周囲の動作条件に影響されるため、実際の I_{CC} の値はデバイスの動作中に測定する必要があります。

実際のデザインの状態をよりの確に反映させるため、連続したインタコネク構造となっているFLEX 6000デバイスの消費電力の計算モデル (および上記の計算式に使用されているKの値) は、ロジック・セルがFastTrackインタコネクをドライブしていることを想定したものとなっています。これに対して、配線構造がセグメント化されているFPGAでは、すべてのロジック・セルが1本の短い配線セグメントのみをドライブしている状態が想定されています。このような想定では、セグメント化されたインタコネク構造となっているFPGAのデザインの消費電力を実際に測定した値とは異なる不正確な結果がもたらされる可能性があります。

図19と図20はEPF6016デバイスとEPF6024Aの動作周波数に対する標準的な供給電流の特性を示したものです。

図19 EPF6016の動作周波数対 $I_{CCACTIVE}$ 特性

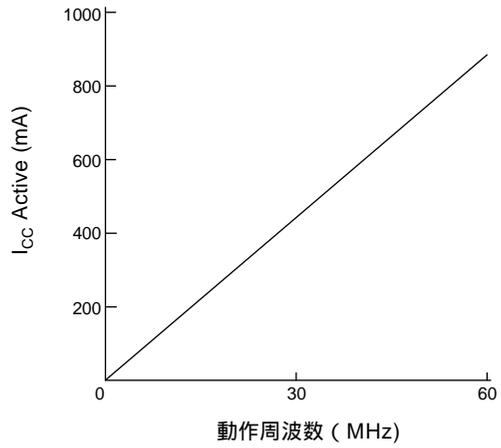
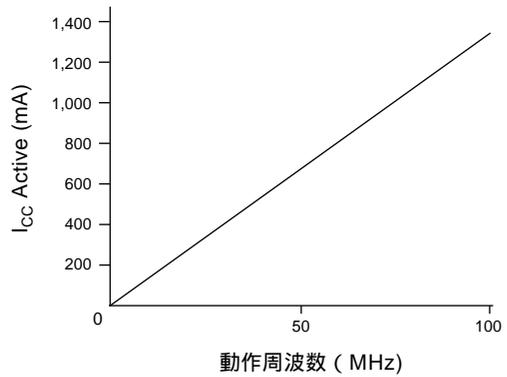


図20 EPF6024Aの動作周波数対 $I_{CCACTIVE}$ 特性



コンフィギュレーションと動作

FLEX 6000のアーキテクチャは、デザインをボード上のデバイスへロードするコンフィギュレーション動作を複数のモードでサポートしています。このセクションではデバイスの動作モードとサポートされているデバイスのコンフィギュレーション・モードについて簡単に説明します。



デバイス・コンフィギュレーションのオプション、コンフィギュレーション用のデバイス・ピン、コンフィギュレーション回路の例、タイミング図、コンフィギュレーション・パラメータなどのFLEX 6000デバイスのコンフィギュレーションに関する詳細についてはアプリケーション・ノート、AN 87「*Configuring FLEX 6000 Devices* (日本語版「*FLEX 6000デバイスのコンフィギュレーション*」)を参照して下さい。

動作モード

FLEX 6000のアーキテクチャはコンフィギュレーション・エレメントにSRAMテクノロジーを使用しているため、デバイスに電源を投入して動作を開始させるときにコンフィギュレーション・データをSRAMのセルにロードする必要があります。SRAMのプログラミング・データをデバイスにロードするプロセスは、コンフィギュレーションと呼ばれます。デバイスはコンフィギュレーションの完了直後にイニシャライズの動作に入り、レジスタをリセットし、I/Oピンをイネーブルにしてロジック・デバイスとしての動作を開始します。I/Oピンは、電源投入時およびコンフィギュレーションの実行前と実行中にトライ・ステートとなります。このコンフィギュレーションとイニシャライズのプロセスは「コマンド・モード」と呼ばれ、通常のデバイス動作は「ユーザ・モード」と呼ばれます。

FLEX 6000デバイスはSRAMのコンフィギュレーション・エレメントを使用しているため、デバイスに新しいデータを再ロードすることによってイン・サーキットでのリコンフィギュレーションを行うことができます。指定されたピンを使ってデバイスを強制的にコマンド・モードにし、別のプログラミング・データのロード後にデバイスを再イニシャライズしてユーザ・モードに復帰させることによって、リアル・タイムのリコンフィギュレーションを行うことができます。リコンフィギュレーションのプロセスは100ms以内で完了するため、システム全体をダイナミックにリコンフィギュレーションすることができます。新しいコンフィギュレーション・データのファイルを配付することによってフィールドでのアップグレードを行うこともできます。

コンフィギュレーション・モード

FLEX 6000デバイスのコンフィギュレーション・データは、3種類のコンフィギュレーション・モードのいずれかでデバイスへロードすることができ、ターゲットとなるアプリケーションに応じて最も適切なモードを選択することができます。FLEX 6000デバイスのコンフィギュレーションのコントロールにはEPC1またはEPC1441のコンフィギュレーションEPROMやインテリジェント・コントローラを使用することができ、システム電源の投入時にデバイスを自動的にコンフィギュレーションすることができます。

複数のFLEX 6000デバイスのコンフィギュレーションも、各デバイスのコンフィギュレーション・イネーブル入力 (nCE) とコンフィギュレーション・イネーブル出力 (nCEO) のピンを接続することにより、表17に示す3種類のモードのいずれかで行うことができます。

表17は、各コンフィギュレーション・モードのデータ・ソースを示したものです。

モード名	データ・ソース
コンフィギュレーションEPROM	EPC1またはEPC1441コンフィギュレーションEPROM
パッシブ・シリアル (PS)	シリアル・データ・ソース
パッシブ・シリアル非同期型 (PSA)	シリアル・データ・ソース

デバイス・ ピン配置

表18はFLEX 6000デバイスに提供されている各パッケージにおける専用ピンの名称とピン番号を示したものです。

表 18 FLEX 6000 デバイスのピン配置 (1/2) 注(1)、(2)					
ピン名	144-Pin TQFP EPF6016 EPF6016A EPF6024A	208-Pin PQFP EPF6016 EPF6016A EPF6024A	240-Pin PQFP EPF6016 EPF6024A	256-Pin BGA EPF6016	256-Pin BGA EPF6024A
MSEL (3)	33	46	52	T3	T3
nSTATUS (3)	56	80	92	W11	W11
nCONFIG (3)	53	77	89	Y11	Y11
DCLK (3)	128	184	212	C10	C10
CONF_DONE (3)	105	150	172	E18	E18
INIT_DONE (4)	94	135	155	J19	J19
nCE (3)	4	6	9	E1	E1
nCEO (5)	70	102	117	V18	V18
nWS (5)	117	169	195	B15	B15
nRS (5)	120	174	200	C13	C13
nCS (5)	111	159	184	B17	B17
CS (5)	114	162	188	A17	A17
RDYnBSY (5)	97	140	161	G20	G20
CLKUSR (5)	100	144	166	G17	G17
DATA (3)、(6)	125	181	209	B10	B10
TDI (7)	13	19	22	J3	J3
TDO (7)	73	107	124	T17	T17
TCK (7)、(8)	34	47	54	V1	V1
TMS (7)	27	38	44	P3	P3
Dedicated Inputs	17, 20, 89, 92	24, 28, 128, 132	28, 32, 148, 152	K19, L1, L3, L20	K19, L1, L3, L20
DEV_CLRn (4)	130	187	216	C9	C9
DEV_OE (4)	123	178	205	A12	A12
VCCINT	6, 31, 77, 103	8, 26, 44, 111, 130, 148	11, 30, 50, 130, 150, 170	D20, F3, K20, L2, T20, U1	D20, F3, K20, L2, T20, U1
VCCIO	7, 19, 32, 55, 78, 91, 104, 127	9, 27, 45, 63, 79, 96, 112, 131, 149, 166, 183, 200	12, 31, 51, 72, 91, 110, 131, 151, 171, 192, 211, 230	D6, D11, D15, F4, F17, K4, L17, R4, R17, U6, U10, U15	D6, D11, D15, F4, F17, K4, L17, R4, R17, U6, U10, U15

表 18 FLEX 6000 デバイスのピン配置 (2/2) 注(1)、(2)

ピン名	144-Pin TQFP EPF6016 EPF6016A EPF6024A	208-Pin PQFP EPF6016 EPF6016A EPF6024A	240-Pin PQFP EPF6016 EPF6024A	256-Pin BGA EPF6016	256-Pin BGA EPF6024A
GND	5, 18, 30, 54, 76, 90, 102, 126	7, 25, 43, 62, 78, 95, 110, 129, 147, 165, 182, 199	10, 29, 49, 61, 71, 90, 109, 120, 129, 149, 169, 181, 191, 210, 229, 240	A1, D4, D8, D13, D17, H4, H17, N4, N17, U4, U8, U13, U17	A1, D4, D8, D13, D17, H4, H17, N4, N17, U4, U8, U13, U17
No Connect (N.C.) (9)	—	—	—	A11, A16, B4, C7, D12, E20, J20, T2, U12, V8, V14, W5, Y17, Y19	—
トータル・ユーザ I/O ピン数 (10)	117	171	199	204	218

注:

- (1) リストされていないピンはすべてユーザI/Oピンです。
- (2) 256ピンBGAパッケージとFLEX 6000Aデバイスのピン配置は暫定仕様です。
- (3) このピンはコンフィギュレーション用の専用ピンであるため、ユーザI/Oとしては使用できません。
- (4) このピンがデバイス全体のコントロール信号またはコンフィギュレーション機能に使用されていない場合は、ユーザI/Oピンとして使用できます。
- (5) このピンはコンフィギュレーションの完了後に、ユーザI/Oとして使用できます。
- (6) このピンは、ユーザ・モードでトライ・ステートとなります。
- (7) デバイスがJTAG BST回路を使用しないようにコンフィギュレーションされている場合は、このピンをユーザI/Oとして使用できます。JTAGデバイス・オプションが設定されていない場合でも、コンフィギュレーション前にJTAGテストを行うことが可能です。
- (8) このピンをユーザ・モードで入力として使用する場合は、コンフィギュレーションの実行前と実行中にこのピンがトグルしないようにする必要があります。
- (9) ピン配置の互換性を維持したままで、デバイスをEPF6024ABC25からEPF6016BC25に変更する場合は、これらのピンをユーザI/Oピンとして使用することはできません。
- (10) トータル・ユーザI/Oピン数には入力専用ピンとI/Oピンが含まれています。

パッケージ・ アウトライン

47ページ以降には各パッケージの寸法図が示されています。パッケージ寸法の表示方法は、下記のフォーマットとなっています。

$$\frac{\text{インチ最小 (ミリメートル最小)}}{\text{インチ最大 (ミリメートル最大)}} \quad \text{または} \quad \frac{\text{インチ標準} \pm \text{許容差}}{(\text{ミリメートル標準} \pm \text{許容差})}$$

または

$$\frac{\text{インチ}}{(\text{ミリメートル})} \text{ BSC, Min., Max., Ref., Typ., R, Dia., Sq.}$$

です。

表 19 パッケージ・アウトラインに使用される記号	
シンボル	説明
BSC	Basicの略。理論値、または目標値
Min.	規定された最小値
Max.	規定された最大値
Ref.	参考値。参照のための値で、保証された値ではない。
Typ.	標準値。一般的な値として表示されているもので、保証された値ではない。
R	半径。曲線の寸法を表す値
Dia.	直径。曲線の寸法を表すための値
Sq.	長さ方向と幅方向のサイズが等しいパッケージの面積を表す。

図21 144ピン、プラスチック薄型クワッド・フラット・パック (TQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては46ページの表で確認して下さい。

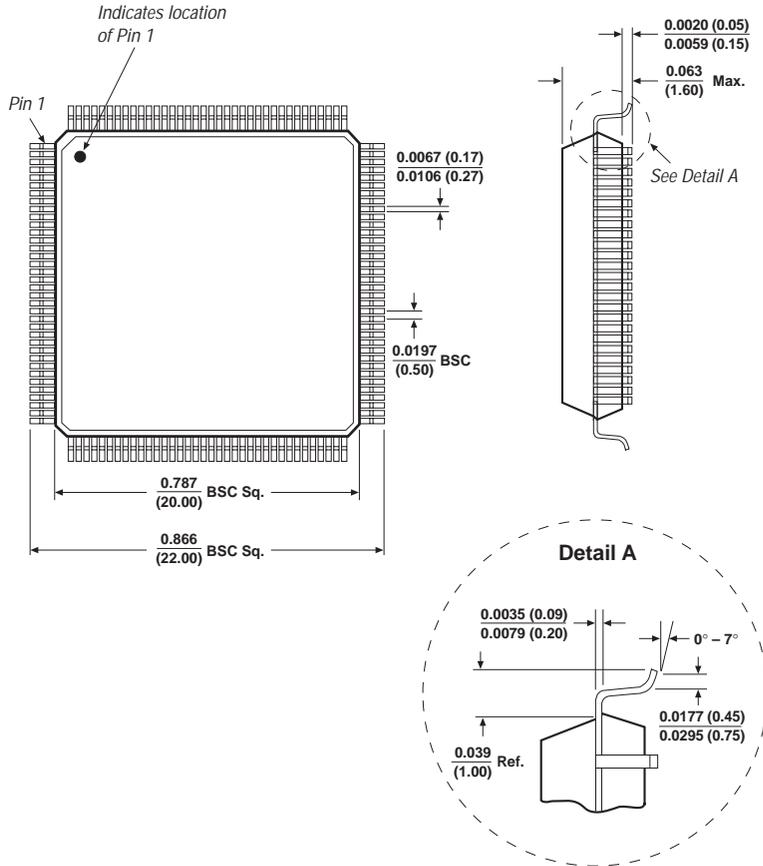


図22 208ピン、プラスチック・クワッド・フラット・パック (PQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては46ページの表で確認して下さい。

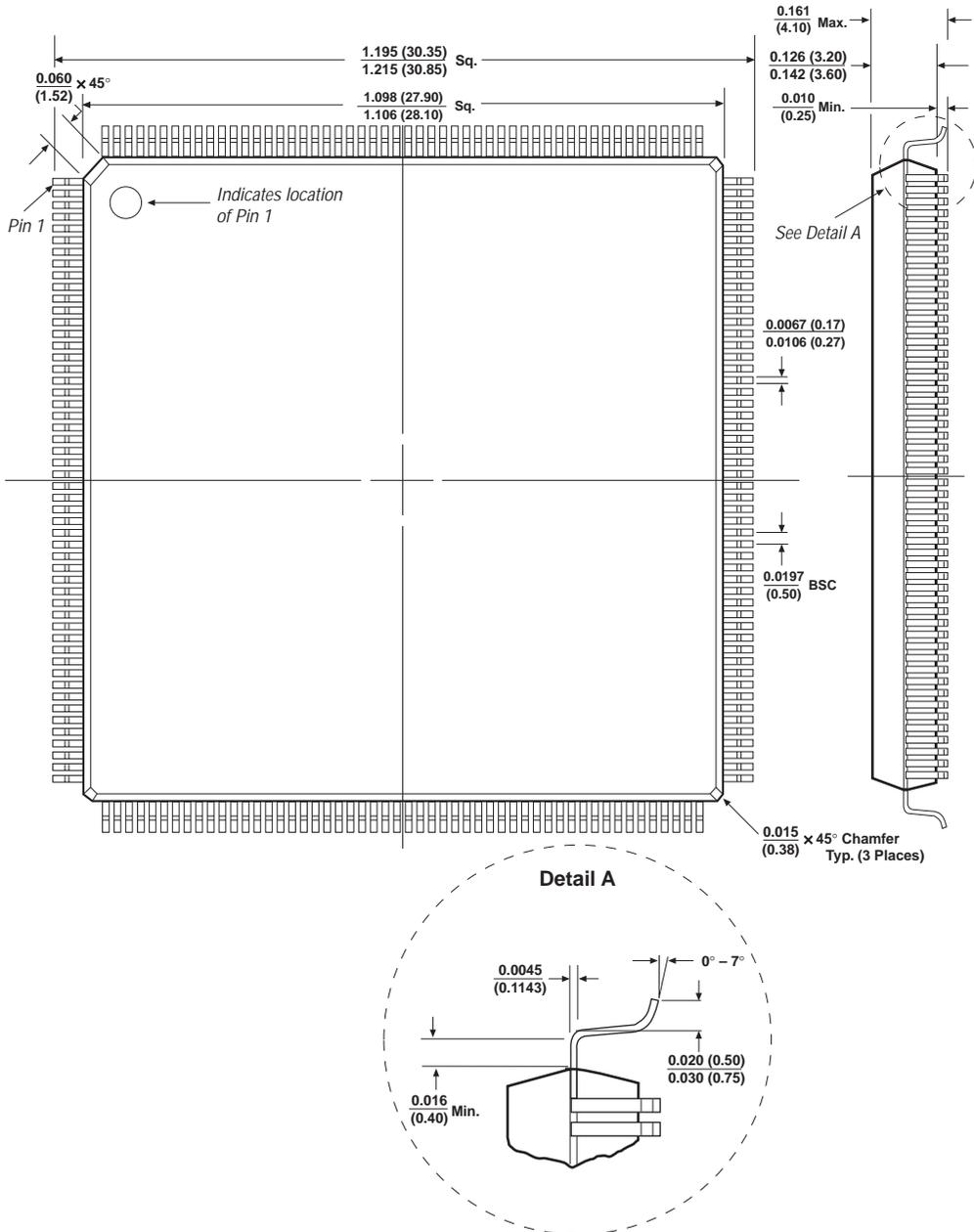


図23 240ピン、プラスチック・クワッド・フラット・パック (PQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては46ページの表で確認して下さい。

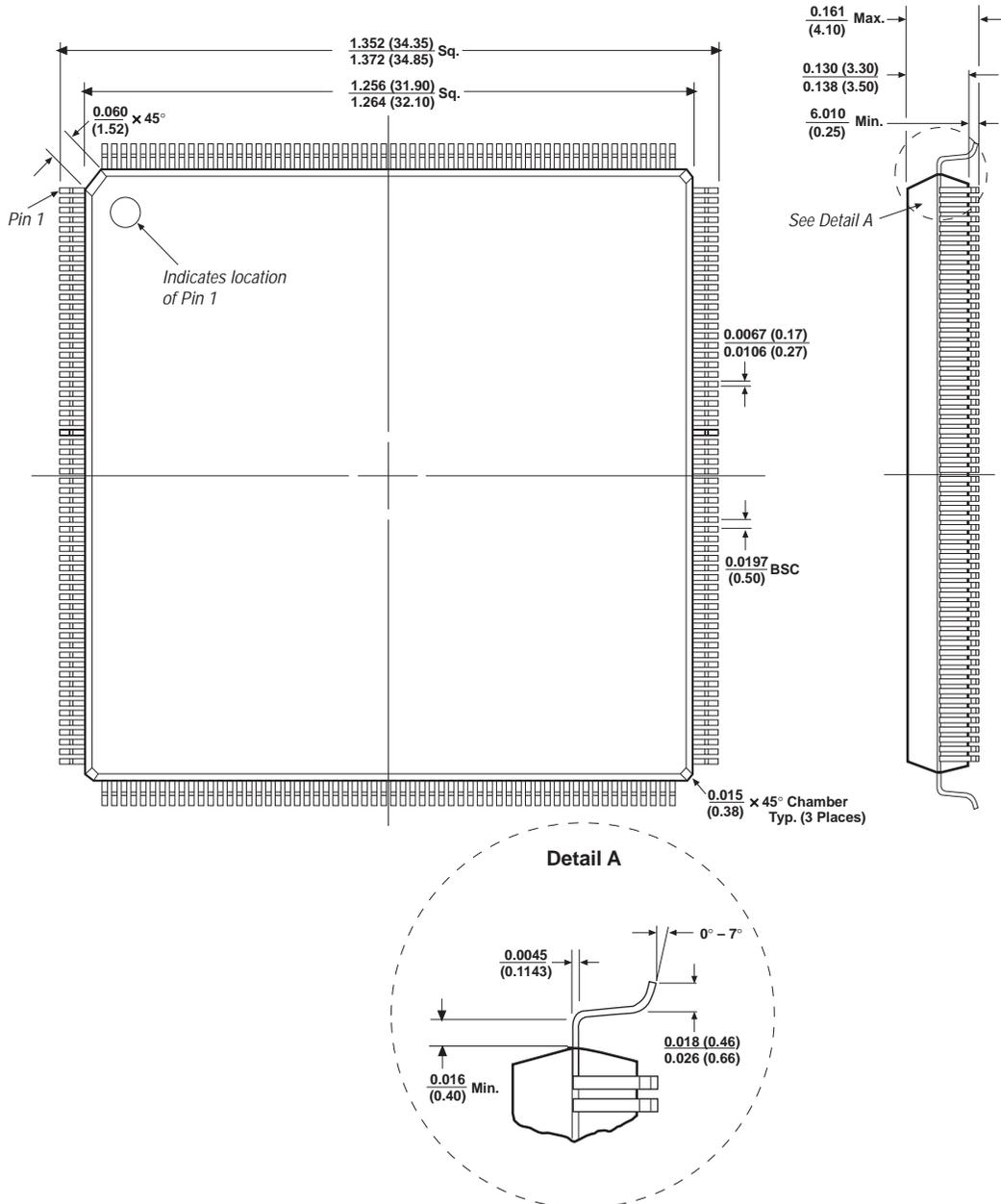
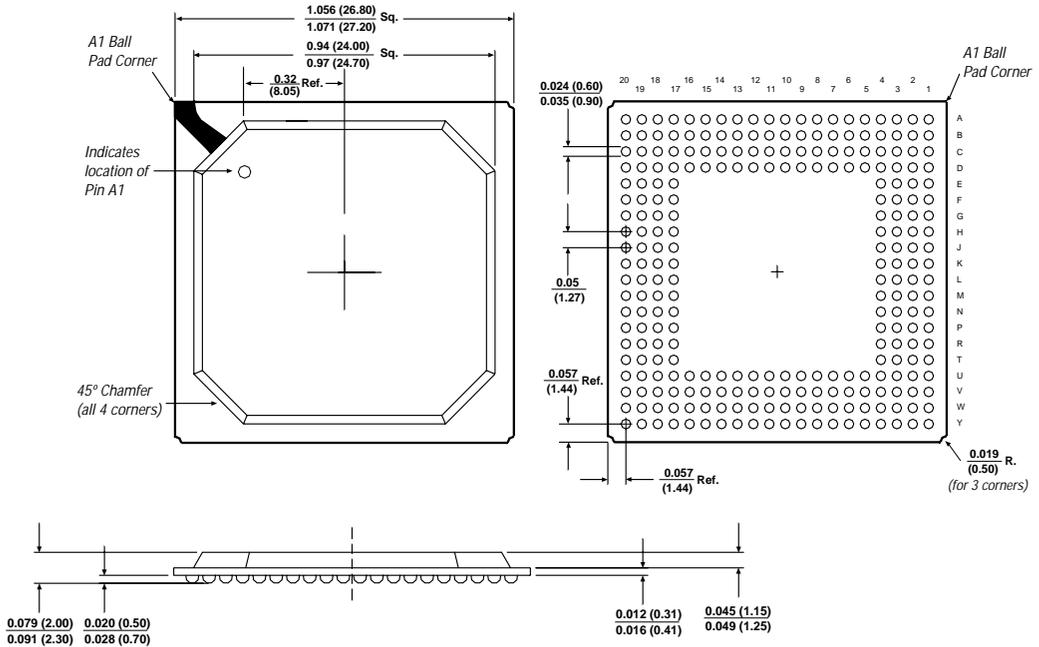


図24 256ピン、ボール・グリッド・アレイ (BGA) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。表示フォーマットについては46ページの表で確認して下さい。



アップデート情報 Ver. 3.02での変更点

FLEX 6000プログラマブル・ロジック・デバイス・ファミリのVer. 3.02のデータシートでは、従来のバージョンに対して下記の変更を行っています。

- 表2のI/Oピン数にEPF6024 Aの144ピンTQFPパッケージの117を追加しました。
- 表18のピン配置表にEPF6024 Aの144ピンTQFPを追加しました。
- この日本語版データシートの表1と表2にEPF6010 Aの情報を追加しました。
- この日本語版データシートの表2に256ピンFineLine BGAの情報を追加しました。

Ver. 3.01での変更点

FLEX 6000プログラマブル・ロジック・デバイス・ファミリのVer. 3.01のデータシートでは、従来のバージョンに対して下記の変更を行っています。

- タイミング・モデルのセクションにEPF6024 Aの外部リファレンス・タイミング・パラメータを追加しました。
- 消費電力のセクションにEPF6024 Aの $I_{CCACTIVE}$ 対動作周波数のグラフとEPF6024 AのKの値を追加しました。



日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料はアルテラが発行した英文の資料を日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認下さい。