



開発ツール セレクタ・ガイド



January 1999

アルテラのプログラマブル・ロジック開発ツールの概要

アルテラは業界でもっとも高速で、もっともパワフルな、そしてもっとも柔軟性の高いプログラマブル・ロジック開発用ソフトウェアとプログラミング・ハードウェアを供給しています。アルテラの開発ツール、MAX+PLUS[®] II と Quartus[™] は、使いやすいグラフィック環境の下で幅広い優れた機能を提供しています。また、これらの開発ツールは業界標準のEDAツールとのインタフェースも提供しており、既存の設計環境との統合化も容易に行うことができます。アルテラの開発ツールには以下の特長があります。

アルテラのAPEX[™] 20K、FLEX[®] 10K、FLEX 6000、FLEX 8000、MAX[®] 9000、MAX 7000、MAX 5000、Classic[™]の各プログラマブル・ロジック・デバイスを含む幅広いデバイス・アーキテクチャをサポート

Windows 95および98、Windows NTを使用したPC、Sun SPARCstation、HP 9000シリーズ700/800、IBM RISC System/6000の各ワークステーションを含むマルチ・プラットフォーム・サポート

1987および1993標準仕様のVHDL、Verilog HDL、Altera Hardware Description Language (AHDL)の各ハードウェア記述言語をサポート

EDIF 2 0 0および3 0 0のネットリスト、LPM (Library of Parameterized Modules) Standard Delay Formatファイル (.sdf)、Verilog HDL、VHDLを利用したEDAツールとのインタフェースを提供

適切なツールの選択

この開発ツール・セレクタ・ガイドを使用して、それぞれのニーズに適合したアルテラの設計環境を選択することができます。次の3段階のステップで、アルテラの設計環境を構成してください。

サブスクリプション・プログラムを選択する
メガファンクション製品を追加する
適切なプログラミング・ハードウェアを選択する

このセレクタ・ガイドの最後の部分には、MAX+PLUS II のソフトウェアがサポートしている各プラットフォームの推奨システム構成が記載されており、アルテラが提供しているACCESSSM (Altera's Commitment to Cooperative Engineering Solutions) プログラムとACAPSM (Altera Consultants Alliance Program) の概要が紹介されています。

ステップ1 - サブスクリプション・プログラムを選択する

アルテラの設計環境の構築は、アルテラの開発ツールのサブスクリプション・プログラムに登録することから開始されます。このプログラムに登録することによって、アルテラのすべての開発ツールの使用と12カ月間にわたるアップデート・サービスが提供されます。この契約を締結することによって、下記の製品とサービスが提供されます。

フル機能装備のMAX+PLUS IIソフトウェアの最新バージョン
Quartusソフトウェア (1999年後半から供給開始予定)
契約した12カ月間にリリースされる各ソフトウェアの新バージョン
アルテラの最新デバイスに対するサポート
新しいソフトウェア機能
性能の強化
オンラインおよび印刷物による最新資料

サブスクリプション・プログラムを締結することにより、ユーザはMAX+PLUS II およびQuartusソフトウェアの最初のインストールと、12カ月間にわたるアップデート・バージョンおよび新たにリリースされるソフトウェアを受領する権利を得ることができます。

12カ月の契約期間が終了した場合でも、インストールされたソフトウェアを継続して使用することはできますが、アップデートされた新バージョンや新規にリリースされるソフトウェアの新しい機能を使用することはできなくなります。

有効な契約を締結されているユーザは、アルテラの最新のPLD製品に対するサポート、新しいソフトウェア機能、性能の改善などを提供する各ソフトウェアの最新バージョンと、オンラインおよび印刷物による最新の資料を受領することができます。

サブスクリプション・プログラムの発注方法

アルテラのサブスクリプション・プログラムの締結にあたっては、下記の表1に示される使用されるシステム構成に対応した製品コードを選択する必要があります。

製品コード	対応する環境
FIXEDPC	PCスタンドアローン、シングル・ユーザ・ライセンス
FLOATPC	PCクライアント・ユーザ用マルチ・ユーザ・ネットワーク・ライセンス
ADD-FLOATPC	FLOATPCサーバで使用されるPCクライアントの追加
FLOATNET	PC、UNIX、PC/UNIXクライアント用マルチ・ユーザ・ネットワーク・ライセンス
ADD-FLOATNET	FLOATNETサーバで使用されるPCまたはUNIXクライアントの追加

サブスクリプション・プログラムを締結される場合は、日本アルテラの販売代理店へご連絡ください。12カ月の契約期間が経過したときの契約の更新も、各販売代理店を通じて行うことができます。

デバイス・アーキテクチャのサポート

アルテラとサブスクリプション・プログラムを締結することで、表2に示されるアルテラのすべてのデバイス・アーキテクチャに対するサポートが提供されます。アルテラ・デバイスの詳細については、アルテラの「コンポーネント・セレクタ・ガイド」、最新のデータブック、またはアルテラのウェブ・サイト、<http://www.altera.com>を参照してください。

表 2 アルテラのサブスクリプション・プログラムでサポートされるデバイス・アーキテクチャ	
デバイス・アーキテクチャ	サポートされるデバイス
 APEX 20K	APEX 20K
 FLEX 10K	FLEX 10K, FLEX 10KE, FLEX 10KA
 FLEX 6000	FLEX 6000, FLEX 6000A
 FLEX 8000	FLEX 8000, FLEX 8000A
 MAX 9000	MAX 9000, MAX 9000A
 MAX 7000	MAX 7000, MAX 7000S, MAX 7000A, MAX 7000AE
 Classic+Plus	Classic and MAX 5000 families, EPF6010A, EPF6016, EPF6016A, EPF8282A, EPF8452A, EPM9320, EPM9320A, EPF10K10, and EPF10K10A devices

ソフトウェアの機能

アルテラとサブスクリプション・プログラムを締結することによって、すべての機能を装備したMAX+PLUS IIおよびQuartusソフトウェアの最新バージョンが提供されます。



MAX+PLUS II 開発ソフトウェア

MAX+PLUS IIは、デザイン・エントリ、コンパイルーション、ペリフィケーション、プログラミングの各機能に幅広いオプションを提供しています。MAX+PLUS IIを使用することによって、デスクトップ上で、アルテラのPLDに対するデザインの作成、変更個所のテスト、プログラムを短時間で行うことができるため、PLDを活用してゲートアレイで発生する長いリード・タイムの問題を解消することができます。



Quartus開発ソフトウェア

アルテラの第4世代のプログラマブル・ロジック用開発システムであるQuartusは、デザイン・サイクルを短縮する下記のような最先端機能を使用して新たなデザイン・プロセスを実現させています。

デザイン・サイクルを短縮するマルチプロセッサのサポートとインクリメンタル・リコンパイル機能

ブロック・レベル・エディティング、ワークグループ・コンピューティング、拡張強化されたメガファンクションのサポートによるシステム・オン・プログラマブル・チップの開発手法が開発フローを簡略化し、デザインの生産性を大幅に改善

新しいロジック・アナリシス・ソリューションが、システムを実スピードで動作させながらチップ内部の信号値の観測を可能にし、検証に要する時間を削減

集中型オブジェクト指向データベースの実現により、同一プロジェクトにネットワーク上の複数の技術者が同時に参加することが可能
サード・パーティのEDAソフトウェアとのシームレスなインタフェースの実現により、アルテラ・デバイスのデザインの作成に習熟したツールが使用可能

MAX+PLUS IIおよびQuartusソフトウェアからダイレクトにアクセス可能なアルテラのオンライン・データベースなど、これまでにない高いレベルのテクニカル・サポートの提供によって、アルテラがユーザのデザイン・チームの一員として効率的に参加することが可能

APEX 20Kデバイス・ファミリに対するサポートにより、高いデザイン・フレキシビリティと高性能なシステム・レベルの集積化機能を提供

nSTEP Compilerによるコンパイル時間の短縮

複雑なデザインでは、要求される結果が得られるまでに数回の設計変更が繰り返し行われます。QuartusのnSTEP™ Compilerを使用することで、デザイン全体を再コンパイルすることなく、デザインの変更とその結果の確認を短時間で行うことができます。Quartusソフトウェアは、変更されたデザイン部分のみをコンパイルします。

nSTEP Compilerには、アルテラの新しいCoreSyn™合成機能が採用されています。このコンパイラはデザインを解析した上で、デザインの機能をAPEXデバイス内のLUT (Look-Up Table) ベースのロジック・エレメント、プロダクト・ターム・ベースのマクロセル、またはエンベデッド・メモリのロジック・ブロックに適切に分割します。

改良された検証フローとSignalTapロジック解析機能

Quartusソフトウェアは、RTL (Register Transfer Level) ベースのシミュレーションとのタイトな統合化を提供して検証時間を短縮させています。Quartusのシミュレータには、TCL、C、ハードウェア記述言語 (HDL) のテスト・ベンチが使用できます。SignalTap™ロジック解析ツールは、ロジック・アナライザの機能をソフトウェアに統合化し、実際のシステム・スピードで動作しているデバイスの解析を可能にしています。

NativeLinkによる主要なデザイン・ツールとの統合化

NativeLink™によるツール間の統合化はQuartusソフトウェアと他社のEDAツール間における情報のシームレスな転送を実現しており、使用されるEDAツールの設計環境全体の生産性を向上させます。NativeLinkによるデザイン・フローでは、設計者がサード・パーティのEDAツール内でQuartusの配置配線前の遅延見積りを使用することができることになっており、合成方法を最適化することができます。部分的なデザインの更新を行った場合でもデザイン全体を再コンパイルする必要がないため、デザインのプロセスがさらに簡略化されます。

エラー・ロケーション検出とタイミング最適化機能

ほとんどのインタフェースではツール間でデザイン情報の受け渡しが可能となっていますが、ツール間の相互作用機能が不十分だったり、全く提供されていません。Quartusソフトウェアを使用した場合は、エラー個所の修正やタイミングの最適化がこれまでになく簡単に行うことができます。Quartusソフトウェアは、エラーの発生個所のEDAツールのソース・デザイン・ファイルを特定することができるため、エラーの修正やタイミング・パラメータの調整を行うプロセスを改善します。

表 3 は、アルテラの開発ツールのサブスクリプション・プログラムに登録することによって提供されるすべての機能、デバイス・サポート、改良点などをまとめたものです。

表3 アルテラの開発ツールで提供されるデバイス・サポートと機能

	サポートされるデバイスと機能	概要	MAX+PLUS II	QUARTUS
デバイス・サポート	APEX 20K	システム・レベルの集積化のため設計された1Mゲートまでの集積度を持つ新しいIAPEX (Advanced Programmable Embedded MatriX) デバイス・ファミリ		
	FLEX 10K	エンベデッド・アレイ・ブロック (EAB) を内蔵した高集積、高性能FLEX (Flexible Logic Element MatriX) アーキテクチャのデバイス・ファミリ。QuartusはFLEX 10Kデバイスを1999年第4四半期にサポート予定		
	FLEX 6000	ゲートアレイの代替製品となるロー・コストな量産用ソリューション		
	FLEX 8000	低集積FLEXデバイス・ファミリ		
	MAX 9000	Multiple Array MatriX (MAX) アーキテクチャの高集積、5.0Vデバイス・ファミリ		
	MAX 7000	5.0V、3.3V、2.5Vのイン・システム・プログラマビリティ (ISP) をサポートしたMAXアーキテクチャの高速デバイス・ファミリ		
	Classic+Plus	特定のデバイスをサポート。3ページのサポートされるデバイス・アーキテクチャの表を参照		
デザインの入力	回路図入力	グラフィック・エディタが、LPM (Library of Parameterized Modules)、TTLファンクション、カスタム・ファンクションを含むデザインの作成に必要な基本ビルディング・ブロックを提供。シンボル・エディタにより、任意のデザイン・ファイル内でのシンボルの作成と修正が可能です。		
	テキスト入力：AHDL、VHDLまたはVerilog HDL	MAX+PLUS II はAHDL (Altera Hardware Description Language)、VHDL、Verilog HDLを含む多様なハードウェア記述言語をベースにした設計手法をサポートします。		
	波形デザイン入力	波形エディタのサポートにより、入力と出力の波形を入力するだけで論理の規定が可能です。		
	EDAインタフェース	双方向のEDIFインタフェース、VHDLおよびVerilog HDLネットリスト・ライタにより、MAX+PLUS II と業界標準EDAツール間でデザイン・ファイルの入出力が行えます。		
	NativeLink統合化機能	NativeLinkがQuartusソフトウェアから主要なEDAソフトウェア・ツールへのシームレスなインタフェースを提供。このインタフェースによって、既存のデザイン・フローに対する改善されたサポートとさらに強化された統合化機能が実現されます。		
	フロアプラン・エディタ	フロアプラン・エディタを使用することにより、グラフィック・イメージで表示されたデバイス上からピンとロジック・セルを指定することができます。		
	階層設計マネージメント	ハイアラキ・ディスプレイの提供により、階層化されたデザイン間の移動が簡単に行えます。		
	LPM (Library of Parameterized Modules)	LPMはパラメータ化されたファンクションとなっており、これらビルディング・ブロックとして使用することでデザインの入力が簡略化されます。		
	MegaCoreファンクション	MegaCoreファンクションはシステム・レベルの複雑な機能をアルテラの各デバイス・アーキテクチャに最適化して実現したもので、各ファンクションが検証済みのHDLデザイン・ファイルとして提供されています。		
デザインのコンパイルレーション	タイミング・ドリプン・シンセシスとフィッティング	デザイン内の任意の部分にタイミング・コンストレインを指定し、MAX+PLUS II の論理合成とフィッティングをコントロールすることができます。		
	論理合成とフィッティング	デザインの要求をデバイスのリソースに自動的に適合させることによって、デバイスの使用効率を最適化し、マニュアルによるルーティングの必要性を取り除きます。		
	自動エラー・ロケーション	メッセージ・プロセッサが、すべてのデザイン・エディタ上の文法エラー、論理エラーの箇所を素早く検出してハイライトするため、迅速なデバッグが可能になります。		
	デザイン・ルール・チェック	「デザイン・ドクター」が、カスタマイズ可能なデザイン・ルール・チェックを実行し、不安定動作が生じる可能性のある回路をレポートします。		
	マルチ・デバイス・パーティショニング	大規模なデザインを同一のデバイス・ファミリの2個、またはそれ以上のデバイスに自動的に分割します。		
	OpenCore評価機能	OpenCoreにより、MegaCoreファンクションおよびAMPPファンクションのライセンスに対する購入前のコンパイルとシミュレーションが可能です。		
	nSTEP Compiler	nSTEP Compilerによって、デザイン内の小規模な変更のコンパイルが短時間で可能になるため、コンパイル時間が大幅に短縮されます。		
	CoreSynシンセシス	nSTEP Compilerが、CoreSynの機能を使用してターゲットとなるデバイス・アーキテクチャに最適となる合成テクノロジを起動します。		
	インクリメンタル・コンパイルレーション	nSTEP Compilerは、変更されたデザイン部分のみをコンパイルするインクリメンタル・コンパイルレーション機能を実現しています		
デザインの検証	タイミング解析	タイミング・アナライザがすべての信号パスをトレースし、デザインの性能を制限しているパスを特定します。		
	波形エディティング	波形エディタを使用することにより、シミュレータをドライブする入力波形、シミュレーションされるノード名が作成でき、シミュレーション結果を波形で観測することができます。		
	ファンクショナル・シミュレーション	ファンクショナル・シミュレータが、規定されたデザイン情報を使用して遅延ゼロを仮定した論理機能シミュレーションを実行します。		
	タイミング・シミュレーション	タイミング・シミュレータは、論理合成および最適化されたデザインの論理機能とワースト・ケース・タイミングを0.1nsの分解能でテストします。		
	マルチ・デバイス・シミュレーション	マルチ・デバイス・シミュレータが、複数のデバイスに分割されたデザイン全体をシミュレーションします。		
	SignalTapロジック解析	SignalTapロジック解析機能により、実際のシステム・スピードで動作しているデバイスをシステム・レベルで検証することができます。		
デバイス・プログラミング	デバイス・プログラミング	MAX+PLUS II およびQuartusソフトウェアと対応するプログラミング・ハードウェアを使用することによって、デスクトップ上でアルテラ・デバイスのプログラム、コンフィギュレーション、ペリファイ、ブランク・チェック、ファンクション・テストなどを行えます。また、従来からの一般的なプログラミング方法だけでなく、イン・システム・プログラマビリティ (ISP)、イン・サーキット・リコンフィギュラビリティ (ICR) もサポートされています。		
	Jam™プログラミング / テスト用言語	MAX+PLUS II のソフトウェアは、IEEE 1149.1の標準JTAGインタフェースを使用するデバイス・プログラミングに最適化されたインタプリタ言語として開発されたプログラミング / テスト用言語である、Jamをサポートしています。		
その他	フローティング・ノード機能	この機能により、ネットワークに接続された単独のシステムを複数のユーザで共有できるようになります。		
	オンライン・ヘルプ	MAX+PLUS IIとQuartusのオンライン・ヘルプは、各ソフトウェアの機能、デザイン・ガイドライン、詳細なデバイス情報などを含む完全なドキュメントとなっています。日本語版も提供されています。		
	MAX+PLUS II BASELINEシステム	エントリ・レベルの機能をサポートしているBASELINEシステムは、同一工場内で無制限にインストールすることができます。		
	インターネットをベースにしたサポート	Quartusソフトウェアからインターネットを通じてアルテラのソリューション・データベースにダイレクトに接続することによって、共通した問題点に対する迅速な解決案を入手したり、アルテラの実用技術部門に対してサポートを要求することができます。Quartusソフトウェアはアルテラのデータベースを自動的に毎日アクセスして、ソフトウェアのアップデート、新しいデバイスのサポート、オンライン・ヘルプのアップデートなどに関する通知を受け取ることができます。		

ステップ2 - メガファンクション製品を追加する

サブスクリプション・プログラムのオプションの選択が完了したら、次にアルテラのMegaCore™ ファンクションおよびAMPP™ (Altera Megafunction Partners Program) を含むメガファンクションを追加します。



アルテラのMegaCoreファンクション

MegaCoreファンクションは、アルテラによって開発されたテスト検証済みのファンクションとなっており、アルテラの特定のデバイス・アーキテクチャに最適化されています。MegaCoreファンクションを活用することによって、要求されるファンクションをゼロから構成した場合よりも設計時間を大幅に短縮することができます。表4は、現在供給されているMegaCoreファンクションを示したものです。



AMPPメガファンクションは、アルテラと密接な関係を維持して活動している各パートナー企業によって開発された製品です。このアライアンス・プログラムを通じて、アルテラのデバイスに最適化された幅広いメガファンクション製品が提供されており、多くの高集積デザインに活用されています。AMPPメガファンクションには、シンプルなビルディング・ブロックのロジックから、リード・ソロモンCODECのような非常に複雑なシステム・レベルのコアまでの幅広い製品が含まれています。

AMPPパートナーによって提供されている全製品のリストは、アルテラのウェブ・サイト、<http://www.altera.com>に提供されています。AMPPファンクションの詳細については、各パートナー企業に直接お問い合わせください。



MegaWizard Plug-In

アルテラのMegaWizard™ Plug-Inはメガファンクションの簡単なカスタマイズを可能にしたパラメータ化ツールで、カスタマイズされたメガファンク

ションを業界標準となっているEDAツールを使用した標準的なデザイン・フローに取り込むことができます。アルテラとAMPPのパートナー企業は、MegaWizard Plug-Inによるコントロールやコンフィギュレーションが行えるメガファンクションを提供しています。

MegaWizard Plug-Inの機能をサポートしたメガファンクションを使用することによって、使用される設計環境での効率的なカスタマイズが可能となるため、時間とコストを削減することができます。



アルテラのOpenCore機能

MAX+PLUS II およびQuartusソフトウェアには、アルテラのOpenCore™ 評価機能が提供されています。ユーザはこの機能を利用して、メガファンクションの購入を決定する前に、これらをインスタンス化したデザインを作成してコンパイル、シミュレーションを行い、各ファンクションのサイズと性能を検証することができます。このOpenCore評価機能を利用したMegaCoreファンクションの評価を行うときには、アルテラのウェブ・サイト、<http://www.altera.com>から目的のMegaCoreファンクションを無償でダウンロードすることができます。

その他のメガファンクション製品に関する情報

アルテラはAMPPカタログ、*Microperipheral MegaCore Library Data Book*などを含むメガファンクション製品に関する参考資料も提供しています。これらのMegaCoreおよびAMPPメガファンクションに関する最新の資料と情報がアルテラのウェブ・サイト、<http://www.altera.com>から入手できるようになっています。

表4 アルテラのMegaCoreファンクション製品

アプリケーション	オーダ・コード	機能
PCIマスタ / ターゲット・インタフェース	PLSM-PCI/A	DMA機能を内蔵し、33MHzでのゼロ・ウェイト・ステートによるバースト・モード転送をサポートしたPCIマスタ / ターゲット・インタフェース
パラメータ化されたPCIマスタ / ターゲット・インタフェース	PLSM-PCI/B	パラメータ化されたPCIマスタ / ターゲット・インタフェース
PCIターゲット・インタフェース	PLSM-PCIT1	33MHzでの無制限レングスのゼロ・ウェイト・ステートによるバースト・モード転送をサポートしたPCIターゲット・インタフェース
DSP / 高速フーリエ変換	PLSM-FFT	フルにパラメータ化された高速フーリエ変換ファンクション
マイクロペリフェラル・ファンクション	PLSM-MICROLIB PLSM-8237 PLSM-8251 PLSM-8255 PLSM-6402 PLSM-16450 PLSM-6850 PLSM-8259	UART、DMAコントローラ、パラレル・ポート・コントローラのライブラリ プログラマブルDMAコントローラ プログラマブル・コミュニケーション・インタフェース プログラマブル・ペリフェラル・インタフェース・アダプタ UART (Universal Asynchronous Receiver/Transmitter) UART (Universal Asynchronous Receiver/Transmitter) 非同期通信インタフェース・アダプタ (Asynchronous Communication Interface Adapter) プログラマブル・インタラプト・コントローラ
ビデオ / カラー・スペース・コンバータ	PLSM-CSC	RGBからYCrCb、およびYCrCbからRGBへのカラー・スペース・コンバータ
コミュニケーション / エラー・チェック	PLSM-CRC	フルにパラメータ化されたCRC (Cyclic Redundancy Code) ジェネレータ / チェッカ

ステップ3 - 適切なプログラミング・ハードウェアを選択する

アルテラは、APEX 20K、FLEX 10K、FLEX 6000、FLEX 8000の各デバイスのイン・サーキット・リコンフィギュレーション、およびMAX 9000、MAX 7000デバイスのイン・システム・プログラミングを行うためのコンフィギュレーション・ケーブルを提供しています。これらのケーブルはMAX+PLUS II、Quartusソフトウェア、またはシステム・プロンプトの状態からダイレクトにデバイス・データをダウンロードすることができます（表5を参照）。

アルテラのスタンドアローン・プログラマ（PL-ASAP2）と対応するプログラミング用アダプタにより、すべてのアルテラ・デバイスのプ

ログラミングに必要なハードウェアとソフトウェアが提供されます。PL-ASAP2には、WindowsベースのPC および互換コンピュータ用のLP6 ロジック・プログラマ・カードとマスタ・プログラミング・ユニット（MPU） およびプログラミング・ソフトウェアが含まれています。

下記の表6を使用して、各デバイスに対応するプログラミング・アダプタを選択してください。新しいデバイスに対応したアダプタは、その製品の供給が開始された時点で入手可能になります。

表5 アルテラのダウンロード・ケーブル

ケーブル名	オーダ・コード	ハードウェア・インタフェース	動作電圧	追加機能
BitBlaster シリアル・ダウンロード・ケーブル	PL-BITBLASTER	RS-232ポート	5.0 V	
ByteBlasterMV パラレル・ダウンロード・ケーブル	PL-BYTEBLASTERMV	PCパラレル・ポート	3.3, 5.0 V	
MasterBlaster通信ケーブル	PL-MASTERBLASTER	USB/RS-232ポート	2.5, 3.3, 5.0 V	SignalTapによるロジック解析機能。1999年Q2より供給開始予定

表6 アルテラのプログラミング・アダプタ

デバイス名	パッケージ	アダプタ名	デバイス名	パッケージ	アダプタ名
EPC2	PLCC (20-Pin) TQFP (32-Pin)	PLMJ1213 PLMJ1213	EPM7128S	J-Lead (84-Pin) PQFP (100-Pin) TQFP (100-Pin) PQFP (160-Pin)	PLMJ7000-84 PLMQ7000-100NC (3) PLMT7000-100NC (3) PLMQ7128/160-160NC (3)
EPC1064 (1) EPC1064V (1) EPC1441 (2)	DIP, J-Lead TQFP	PLMJ1213 PLMT1064	EPM7160E	J-Lead (84-Pin) PQFP (100-Pin) PQFP (160-Pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPC1 (2) EPC1213 (2)	DIP J-Lead	PLMJ1213 PLMJ1213	EPM7160S	J-Lead (84-Pin) PQFP (100-Pin) PQFP (160-Pin)	PLMJ7000-84 PLMQ7000-100NC (3) PLMQ7128/160-160NC (3)
EPM9320	J-Lead (84-Pin) RQFP (208-Pin) PGA (280-Pin)	PLMJ9320-84 PLMR9000-208 PLMG9000-280	EPM7192E	PGA (160-Pin) PQFP (160-Pin)	PLMG7192-160 PLMQ7192/7256-160
EPM9320A	J-Lead (84-Pin) RQFP (208-Pin)	PLMJ9320-84 PLMR9000-208NC (3)	EPM7192S	PQFP (160-Pin)	PLMQ7192/256-160NC (3)
EPM9400	J-Lead (84-Pin) RQFP (208-Pin) RQFP (240-Pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240	EPM7256E	PQFP (160-Pin) PGA (192-Pin) PQFP (208-Pin) RQFP (208-Pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208 PLMR7256-208
EPM9480	RQFP (208-Pin) RQFP (240-Pin)	PLMR9000-208 PLMR9000-240	EPM7256A EPM7256AE	FBGA (100-Pin) PQFP (208-Pin) RQFP (208-Pin) FBGA (256-Pin)	PLMF7000-100 PLMR7256-208NC (3) PLMR7256-208NC (3) PLMF7000-256
EPM9560	RQFP (208-Pin) RQFP (240-Pin) PGA (280-Pin) RQFP (304-Pin)	PLMR9000-208 PLMR9000-240 PLMG9000-280 PLMR9000-304	EPM7256S	PQFP (208-Pin) RQFP (208-Pin)	PLMR7256-208NC (3) PLMR7256-208NC (3)
EPM9560A	RQFP (208-Pin) RQFP (240-Pin)	PLMR9000-208NC (3) PLMR9000-240NC (3)	EPM7384AE	TQFP (144-Pin) PQFP (208-Pin) FBGA (256-Pin)	PLMT7000-144NC (3) PLMR7256-208NC (3) PLMF7000-256
EPM7032 EPM7032V	J-Lead (44-Pin) PQFP (44-Pin) TQFP (44-Pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44	EPM7512AE	TQFP (144-Pin) PQFP (208-Pin) FBGA (256-Pin) FBGA (256-Pin)	PLMT7000-144NC (3) PLMR7256-208NC (3) PLMF7000-256 PLMB7000-256
EPM7032S EPM7032AE	J-Lead (44-Pin) TQFP (44-Pin)	PLMJ7000-44 PLMT7000-44	EPM5032	DIP J-Lead SOIC	PLMD5032A PLMJ5032A PLMS5032A
EPM7064	J-Lead (44-Pin) TQFP (44-Pin) J-Lead (68-Pin) J-Lead (84-Pin) PQFP (100-Pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100	EPM5064	J-Lead	PLMJ5064A
EPM7064S EPM7064AE	J-Lead (44-Pin) J-Lead (84-Pin) TQFP (44-Pin) TQFP (100-Pin) FBGA (100-Pin)	PLMJ7000-44 PLMJ7000-84 PLMT7000-44 PLMT7000-100NC (3) PLMF7000-100	EPM5128	J-Lead PGA	PLMJ5128A PLMG5128A
EPM7096	J-Lead (68-Pin) J-Lead (84-Pin) PQFP (100-Pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100	EPM5130	J-Lead PGA PQFP	PLMJ5130A PLMG5130A PLMQ5130A
EPM7128 EPM7128E	J-Lead (84-Pin) PQFP (100-Pin) PQFP (160-Pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160	EPM5192	J-Lead PGA	PLMJ5192A PLMG5192A
EPM7128A EPM7128E	J-Lead (84-Pin) TQFP (100-Pin) FBGA (100-Pin) TQFP (144-Pin) FBGA (256-Pin)	PLMJ7000-84 PLMT7000-100NC (3) PLMF7000-100 PLMT7000-144NC (3) PLMF7000-256	EP1810	DIP J-Lead	PLED1810 PLEJ1810 (4)
			EP610	SOIC DIP J-Lead	PLES610 (4) PLED610 (4) PLEJ610 (4)
			EP910	J-Lead PGA	PLEJ910 (4) PLEG910 (4)

(1) FLEX 8000用コンフィギュレーション・デバイスです。

(2) FLEX 10K、FLEX 8000、FLEX 6000用コンフィギュレーション・デバイスです。

(3) これらのデバイスは、キャリアなしで出荷されます。

(4) PLEのコードで始まるプログラミング・アダプタを必要とするデバイスのプログラムにはPLAD3-12互換のアダプタも必要です。

MAX+PLUS II BASELINE 開発システムの無償ダウンロード

MAX+PLUS IIのエントリ・レベルの機能を持つMAX+PLUS II BASELINEシステムを使用して、アルテラが提供するパワフルな開発システムのテスト・ドライブを行うことができます。ユーザはこのエントリ・レベルの機能を持つBASELINEシステムを無制限にインストールすることができます。MAX+PLUS II BASELINEシステムを使用する場合は、まず登録を行い、アルテラのウェブ・サイトからライセンス・ファイルを手するする必要があります。

このソフトウェアはアルテラのウェブ・サイト、<http://www.altera.com> から無償でダウンロードできるようになっており、MAX+PLUS II CD-ROMからダイレクトにインストールすることもできます。

BASELINEシステムはシームレスな開発フローを提供しており、FLEX 10K、FLEX 6000、MAX 7000AおよびMAX 9000Aデバイスを含む幅広いアルテラのプログラマブル・ロジック・デバイス (PLD) に対するデザインの入力、コンパイル、タイミング解析、プログラムを行うことができます。

MAX+PLUS II BASELINEソフトウェアは、下記の機能をサポートしています。

- 回路図およびテキストによるデザイン入力
- 主要なEDAツールとのインタフェース
- フロアプラン・エディティング
- 階層設計マネージメント
- 論理合成と自動フィッティング
- 自動エラー・ロケーション検出
- OpenCore評価機能
- タイミング解析
- デバイス・プログラミング
- オンライン・ヘルプ

推奨システム構成

このセレクト・ガイドで示されているアルテラの各開発用ソフトウェア・ツールを使用するにあたって推奨される標準システム構成が表7に示されています。

表7 推奨システム構成

必要とされるメモリ容量

デバイス・ファミリ	最小使用可能メモリ (Mバイト)	最小実装メモリ (Mバイト)
FLEX 10K (1)	256	128
FLEX 6000	64	32
FLEX 8000	64	32
MAX 9000	64	32
MAX 7000	48	16

(1) EPF10K100A/B/E、EPF10K130V/E、EPF10K200E、EPF10K250Aの各デバイスをターゲットにしたデザインでは、さらにRAMを追加することによって(256Mバイトから512Mバイト)、コンパイル時間が大幅に短縮されます。

WindowsベースのPC

- ・ ペンティアム・ベースのPCまたは互換機
- ・ オペレーティング・システム・ソフトウェア
 - Microsoft Windows NT version 3.51以降
 - または
 - Microsoft Windows 95またはWindows 98
- ・ SVGAグラフィック・カードとMicrosoft Windows対応モニタ
- ・ CD-ROMドライブ
- ・ Microsoft Windows対応の2または3ボタン・マウス
- ・ プログラミング・カード用フル・レングス8ビットISAバス・スロット
- ・ パラレル・ポート
- ・ HTMLブラウザ (Netscape Navigatorなど)

Sun SPARCstation

- ・ Sun SPARCstation とカラーまたはモノクロ・モニタ
- ・ Sun Solaris version 2.5以降
- ・ ISO 9660互換CD-ROMドライブ
- ・ HTMLブラウザ (Netscape Navigatorなど)

HP 9000 シリーズ 700/800 ワークステーション

- ・ HP 9000 シリーズ 700/800ワークステーションとカラーまたはモノクロ・モニタ
- ・ HP-UX version 10.20以降
- ・ HP-CDE
- ・ ISO 9660互換CD-ROMドライブ
- ・ HTMLブラウザ (Netscape Navigatorなど)

IBM RISC System/6000 ワークステーション

- ・ IBM RISC System/6000 ワークステーションとカラーまたはモノクロ・モニタ
- ・ AIX version 4.1以降
- ・ ISO 9660互換CD-ROMドライブ
- ・ HTMLブラウザ (Netscape Navigatorなど)

ACCESSプログラムとパートナー

アルテラのACCESSSM (Altera's Commitment to Cooperative Engineering Solutions) プログラムのメンバは、アルテラのプログラマブル・ロジック・ファ



ミリをサポートしているデザイン入力ツール、論理合成ツール、検証ツール、デバイス・プログラマなどを開発したEDAベンダによって構成されています。アルテラは、このプログラムを通じて、現在の設計環境に共通に使用されている業界標準のEDAツールをサポートしています。アルテラは新たなACCESSメンバの評価、追加を継続的に進めております。

シノプシス、ケイデンス、シンプリシティ、エグゼンプラ、ビューロジック、メンター・グラフィックスのツールとのインタフェースは、すべてMAX+PLUS IIのCD-ROMで提供されています。また、NativeLinkによる統合化機能によって、QuartusソフトウェアとすべてのACCESSパートナーのツール間のシームレスなインタフェースが提供されます。主要なACCESSパートナー企業と製品については、表8をご覧ください。

他のACCESSパートナーのツールとのインタフェースについては、日本アルテラへお問い合わせください。

表8 アルテラのACCESSパートナーとサポート・ツール

CADENCE	EXEMPLAR LOGIC	SYNOPTIS	VIEWLOGIC	他のACCESSパートナー
<ul style="list-style-type: none"> Composer Concept Leapfrog RapidSIM Verilog-XL 	<ul style="list-style-type: none"> Galileo Extreme Leonardo Spectrum 	<ul style="list-style-type: none"> Design Compiler FPGA Compiler II FPGA Express PrimeTime VHDL System Simulator (VSS) 	<ul style="list-style-type: none"> Fusion/VCS Motive Motive for Powerview Vantage VHDL Analyzer ViewDraw ViewSim ViewSynthesis 	<ul style="list-style-type: none"> Accel Technologies ACEO Technology Acugen Software Aldec Flynn Systems IKOS Systems i-Logix ISDATA Logical Devices Mentor Graphics Model Technology OrCAD Simucad Sophia Systems and Technology Summit Design Veda Design Automation VeriBest Vista Technologies
	MENTOR GRAPHICS <ul style="list-style-type: none"> Design Architect Leonardo Spectrum ModelSim QuickPath QuickSim & QuickSim Pro Renoir 	SYNPLICITY <ul style="list-style-type: none"> HDL Analyst Synplify 		

アルテラ・コンサルタント・アライアンス・プログラム

ACAPSM (Altera Consultants Alliance Program) は、アルテラ・デバイスのデザインに熟知したエキスパートによってアルテラのPLDユーザに対するデザイン・サポートが提供され、ユーザが最終製品を市場に短期間に投入できるようにするために推進されているプログラムです。



ACAPに登録されたコンサルタントは、アルテラのデバイスとツールに関する高度なトレーニングを受けています。アルテラは、アルテラのデバイスやツールに対する知識や過去のデザイン実績をベースにACAPのコンサルタントを慎重に選任しています。幅広いコンサルタントのグループを組織化することによって、アルテラはユーザの設計時間の短縮に貢献できるエキスパート・グループを提供しています。



ALTERA 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿2-1-1
 新宿三井ビル私書箱261号
 TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 Altera Corporation

101 Innovation Drive, San Jose, CA 95134
 TEL : (408)544-7000
<http://www.altera.com>