

特長

- シングル・デバイス内にシステム機能が集積化できる業界初のエンベデッド・プログラマブル・ロジック・デバイス (PLD) ファミリ
 - 効率的なメモリや特殊な論理機能などのメガファンクションを実現するエンベデッド・アレイ
 - 汎用の論理機能を実現するロジック・アレイ
- 高集積
 - 10,000から250,000の標準ゲート (表1と表2を参照)
 - 最大40,960ビットまでのRAM; ロジック部の集積度を犠牲にすることなく使用できるエンベデッド・アレイ・ブロック (EAB) あたり2,048ビットのRAM
- システム・レベルの機能を提供
 - MultiVolt™ I/Oインタフェースをサポート
 - 5.0-Vデバイスに対応した入力ピンのFLEX® 10KAデバイス、3.3-Vと5.0-Vデバイスに対応した入力ピンのFLEX 10KBデバイス
 - 低消費電力 (ほとんどのデバイスでスタンバイ・モードの標準規格が0.5mA以下)
 - FLEX 10KとFLEX 10KAデバイスはPCI-SIG (Peripheral Component Interconnect Special Interest Group) のPCI Local Bus 仕様 Revision 2.1をサポート
 - IEEE Std. 1149.1-1990の標準規格に準拠したJTAGバウンダリ・スキャン・テスト (BST) 回路を内蔵、デバイス内部のロジックを使用することなくJTAG BSTを実現

表1 FLEX 10Kデバイス・ファミリ

機能	EPF10K10 EPF10K10A	EPF10K20	EPF10K30 EPF10K30A EPF10K30B	EPF10K40	EPF10K50 EPF10K50V EPF10K50B
標準ゲート数 (ロジックとRAM) 注(1)	10,000	20,000	30,000	40,000	50,000
ユーザブル・ゲート数	7,000 to 31,000	15,000 to 63,000	22,000 to 69,000	29,000 to 93,000	36,000 to 116,000
ロジック・エレメント (LE) 数	576	1,152	1,728	2,304	2,880
ロジック・アレイ・ブロック (LAB) 数	72	144	216	288	360
エンベデッド・アレイ・ブロック (EAB) 数	3	6	6	8	10
トータルRAM ビット数	6,144	12,288	12,288	16,384	20,480
最大ユーザ I/O ピン数	134	189	246	189	310

表2 FLEX 10Kデバイス・ファミリ

機能	EPF10K70	EPF10K100 EPF10K100A EPF10K100B	EPF10K130V EPF10K130B	EPF10K180B	EPF10K250A EPF10K250B
標準ゲート数 (ロジックとRAM) 注(1)	70,000	100,000	130,000	180,000	250,000
ユーザブル・ゲート数	46,000 to 118,000	62,000 to 158,000	82,000 to 211,000	119,000 to 248,000	149,000 to 310,000
ロジック・エレメント (LE) 数	3,744	4,992	6,656	9,728	12,160
ロジック・アレイ・ブロック (LAB) 数	468	624	832	1,216	1,520
エンベデッド・アレイ・ブロック (EAB) 数	9	12	16	16	20
トータルRAMビット数	18,432	24,576	32,768	32,768	40,960
最大ユーザI/Oピン数	358	406	470	470	470

表中の注:

(1) JTAG/バウンダリ・スキャン・テストを必要とするデザインには、内蔵のJTAG回路により最大31,250ゲートまでの集積度が追加されていることとなります。

さらに多くの 特長...

- 最先端の製造プロセスの採用により、2.5-V、3.3-Vまたは5.0-Vの電源電圧で動作 (表3を参照)
- 外部のコンフィギュレーションEPROM、インテリジェント・コントローラ、またはJTAG (Joint Test Action Group) ポートを通じたイン・サーキット・リコンフィギュラビリティ (ICR) をサポート
- ClockLockとClockBoosのオプション機能により、クロックの遅延とスキューの減少、およびクロック周波数の過倍を実現
- 低クロック・スキューを実現するクロック分配ツリーを内蔵
- すべてのデバイスに100%実施されるファンクション・テストにより、テスト・ベクタやスキャン・チェーンの作成が不要

表3 電源電圧

分類	FLEX 10Kデバイス	FLEX 10KAデバイス	FLEX 10KBデバイス
	EPF10K10	EPF10K10A	EPF10K30B
	EPF10K20	EPF10K30A	EPF10K50B
	EPF10K30	EPF10K50V	EPF10K100B
	EPF10K40	EPF10K100A	EPF10K130B
	EPF10K50	EPF10K130V	EPF10K180B
	EPF10K70	EPF10K250A	EPF10K250B
	EPF10K100		
電源電圧	5.0V	3.3V	2.5V

- 柔軟性の高いインタコネク
- 高速で予測可能な配線遅延を提供する連続した配線構造の FastTrackインタコネク
- アダー、カウンタ、コンパレータのような演算機能を高速で実現する専用キャリア・チェーン（ソフトウェア・ツールやメガファンクションが自動的に使用）
- 高ファン・インの論理を高速で実現する専用カスケード・チェーン（ソフトウェア・ツールやメガファンクションが自動的に使用）
- 内部でトライ・ステートのネットが実現できるトライ・ステート・エミュレーション機能
- 最大6本までのグローバル・クロック信号と4本のグローバル・クリア信号
- パワフルなI/Oピン
- 各ピンごとに個別に設定可能なトライ・ステート・コントロール
- 各I/Oピンにオープン・ドレイン出力のオプションを提供
- スイッチング・ノイズを低減することができるプログラマブルな出力のスルー・レート・コントロール
- 高速のセットアップ・タイムと「Clock-to-Output」ディレイを提供するペリフェラル・レジスタ
- 柔軟性に富んだパッケージ・オプションを提供
- 84ピンから600ピンまでの豊富なパッケージ・オプション（表4を参照）
- 同一パッケージのFLEX10Kデバイス間でピン互換性を提供
- 486およびペンティアム・ベースのPC、Sun SPARCstation HP 9000シリーズ700/800、IBM RISC System/6000の各ワークステーション上で動作するアルテラのMAX+PLUS® II 開発システムによるソフトウェア・デザイン・サポートと自動配置配線
- EDIF 2.0.0および3.0.0のネットリスト・ファイル、LPM (Library of Parameterized Module)、Verilog HDL、VHDLなどのインタフェースにより、デザインの入力とシミュレーションにはケイデンス、エグゼンブラ・ロジック、メンター・グラフィックス、OrCAD、シノプシス、シンプリシティ、ベリベスト、ビューロジックなどの各ベンダから供給される業界標準のEDAツールが使用可能

表4 FLEX 10Kのパッケージ・オプションとI/Oピン数 注(1)、(2)

デバイス名	84-Pin PLCC	144-Pin TQFP	208-Pin PQFP RQFP	240-Pin PQFP RQFP	256-Pin BGA	356-Pin BGA	403-Pin PGA	503-Pin PGA	599-Pin PGA	600-Pin BGA
EPF10K10	59	102	134							
EPF10K10A		102	134							
EPF10K20		102	147	189						
EPF10K30			147	189		246				
EPF10K30A		102	147	189	189					
EPF10K30B		102	147	189	189					
EPF10K40			147	189						
EPF10K50				189		274	310			
EPF10K50V				189		274				
EPF10K50B			147	189	189	274				
EPF10K70				189				358		
EPF10K100								406		
EPF10K100A				189		274				406
EPF10K100B			147	189		274				406
EPF10K130V									470	470
EPF10K130B				189		274			470	470
EPF10K180B				189		274				470
EPF10K250A									470	470
EPF10K250B						274			470	470

注：

- (1) 各パッケージの供給状況については、日本アルテラまたは販売代理店へお問い合わせ下さい。
- (2) FLEX 10Kデバイスには、プラスチックJ-リード・チップ・キャリア (PLCC)、薄型クワッド・フラット・バック (TQFP)、プラスチック・クワッド・フラット・バック (PQFP)、パワー・クワッド・フラット・バック (RQFP)、ボール・グリッド・アレイ (BGA) およびピン・グリッド・アレイ (PGA) の各パッケージが提供されています。

概要

アルテラのFLEX 10Kデバイスは業界初のエンベデッドPLDです。リコンフィギュラブルなCMOSのSRAMエレメントをベースにしたFlexible Logic Element Matrix (FLEX) アーキテクチャは、一般的なゲートアレイのメガファンクションの実現に必要な機能をすべて持っています。最大250,000ゲートの集積度を持つFLEX 10Kファミリは、複数の32ビット・バスを含むシステム全体の機能を1個のデバイスで実現するために必要な集積度、スピードそして回路機能を提供しています。

FLEX 10Kデバイスはコンフィギュラブルとなっており、出荷前に100%テストされています。このため、設計者が故障検出用のテスト・ベクタを作成する必要がなく、デザインのシミュレーションと検証に注力できるようになります。また、FLEX 10Kデバイスでは要求される個々の機能をボード上でコンフィギュレーションできるため、ゲートアレイの場合のようにデザインの異なるデバイスごとに在庫を管理する必要がありません。

表5は代表的なアプリケーションを実現したときのFLEX 10Kの性能を示したものです。すべての性能値はシノプシスのDesignWareまたはLPMファンクションを使用して得られたものです。各アプリケーションの実現には特別なデザイン・テクニックを必要とせず、使用するファンクションをVerilog HDL、VHDL、アルテラ・ハードウェア記述言語 (AHDL)、または回路図デザイン・ファイル内でインスタンス化するか、記述するだけです。

アプリケーション	使用リソース		性能				単位
	LE数	EAB数	-1 スピード・グレード 注(1)	-2 スピード・グレード	-3 スピード・グレード	-4 スピード・グレード	
16ビット ローダブル・カウンタ 注(2)	16	0		166	125	95	MHz
16ビット アキュムレータ注(2)	16	0		166	125	95	MHz
16対1 マルチプレクサ注(3)	10	0		5.8	6.0	7.0	ns
256 × 8 RAMのリード・サイクル・スピード 注(4)	0	1		118	103	84	MHz
256 × 8 RAMのライト・サイクル・スピード 注(4)	0	1		86	77	63	MHz

注:

- (1) - 1のスピード・グレードに関する情報は日本アルテラの応用技術部へお問い合わせ下さい。
- (2) このアプリケーションでは、各スピード・グレードがクロック信号のHighおよびLowの規格による制限を受けます。
- (3) このアプリケーションは入力と出力に組み合わせ回路を使用しています。
- (4) このアプリケーションは入力と出力にレジスタ付き回路を使用しています。

FLEX 10Kのアーキテクチャは、ゲートアレイ市場で急速に普及しているエンベデッド・ゲートアレイに近い構造となっています。エンベデッド・ゲートアレイでは、汎用ロジックが標準的なゲートアレイと同じように一般的な“シー・オブ・ゲート”アーキテクチャの中で実現されます。また、エンベデッド・ゲートアレイは、大規模で特殊な論理機能を実現するためにダイの一部に専用のエリアを持っています。エンベデッド・ゲートアレイでは、こうした論理機能がシリコン上にエンベデッドに実現されるため、一般的なゲートアレイに比較してそのダイ・サイズが縮小され、スピードが改善されます。ただし、エンベデッドに実現されたメガファンクションをカスタマイズすることは一般的に不可能であり、デザインの自由度には一定の制限が生じてしまいます。これに対してFLEX 10Kデバイスはプログラマブルとなっているため、設計者はデバッグの段階でインタラクティブに設計変更を行いながら、エンベデッドなメガファンクションと汎用のロジックの双方をカスタマイズすることができます。

FLEX 10Kの各デバイスにはエンベデッド・アレイとロジック・アレイとが内蔵されています。エンベデッド・アレイは多様なメモリ機能、デジタル信号処理（DSP）、マイクロコントローラ、多ビット幅のデータ・バス操作、データ変換などのような複雑な論理機能を実現するときに使用されます。これに対して、ロジック・アレイはゲートアレイの“シー・オブ・ゲート”と同じ機能を持っており、カウンタ、アダー、ステート・マシン、マルチプレクサなどのような汎用のロジックを実現するときに使用されます。このエンベデッド・アレイとロジック・アレイを組み合わせることによって、FLEX 10Kデバイスにはエンベデッド・ゲートアレイと同じ高い性能と集積度が提供され、設計者はシステム全体を1個のデバイスで実現することができます。

FLEX 10Kデバイスはシステム電源の投入時にアルテラのシリアル・コンフィギュレーションEPROMデバイスにストアされたデータ、またはシステム・コントローラから供給されるデータによってコンフィギュレーションされます。アルテラはFLEX 10Kデバイスをシリアルなデータ・ストリームでコンフィギュレーションするためのコンフィギュレーションEPROM、EPC1およびEPC1441を供給しています。コンフィギュレーション・データはシステム内のRAM、アルテラのBitBlaster™シリアル・ダウンロード・ケーブルまたはByteBlaster™パラレル・ポート・ダウンロード・ケーブルからもダウンロードすることができます。FLEX 10Kデバイスをコンフィギュレーションした後、デバイスをリセットして新しいデータをロードすることによって、イン・サーキットでリコンフィギュレーションすることができます。リコンフィギュレーションに要する時間は320ms以内であるため、システムの動作中にリアルタイムの変更を行うことができます。

FLEX 10KデバイスにはマイクロプロセッサからFLEX 10Kデバイスをコンフィギュレーションするための最適化されたインタフェースが提供されており、マイクロプロセッサからシリアルまたはパラレル、同期または非同期でコンフィギュレーションすることが可能です。また、このインタフェースにより、マイクロプロセッサはFLEX 10Kデバイスをメモリとして扱うことができ、バーチャルなメモリ・アドレスにデータを書き込むことによってFLEX 10Kデバイスをコンフィギュレーションすることができます。そのため、デバイスのリコンフィギュレーションが容易に行えます。

詳細については1998年版データブックに掲載されている「*Configuration EPROMs for FLEX Devices*」、「*BitBlaster Serial Download Cable*」、「*ByteBlaster Parallel Port Download Cable*」の各データシート、およびアプリケーション・ノート AN 59「*Configuring FLEX 10K Devices*」（日本語版「FLEX 10Kデバイスのコンフィギュレーション」）を参照して下さい。

FLEX 10KデバイスのデザインはアルテラのMAX+PLUS II開発システムによってサポートされています。MAX+PLUS IIは回路図、アルテラ・ハードウェア記述言語（AHDL）を含むテキスト、波形の各デザイン入力、コンパイルーション、論理合成、完全なシミュレーション、ワースト・ケースのタイミング解析、そしてデバイス・コンフィギュレーションまでの機能を1パッケージに統合した開発ツールです。MAX+PLUS IIはPCおよびUNIX上で動作する業界標準のEDAツールを使用したデザイン入力とシミュレーションをサポートするため、EDIF2 0 0および3 0 0、LPM、VHDL、Verilog HDLなどのインタフェースも提供しています。

MAX+PLUS IIのソフトウェアは論理合成やシミュレーションに使用されるゲートアレイ・ツールと簡単にインタフェースすることができます。例えば、MAX+PLUS IIのソフトウェアはケイデンスのVerilog-XLなどのツールでシミュレーションを行うためのVerilog HDLファイルを生成することができます。また、MAX+PLUS IIには、高速のカウンタや演算機能を実現するときに使用されるキャリアー・チェインのような各デバイス固有の機能を使用したEDAライブラリも含まれています。例えば、MAX+PLUS IIと共に供給されるシノプシスのDesign Compileのライブラリには、FLEX 10Kのアーキテクチャに最適化されたDesignWareファンクションが含まれています。

MAX+PLUS IIのソフトウェアは486またはペンティアム・ベースのPC、およびSun SPARCstation HP 9000シリーズ700/800、IBM RISC System/6000の各ワークステーション上で動作します。

MAX+PLUS IIの詳細については、アルテラの1998年版データブックに記載されている「*MAX+PLUS II Programmable Logic Development System & Software*」のデータシートを参照して下さい。

機能の説明

FLEX 10Kの各デバイスはメモリや特別な論理機能を実現するためのエンベデッド・アレイと、汎用のロジックを実現するためのロジック・アレイによって構成されています。

エンベデッド・アレイは複数のEABによって構成されています。エンベデッド・アレイにメモリの機能を実現する場合は各EABに2,048ビット分のメモリ・エレメントが提供され、これを使用してRAM、ROM、デュアル・ポートRAMまたはFIFO（First-In-First-Out）を構成することができます。また、ロジックを実現する場合は、各EABから100から600ゲートに相当するロジックのリソースが提供され、マルチプライヤ、マイクロコントローラ、ステート・マシン、DSP機能などの複雑なロジックを構成するときに使用できます。各EABは個別に独立して使用することができ、また大規模な論理機能を実現する場合には複数のEABを結合させて使用することもできます。

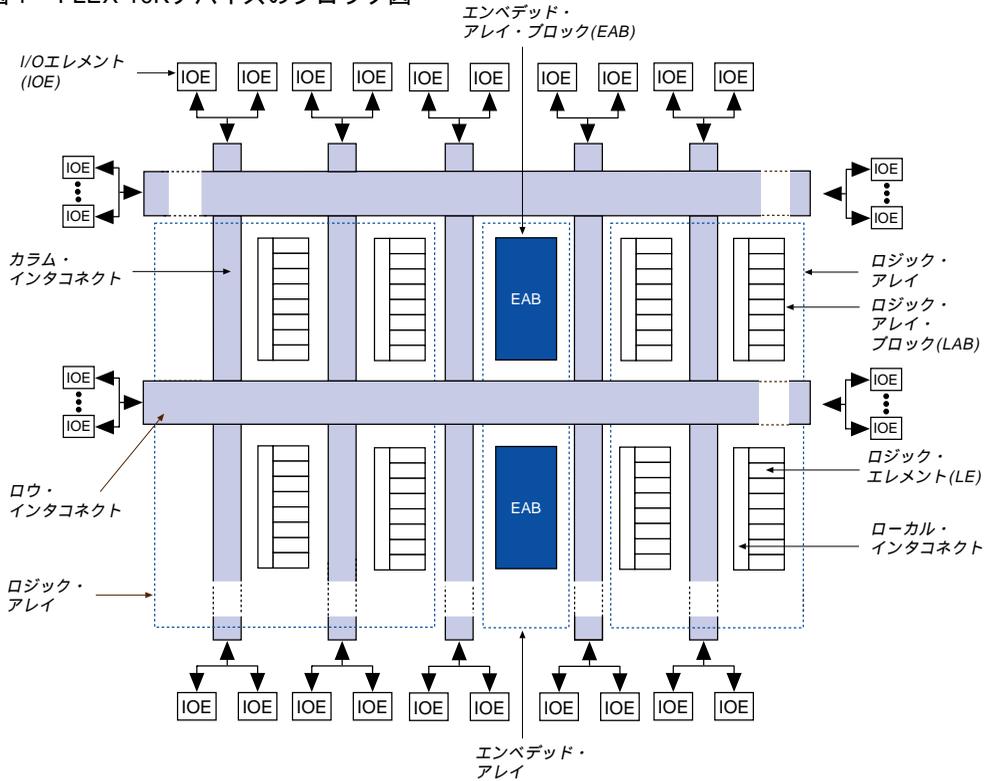
ロジック・アレイは複数のロジック・アレイ・ブロック (LAB) によって構成されています。そして、各LABは8個のLEとローカル・インタコネクタによって構成されています。1個のLEには4入力のルック・アップ・テーブル (LUT)、プログラマブルなフリップフロップが各1個含まれており、またキャリーとカスケードの機能を実現するための専用バスも含まれています。8ビットのカウンタ、アドレス・デコーダ、ステート・マシンなどの中規模の論理ブロックは8個のLEで構成することができ、複数のLABを使用してさらに大規模な論理ブロックを構成することもできます。1個のLABは約96ユーザブル・ゲートに相当する集積度を持っています。

FLEX 10Kデバイスの内部、およびデバイス・ピンとデバイス内部との信号の接続は、デバイス全体を縦方向および横方向に走っている高速で連続したロウ・チャンネルとカラム・チャンネルの配線バス、FastTrackインタコネクタによって行われます。

各I/Oピンは、ロウおよびカラムのFastTrackインタコネクタの先端に配置されているI/Oエレメント (IOE) と接続されます。各IOEは双方向のI/Oバッファと入力レジスタまたは出力レジスタとして使用できるフリップフロップを持っており、デバイスの入出力信号および双方向の信号に使用することができます。専用のクロック・ピンを使用することにより、IOEのレジスタには高い性能が提供されます。このレジスタが出力レジスタとして使用された場合には6.7nsまでの「Clock-to-Output」遅延が、また入力レジスタとして使用された場合には4.2nsまでのセットアップ・タイムと0nsのホールド・タイムが提供されます。また、IOEにはJTAGプログラミングのサポート、スルー・レート・コントロール、トライ・ステート・バッファ、オープン・ドレイン出力などの多様な機能が提供されています。

図1はFLEX 10Kアーキテクチャのブロック図を示したものです。ここで、複数のLEのグループが1個のLABを構成しており、各LABはロウおよびカラム方向の各位置に配置されています。そして各ロウの位置には1個のEABが配置されています。LABおよびEAB間はFastTrackインタコネクタによって相互に接続されます。また、ロウとカラムのFastTrackインタコネクタの先端にはIOEが配置されています。

図 1 FLEX 10Kデバイスのブロック図



FLEX 10Kデバイスにはフリップフロップのコントロール入力信号をドライブする6本の入力専用ピンが提供されており、高速でスキューの小さい(1.5ns以下)コントロール信号を効率的にデバイス全体に供給することができます。これらのコントロール信号の接続にはFast Trackよりも遅延が短くスキューの小さな専用の高速配線チャンネルが使用されます。入力専用ピンのうちの4本はグローバル信号をドライブします。また、これら4本のグローバル信号は内部のロジックからもドライブすることができるようになっており、クロック・デバイダやデバイス内の多数のレジスタを非同期にクリアする信号の内部生成に理想的なソリューションが提供されています。

エンベデッド・アレイ・ブロック

EABは入力と出力のポートにレジスタを持った柔軟性の高いRAMとなっており、一般的なゲートアレイのメガファンクションを構成する場合にも使用されます。EABの持つサイズと高い柔軟性はマルチプライヤ、ベクタ・スケーラ、エラー・コレクション回路などのようなメモリ以外の回路機能の構成にも最適となっています。これらの回路機能はデジタル・フィルタやマイクロコントローラなどのアプリケーションに使用できます。

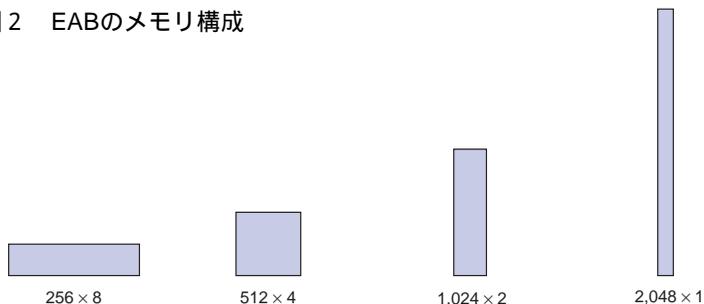
これらの論理機能はコンフィギュレーションの期間にリード・オンリーのパターンをEABにプログラミングして1個の大きなLUTを形成することによって実現されます。このLUTを使用することにより、組み合わせ回路の機能は論理演算によってではなくこのLUTの出力によって実現されます。この組み合わせ回路を実現する方法は通常のロジックの実現に使用されるアルゴリズムよりも高速となり、この高い性能はEABの高速アクセス・タイムによってさらに強化されています。また、EABの高い集積度により、FPGA (Field Programmable Gate Array) のRAMブロックや複数のLEをリンクさせた場合のような配線遅延を発生させることなく、複雑な機能を1段のロジック・レベルで実現することができます。例えば、8ビット入力 / 8ビット出力の4 × 4ビットのマルチプライヤは1個のEABで実現できます。LPMファンクションのようなパラメータ化されたファンクションは、EABの提供する利点を自動的に活用することができます。

EABは、デバイス全体に分散した小規模なRAMの阵列によってオン・ボードRAMを実現するFPGAよりもすぐれた特長を持っています。これらのFPGAのRAMブロックは遅延を含んでおり、メモリ・サイズの増大と共に遅延時間の予測が難しくなります。さらに、FPGAのRAMブロックでは大きなサイズのメモリを構成する場合に複数の小規模なRAMブロック間を接続する必要があるため、配線の問題が生じがちです。これに対してFLEX 10Kでは、大規模な専用のRAMブロックの構成にEABが使用できるため、配線やタイミングに関連した問題が解消されます。

EABは同期型のRAMの構成にも使用することができ、非同期型のRAMよりも簡単に実現できます。非同期型のRAMはライト・イネーブル (WE) 信号を生成する必要があり、アドレスとデータの信号はこのWEに対して規定されたセットアップ・タイムとホールド・タイムを守る必要があります。これに対してEABを使用した同期型RAMでは自分自身のWE信号が生成され、対応するグローバル・クロックに対してタイミングが取られます。セルフ・タイミング機能を持つEABのRAMでは、コントロールが必要となるタイミングは、グローバル・クロックに対して規定されるセットアップ・タイムとホールド・タイムのみとなります。

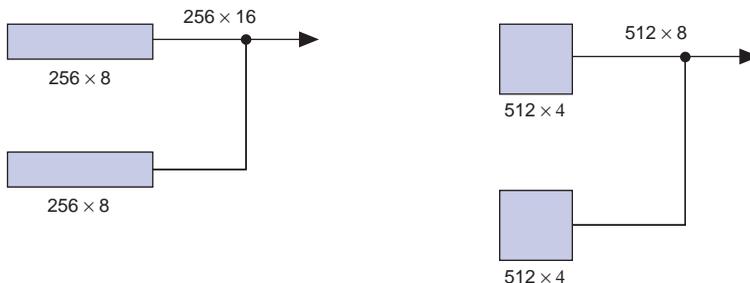
EABがRAMとして使用された場合、そのメモリ構成を256 × 8、512 × 4、1,024 × 2、または2,048 × 1のいずれかに設定することができます。(図2を参照)

図2 EABのメモリ構成



複数のEABを接続することによって、さらに大規模なメモリを構成することができます。例えば、2個の 256×8 のRAMを接続して 256×16 の構成にしたり、2個の 512×4 のRAMを接続して1個の 512×8 の構成にすることもできます。(図3を参照)

図3 複数のEABを接続した例

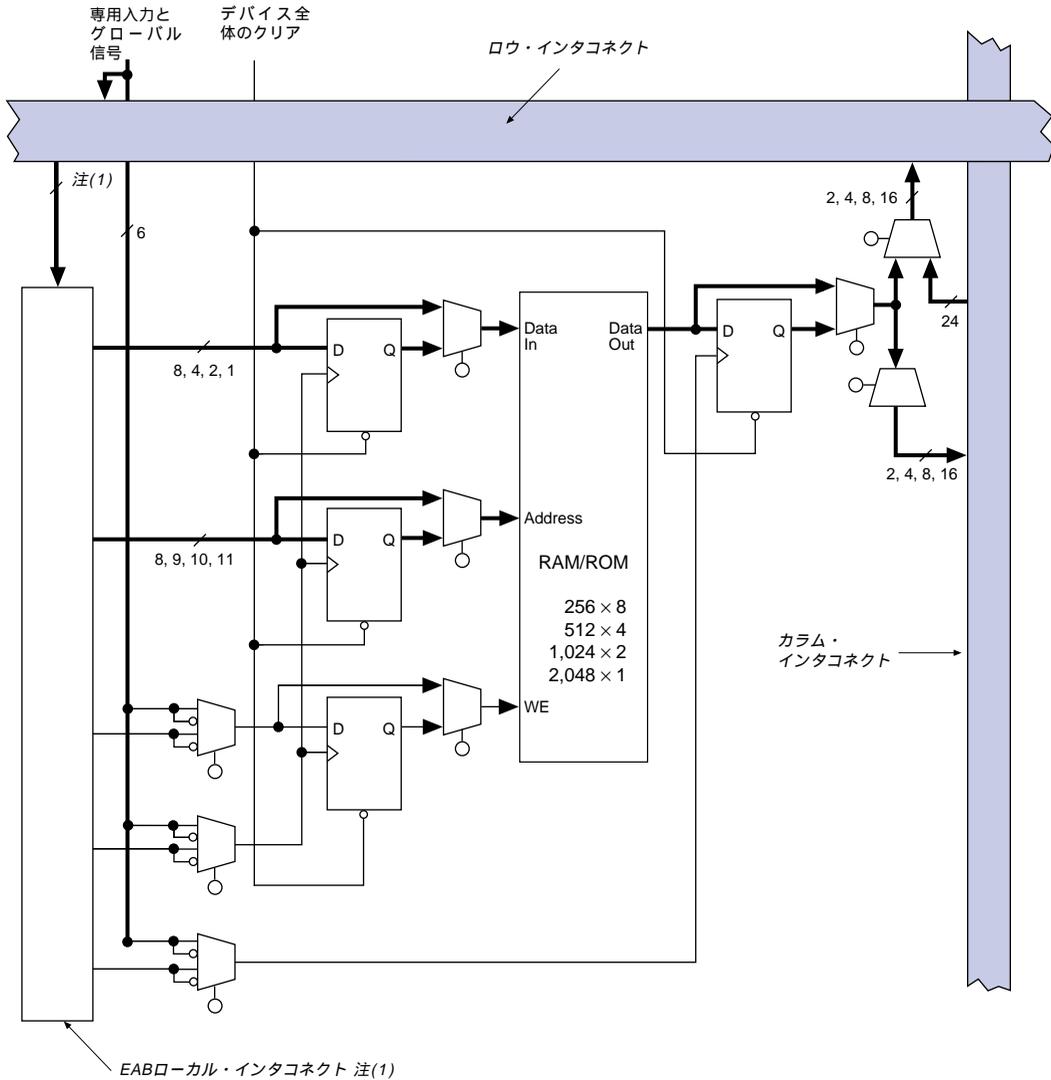


必要に応じて、デバイス内のすべてのEABをカスケード接続して1個のRAMを構成することも可能です。EABはタイミングに影響を与えることなく、最大2,048ワードまでのRAMを構成するようにカスケード接続することができます。アルテラのMAX+PLUS IIソフトウェアは指定されたRAMを実現するために必要な複数のEABを自動的に接続します。

EABはクロックのドライブとコントロールのために柔軟性の高いオプションを提供しています。EABの入力と出力には異なるクロックを使用することができます。データの入力、EABの出力、アドレスとWEの信号には個別にレジスタを挿入することができます。グローバル信号とEABのローカル・インタコネクトはWE信号をドライブすることができます。また、EABのクロック信号は、専用のクロック・ピン、グローバル信号、またはEABのローカル・インタコネクトからドライブすることができます。LEはEABのローカル・インタコネクトをドライブしているため、LEでWE信号またはEABのクロック信号をコントロールすることができます。

各EABの入力はロウ・インタコネクトと接続されており、出力はロウ・インタコネクトとカラム・インタコネクトをドライブすることができます。各EABの出力は最大2本までのロウ・チャンネルとカラム・チャンネルをドライブことができ、使用されていないロウ・チャンネルを他のLEからドライブすることができます。この機能はEABの出力に対する配線のリソースを増加させます。この詳細については図4を参照して下さい。

図4 FLEX 10Kのエンベデッド・アレイ・ブロック



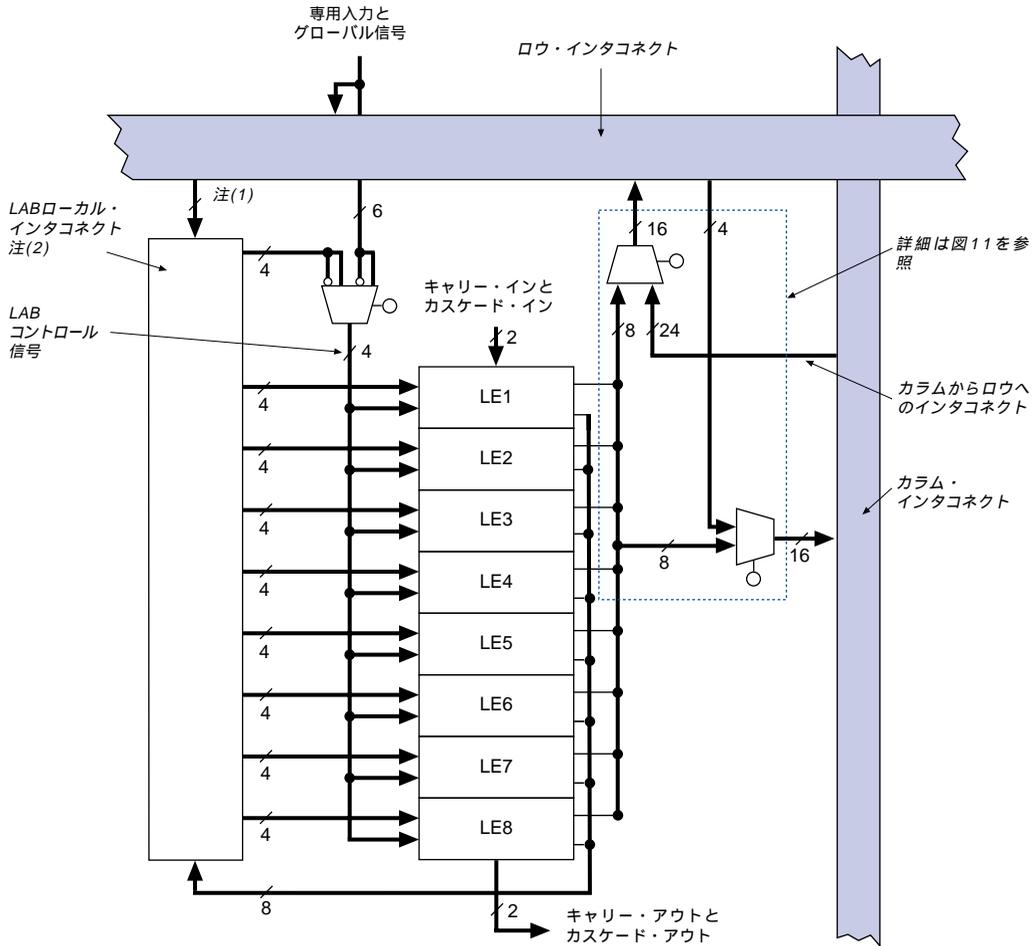
注：

- (1) EPF10K1Q, EPF10K10A, EPF10K2Q, EPF10K3Q, EPF10K30A, EPF10K30B, EPF10K4Q, EPF10K5Q, EPF10K50V, EPF10K50Bの各デバイスのEABローカル・インタコネクトは22チャンネルあり、EPF10K7Q, EPF10K10Q, EPF10K100A, EPF10K100B, EPF10K130V, EPF10K130B, EPF10K180B, EPF10K250A, EPF10K250Bの各デバイスには26チャンネルありません。

ロジック・アレイ・ブロック

LABは8個のLE、関連したキャリー・チェーンとカスケード・チェーン、LABのコントロール信号、そしてLABローカル・インタコネクトによって構成されています。LABはFLEX 10Kアーキテクチャに対してコース・グレインの構造を提供しており、デバイス使用効率の最適化と高い性能を提供しています。図5はLABの構成を示したものです。

図5 FLEX 10KのLAB



注:

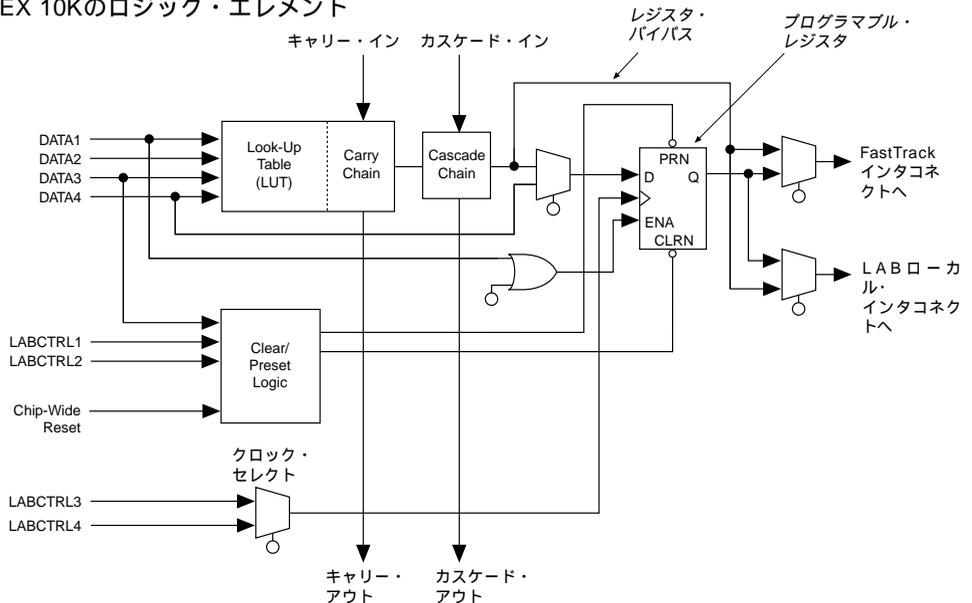
- (1) EPF10K1Q, EPF10K10A, EPF10K2Q, EPF10K3Q, EPF10K30A, EPF10K30B, EPF10K4Q, EPF10K5Q, EPF10K50V, EPF10K50Bの各デバイスはロウ・インタコネクトからLABローカル・インタコネクト・チャンネルへの入力を22本持っており、EPF10K7Q, EPF10K10Q, EPF10K100A, EPF10K100B, EPF10K130V, EPF10K130B, EPF10K180B, EPF10K250A, EPF10K250Bの各デバイスは26本の入力を持っています。
- (2) EPF10K1Q, EPF10K10A, EPF10K2Q, EPF10K3Q, EPF10K30A, EPF10K30B, EPF10K4Q, EPF10K5Q, EPF10K50V, EPF10K50Bの各デバイスはLABローカル・インタコネクトを30チャンネル持っており、EPF10K7Q, EPF10K10Q, EPF10K100A, EPF10K100B, EPF10K130V, EPF10K130B, EPF10K180B, EPF10K250A, EPF10K250Bの各デバイスは34チャンネル持っています。

各LABには極性反転が可能な4本のコントロール信号が提供されており、これらは8個すべてのLEで使用することができます。このうちの2本の信号はクロックとして使用することができます。残りの2本はクリア/プリセットのコントロール信号として使用することができます。LABのクロックは、専用のクロック入力ピン、グローバル信号、I/O信号、またはLABのローカル・インタコネクトを経由した内部信号によってドライブすることができます。また、LABのプリセットとクリアのコントロール信号は、グローバル信号、I/O信号、またはLABローカル・インタコネクトを経由した内部信号によってドライブすることができます。グローバル・コントロール信号はデバイス全体で非常にスキューの小さい非同期のコントロール信号となるため、通常はグローバル・クロック、クリアまたはプリセットの信号として使用されます。コントロール信号のためのロジックが必要となる場合は、任意のLAB内の1個または複数のLEを使用して生成し、ターゲットとなるLABのローカル・インタコネクトをドライブすることができます。また、LEの出力からグローバルなコントロール信号を生成することもできます。

ロジック・エレメント

ロジック・エレメント (LE) はFLEX 10Kアーキテクチャが持つロジックの最小単位となっており、高いデバイス使用効率を実現するコンパクトなサイズとなっています。各LEには4変数によるあらゆる論理演算が高速で実行できる4入力のLUTが含まれています。さらに、各LEには同期イネーブル機能を持ったプログラマブルなフリップフロップ、キャリア・チェイン、カスケード・チェインが含まれています。各LEは、ローカル・インタコネクトおよびFastTrackインタコネクトの双方をドライブするようになっています。図6を参照して下さい。

図6 FLEX 10Kのロジック・エレメント



LE 内のプログラマブル・フリップフロップは、D、T、JKまたはSRタイプ
の動作を行うようにコンフィギュレーションすることができます。フリップ
フロップのクロック、クリア、プリセットの各信号は、グローバル信
号、汎用のI/Oピン、または任意の内部ロジックからドライブすることがで
きます。組み合わせ回路を構成する場合はフリップフロップがバイパスさ
れ、LUTの出力がLEの出力を直接ドライブします。

LEはインタコネクタをドライブする2本の出力を持っています。このうち
の1本はローカル・インタコネクタをドライブし、もう1本は口または
カラムのFastTrackインタコネクタをドライブします。この2本のLEの出力
はそれぞれ個別にコントロールすることができます。例えば、LUTが一
方の出力をドライブしているときに、レジスタがもう一方の出力をドライブ
するように設定することができます。この機能はレジスタ・バッキング
と呼ばれ、LUTとレジスタをそれぞれ独立した機能に使用できるため、LE
の使用効率を改善することができます。

FLEX 10Kのアーキテクチャでは、ローカル・インタコネクタを使用する
ことなく隣接したLE間を接続する高速の専用データ・パスとして、キャ
リー・チェーンとカスケード・チェーンが提供されています。キャリー・
チェーンは高速のカウンタとアダーを構成するときに使用され、カスケ
ード・チェーンは多入力論理機能を最小の遅延時間で実現するときに使用
されます。カスケード・チェーンとキャリー・チェーンはLAB内のすべての
LE、およびデバイス内の同じ口ウの位置に配置されているすべてのLAB
間を接続することができます。ただし、このキャリーとカスケードのチェ
インが多数使用された場合には、配線の柔軟性が低下することがあります
。したがって、これらのチェーンはデザイン内でスピードがクリティカル
となる部分に限定して使用する必要があります。

キャリー・チェーン

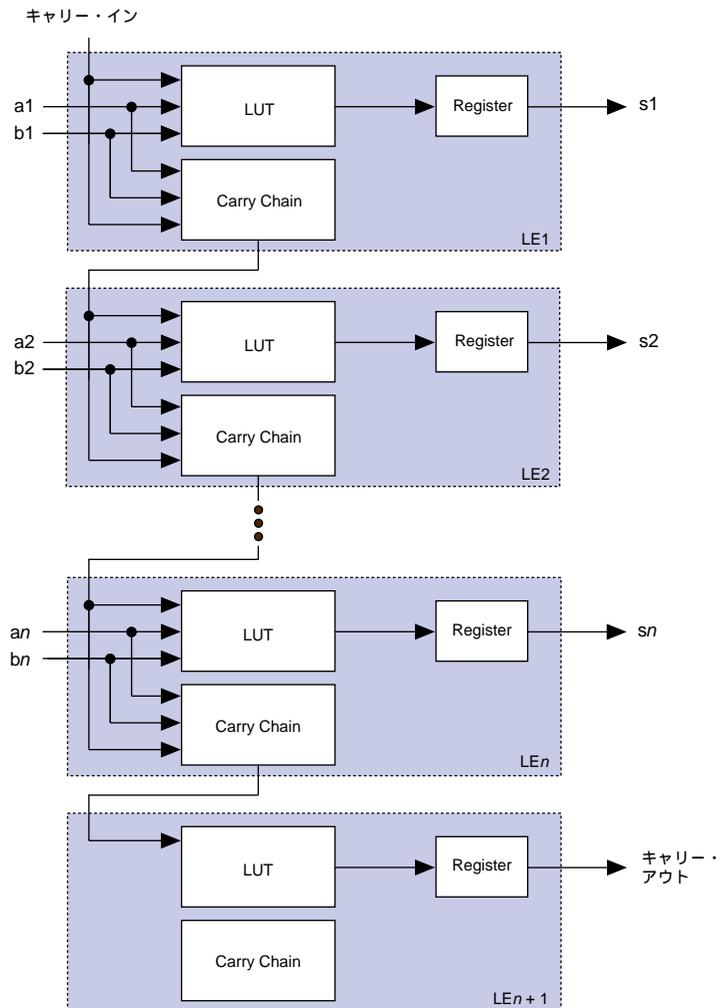
キャリー・チェーンはキャリーをLE間で非常に高速（最高速バージョンで
0.2ns以下）で転送します。下位ビットからのキャリー・イン信号はキャ
リー・チェーンを通過して上位ビットに転送され、上位ビットのキャリー・
チェーンとLUTの双方に入力されます。この機能を使用することによっ
て、FLEX 10Kアーキテクチャはカウンタやアダー、指定したビット幅の
コンパレータを高速で実現することができます。キャリー・チェーンのロ
ジックはデザインを処理する段階でMAX+PLUS IIのコンパイラによって
自動的に生成され、またデザインの入力時にマニュアルで指定することも
できます。LPMやDesignWareのようなパラメータ化されたファンクショ
ンはキャリー・チェーンの利点を自動的に活用します。

複数のLABをリンクさせることによって、8個以上のLEで接続される長い
キャリー・チェーンが自動的に生成されます。フィッティング機能を強化
するため、長いキャリー・チェーンは同じ口ウのLABを1個おきにスキ
ップするようになっています。このため、複数のLABを通る長いキャリー・
チェーンは、偶数番号のLABから偶数番号へのLABへ、あるいは奇数番
号のLABから奇数番号のLABへとスキップして接続されます。例えば、最初
のLABの最後のLEは同じ口ウにある3番目のLABの最初のLEにキャリー

を転送するようになっています。また、キャリア・チェーンは各口ウの中央に位置しているEABを越えて接続することはできません。例えば、EPF10K50では、キャリア・チェーンが18番目のLABでストップし、新しいキャリア・チェーンが19番目のLABからスタートします。

図7は $n+1$ 個のLEとキャリア・チェーンを使った n ビットのフル・アダーがどのように実現されるかを示したものです。ここで、LUTの一部を使用して入力信号とキャリア・信号から2ビットのサム(和)を生成します。そして、このサムはLEの出力に接続されます。単純なアダーを構成する場合にはレジスタは通常バイパスされますが、レジスタを使用してアキュムレータ

図7 キャリー・チェーンの動作 (n ビットのフル・アダー)



の機能を構成することもできます。LUTの他の部分とキャリア・チェーンのロジックはキャリア・アウトの信号を生成し、この信号は次の上位ビットのキャリア・インに直接、接続されます。最後のキャリア・アウト信号はLEに接続され、この最後のLEで通常の信号と同じように使用できるようになります。

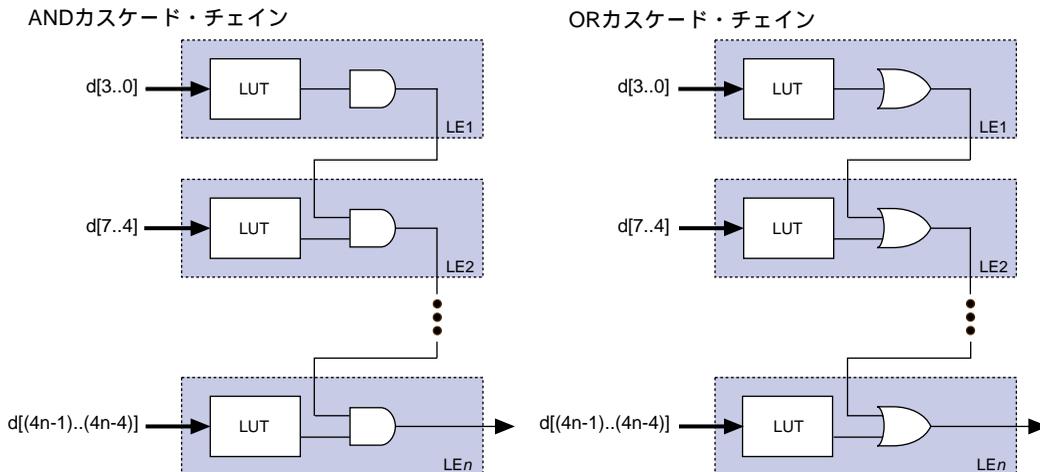
カスケード・チェーン

FLEX 10Kのアーキテクチャは、カスケード・チェーンを使用することによって非常に大きなファン・インを持った回路機能を実現できるようになっています。隣接している複数のLUTをパラレルに動作させ、その間の中間値をカスケード・チェーンを使ってシリアルに転送させることによって論理機能の1部を実現することができます。このカスケード・チェーンは隣接したLEの出力を接続して論理積 (Logical AND) またはドモルガンの反転定理による論理和 (Logical OR) を実現することができます。追加される各LEは要求される回路機能の入力ビット幅をLEあたり0.7nsの遅延時間で4ビットずつ効率的に拡張します。カスケード・チェーンのロジックはデザインの処理の段階でMAX+PLUS IIのコンパイラによって自動的に生成され、またデザインの入力時にマニュアルで指定することもできます。

複数のLABをリンクさせることによって、8ビット以上の長さのカスケード・チェーンが自動的に生成されます。配線を容易にするため、長いカスケード・チェーンは同じ口ウに配置された隣のLABをスキップして接続されます。複数のLABを通る長いカスケード・チェーンは、偶数番号のLABから偶数番号へのLABへ、あるいは奇数番号のLABから奇数番号のLABへとスキップして接続されます。(最初のLAB内の最後のLEは同じ口ウにある3番目のLAB内の最初のLEにカスケード接続される。) カスケード・チェーンは各口ウの中央部分を越えて接続することはできません。(EPF10K50では、カスケード・チェーンが18番目のLABでストップし、新しいカスケード・チェーンが19番目のLABからスタートします。これは各口ウの中央部にEABが配置されているためです。

図8は大きなファン・インを持つ回路機能を実現するときカスケード・チェーンが隣接したLE間でどのように接続されるかを示したものです。この例は n 個のLEで $4n$ 個の変数を持つ論理機能を実現できることを示しています。最高速バージョンのデバイスでは、LEの遅延が1.9ns以下で、カスケード・チェーンの遅延が0.7ns以下となっています。カスケード・チェーンを使用した場合、16ビット・アドレスのデコードを約4.2nsのスピードで実現できます。

図8 カスケード・チェーンの動作



LEの動作モード

FLEX 10KのLEは次の4種類のモードのいずれかで動作します。

- ノーマル・モード
- 演算モード
- アップ/ダウン・カウンタ・モード
- クリアブル・カウンタ・モード

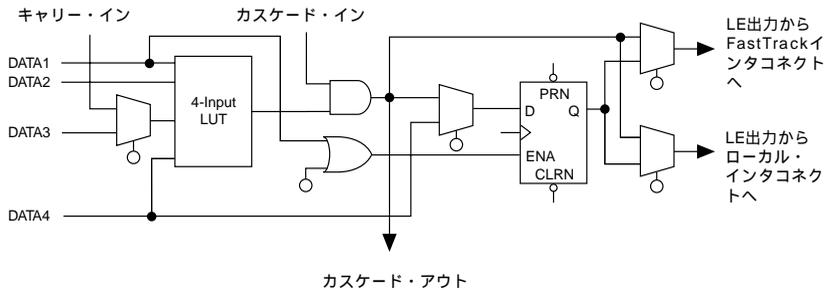
これらの各モードでは、LEのリソースをそれぞれ異なる形で使用します。LEには各モードで、計7本の入力提供されており（LABローカル・インタコネクトからの4本とプログラマブル・レジスタからのフィードバック、前段のLEからのキャリア・インとカスケード・インの計7本）、要求される論理機能を実現するためにこれらの入力はそれぞれ異なるリソースに接続されます。LEのレジスタのクロック、およびクリアとプリセットのコントロールには3本の入力提供されています。MAX+PLUS IIソフトウェアはLPMやDesignWareファンクションのようなパラメータ化されたファンクションと共にカウンタやアダー、マルチプライヤなどのような標準的なアプリケーションに適切な動作モードを自動的に選択します。また、必要に応じて、ユーザは性能が最適化されるLEの動作モードを選択して、特定用途のファンクションを作成することもできます。

このFLEX 10Kのアーキテクチャでは、4種類すべてのモードでレジスタに対する同期クロック・イネーブルの機能が提供されています。MAX+PLUS IIのソフトウェアはDATA1を使用してレジスタに同期イネーブル機能を設定することができるため、完全な同期型の設計が簡単に行えます。

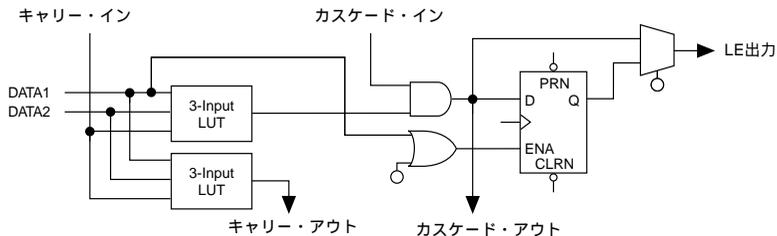
図9はLEの各動作モードを示したものです。

図9 FLEX 10KのLEの各動作モード

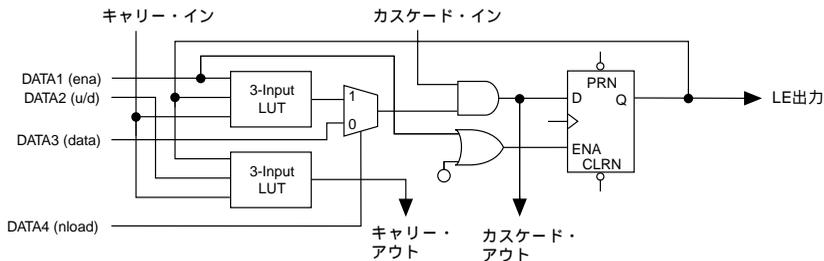
ノーマル・モード



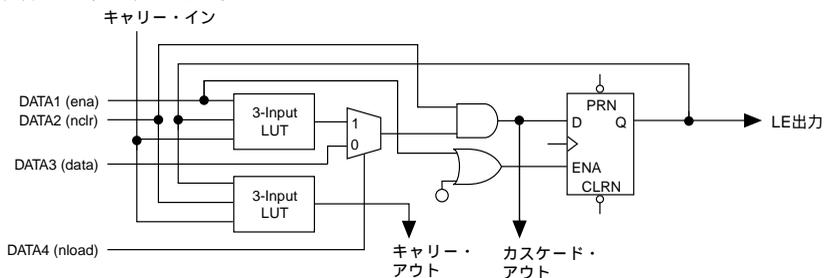
演算モード



アップ/ダウン・カウンタ・モード



クリアブル・カウンタ・モード



ノーマル・モード

ノーマル・モードは汎用のロジック・アプリケーションや、カスケード・チェーンの長所が活用できる多入力のデコーダなどに適しています。ノーマル・モードでは、LABのローカル・インタコネクタからの4本のデータ入力とキャリア・インが4入力のLUTの入力になります。MAX+PLUS IIのコンパイラはDATA3とキャリア・インのいずれかをLUTの入力として自動的に選択します。LUTの出力をカスケード・インの信号と組み合わせることによって、カスケード・アウトの信号を持つカスケード・チェーンを構成することができます。レジスタまたはLUTを使用して、ローカル・インタコネクタとFastTrackインタコネクタの双方を同時にドライブすることができます。

LE内のLUTとレジスタはそれぞれ個別に独立させた状態で使用することができます。この機能はレジスタ・パッキングと呼ばれています。このレジスタ・パッキングの機能をサポートするため、LEには2本の出力が提供されています。一方の出力はローカル・インタコネクタをドライブし、もう一方の出力はFastTrackインタコネクタをドライブします。DATA4の信号はレジスタを直接ドライブすることができます。LUTがレジスタされた信号から独立した状態で論理演算を行うことができます。この場合、LUTでは3入力の論理演算が行われ、4番目の独立した信号がレジスタに入力されます。また、LUTに4入力の論理関数を生成させ、このうちの1本の入力信号でレジスタをドライブするように設定することもできます。レジスタ・パッキングされたLEでも、クロック・イネーブル、クリア、プリセットの各信号をLE内のレジスタに使用することができます。レジスタ・パッキングされたLEでは、LUTにローカル・インタコネクタをドライブさせながらレジスタからFastTrackをドライブする状態にすることができ、またこの逆の設定を行うことができます。

演算モード

演算モードでは、アダー、アキュムレータ、コンパレータの構成に最適な3入力のLUTが2個提供されます。このうち1個のLUTは3ビットの論理関数を実現し、もう1個のLUTがキャリア・アウトを生成します。20ページの図9に示されているように、最初のLUTはキャリア・インとLABローカル・インタコネクタからの2本の入力を使用して組み合わせ出力またはレジスタ出力の論理を生成します。アダーを構成した場合は、この出力はAとBとキャリア・イン信号による3ビットのサム(和)となります。そして、2番目のLUTは同じ3本の信号からキャリア・アウト信号を生成して、キャリア・チェーンを構成します。演算モードでは、同時にカスケード・チェーンを使用することもサポートされています。

アップ/ダウン・カウンタ・モード

アップ/ダウン・カウンタ・モードでは、カウンタ・イネーブル、クロック・イネーブル、同期アップ/ダウン・コントロールの各信号と、データ・ロードのオプション機能用の信号が提供されます。これらのコントロール信号はLABローカル・インタコネクタからのデータ入力、キャリア・イン信号、プログラマブル・レジスタの出力からのフィードバック信号によって生成されます。このモードでは3入力のLUTが2個使用され、このうちの1個がカウンタ・データを生成し、もう1個が高速のキャリア・ビットを生成

します。2対1のマルチプレクサにより、データの同期ロード機能が提供されています。また、LUTのリソースを使用することなく、クリアとプリセットのレジスタ・コントロール信号を使用した非同期のデータ・ロードを行うこともできます。

クリアブル・カウンタ・モード

クリアブル・カウンタ・モードはアップ/ダウン・カウンタ・モードと類似していますが、アップ/ダウン・コントロールの代わりに同期クリアの機能がサポートされています。このモードでは、アップ/ダウン・カウンタ・モードのカスケード入力の代わりにクリア入力を使用されます。このモードでも3入力のLUTが2個使用され、このうちの1個がカウンタ・データを生成し、もう1個が高速のキャリー・ビットを生成します。また、2対1マルチプレクサを使用した同期ロードの機能がサポートされています。このマルチプレクサの出力は同期クリアの信号とANDされるようになっています。

インターナル・トライ・ステート・エミュレーション

FLEX 10Kには、インターナル・トライ・ステート・エミュレーション機能が提供されており、実際のトライ・ステート・バスのような制限を受けることなく、デバイス内部にトライ・ステートを実現することができます。実際のトライ・ステート・バスでは、トライ・ステート・バッファの出力イネーブル(OE)信号がバスをドライブする信号を選択します。ただし、複数の出力イネーブルがアクティブになったときには、競合する複数の信号がバスをドライブすることになります。逆に言えば、どの出力イネーブル信号もアクティブにならない場合には、バスがフローティングの状態となります。インターナル・トライ・ステート・エミュレーションの機能は、競合するトライ・ステート・バッファをLowの値に、フローティング状態のバスをHighの値にしてこれらの問題を解消します。MAX+PLUS IIはマルチプレクサを使用してトライ・ステート・バスの機能を自動的に実現します。

クリアおよびプリセット・ロジック・コントロール

プログラマブル・レジスタのクリアとプリセットの機能を実現するロジックは、LEの入力となっているDATA3、LABCTRL1、LABCTRL2の信号によって構成することができます。LEのクリアとプリセットの機能はレジスタに非同期でデータをロードするときにも使用されます。また、LABCTRL1またはLABCTRL2を使用して、非同期クリアの機能を実現することもできます。さらに、LABCTRL1によってコントロールされる非同期データ・ロード機能を持つレジスタの設定も行うことができます。この場合、レジスタにロードされるデータはDATA3から入力され、LABCTRL1がアクティブとなったときにレジスタへDATA3の信号がロードされます。

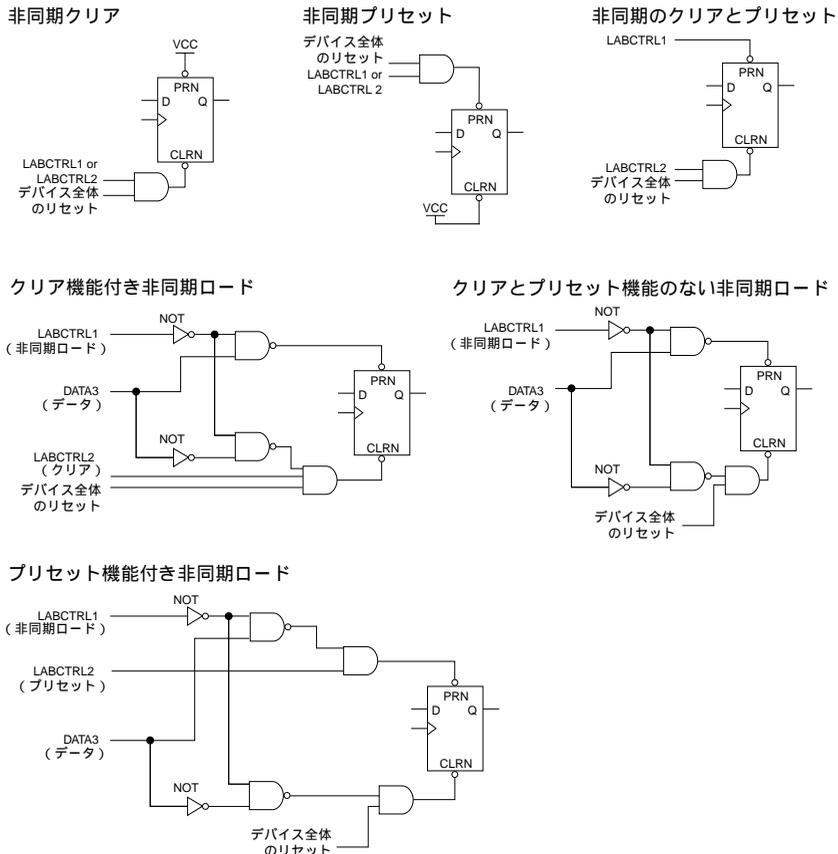
MAX+PLUS IIは、コンパイル時に最も適切なコントロール信号を自動的に生成します。クリアとプリセットの信号はアクティブLowとなっているため、コンパイラは未使用のクリアとプリセットのノードを自動的にHighレベルにセットします。

クリアとプリセットのロジックは、デザインの入力時に次の6種類のモードからいずれかひとつを選択することによって実現できます。

- 非同期クリア
- 非同期プリセット
- 非同期のクリアとプリセット
- クリア機能付き非同期ロード
- プリセット機能付き非同期ロード
- クリアまたはプリセット機能のない非同期ロード

前記の6種類のモードに加え、FLEX 10Kデバイスにはデバイス内のすべてのレジスタをリセットすることができるデバイス全体のクリア・ピンが提供されており、デザインの入力時に指定することができます。クリアとプリセットのいずれのモードにおいても、デバイス全体のクリア・ピンの信号は他のすべての信号よりも優先されます。非同期のプリセット機能を持ったレジスタが、チップ全体のリセット信号がアサートされたときにプリセットさ

図10 LEのクリアとプリセット



れるようにすることもできます。極性反転機能を使用して、非同期のプリセット機能を実現することもできます。図10は要求されるクリアとプリセット機能を実現する場合のデザインの入力方法の例を示したものです。

非同期クリア

フリップフロップはLABCTRL1またはLABCTRL2のいずれかでクリアされます。このモードではプリセット信号がVCCに接続され、非アクティブとなります。

非同期プリセット

非同期プリセットは非同期のデータ・ロードとしての機能か、非同期クリアの機能付きのいずれかで実現されます。DATA3がVCCに接続された状態でLABCTRL1がアサートされると、非同期でレジスタに1がロードされます。また、MAX+PLUS IIのソフトウェアがレジスタの入力と出力の極性反転とクリア機能を使用して、プリセット・コントロール機能が実現されるようにすることもできます。LEとIOEの入力には極性反転の機能が提供されています。このため、2本のLABCTRL信号のいずれかが1本でレジスタがクリアされる場合は、DATA3の入力が不要となり、これをLEのいずれかの動作モードで 사용할 ことができるようになります。

非同期のクリアとプリセット

非同期のクリアとプリセットを実現する場合は、LABCTRL1でプリセットを、LABCTRL2でクリアをコントロールします。このとき、DATA3はVCCに接続され、LABCTRL1がアサートされるとレジスタに1が非同期でロードされ、レジスタがプリセットされたこととなります。また同様にLABCTRL2をアサートすることによって、レジスタがクリアされます。

クリア機能付き非同期ロード

クリア機能付きの非同期ロードを実現する場合は、LABCTRL1でレジスタのプリセットとクリアをコントロールし、DATA3の信号を非同期でレジスタへロードします。また、LABCTRL2はレジスタのクリア端子をコントロールしてレジスタのクリア機能を実現し、LABCTRL2をプリセットの回路に接続する必要はありません。

プリセット機能付き非同期ロード

プリセット機能付きの非同期ロードを実現する場合は、MAX+PLUS IIのソフトウェアがレジスタの入力と出力を反転させ、クリア信号を使ったプリセット機能を実現します。LABCTRL2がアサートされるとレジスタがプリセットされ、LABCTRL1がアサートされると、レジスタにデータがロードされます。MAX+PLUS IIはレジスタの出力が反転されていることを考慮して、DATA3をドライブする信号の極性を反転させます。

クリアまたはプリセット機能のない非同期ロード

クリアまたはプリセット機能のない非同期ロードを実現する場合は、LABCTRL1でレジスタのプリセットとクリアをコントロールし、DATA3の信号が非同期でレジスタへロードされるようにします。

FastTrackインタコネク

FLEX 10Kのアーキテクチャでは、デバイス全体を縦横に走っている連続した配線チャンネル、FastTrackインタコネクによってLEおよびデバイスI/Oピン間の接続が行われます。FLEX 10Kデバイスでは、このデバイス全体をカバーするグローバルな配線構造により、複雑なデザインにおいてもその性能が予測可能となっています。これに対してFPGAでは配線領域が分割されているため、一定しない複数のパスを接続するためのスイッチ・マトリックスが必要となり、ロジック・リソース間のディレイが大きくなって性能が低下します。

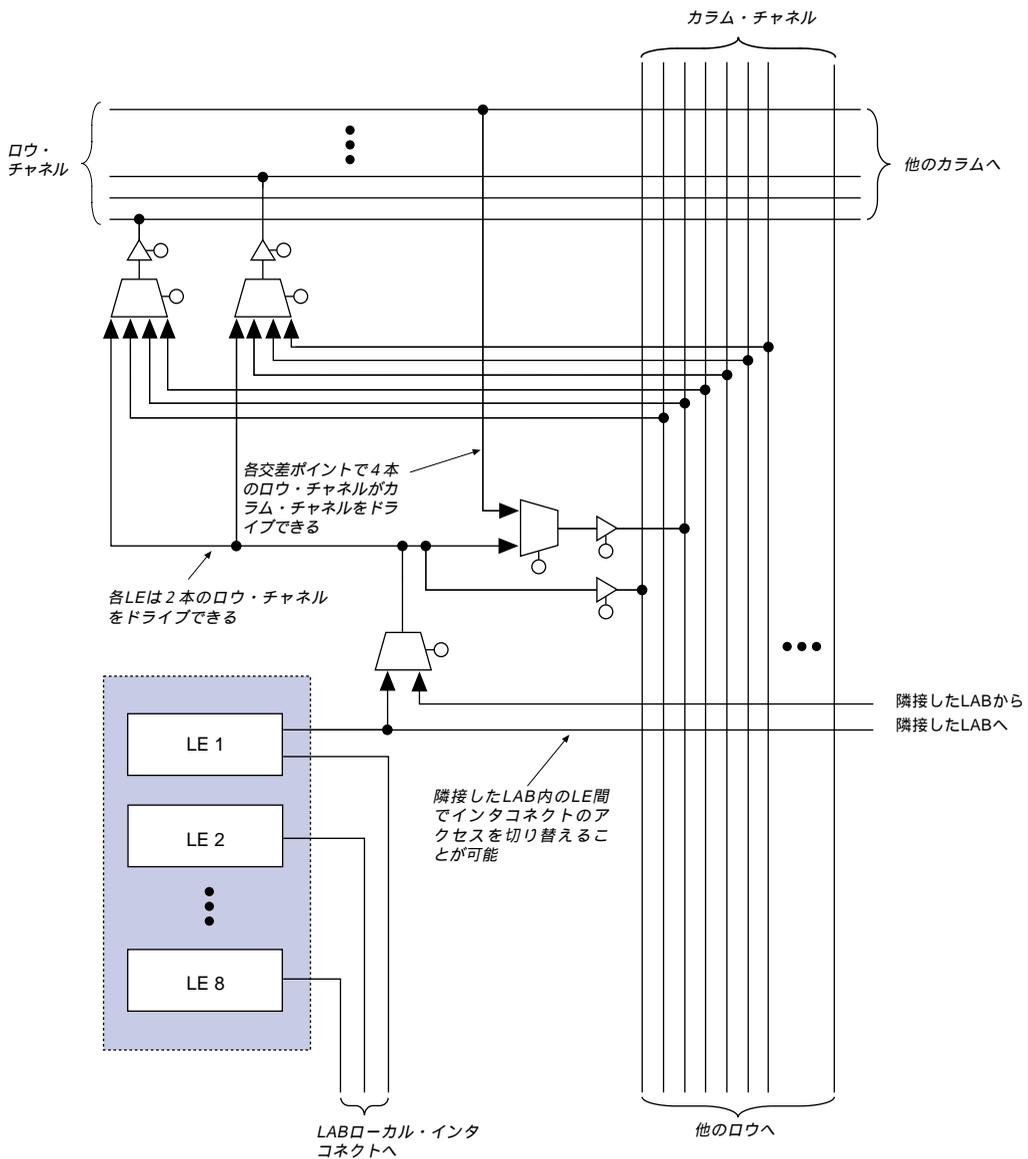
FastTrackインタコネクはデバイス全体をカバーしているロウとカラムのインタコネク・チャンネルによって構成されています。各ロウに配置されているLAB間の接続は専用のロウ・インタコネクによって行われます。ロウ・インタコネクはI/Oピンをドライブすることができ、デバイス内の他のLABに信号を供給します。また、カラム・インタコネクは異なるロウの間の信号を接続し、またI/Oピンをドライブすることができます。

ロウ側の配線チャンネルは1個のLE、または3本のカラム・チャンネルのうちのいずれか1本によってドライブすることができます。これら4本の信号は、特定の2本のロウ・チャンネルに接続されている2個の4対1マルチプレクサの入力となっています。これらのマルチプレクサは各LEに接続されており、LAB内にある8個すべてのLEがロウ・インタコネクをドライブしている場合でも、カラム・チャンネルがロウ・チャンネルをドライブすることができます。

同じカラムに配置されているLAB間の接続は専用のカラム・インタコネクによって行われます。カラム・インタコネクはI/Oピンをドライブすることができ、またデバイス内の異なるロウにあるLAB間の信号を接続します。LEの出力またはI/Oピンからの入力となっているカラム・インタコネクからの信号は、LABまたはEAB入力される前にロウ・インタコネクを通らなければなりません。IOEまたはEABによってドライブされる各ロウ・チャンネルは指定された1本のカラム・チャンネルをドライブすることができます。

ロウとカラムのチャンネルへのアクセスを隣接した2つのLAB内のLE間で切り替えることができます。例えば、LAB内の特定のLEが同じロウの隣接したLAB内の特定のLEによってドライブされるロウおよびカラム・チャンネルをドライブするように設定することができ、またその逆の設定も行えます。このような柔軟性の高い配線構造によって、配線のリソースをより効率的に使用することができます。図11は、この詳細を示したものです。

図11 LABのロウおよびカラム・インタコネクト



ロウ・インタコネクは、配線の能力を改善するためにフル・レングスのチャンネルとハーフ・レングスのチャンネルの配線リソースとを組み合わせたものになっています。フル・レングスのチャンネルは同じロウのすべてのLAB間を接続することができます。これに対して、ハーフ・レングスのチャンネルはひとつのロウの半分のLAB間を接続します。EABはフル・レングスのチャンネル、または同じロウの左半分のハーフ・レングスのチャンネルによってドライブされます。また、EABはフル・レングスのチャンネルをドライブしています。このアーキテクチャでは、性能の予測を可能にする配線構造やロウ全体をカバーした配線リソースが提供できる特長に加え、さらに多くの配線リソースが提供されています。2つの隣接したLAB間はハーフ・レングスのロウ・チャンネルで接続できるようになっており、このハーフ・レングスのチャンネルを活用することによって、同じロウのもう半分には別のハーフ・レングスのチャンネルが使用できるようになります。

表6はFLEX 10Kの各デバイスに提供されているFastTrackインタコネクのリソースの数をまとめたものです。

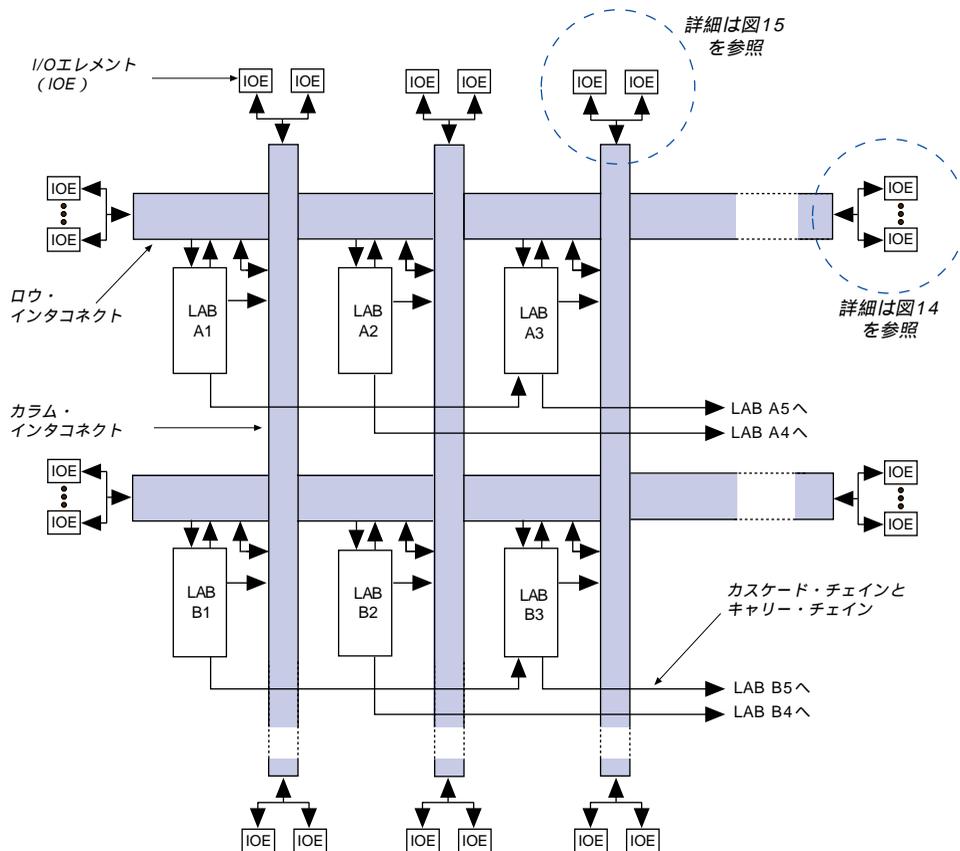
デバイス名	ロウの数	ロウあたりのチャンネル数	カラム数	カラムあたりのチャンネル数
EPF10K10 EPF10K10A	3	144	24	24
EPF10K20	6	144	24	24
EPF10K30 EPF10K30A EPF10K30B	6	216	36	24
EPF10K40	8	216	36	24
EPF10K50 EPF10K50V EPF10K50B	10	216	36	24
EPF10K70	9	312	52	24
EPF10K100 EPF10K100A EPF10K100B	12	312	52	24
EPF10K130V EPF10K130B	16	312	52	32
EPF10K180B	16	456	76	40
EPF10K250A EPF10K250B	20	456	76	40

FLEX 10Kデバイスには、汎用のI/Oピンの他に、スキューの小さな信号をデバイス全体に供給できる6本の入力専用ピンが提供されています。これら6本の入力は、グローバルなクロック、クリア、プリセット、IOEの出力イネーブル、クロック・イネーブルのコントロール信号などに使用することができます。これらのピンからの入力は、デバイス内のすべてのLABとIOEをコントロールする信号としても使用することができます。

これらの入力専用ピンからの信号はデバイス内の各LABのローカル・インタコネクタにも接続されるようになっており、汎用のデータ入力としても使用できます。ただし、これらの入力専用ピンを汎用のデータ入力に使用した場合には、コントロール信号のネットワークに追加遅延が発生する可能性があります。

図12は、隣接した複数のLABの接続関係を、ロウおよびカラム・インタコネクタ、ローカル・インタコネクタ、関連したカスケード・チェーン、キャリア・チェーンによって示したものです。ここで、各LABの名前は、デバイス内のロウ(1,2,3...) およびカラム(A,B,C...)の物理的な位置を表したものになっています。例えば、B3のLABはロウ-B、カラム-3の位置にあることを示しています。

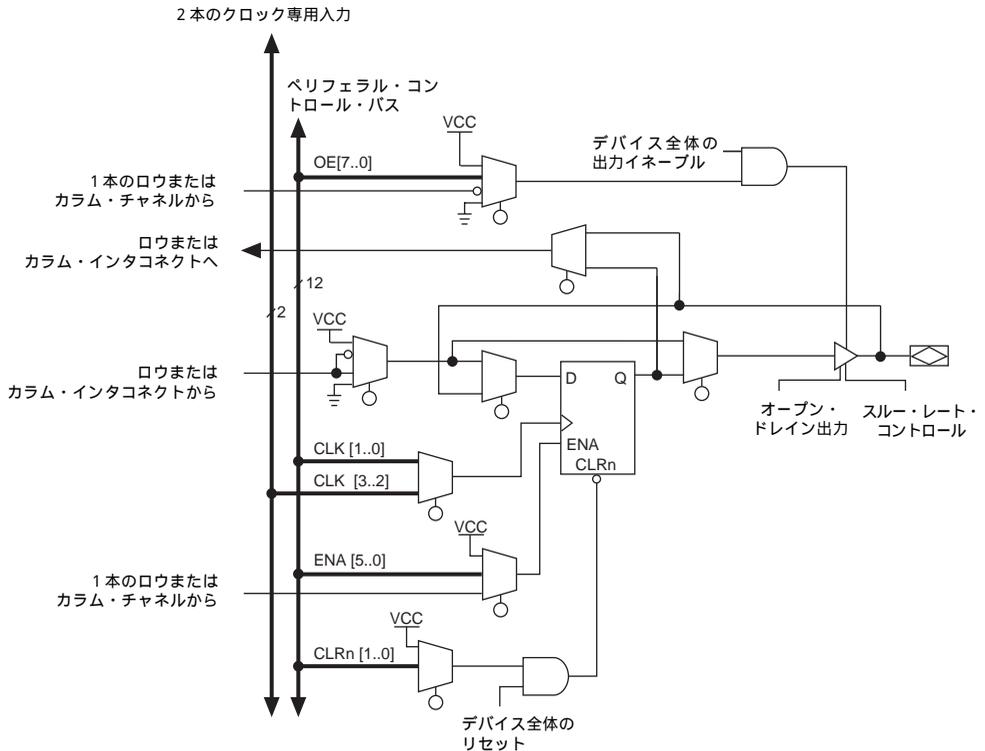
図12 FLEX 10K デバイスのインタコネクタ・リソース



I/Oエレメント

各I/Oエレメント (IOE) には双方向のI/Oバッファとレジスタが1個ずつ含まれています。このレジスタは高速のセットアップ・タイムを必要とする外部データの入力レジスタとして、あるいは高速の「Clock-to-Output」性能を必要とするデータの出力レジスタとして使用することができます。LE内のレジスタを入力レジスタとして使用したほうが、IOEのレジスタを使用した場合よりも高速のセットアップ・タイムが提供されることもあります。I/Oエレメントは入力、出力、または双方向のピンとして使用することができます。MAX+PLUS IIのコンパイラは必要に応じて、ロウおよびカラム・インタコネクトからの信号の極性をプログラマブルな反転オプションを使って自動的に反転させます。FLEX 10KのIOEの構造は図13に示されています。

図13 FLEX 10KのI/Oエレメント



IOEに対するクロック、クリア、クロック・イネーブル、および出力イネーブル・コントロールの各信号は、ペリフェラル・コントロール・バスと呼ばれるI/Oコントロール信号のネットワークから選択されます。このペリフェラル・コントロール・バスにはデバイス全体で信号のスキューが最小にする高速ドライバが使用されており、下記のコントロール信号が最大12本まで使用できます。

- 最大8本までの出力イネーブル信号
- 最大6本までのクロック・イネーブル信号
- 最大2本までのクロック信号
- 最大2本までのクリア信号

6本を超えるクロック・イネーブル信号や8本を超える出力イネーブル信号が必要になる場合は、特定のLEからドライブされているクロック・イネーブルと出力イネーブルの信号を使用してデバイス内の各IOEをコントロールすることができます。各IOEにはペリフェラル・コントロール・バスに提供されている2本のクロックに加え、2本のクロック専用ピンからの信号のうちのいずれか1本を使用することができます。ペリフェラル・コントロール信号は入力専用ピン、または特定のロウの位置に配置されたLABの最初のLEからドライブすることができます。異なるロウのLEからはカラム・インタコネクタをドライブされるようになっていたため、ペリフェラル・コントロール信号はロウ・インタコネクタからドライブされることとなります。デバイス全体のリセット信号は、他のコントロール信号よりも優先してすべてIOEレジスタをリセットします。

表7と表8は各ペリフェラル・コントロール信号のソースをまとめたものです。これらの表は12本あるペリフェラル・コントロール信号から、出力イネーブル信号、クロック・イネーブル信号、クロック、クリア信号をどのように実現するかを示しており、各グローバル信号をドライブできるロウの位置を示しています。

表7 ペリフェラル・バスのソース					
ペリフェラル・ コントロール信号	EPF10K10 EPF10K10A	EPF10K20	EPF10K30 EPF10K30A EPF10K30B	EPF10K40	EPF10K50 EPF10K50V EPF10K50B
OE0	Row A	Row A	Row A	Row A	Row A
OE1	Row A	Row B	Row B	Row C	Row B
OE2	Row B	Row C	Row C	Row D	Row D
OE3	Row B	Row D	Row D	Row E	Row F
OE4	Row C	Row E	Row E	Row F	Row H
OE5	Row C	Row F	Row F	Row G	Row J
CLKENA0/CLK0/GLOBAL0	Row A	Row A	Row A	Row B	Row A
CLKENA1/OE6/GLOBAL1	Row A	Row B	Row B	Row C	Row C
CLKENA2/CLR0	Row B	Row C	Row C	Row D	Row E
CLKENA3/OE7/GLOBAL2	Row B	Row D	Row D	Row E	Row G
CLKENA4/CLR1	Row C	Row E	Row E	Row F	Row I
CLKENA5/CLK1/GLOBAL3	Row C	Row F	Row F	Row H	Row J

表8 ペリフェラル・バスのソース					
ペリフェラル・ コントロール信号	EPF10K70	EPF10K100 EPF10K100A EPF10K100B	EPF10K130V EPF10K130B	EPF10K180B 注(1)	EPF10K250A EPF10K250B
OE0	Row A	Row A	Row C		Row E
OE1	Row B	Row C	Row E		Row G
OE2	Row D	Row E	Row G		Row I
OE3	Row I	Row L	Row N		Row P
OE4	Row G	Row I	Row K		Row M
OE5	Row H	Row K	Row M		Row O
CLKENA0/CLK0/GLOBAL0	Row E	Row F	Row H		Row J
CLKENA1/OE6/GLOBAL1	Row C	Row D	Row F		Row H
CLKENA2/CLR0	Row B	Row B	Row D		Row F
CLKENA3/OE7/GLOBAL2	Row F	Row H	Row J		Row L
CLKENA4/CLR1	Row H	Row J	Row L		Row N
CLKENA5/CLK1/GLOBAL3	Row E	Row G	Row I		Row K

注：

(1) EPF10K180Bデバイスに提供されるペリフェラル・バスのソースについては、日本アルテラの応用技術部へお問い合わせ下さい。

ペリフェラル・コントロール・バス上の信号は表7と表8でGLOBAL0からGLOBAL3と名前が表示されている4本のグローバル・クロックをドライブすることもできます。また、内部で生成された信号でグローバル信号をドライブすることもでき、1本の入力からドライブされる信号と同じようにスキューと遅延の小さな特性が得られます。この機能は、クリア信号やファンアウトの大きいクロック信号を内部生成するとき最適です。

デバイス全体の出力イネーブル・ピンはアクティブLowのピンで動作し、デバイスのすべてのピンをトライ・ステートにすることができます。このオプションはデザイン・ファイル内で指定することができます。また、デバイス全体のリセット・ピンによってIOE内のレジスタをリセットすることもできます。

ロウ・チャンネルとIOEの接続

入力信号として使用されるIOEは、分離された2本のロウ・チャンネルをドライブすることができます。この信号は同じロウに配置されているすべてのLEによってアクセス可能になります。また、IOEが出力として使用された場合は、IOEが各ロウ・チャンネルの信号から1本の信号を選択するマルチプレクサによってドライブされます。各ロウ・チャンネルの両端には最大8個までのIOEが接続されています。ロウ・チャンネルとIOEの接続についての詳細は図14を参照して下さい。

図14 FLEX 10Kのロウ・チャンネルとIOEの接続

この図で表示されている m と n の値は表9の通りです。

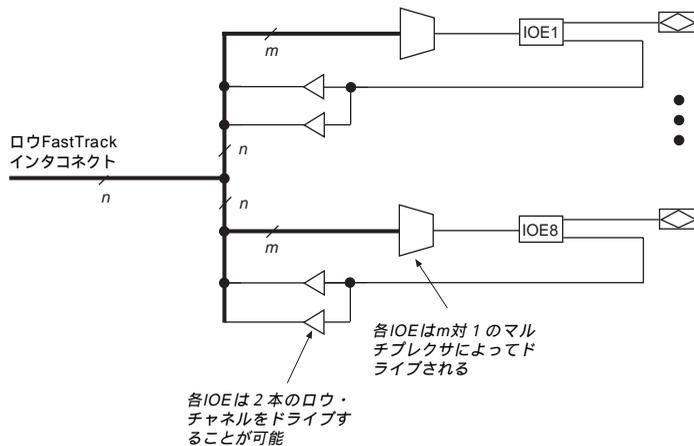


表9はFLEX 10Kにおけるロウ・チャンネルからIOEに接続するときのリソースの数を示したものです。

表9 FLEX 10Kのロウ・チャンネルからIOEへのインタコネクト・リソース		
デバイス名	ロウあたりのチャンネル数(n)	ピンあたりのロウ・チャンネル数(m)
EPF10K10 EPF10K10A	144	18
EPF10K20	144	18
EPF10K30 EPF10K30A EPF10K30B	216	27
EPF10K40	216	27
EPF10K50 EPF10K50V EPF10K50B	216	27
EPF10K70	312	39
EPF10K100 EPF10K100A EPF10K100B	312	39
EPF10K130V EPF10K130B	312	39
EPF10K180B	456	57
EPF10K250A EPF10K250B	456	57

コラム・チャンネルとIOEの接続

入力として使用されるIOEは、分離された2本までのコラム・チャンネルをドライブすることができます。また、出力として使用されるIOEは、各コラム・チャンネルの信号から1本の信号を選択するマルチプレクサによってドライブされます。各コラム・チャンネルの両端には2個のIOEが接続されています。各IOEはマルチプレクサを介してコラム・チャンネルからドライブできます。IOEがアクセスできるコラム・チャンネル信号の組み合わせは、デバイスごとに異なります。IOEの接続についての詳細は図15を参照して下さい。

図15 FLEX 10Kのカラム・チャネルとIOEの接続

この図で示されている m と n の値は表10の通りです。

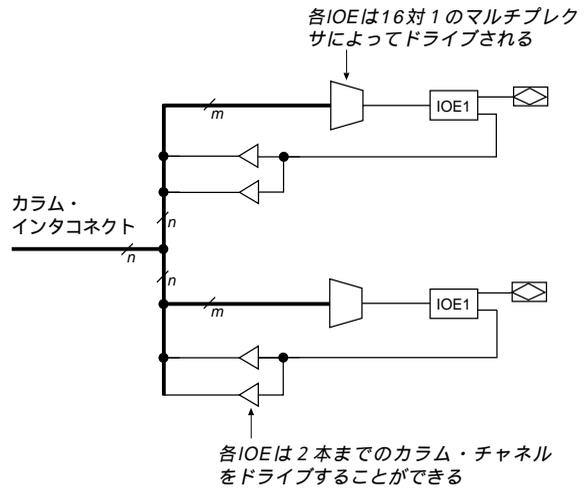


表10はFLEX 10Kにおけるコラム・チャネルからIOEに接続するときのリソースの数を示したものです。

デバイス名	コラムあたりのチャネル数(n)	ピンあたりのコラム・チャネル数(m)
EPF10K10 EPF10K10A	24	16
EPF10K20	24	16
EPF10K30 EPF10K30A EPF10K30B	24	16
EPF10K40	24	16
EPF10K50 EPF10K50V EPF10K50B	24	16
EPF10K70	24	16
EPF10K100 EPF10K100A EPF10K100B	24	16
EPF10K130V EPF10K130B	32	24
EPF10K180B	40	32
EPF10K250A EPF10K250B	40	32

ClockLockとClockBoostの機能

特定のFLEX 10Kデバイスには、高速特性を生かしたデザインをサポートするためのオプション回路として、ClockLockとClockBoosが提供されています。これらの回路はPhase-Locked Loop(PLL)を使用したもので、デザインのスピードを高速化したり、使用するデバイス・リソースを減少させるときに使用することができます。ClockLockはクロック信号をPLLに同期して動作させ、クロックの遅延とデバイス内のスキューを低減します。この低減により、0nsのレジスタ・ホールド・タイムを維持しながら、セットアップ・タイムと「Clock-to-Output」遅延を最小に抑えます。ClockBoosはクロック周波数の通倍機能であり、この機能を使用してロジックの一部を時分割で動作させることができるため、デバイスのエリア効率を改善することができます。ClockBoosの機能を使用することにより、ボード上に低速のクロックを分配し、デバイス内部でのクロック周波数の通倍が可能になります。ClockLockとClockBoosの機能を併用することで、システムの性能と帯域幅が大幅に改善されます。

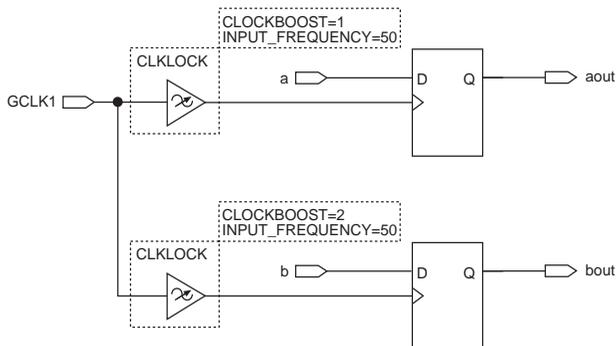
FLEX 10KデバイスのClockLockとClockBoosの機能は、MAX+PLUS IIのソフトウェアによって設定されます。これらの機能の使用に外部デバイスが必要となりません。ClockLockとClockBoosの出力はデバイス・ピンには提供されません。

ClockLockとClockBoosの回路は入力クロックの立ち上がりエッジにロックします。これらの回路の出力はレジスタのクロック入力だけをドライブすることができ、生成されたクロックをゲートしたり反転させることはできません。

外部クロックは専用のクロック・ピン(GCLK1)からClockLockおよびClockBoosの回路に供給されます。専用クロック・ピンがClockLockまたはClockBoosの回路をドライブしている場合は、このピンからデバイス内の他の部分をドライブすることはできません。

通倍されたクロックと通倍されないクロックの双方が必要となるデザインにおいても、ボード上のクロックの配線パターンをGCLK1のピンに接続することができます。MAX+PLUS IIのソフトウェアを使用して、GCLK1からの信号をFLEX 10Kデバイス内のClockLockとClockBoosの双方の回路に接続することができます。ただし、双方の回路が使用されている場合は、他の専用クロック・ピン(GCLK0)は使用できません。図16は、MAX+PLUS IIのソフトウェアによってClockLockとClockBoosの双方の回路がイネーブルにされることをブロック図で示したものです。この例は回路図で示されていますが、同じ方法がAHDL、VHDL、Verilog HDLで作成されたデザインにも適用できます。ClockLockとClockBoosの双方の回路が同時に使用された場合は、入力の周波数パラメータは双方の回路に対して同じ値とならなければなりません。図16において、ClockBoosの通倍指数が2に設定される場合は、入力の周波数が規定された要求に適合している必要があります。

図16 同一デザイン内でClockLockとClockBoostの双方をイネーブルにする方法



同一デザイン内でClockLockとClockBoostの双方を使用する場合は、EPF10K100GC503-3Dのリビジョン-Cのデバイスとバージョン7.2以降のMAX+PLUS IIソフトウェアを使用する必要があります。このリビジョンはデバイス上部に捺印されているデータ・コードの最初の桁で判定できます。(例えば、C9715のデータ・コードはリビジョン-Cのデバイスであることを示しています。)



ClockLockおよびClockBoostの機能を使用する場合の詳細については、アルテラの発行しているWhite Paper、「Clock Management with ClockLock and ClockBoost Features」を参照して下さい。この資料は日本アルテラへご請求下さい。

出力の構成

このセクションでは、FLEX 10Kデバイスに提供されているスルー・レート・コントロール、オープン・ドレイン出力オプション、MultiVolt IOインタフェース機能について解説します。

スルー・レート・コントロール

各IOEの出力バッファには出力のスルー・レートを調整する機能が提供されており、各出力バッファを低ノイズのモード、または高速性能のモードのいずれかにコンフィギュレーションすることができます。低速スルー・レートのモードではシステムのノイズが低減されますが、最大の遅延時間が約2.9ns増加します。高速スルー・レートのモードは、ノイズに対する適切な対策が行われているシステムでスピードがクリティカルとなる出力のみに使用して下さい。設計者はデザインの入力時に各ピンごとにスルー・レートを指定することができ、すべてのピンにデフォルトのスルー・レートを指定することも可能です。低速スルー・レートの設定は出力の立ち下がりエッジのみに影響を与えます。各ピンには、ピンごとにオープン・ドレインの指定を行うことができます。また、MAX+PLUS IIのソフトウェアはデータ入力グラウンドに接続されているトライ・ステート・バッファをオープン・ドレインのピンに自動的に変換することができます。

オープン・ドレイン出力オプション

FLEX 10Kデバイスでは、各I/Oピンにオープン・ドレイン（オープン・コレクタと電氣的に等価）出力のオプションが提供されています。このオープン・ドレイン出力を使用することによって、システム・レベルのコントロール信号（インタラプト信号やライト・イネーブル信号）を複数のデバイスで使用できるようになります。また、これを使用して追加のワイヤード-ORのプレーンを構成することもできます。

5.0-Vの電源に対するプルアップ抵抗が接続されたFLEX 10KAとFLEX 10KBデバイスのオープン・ドレイン出力ピンは3.5-Vの V_{IH} を必要とする5.0-VのCMOS入力ピンをドライブすることができます。オープン・ドレインのピンが出力アクティブになると、このピンはLowレベルの信号をドライブします。また、ピンがイン・アクティブの場合は、この配線パターンは抵抗を介して5.0-Vにプルアップされます。オープン・ドレインのピンはトライ・ステートまたはLowレベルのいずれかをドライブし、Highレベルをドライブすることはありません。このため、この配線パターンが3.3-Vから5.0-Vの電源電圧のレベルになることはありません。この立ち上がり時間はプルアップ抵抗と負荷インピーダンスの値に依存します。プルアップ抵抗を設定する場合は、 I_{OL} の規格を考慮する必要があります。

MultiVolt I/Oインタフェース

FLEX 10KデバイスのアーキテクチャはMultiVolt IOインタフェース機能をサポートしており、FLEX 10K FLEX 10KA FLEX 10KBの各デバイスは異なる電源電圧を使用しているシステムとインタフェースすることができます。これらのデバイスは内部のロジックと入力バッファ用の V_{CC} ピン（VCCINT）と、I/Oピンの出力ドライバ用の V_{CC} ピン（VCCIO）の2種類の電源ピンを持っています。

5.0-VのFLEX 10Kデバイスを使用する場合は、VCCINTのピンを常に5.0-Vの電源に接続する必要があります。 $V_{CCINT} = 5.0-V$ の条件では入力電圧がTTLレベルとなり、3.3-Vと5.0-Vの双方の入力に対する互換性が提供されず。このとき、VCCIOピンは要求される出力レベルに応じて5.0-Vあるいは3.3-Vのいずれかの電源に接続することができます。VCCIOを5.0-Vの電源に接続した場合は、出力電圧が5.0-Vのシステムと互換性を持つようになります。また、VCCIOピンを3.3-Vの電源に接続した場合は出力のHighレベルが3.3-Vとなり、3.3-Vまたは5.0-Vのシステムとの互換性を持つようになります。 V_{CCIO} が4.75-V未満の電圧で動作するデバイスでは、53ページの表15に示されているように、 t_{OD1} の代わりに t_{OD2} のタイミング遅延が発生します。

表11はFLEX 10K FLEX 10KA FLEX 10KBの各ファミリでサポートされているMultiVolt IO機能をまとめたものです。

表11 MultiVolt I/Oのサポート		
デバイス・ファミリ	電源電圧	MultiVolt I/Oインタフェース
FLEX 10 注(1)、(2)、(3)	5.0V	3.3V or 5.0V

注：

- (1) すべてのPGAおよびBGA、144ピンのTQFP、208ピンのQFPパッケージのデバイスは3.3-Vまたは5.0-Vのいずれかで動作可能なI/Oピンを持っています。
- (2) FLEX 10K Aデバイス (EPF10K50VとEPF10K130Vを除く) はVCCIOを2.5-Vに接続することによって、2.5-V、3.3-V、5.0-Vのシステムとインタフェースできるようになります。これらのデバイスの出力は2.5-Vのシステムをドライブすることができ、入力は2.5-V、3.3-V、または5.0-Vのシステムからドライブできます。また、VCCIOが3.3-Vに接続された場合は、出力が3.3-Vまたは5.0-Vのシステムをドライブすることができ、入力は2.5-V、3.3-V、または5.0-Vのシステムからドライブできます。EPF10K50VとEPF10K130Vは3.3-Vまたは5.0-Vのシステムからドライブすることができ、3.3-Vまたは5.0-Vのシステムをドライブすることができます。これらのデバイスのVCCIOピンは常に3.3-Vに接続されている必要があります。
- (3) 2.5-V動作のFLEX 10K Bデバイスは、VCCIOを2.5-Vに接続することによって、2.5-V、3.3-V、5.0-Vのシステムとインタフェースできるようになります。これらのデバイスの出力は2.5-Vのシステムをドライブすることができ、入力は2.5-V、3.3-V、または5.0-Vのシステムからドライブできます。また、VCCIOが3.3-Vに接続された場合は、出力が3.3-Vまたは5.0-Vのシステムをドライブすることができ、入力は2.5-V、3.3-V、または5.0-Vのシステムからドライブすることができます。

IEEE 1149.1 (JTAG) バウンダリ・ スキャンの サポート

FLEX 10Kファミリのすべてのデバイスは、IEEE Std. 1149.1-1990の標準規格に準拠したJTAG BSTをサポートしています。また、FLEX 10Kのすべてのデバイスは、JTAGピンを使用して、BitBlasterシリアル・ダウンロード・ケーブル、ByteBlasterパラレル・ポート・ダウンロード・ケーブル、あるいはプログラミングおよびテスト用言語であるJam™を採用したハードウェアからコンフィギュレーションすることができます。JTAG BSTはコンフィギュレーションの前か後で実行できますが、コンフィギュレーションの期間中には実行できません。FLEX 10Kデバイスは下記の表12に示されているJTAGインストラクションをサポートしています。

表12 FLEX 10KのサポートしているJTAGインストラクション

JTAGインストラクション	内 容
SAMPLE/PRELOAD	動作中のデバイスのピンから信号を取り込んでテストすることができる。また、最初のデータ・パターンをデバイス・ピンに出力させることができる。
EXTEST	出力ピンにテスト・パターンを強制的に与え、入力ピンのデータを取り込んでテスト結果を比較することによって外部回路との接続とボードレベルの配線がテストできる。
BYPASS	TDIピンとTDOピンの間に1ビットのバイパス・レジスタを配置することによって、デバイスに通常の動作をさせながらBSTデータが指定したデバイスをバイパスして隣接したデバイスに同期転送されるようにすることができる。
UESCODE	UESCODEレジスタを選択し、これをTDIとTDOのピン間に配置することによって、UESCODEがTDOにシリアルにシフト・アウトされるようにすることができる。
IDCODE	IDCODEレジスタを選択し、これをTDIとTDOのピン間に配置することによって、IDCODEがTDOにシリアルにシフト・アウトされるようにすることができる。
ICR 関連インストラクション	これらのインストラクションは、JTAGピンを使用して、BitBlasterまたは、ByteBlasterダウンロード・ケーブル、あるいはJam File (.jam)を採用したエンベデッド・プロセッサからFLEX 10Kデバイスをコンフィギュレーションするときに使用される。



JTAGの動作に関する詳細については、当社発行のアプリケーション・ノート、AN-39「JTAG Boundary-Scan Testing in Altera Devices(日本語版「アルテラ・デバイスのJTAGバウンダリ・スキャン・テスト」)」を参照して下さい。BitBlasterおよびByteBlasterダウンロード・ケーブルの詳細については、1998年版データブックにも収録されている「BitBlaster Serial Download Cable」および「ByteBlaster Parallel Port Download Cable」

の各データシートを参照して下さい。Jam言語の情報については、「*Jam Programming and Test Language Specification*」を参照して下さい。

図17はJTAG信号に対するタイミングの規格を示したものです。

図17 JTAG信号の波形

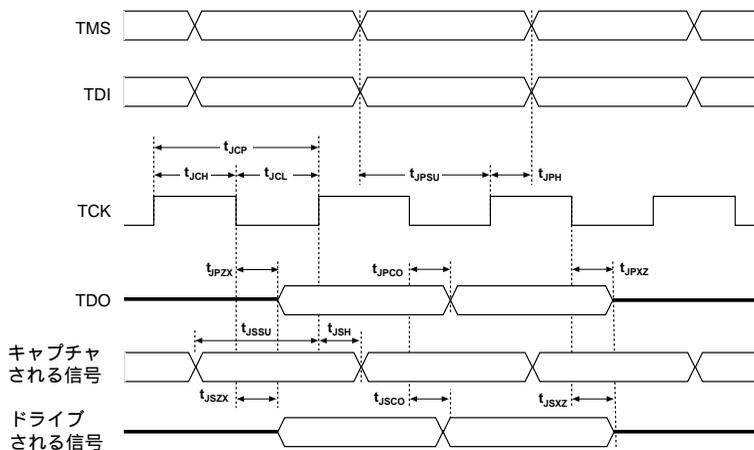


表13はFLEX 10KデバイスのJTAG信号に関連したタイミング・パラメータとその値を示したものです。

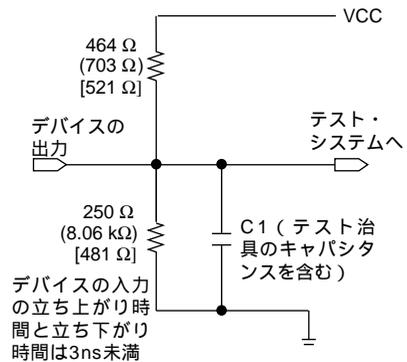
シンボル	パラメータ	最小	最大	単位
t_{JCP}	TCKクロックの期間	100		ns
t_{JCH}	TCKのHigh時間	50		ns
t_{JCL}	TCKのLow時間	50		ns
t_{JPSU}	JTAGポートのセットアップ・タイム	20		ns
t_{JPH}	JTAGポートのホールド・タイム	45		ns
t_{JPCO}	JTAGポートの「Clock-to-Output」遅延		25	ns
t_{JPZX}	JTAGポートのハイ・インピーダンスから有効出力まで		25	ns
t_{JPXZ}	JTAGポートの有効出力からハイ・インピーダンスまで		25	ns
t_{JSSU}	キャプチャ・レジスタのセットアップ・タイム	20		ns
t_{JSH}	キャプチャ・レジスタのホールド・タイム	45		ns
t_{JSCO}	アップデート・レジスタの「Clock-to-Output」遅延		35	ns
t_{JSZX}	アップデート・レジスタのハイ・インピーダンスから有効出力まで		35	ns
t_{JSXZ}	アップデート・レジスタの有効出力からハイ・インピーダンスまで		35	ns

デバイスの テスト

FLEX 10Kの各デバイスにはファンクション・テストが実施されており、その動作が保証されています。コンフィギュレーションされる各SRAMビットとすべての論理機能は完全にテストされ、100%のコンフィギュレーションが保証されています。FLEX 10KデバイスのACテストは、図18に等価な条件で行われています。デバイスのコンフィギュレーションとテストには、生産フローの中のあらゆる工程で複数のテスト・パターンが使用されています。

図18 FLEX 10KのACテスト条件

電源のトランジェントがAC特性の測定に影響を及ぼすことがあります。正確な測定を行うため、複数の出力を同時に変化させることは避けて下さい。スレッシュホールドのテストはACの測定条件では行わないで下さい。デバイスの出力が負荷のキャパシタンスをディスチャージするとき、大振幅で高速なグラウンド電流のトランジェントが発生し、これらのトランジェントがグラウンド・ピンとテスト・システムのグラウンドとの間に存在する寄生インダクタンスに流れると、ノイズ・マージンが著しく低下します。()内の数値は3.3-Vデバイスまたは出力に対してのものです。[]内の数値は2.5-Vデバイスまたは出力に対するものです。



動作条件

以下の表は5.0-Vと3.3-V動作のFLEX 10Kデバイスの絶対最大定格、推奨動作条件、DC特性、およびキャパシタンスを示したものです。

FLEX 10K、5.0-Vデバイスの絶対最大定格 注(1)

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電圧	GNDに対して	-2.0	7.0	V
V_I	DC入力電圧	注(2)	-2.0	7.0	V
I_{OUT}	ピンあたりのDC出力電流		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_{AMB}	動作周囲温度	バイアス時	-65	135	°C
T_J	接合温度	セラミック・パッケージ、バイアス時		150	°C
		PQFP、TQFP、RQFPおよびBGAパッケージ、バイアス時		135	°C

FLEX 10K、5.0-Vデバイスの推奨動作条件

シンボル	パラメータ	条件	最小	最大	単位
V _{CCINT}	内部ロジックと入力バッファ用供給電圧	注(3)、(4)	4.75 (4.50)	5.25 (5.50)	V
V _{CCIO}	出力バッファ用供給電圧、5.0-V用	注(3)、(4)	4.75 (4.50)	5.25 (5.50)	V
	出力バッファ用供給電圧、3.3-V用	注(3)、(4)	3.00 (3.00)	3.60 (3.60)	V
V _I	入力電圧		0	V _{CCINT}	V
V _O	出力電圧		0	V _{CCIO}	V
T _A	動作周囲温度	一般用	0	70	°C
		工業用	-40	85	°C
T _J	動作接合温度	一般用	0	85	°C
		工業用	-40	100	°C
t _R	立ち上がり時間			40	ns
t _F	立ち下がり時間			40	ns

FLEX 10K、5.0-VデバイスのDC特性 注(5)、(6)

シンボル	パラメータ	条件	最小	標準	最大	単位
V _{IH}	Highレベル入力電圧		2.0		V _{CCINT} + 0.3	V
V _{IL}	Lowレベル入力電圧		-0.3		0.8	V
V _{OH}	5.0-V HighレベルTTL出力電圧	I _{OH} = -4 mA DC, V _{CCIO} = 4.75 V, 注(7)	2.4			V
	3.3-V HighレベルTTL出力電圧	I _{OH} = -4 mA DC, V _{CCIO} = 3.00 V, 注(7)	2.4			V
	3.3-V HighレベルCMOS出力電圧	I _{OH} = -0.1 mA DC, V _{CCIO} = 3.00 V, 注(7)	V _{CCIO} -0.2			V
V _{OL}	5.0-V LowレベルTTL出力電圧	I _{OL} = 12 mA DC, V _{CCIO} = 4.75 V, 注(8)			0.45	V
	3.3-V LowレベルTTL出力電圧	I _{OL} = 12 mA DC, V _{CCIO} = 3.00 V, 注(8)			0.45	V
	3.3-V LowレベルCMOS出力電圧	I _{OL} = 0.1 mA DC, V _{CCIO} = 3.00 V, 注(8)			0.2	V
I _I	入力ピンのリーク電流	V _I = V _{CC} or ground	-10		10	μA
I _{OZ}	トライ・ステート時のI/Oピン・リーク電流	V _O = V _{CC} or ground	-40		40	μA
I _{CC0}	V _{CC} 供給電流 (スタンバイ時)	V _I = ground, 無負荷		0.5	10	mA

EPF10K10、EPF10K20、EPF10K30の5.0-V デバイスのキャパシタンス 注(9)

シンボル	パラメータ	条件	84-Pin PLCC EPF10K10		144-Pin TQFP EPF10K10 EPF10K20		208-Pin PQFP EPF10K10		208-Pin RQFP EPF10K20 EPF10K30		240-Pin RQFP EPF10K20 EPF10K30		356-Pin BGA EPF10K30		単位
			最小	最大	最小	最大	最小	最大	最小	最大	最小	最大	最小	最大	
C _{IN}	入力キャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		8		8		8		8		8		8	pF
C _{INCLK}	クロック専用 ピンの入力 キャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		12		12		12		12		12		12	pF

EPF10K40、EPF10K50、EPF10K70、EPF10K100の5.0-V デバイスのキャパシタンス 注(9)

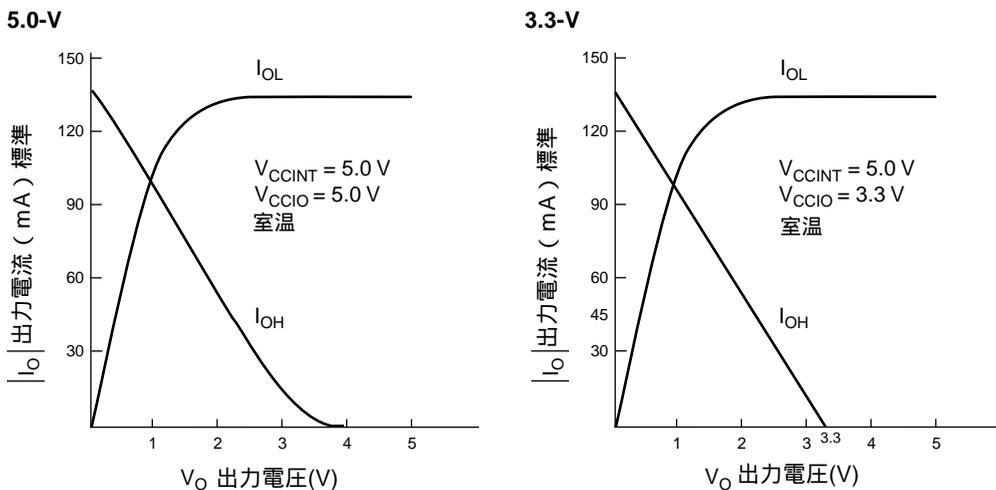
シンボル	パラメータ	条件	208-Pin RQFP EPF10K40		240-Pin RQFP EPF10K40 EPF10K50 EPF10K70		356-Pin BGA EPF10K50		403-Pin PGA EPF10K50		503-Pin PGA EPF10K70 EPF10K100		単位
			最小	最大	最小	最大	最小	最大	最小	最大	最小	最大	
C _{IN}	入力キャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		10		10		10		10		10	pF
C _{INCLK}	クロック専用 ピンの入力 キャパシタンス	V _{IN} = 0 V, f = 1.0 MHz		15		15		15		15		15	pF

注：

- (1) 絶対最大定格については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices*」を参照して下さい。
- (2) 最低DC入力電圧は - 0.3Vです。無負荷の条件で20ns以下の幅であれば、過渡状態の期間に入力が - 2.0Vまでアンダシュート、または7.0-Vまでオーバシュートしても構いません。
- (3) カッコ内の数値は工業用温度範囲の製品の場合です。
- (4) V_{CC}の立ち上がりは最大100msです。V_{CC}の上昇率は一定になっている必要があります。
- (5) 標準値はT_A=25、V_{CC}=5.0-Vの条件のときのものです。
- (6) これらの値は41ページに記載されている「FLEX 10K 5.0-Vデバイスの推奨動作条件」をベースに規定されています。
- (7) I_{OH}のパラメータはHighレベルTTLまたはCMOS出力電流として参照されます。
- (8) I_{OL}のパラメータはLowレベルTTLまたはCMOS出力電流として参照されます。このパラメータは出力ピンと同じようにオープン・ドレイン・ピンにも適用されます。
- (9) キャパシタンスはサンプルテストのみです。

図19は V_{CCIO} が5.0-Vおよび3.3-Vに設定されたFLEX 10Kデバイスの標準的な出力ドライブ特性です。出力ドライバはPCI Local Bus Specification, Revision 2.1の規格と互換性があります。(V_{CCIO} が5.0-Vの場合)

図19 FLEX 10Kデバイスの出力ドライブ特性



EPF10K50VとEPF10K130Vの絶対最大定格 注(1)

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電圧	GNDに対して	-0.5	4.6	V
V_I	DC入力電圧	注(2)	-0.5	5.7	V
I_{OUT}	ピンあたりのDC出力電流		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_{AMB}	動作周囲温度	バイアス時	-65	135	°C
T_J	接合温度	セラミック・パッケージ、バイアス時		150	°C
		RQFP、およびBGAパッケージ、バイアス時		135	°C

EPF10K50VとEPF10K130V推奨動作条件

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックと入力バッファ用供給電圧	注(3)、(4)	3.00 (3.00)	3.60 (3.60)	V
V_{CCIO}	出力バッファ供給電圧	注(3)、(4)	3.00 (3.00)	3.60 (3.60)	V
V_I	入力電圧	注(5)	0	5.3	V
V_O	出力電圧		0	V_{CCIO}	V
T_A	動作周囲温度	一般用	0	70	°C
		工業用	-40	85	°C
T_J	動作接合温度	一般用	0	85	°C
		工業用	-40	100	°C
t_R	立ち上がり時間			40	ns
t_F	立ち下がり時間			40	ns

EPF10K50VとEPF10K130VのDC特性 注(6)、(7)

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IH}	Highレベル入力電圧		2.0		5.3	V
V_{IL}	Lowレベル入力電圧		-0.3		0.8	V
V_{OH}	3.3-V HighレベルTTL出力電圧	$I_{OH} = -4$ mA DC, 注(8)	2.4			V
	3.3-V HighレベルCMOS出力電圧	$I_{OH} = -0.1$ mA DC, 注(8)	$V_{CCIO} - 0.2$			V
V_{OL}	3.3-V LowレベルTTL出力電圧	$I_{OL} = 4$ mA DC, 注(9)			0.45	V
	3.3-V LowレベルCMOS出力電圧	$I_{OL} = 0.1$ mA DC, 注(9)			0.2	V
I_I	入力ピンのリーク電流	$V_I = V_{CC}$ or ground	-10		10	μA
I_{OZ}	トライ・ステート時のI/Oピン・リーク電流	$V_O = V_{CC}$ or ground	-10		10	μA
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)	$V_I =$ ground, 無負荷		0.3		mA
		注(10)		10		mA

EPF10K50VとEPF10K130Vのキャパシタンス 注(11)

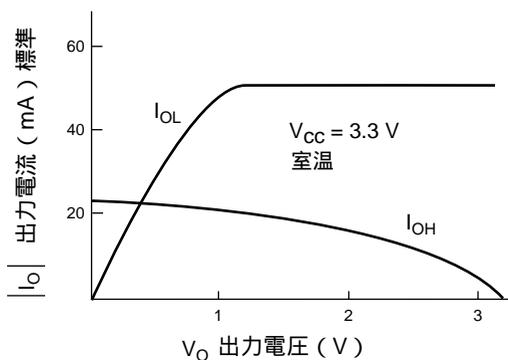
シンボル	パラメータ	条件	240-Pin EPF10K50V		356-Pin BGA EPF10K50V		599-Pin PGA EPF10K130V		600-Pin PGA EPF10K130V		単位
			最小	最大	最小	最大	最小	最大	最小	最大	
C_{IN}	入力キャパシタンス	$V_{IN} = 0$ V, $f = 1.0$ MHz		10		10		10		10	pF
C_{INCLK}	クロック専用ピンの入力キャパシタンス	$V_{IN} = 0$ V, $f = 1.0$ MHz		15		15		15		15	pF

注:

- (1) 絶対最大定格については、1998年版データブックに掲載されている「*Operating Requirement for Altera Devices*」を参照して下さい。
- (2) 最低DC入力電圧は - 0.3Vです。無負荷の条件で20ns以下の幅であれば、過渡状態の期間に入力が - 0.5Vまでアンダシュート、または5.7Vまでオーバシュートしても構いません。
- (3) カッコ内の数値は工業用温度範囲の製品の場合です。
- (4) V_{CC} の立ち上がりは最大100msです。 V_{CC} の上昇率は一定になっている必要があります。
- (5) EPF10K50VとEPF10K130Vの入力は V_{CCINT} に電源が供給される前にドライブされないようにする必要があります。
- (6) 標準値は $T_A=25$ 、 $V_{CC}=3.3$ -Vの条件のときのものです。
- (7) これらの値は46ページに記載されている「FLEX 10K A 3.3-Vデバイスの推奨動作条件」をベースに規定されています。
- (8) I_{OH} のパラメータはHighレベルTTLまたはCMOS出力電流として参照されます。
- (9) I_{OL} のパラメータはLowレベルTTLまたはCMOS出力電流として参照されます。このパラメータは出力ピンと同じようにオープン・ドレイン・ピンにも適用されます。
- (10) このパラメータはEPF10K50Vの-1スピード・グレードのデバイスに適用されます。
- (11) キャパシタンスはサンプルテストのみです。

図20はEPF10K50VとEPF10K130Vの標準的な出力ドライブ特性を示したものです。

図20 EPF10K50VとEPF10K130Vの出力ドライブ特性



FLEX 10KA 3.3-Vデバイスの絶対最大定格 注(1)

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電圧	GNDに対して 注(2)	-0.5	4.6	V
V_I	DC入力電圧		-0.5	5.7	V
I_{OUT}	ピンあたりのDC出力電流		-25	25	mA
T_{STG}	保存温度	バイアスなし	-65	150	°C
T_{AMB}	動作周囲温度	バイアス時	-65	135	°C
T_J	接合温度	セラミック・パッケージ、バイアス時		150	°C
		PQFP、TQFP、RQFPおよびBGAパッケージ、バイアス時		135	°C

FLEX 10KA 3.3-Vデバイスの推奨動作条件

シンボル	パラメータ	条件	最小	最大	単位
V_{CCINT}	内部ロジックと入力バッファ用供給電圧	注(3)、注(4)	3.00(3.00)	3.60(3.60)	V
V_{CCIO}	出力バッファ供給電圧、3.3-V用	注(3)、注(4)	3.00(3.00)	3.60(3.60)	V
	出力バッファ供給電圧、2.5-V用	注(3)、注(4)	2.30(2.30)	2.70(2.70)	V
V_I	入力電圧	注(5)	0	5.3	V
V_O	出力電圧		0	V_{CCIO}	V
T_A	動作周囲温度	一般用	0	70	°C
		工業用	-40	85	°C
T_J	動作接合温度	一般用	0	85	°C
		工業用	-40	100	°C
t_R	立ち上がり時間			40	ns
t_F	立ち下がり時間			40	ns

FLEX 10KA 3.3-VデバイスのDC特性 注(6)、(7)

シンボル	パラメータ	条件	最小	標準	最大	単位
V_{IH}	Highレベル入力電圧		1.7 or $0.5 \times V_{CCINT}$ いずれかの低い電圧		5.3	V
V_{IL}	Lowレベル入力電圧		-0.5		$0.3 \times V_{CCINT}$	V
V_{OH}	3.3-V HighレベルTTL出力電圧	$I_{OH} = -4$ mA DC, $V_{CCIO} = 3.00$ V, 注(8)	2.4			V
	3.3-V HighレベルCMOS出力電圧	$I_{OH} = -0.1$ mA DC, $V_{CCIO} = 3.00$ V, 注(8)	$V_{CCIO} - 0.2$			V
	3.3-V HighレベルPCI出力電圧	$I_{OH} = -0.5$ mA DC, $V_{CCIO} = 3.00$ to 3.60 V, 注(8)	$0.9 \times V_{CCIO}$			V
	2.5-V Highレベル出力電圧	$I_{OH} = -0.1$ mA DC, $V_{CCIO} = 2.30$ V, 注(8)	2.1			V
		$I_{OH} = -1$ mA DC, $V_{CCIO} = 2.30$ V, 注(8)	2.0			V
		$I_{OH} = -2$ mA DC, $V_{CCIO} = 2.30$ V, 注(8)	1.7			V
V_{OL}	3.3-V LowレベルTTL出力電圧	$I_{OL} = 4$ mA DC, $V_{CCIO} = 3.00$ V, 注(9)			0.45	V
	3.3-V LowレベルCMOS出力電圧	$I_{OL} = 0.1$ mA DC, $V_{CCIO} = 3.00$ V, 注(9)			0.2	V
	3.3-V LowレベルPCI出力電圧	$I_{OL} = 1.5$ mA DC, $V_{CCIO} = 3.00$ to 3.60 V, 注(9)			$0.1 \times V_{CCIO}$	V
	2.5-V Lowレベル出力電圧	$I_{OL} = 0.1$ mA DC, $V_{CCIO} = 2.30$ V, 注(9)			0.2	V
		$I_{OL} = 1$ mA DC, $V_{CCIO} = 2.30$ V, 注(9)			0.4	V
		$I_{OL} = 2$ mA DC, $V_{CCIO} = 2.30$ V, 注(9)			0.7	V
I_I	入力ピンのリーク電流	$V_I = V_{CC}$ or ground	-10		10	μ A
I_{OZ}	トライ・ステート時の/Oピン・リーク電流	$V_O = V_{CC}$ or ground	-10		10	μ A
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)	$V_I =$ ground, 無負荷		0.3		mA
		注(10)		10		mA

EPF10K10AとEPF10K30A 3.3-V デバイスのキャパシタンス 注(11)、(12)

シンボル	パラメータ	条件	144-Pin TQFP EPF10K10A EPF10K30A		208-Pin RQFP EPF10K10A EPF10K30A		240-Pin RQFP EPF10K30A		356-Pin BGA EPF10K30A		単位
			最小	最大	最小	最大	最小	最大	最小	最大	
C_{IN}	入力キャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		8		8		8		8	pF
C_{INCLK}	クロック専用ピンの入力キャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		12		12		12		12	pF

EPF10K100A 3.3-V デバイスのキャパシタンス 注(11)、(12)

シンボル	パラメータ	条件	240-Pin RQFP EPF10K100A		356-Pin PGA EPF10K100A		単位
			最小	最大	最小	最大	
C_{IN}	入力キャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		10		10	pF
C_{INCLK}	クロック専用ピンの入力キャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		15		15	pF

EPF10K250A 3.3-V デバイスのキャパシタンス 注(11)、(12)

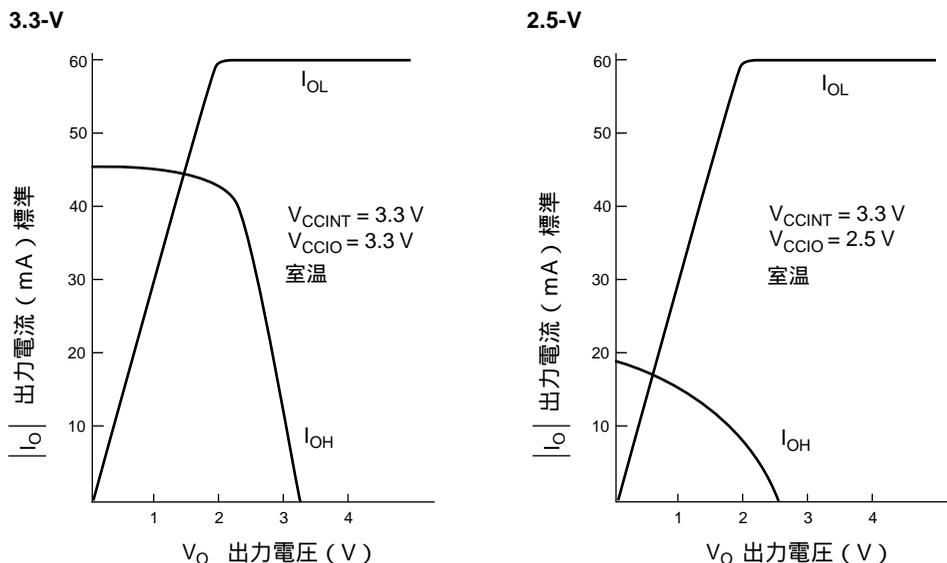
シンボル	パラメータ	条件	599-Pin PGA EPF10K250A		600-Pin BGA EPF10K250A		単位
			最小	最大	最小	最大	
C_{IN}	入力キャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		10		10	pF
C_{INCLK}	クロック専用ピンの入力キャパシタンス	$V_{IN} = 0\text{ V}$, $f = 1.0\text{ MHz}$		15		15	pF

注：

- (1) 絶対最大定格については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices*」を参照して下さい。
- (2) 最低DC入力電圧は - 0.3Vです。無負荷の条件で20ns以下の幅であれば、過渡状態の期間に入力が - 0.5Vまでアンダシュート、または5.7Vまでオーバシュートしても構いません。
- (3) カッコ内の数値は工業用温度範囲の製品の場合です。
- (4) V_{CC} の立ち上がりは最大100msです。 V_{CC} の上昇率は一定になっている必要があります。
- (5) FLEX 10KAデバイス（EPF10K50VとEPF10K130Vを含まず）の入力は V_{CCINT} と V_{CCIO} に電源が供給される前にドライブすることができます。
- (6) 標準値は $T_A = 25$ 、 $V_{CC} = 3.3\text{-V}$ の条件のときのものです。
- (7) これらの値は46ページに記載されている「FLEX 10KA 3.3-V デバイスの推奨動作条件」をベースに規定されています。
- (8) I_{OH} のパラメータはHighレベルTTLまたはCMOS出力電流として参照されます。
- (9) I_{OL} のパラメータはLowレベルTTLまたはPCI、CMOS出力電流として参照されます。このパラメータは出力ピンと同じようにオープン・ドレイン・ピンにも適用されます。
- (10) このパラメータはEPF10K100Aのデバイスに適用されます。
- (11) キャパシタンスはサンプルテストのみです。
- (12) この表の値は暫定仕様です。最新の仕様については日本アルテラの応用技術部へお問い合わせ下さい。

図21は V_{CCIO} を3.3-Vおよび2.5-Vに設定したFLEX 10KAデバイスの標準的な出力ドライブ特性を示したものです。 V_{CCIO} が3.3-Vに設定されたデバイスの出力ドライバは3.3-VのPCI Local Bus Specification Revision 2.1と互換性があります。

図21 FLEX 10KAデバイスの出力ドライブ特性



タイミング・モデル

FLEX 10Kデバイスでは、連続した高性能な配線リソースとなっているFastTrackインタコネクトによって、予測可能な性能と正確なシミュレーションが保証されています。この性能が予測可能な点は、分割された配線方式を使用しているために性能の予測が不可能となるFPGAと大きく異なる点です。

デバイスの性能はソースからインタコネクトを通過してディストネーションに至る信号パスをトレースすることによって、推定することができます。例えば、同じロウに配置されている2つのLE間におけるレジスタの性能は下記のパラメータを加えることによって計算することができます。

- LEレジスタの「Clock-to-Output」遅延 (t_{CO})
- 配線遅延 ($t_{SAMEROW}$)
- LEのルック・アップ・テーブル遅延 (t_{LUT})
- LEレジスタのセットアップ・タイム (t_{SU})

配線の遅延時間はソースとディストネーションとなるLEの位置に依存しません。さらに複雑なレジスタのパスでは、ソースとディストネーションとなるLE間に複数のLEによる組み合わせ回路が構成されることもあります。

タイミング・シミュレーションと遅延時間の予測には、MAX+PLUS IIのシミュレータとタイミング・アナライザ、または業界標準のEDAツールを使用することができます。MAX+PLUS Iのシミュレータでは、論理合成前に設計回路の正確さを評価するために行う機能シミュレーションと、0.1nsの分解能で行われる論理合成後のタイミング・シミュレーションがサポートされています。また、タイミング・アナライザは指定されたポイント間のタイミング・ディレイ情報を提供し、セットアップ・タイムとホールド・タイムの解析、およびシステム・レベルの性能解析を行います。

図22は、FLEX 10Kデバイス内の多様なエレメント間で接続される可能性のあるパスを表したデバイス全体のタイミング・モデルです。

図22 FLEX 10Kデバイスのタイミング・モデル

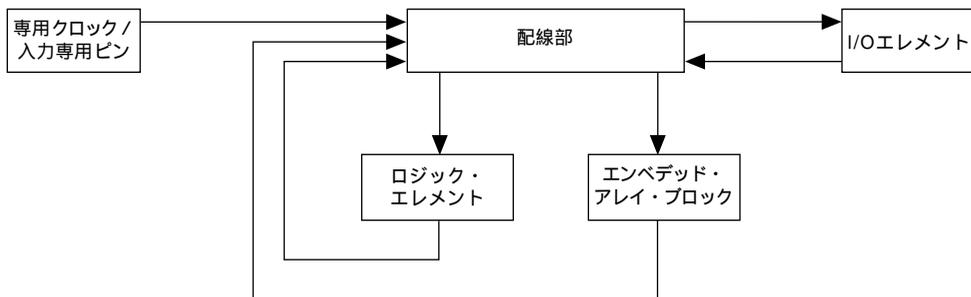


図23から図25は、LE、IOE、およびEAB内部のタイミング・モデルであり、各エレメントの機能と多様なパスに対応した遅延時間が示されています。

図23 FLEX 10KデバイスのLEタイミング・モデル

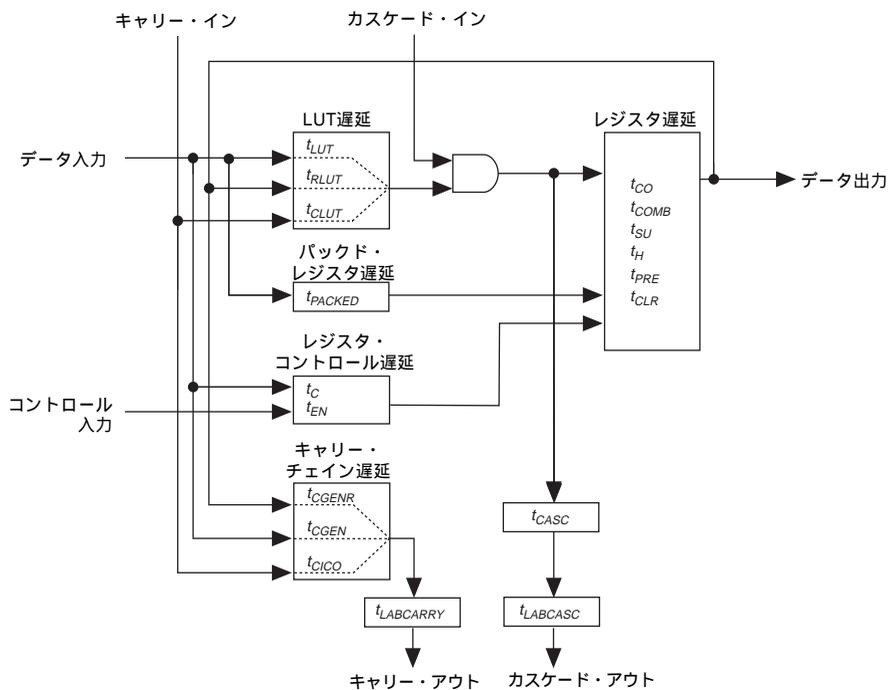


図24 FLEX 10KデバイスのIOEタイミング・モデル

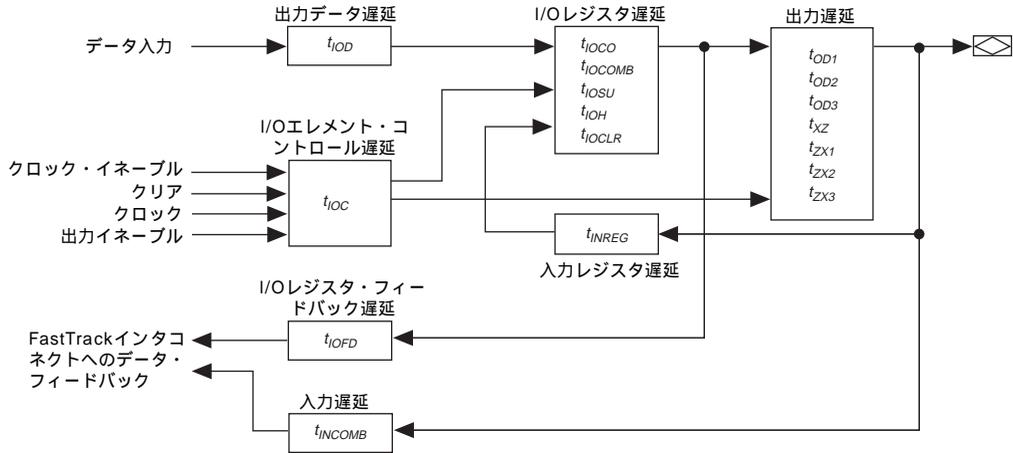


図25 FLEX 10KデバイスのEABタイミング・モデル

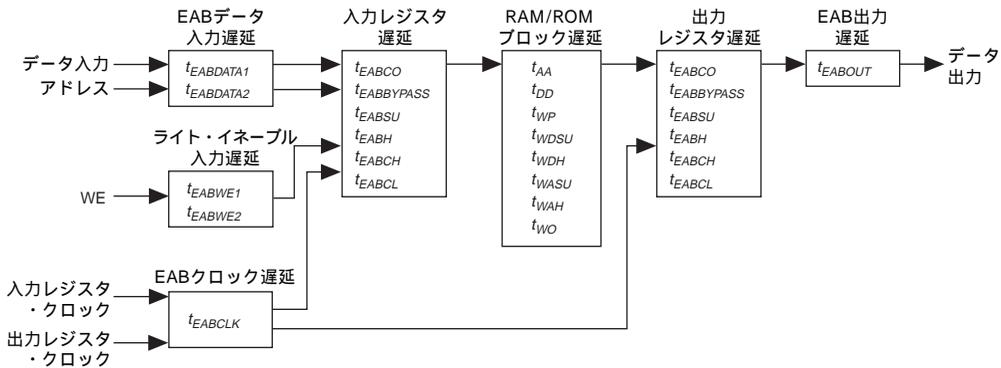


表14から表18は、FLEX 10Kの内部タイミング・パラメータです。これらの内部タイミング・パラメータはワースト・ケースの値で表示されていません。これらのタイミング・パラメータを使用した計算結果から、デザインの性能を推定することができます。ただし、デザインを確定する前に、実際のワースト・ケースの性能をタイミング・シミュレーションやタイミング解析の機能を使用して確認しておく必要があります。表19と表20はFLEX 10Kの外部タイミング・パラメータです。

シンボル	パラメータ	条件
t_{LUT}	データ入力のLUT遅延	
t_{CLUT}	キャリー入力のLUT遅延	
t_{RLUT}	LEレジスタ・フィードバックのLUT遅延	
t_{PACKED}	データ入力からパックド・レジスタへの遅延	
t_{EN}	LEレジスタのイネーブル遅延	
t_{CICO}	キャリー・インからキャリー・アウトまでの遅延	
t_{CGEN}	データ入力からキャリー・アウトまでの遅延	
t_{CGENR}	LEレジスタのフィードバックからキャリー・アウトまでの遅延	
t_{CASC}	カスケード・インからカスケード・アウトまでの遅延	
t_C	LEレジスタのコントロール信号遅延	
t_{CO}	LEレジスタの「Clock-to-Output」遅延	
t_{COMB}	組み合わせ回路の遅延	
t_{SU}	LEレジスタのセットアップ・タイム。非同期クリア、プリセット、ロード後のLEレジスタ、リカバリ・タイム	
t_H	LEレジスタのホールド・タイム	
t_{PRE}	LEレジスタのプリセット遅延	
t_{CLR}	LEレジスタのクリア遅延	
t_{CH}	クロック・ピンからのクロックHigh最小期間	
t_{CL}	クロック・ピンからのクロックLow最小期間	

シンボル	パラメータ	条件
t_{IOD}	IOEデータ遅延	
t_{IOC}	IOEレジスタのコントロール信号遅延	
t_{IOCO}	IOEレジスタの「Clock-to-Output」遅延	
t_{IOCOMB}	IOE組み合わせ回路出力遅延	
t_{IOSU}	IOEレジスタのデータ・セットアップ・タイム。非同期クリア後のIOEレジスタ、リカバリ・タイム	
t_{IOH}	IOEレジスタのデータ・ホールド・タイム	
t_{IOCLR}	IOEレジスタのクリア・タイム	
t_{OD1}	出力バッファとパッドの遅延 Slow Slew Rate= off、 $V_{CCIO}=V_{CCINT}$	C1 = 35 pF 注(2)
t_{OD2}	出力バッファとパッドの遅延 Slow Slew Rate= off、 $V_{CCIO}=Low Voltage$	C1 = 35 pF 注(3)
t_{OD3}	出力バッファとパッドの遅延 Slow Slew Rate= on	C1 = 35 pF 注(4)

表15 IOEのタイミング・マイクロパラメータ (2/2) 注(1)

シンボル	パラメータ	条件
t_{XZ}	IOE出力バッファのディセーブル遅延	
t_{ZX1}	IOE出力バッファのイネーブル遅延 Slow Slew Rate= off、 $V_{CCIO}=V_{CCINT}$	$C1 = 35 \text{ pF}$ 注(2)
t_{ZX2}	IOE出力バッファのイネーブル遅延 Slow Slew Rate= off、 $V_{CCIO}=\text{Low Voltage}$	$C1 = 35 \text{ pF}$ 注(3)
t_{ZX3}	IOE出力バッファのイネーブル遅延 Slow Slew Rate= on	$C1 = 35 \text{ pF}$ 注(4)
t_{INREG}	IOE入力パッドとバッファからIOEレジスタまでの遅延	
t_{IOFD}	IOEレジスタのフィードバック遅延	
t_{INCOMB}	IOEの入力パッドとバッファからFastTrackインタコネクタまでの遅延	

表16 EABのタイミング・マイクロパラメータ 注(1)

シンボル	パラメータ	条件
$t_{EABDATA1}$	EABの組み合わせ入力に対するデータまたはアドレスの遅延	
$t_{EABDATA2}$	EABのレジスタ入力に対するデータまたはアドレスの遅延	
t_{EABWE1}	EABの組み合わせ入力に対するライト・イネーブルの遅延	
t_{EABWE2}	EABのレジスタ入力に対するライト・イネーブルの遅延	
t_{EABCLK}	EABレジスタのクロック遅延	
t_{EABCO}	EABレジスタの「Clock-to-Output」遅延	
$t_{EABBYPASS}$	レジスタ・バイパス遅延	
t_{EABSU}	EABレジスタのセットアップ・タイム	
t_{EABH}	EABレジスタのホールド・タイム	
t_{EABCH}	クロック、High期間	
t_{EABCL}	クロック、Low期間	
t_{AA}	アドレス・アクセス遅延	
t_{WP}	ライト・パルス幅	
t_{WDSU}	ライト・パルスの立ち下がり前のデータ・セットアップ・タイム	注(5)
t_{WDH}	ライト・パルスの立ち下がり後のデータ・ホールド・タイム	注(5)
t_{WASU}	ライト・パルスの立ち上がりエッジ前のアドレス・セットアップ・タイム	注(5)
t_{WAH}	ライト・パルスの立ち下がりエッジ後のアドレス・ホールド・タイム	注(5)
t_{WO}	ライト・イネーブルからデータ出力確定までの遅延	
t_{DD}	データ入力から出力確定までの遅延	
t_{EABOUT}	データ出力遅延	

表17 EABのタイミング・マクロパラメータ 注(1)、(6)

シンボル	パラメータ	条件
t_{EABAA}	EABアドレス・アクセス遅延	
$t_{EABRCCOMB}$	EAB非同期リード・サイクル・タイム	
$t_{EABRCREG}$	EAB同期リード・サイクル・タイム	
t_{EABWP}	EABライト・パルス幅	
$t_{EABWCCOMB}$	EAB非同期ライト・サイクル・タイム	
$t_{EABWCREG}$	EAB同期ライト・サイクル・タイム	
t_{EABDD}	EABデータ入力からデータ出力確定までの遅延	
$t_{EABDATACO}$	出力レジスタ使用時のEAB「Clock-to-Output」遅延	
$t_{EABDATASU}$	入力レジスタ使用時のEABデータ/アドレス・セットアップ・タイム	
$t_{EABDATAH}$	入力レジスタ使用時のEABデータ/アドレス・ホールド・タイム	
$t_{EABWESU}$	入力レジスタ使用時のEAB WE信号セットアップ・タイム	
$t_{EABWESH}$	入力レジスタ使用時のEAB WE信号ホールド・タイム	
$t_{EABWDSU}$	入力レジスタ非使用時のライト・パルス立ち下がりエッジ前のEABデータ・セットアップ・タイム	
t_{EABWDH}	入力レジスタ非使用時のライト・パルス立ち下がりエッジ後のEABデータ・ホールド・タイム	
$t_{EABWASU}$	入力レジスタ非使用時のライト・パルス立ち上がりエッジ前のEABアドレス・セットアップ・タイム	
t_{EABWAH}	入力レジスタ非使用時のライト・パルス立ち下がりエッジ後のEABアドレス・ホールド・タイム	
t_{EABWO}	EABライト・イネーブルからデータ出力の確定までの遅延	

表18 インタコネク特・タイミング・マイクロパラメータ 注(1)		
シンボル	パラメータ	条件
$t_{SAMELAB}$	同一LAB内でのLE間配線遅延	
$t_{SAMEROW}$	ロウ側のIOE、LE、またはEABから同じロウのIOE、LEまたはEABをドライブしたときの配線遅延	注(7)
$t_{SAMECOLUMN}$	LEから同じカラム側のIOEをドライブしたときの配線遅延	注(7)
$t_{DIFFROW}$	カラム側のIOE、LE、またはEABから、異なるロウのLEまたはEABをドライブしたときの配線遅延	注(7)
$t_{TWOROWS}$	ロウ側のIOEまたはEABから、異なるロウのLEまたはEABをドライブしたときの配線遅延	注(7)
$t_{LEPERIPH}$	LEからIOEのコントロール信号をペリフェラル・コントロール・バスを通じてドライブしたときの配線遅延	注(7)
$t_{LABCARRY}$	LEのキャリア・アウト信号が異なるLAB内のLEのキャリア・インをドライブしたときの配線遅延	
$t_{LABCASC}$	LEのカスケード・アウト信号が異なるLAB内のLEのカスケード・インをドライブしたときの配線遅延	
$t_{DIN2IOE}$	入力専用ピンからIOEのコントロール入力までの遅延	注(7)
t_{DIN2LE}	入力専用ピンからLEまたはEABのコントロール入力までの遅延	注(7)
$t_{DCLK2IOE}$	クロック専用ピンからIOEクロックまでの遅延	注(7)
$t_{DCLK2LE}$	クロック専用ピンからLEまたはEABクロックまでの遅延	注(7)
$t_{DIN2DATA}$	専用入力またはクロックからLEまたはEABのデータ入力までの遅延	注(7)

表19 外部リファレンス・タイミング・パラメータ 注(8)		
シンボル	パラメータ	条件
t_{DRR}	4個のLE、3本のロウ・インタコネク特、4本のローカル・インタコネク特を通る信号のレジスタ-レジスタ間の遅延	注(9)

表20 外部タイミング・パラメータ 注(10)		
シンボル	パラメータ	条件
t_{INSU}	IOEレジスタのグローバル・クロック・セットアップ・タイム	
t_{INH}	IOEレジスタのグローバル・クロック・ホールド・タイム	
t_{OUTCO}	グローバル・クロックを使用したときの、IOEレジスタの「Clock-to-Output」遅延	
t_{ODH}	クロック入力後の出力データ・ホールド・タイム	C1=35pF 注(11)

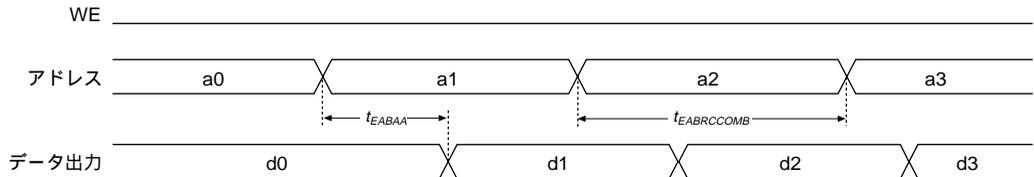
表内の注：

- (1) マイクロパラメータは、アーキテクチャ上の各エレメントによって発生するタイミング遅延です。これらのパラメータを正確に測定することはできません。
- (2) 動作条件： FLEX 10Kデバイスの一般用は $V_{CCIO}=5.0V \pm 5\%$
FLEX 10Kデバイスの工業用は $V_{CCIO}=5.0V \pm 10\%$
FLEX 10K Aデバイスの一般用または工業用は $V_{CCIO}=3.3V \pm 10\%$
- (3) 動作条件： FLEX 10Kデバイスの一般用または工業用は $V_{CCIO}=3.3V \pm 10\%$
FLEX 10K Aデバイスの一般用または工業用は $V_{CCIO}=2.5V \pm 0.2V$
- (4) 動作条件は $V_{CCIO}=2.5-V$ 、 $3.3-V$ または $5.0-V$ です。
- (5) EAB内のRAMは自分自身でタイミングをとるようになっており、WE信号がレジスタされる場合はこのタイミングを無視することができます。
- (6) EABのマクロパラメータは、EABの特性を簡単に予測できるようにするための内部タイミング・パラメータです。これらのパラメータは選択された各マイクロパラメータを加算することによって計算できます。
- (7) これらの値は代表的なアプリケーションにおけるワースト・ケースの値です。各デザインの実際のワースト・ケース性能を決定するためには、コンパイル完了後にタイミング・シミュレーションとタイミング解析を行う必要があります。
- (8) 外部リファレンス・タイミング・パラメータはアルテラの工場ですべてのワースト・ケースの値が保証されています。標準的なデバイス・アプリケーションに近い信号バスを組み合わせた状態でテストが行われています。
- (9) テスト回路の詳細、条件などについては日本アルテラへお問い合わせ下さい。
- (10) これらのタイミング・パラメータはサンプル・テストのみです。
- (11) このパラメータはサンプル・テストと幅広い評価テスト結果に基づいて算出された参考値です。このパラメータはグローバル・クロックとそれ以外のクロックの双方に適用され、LE、EAB、およびIOEの各レジスタに適用されます。

図26と図27は表16で示したEABのマクロパラメータの非同期および同期タイミングの波形です。

図26 EABの非同期リード動作

EABの非同期リード動作



EABの非同期ライト動作

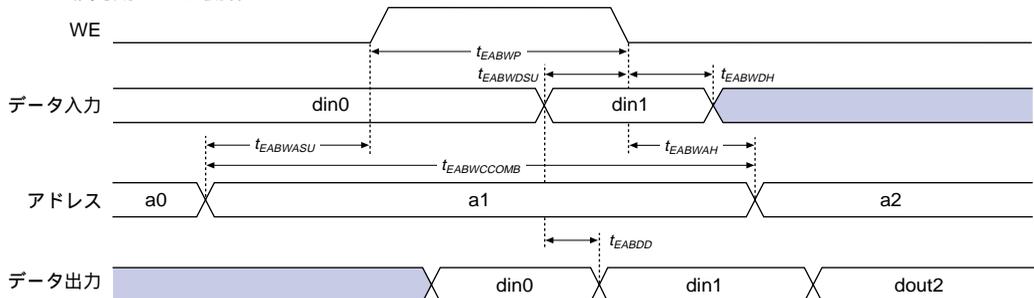
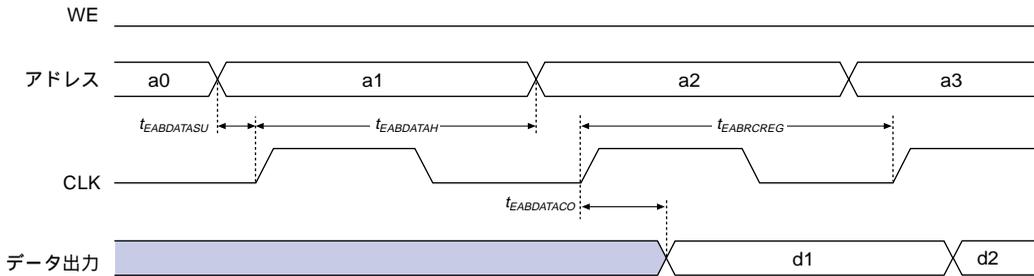
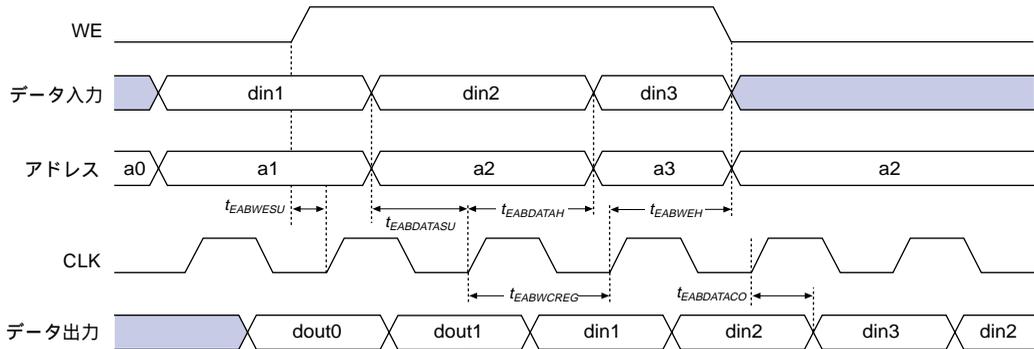


図27 EABの同期タイミングの波形

EABの同期リード動作



EABの同期ライト動作



EPF10K10とEPF10K20の内部および外部タイミング・パラメータ

EPF10K10とEPF10K20のLEタイミング・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
t_{LUT}		1.4		1.7	ns
t_{CLUT}		0.6		0.7	ns
t_{RLUT}		1.5		1.9	ns
t_{PACKED}		0.6		0.9	ns
t_{EN}		1.0		1.2	ns
t_{CICO}		0.2		0.3	ns
t_{CGEN}		0.9		1.2	ns
t_{CGENR}		0.9		1.2	ns
t_{CASC}		0.8		0.9	ns
t_C		1.3		1.5	ns
t_{CO}		0.9		1.1	ns
t_{COMB}		0.5		0.6	ns
t_{SU}	1.3		2.5		ns
t_H	1.4		1.6		ns
t_{PRE}		1.0		1.2	ns
t_{CLR}		1.0		1.2	ns
t_{CH}	4.0		4.0		ns
t_{CL}	4.0		4.0		ns

注：

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K10とEPF10K20のIOEタイミング・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
t_{IOD}		1.3		1.6	ns
t_{IOC}		0.5		0.7	ns
t_{IOCO}		0.2		0.2	ns
t_{IOCOMB}		0.0		0.0	ns
t_{IOSU}	2.8		3.2		ns
t_{IOH}	1.0		1.2		ns
t_{IOCLR}		1.0		1.2	ns
t_{OD1}		2.6		3.5	ns
t_{OD2}		4.9		6.4	ns
t_{OD3}		6.3		8.2	ns
t_{XZ}		4.5		5.4	ns
t_{ZX1}		4.5		5.4	ns
t_{ZX2}		6.8		8.3	ns
t_{ZX3}		8.2		10.1	ns
t_{INREG}		6.0		7.5	ns
t_{OFD}		3.1		3.5	ns
t_{INCOMB}		3.1		3.5	ns

注：

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K10とEPF10K20のEAB内部タイミング・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
$t_{EABDATA1}$		1.5		1.9	ns
$t_{EABDATA2}$		4.8		6.0	ns
t_{EABWE1}		1.0		1.2	ns
t_{EABWE2}		5.0		6.2	ns
t_{EABCLK}		1.0		2.2	ns
t_{EABCO}		0.5		0.6	ns
$t_{EABYPASS}$		1.5		1.9	ns
t_{EABSU}	1.5		1.8		ns
t_{EABH}	2.0		2.5		ns
t_{AA}		8.7		10.7	ns
t_{WP}	5.8		7.2		ns
t_{WDSU}	1.6		2.0		ns
t_{WDH}	0.3		0.4		ns
t_{WASU}	0.5		0.6		ns
t_{WAH}	1.0		1.2		ns
t_{WO}		5.0		6.2	ns
t_{DD}		5.0		6.2	ns
t_{EABOUT}		0.5		0.6	ns
t_{EABCH}	4.0		4.0		ns
t_{EABCL}	5.8		7.2		ns

注：

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K10とEPF10K20のEAB内部タイミング・マクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
t_{EABAA}		13.7		17.0	ns
$t_{EABRCCOMB}$	13.7		17.0		ns
$t_{EABRCREG}$	9.7		11.9		ns
t_{EABWP}	5.8		7.2		ns
$t_{EABWCCOMB}$	7.3		9.0		ns
$t_{EABWCREG}$	13.0		16.0		ns
t_{EABDD}		10.0		12.5	ns
$t_{EABDATAO}$		2.0		3.4	ns
$t_{EABDATASU}$	5.3		5.6		ns
$t_{EABDATAH}$	0.0		0.0		ns
$t_{EABWESU}$	5.5		5.8		ns
t_{EABWEH}	0.0		0.0		ns
$t_{EABWDSU}$	5.5		5.8		ns
t_{EABWDH}	0.0		0.0		ns
$t_{EABWASU}$	2.1		2.7		ns
t_{EABWAH}	0.0		0.0		ns
t_{EABWO}		9.5		11.8	ns

注：

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K10のインタコネク・タイミング・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
$t_{DIN2IOE}$		4.8		6.2	ns
t_{DIN2LE}		2.6		3.8	ns
$t_{DIN2DATA}$		4.3		5.2	ns
$t_{DCLK2IOE}$		3.4		4.0	ns
$t_{DCLK2LE}$		2.6		3.8	ns
$t_{SAMELAB}$		0.6		0.6	ns
$t_{SAMEROW}$		3.6		3.8	ns
$t_{SAMECOLUMN}$		0.9		1.1	ns
$t_{DIFFROW}$		4.5		4.9	ns
$t_{TROWROWS}$		8.1		8.7	ns
$t_{LEPERIPH}$		3.3		3.9	ns
$t_{LABCARRY}$		0.5		0.8	ns
$t_{LABCASC}$		2.7		3.0	ns

EPF10K20のインタコネク・タイミング・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
$t_{DIN2IOE}$		5.2		6.6	ns
t_{DIN2LE}		2.6		3.8	ns
$t_{DIN2DATA}$		4.3		5.2	ns
$t_{DCLK2IOE}$		4.3		4.0	ns
$t_{DCLK2LE}$		2.6		3.8	ns
$t_{SAMELAB}$		0.6		0.6	ns
$t_{SAMEROW}$		3.7		3.9	ns
$t_{SAMECOLUMN}$		1.4		1.6	ns
$t_{DIFFROW}$		5.1		5.5	ns
$t_{TROWROWS}$		8.8		9.4	ns
$t_{LEPERIPH}$		4.7		5.6	ns
$t_{LABCARRY}$		0.5		0.8	ns
$t_{LABCASC}$		2.7		3.0	ns

注：

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K10とEPF10K20の外部タイミング・パラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
t_{DDR}		16.1		20.0	ns
t_{INSU} 注(2)、(3)	5.5		6.0		ns
t_{INH} 注(3)	0.0		0.0		ns
t_{OUTCO} 注(3)		6.7		8.4	ns
t_{ODH} 注(3)	2.0		2.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) 信号をレジスタする場合、LEを使用することでセットアップ・タイムが短くなることがあります。
- (3) このパラメータはデバイスの特性評価によって得られた値で、記載されている値が保証されています。

EPF10K30、EPF10K40、EPF10K50の内部および外部タイミング・パラメータ

EPF10K30、EPF10K40、EPF10K50のLEタイミング・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
t_{LUT}		1.3		1.8	ns
t_{CLUT}		0.6		0.6	ns
t_{RLUT}		1.5		2.0	ns
t_{PACKED}		0.5		0.8	ns
t_{EN}		0.9		1.5	ns
t_{CICO}		0.2		0.4	ns
t_{CGEN}		0.9		1.4	ns
t_{CGENR}		0.9		1.4	ns
t_{CASC}		1.0		1.2	ns
t_{C}		1.3		1.6	ns
t_{CO}		0.9		1.2	ns
t_{COMB}		0.6		0.6	ns
t_{SU}	1.4		1.4		ns
t_{H}	0.9		1.3		ns
t_{PRE}		0.9		1.2	ns
t_{CLR}		0.9		1.2	ns
t_{CH}	4.0		4.0		ns
t_{CL}	4.0		4.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K30、EPF10K40、EPF10K50のIOEタイミング・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
t_{IOD}		0.4		0.6	ns
t_{IOC}		0.5		0.9	ns
t_{IOCO}		0.4		0.5	ns
t_{IOCOMB}		0.0		0.0	ns
t_{IOSU}	3.1		3.5		ns
t_{IOH}	1.0		1.9		ns
t_{IOCLR}		1.0		1.2	ns
t_{OD1}		3.3		3.6	ns
t_{OD2}		5.6		6.5	ns
t_{OD3}		7.0		8.3	ns
t_{XZ}		5.2		5.5	ns
t_{ZX1}		5.2		5.5	ns
t_{ZX2}		7.5		8.4	ns
t_{ZX3}		8.9		10.2	ns
t_{INREG}		7.7		10.0	ns
t_{IOFD}		3.3		4.0	ns
t_{INCOMB}		3.3		4.0	ns

注：

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K30、EPF10K40、EPF10K50のEAB内部タイミング・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
$t_{EABDATA1}$		1.5		1.9	ns
$t_{EABDATA2}$		4.8		6.0	ns
t_{EABWE1}		1.0		1.2	ns
t_{EABWE2}		5.0		6.2	ns
t_{EABCLK}		1.0		2.2	ns
t_{EABCO}		0.5		0.6	ns
$t_{EABYPASS}$		1.5		1.9	ns
t_{EABSU}	1.5		1.8		ns
t_{EABH}	2.0		2.5		ns
t_{AA}		8.7		10.7	ns
t_{WP}	5.8		7.2		ns
t_{WDSU}	1.6		2.0		ns
t_{WDH}	0.3		0.4		ns
t_{WASU}	0.5		0.6		ns
t_{WAH}	1.0		1.2		ns
t_{WO}		5.0		6.2	ns
t_{DD}		5.0		6.2	ns
t_{EABOUT}		0.5		0.6	ns
t_{EABCH}	4.0		4.0		ns
t_{EABCL}	5.8		7.2		ns

注：

(1) すべてのタイミング・パラメータは表14から表20に解説されています。

EPF10K30、EPF10K40、EPF10K50のEAB内部タイミング・マクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
t_{EABAA}		13.7		17.0	ns
$t_{EABRCCOMB}$	13.7		17.0		ns
$t_{EABRCREG}$	9.7		11.9		ns
t_{EABWP}	5.8		7.2		ns
$t_{EABWCCOMB}$	7.3		9.0		ns
$t_{EABWCREG}$	13.0		16.0		ns
t_{EABDD}		10.0		12.5	ns
$t_{EABDATACO}$		2.0		3.4	ns
$t_{EABDATASU}$	5.3		5.6		ns
$t_{EABDATAH}$	0.0		0.0		ns
$t_{EABWESU}$	5.5		5.8		ns
t_{EABWEH}	0.0		0.0		ns
$t_{EABWDSU}$	5.5		5.8		ns
t_{EABWDH}	0.0		0.0		ns
$t_{EABWASU}$	2.1		2.7		ns
t_{EABWAH}	0.0		0.0		ns
t_{EABWO}		9.5		11.8	ns

注：

(1) すべてのタイミング・パラメータは表14から表20に解説されています。

EPF10K30のインタコネクト・タイミング・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
$t_{DIN2IOE}$		6.9		8.7	ns
t_{DIN2LE}		3.6		4.8	ns
$t_{DIN2DATA}$		5.5		7.2	ns
$t_{DCLK2IOE}$		4.6		6.2	ns
$t_{DCLK2LE}$		3.6		4.8	ns
$t_{SAMELAB}$		0.3		0.3	ns
$t_{SAMEROW}$		3.3		3.7	ns
$t_{SAMECOLUMN}$		2.5		2.7	ns
$t_{DIFFROW}$		5.8		6.4	ns
$t_{TWOROWS}$		9.1		10.1	ns
$t_{LEPERIPH}$		6.2		7.1	ns
$t_{LABCARRY}$		0.4		0.6	ns
$t_{LABCASC}$		2.4		3.0	ns

EPF10K40のインタコネクト・タイミング・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
$t_{DIN2IOE}$		7.6		9.4	ns
t_{DIN2LE}		3.6		4.8	ns
$t_{DIN2DATA}$		5.5		7.2	ns
$t_{DCLK2IOE}$		4.6		6.2	ns
$t_{DCLK2LE}$		3.6		4.8	ns
$t_{SAMELAB}$		0.3		0.3	ns
$t_{SAMEROW}$		3.3		3.7	ns
$t_{SAMECOLUMN}$		3.1		3.2	ns
$t_{DIFFROW}$		6.4		6.4	ns
$t_{TWOROWS}$		9.7		10.6	ns
$t_{LEPERIPH}$		6.4		7.1	ns
$t_{LABCARRY}$		0.4		0.6	ns
$t_{LABCASC}$		2.4		3.0	ns

注：

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K50のインタコネク・タイミン・マイクロパラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
$t_{DIN2IOE}$		8.4		10.2	ns
t_{DIN2LE}		3.6		4.8	ns
$t_{DIN2DATA}$		5.5		7.2	ns
$t_{DCLK2IOE}$		4.6		6.2	ns
$t_{DCLK2LE}$		3.6		4.8	ns
$t_{SAMELAB}$		0.3		0.3	ns
$t_{SAMEROW}$		3.3		3.7	ns
$t_{SAMECOLUMN}$		3.9		4.1	ns
$t_{DIFFROW}$		7.2		7.8	ns
$t_{TWOROWS}$		10.5		11.5	ns
$t_{LEPERIPH}$		7.5		8.2	ns
$t_{LABCARRY}$		0.4		0.6	ns
$t_{LABCASC}$		2.4		3.0	ns

EPF10K30とEPF10K40、EPF10K50の外部タイミン・パラメータ 注(1)					
シンボル	-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	
t_{DRR}		17.2		21.1	ns
t_{NSU} 注(2)、(3)	5.7		6.4		ns
t_{NH} 注(3)	0.0		0.0		ns
t_{OUTCO} 注(3)		8.8		11.2	ns
t_{ODH} 注(3)	2.0		2.0		ns

注：

- (1) すべてのタイミン・パラメータは表14から表20で解説されています。
- (2) 信号をレジスタする場合、LEを使用することでセットアップ・タイムが短くなることがあります。
- (3) このパラメータはデバイスの特性評価によって得られた値で、記載されている値が保証されています。

EPF10K70の内部および外部タイミング・パラメータ

EPF10K70のLEタイミング・マイクロパラメータ 注(1)							
シンボル	-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{LUT}		1.3		1.5		2.0	ns
t_{CLUT}		0.4		0.4		0.5	ns
t_{RLUT}		1.5		1.6		2.0	ns
t_{PACKED}		0.8		0.9		1.3	ns
t_{EN}		0.8		0.9		1.2	ns
t_{CICO}		0.2		0.2		0.3	ns
t_{CGEN}		1.0		1.1		1.4	ns
t_{CGENR}		1.1		1.2		1.5	ns
t_{CASC}		1.0		1.1		1.3	ns
t_C		0.7		0.8		1.0	ns
t_{CO}		0.9		1.0		1.4	ns
t_{COMB}		0.4		0.5		0.7	ns
t_{SU}	1.9		2.1		2.6		ns
t_H	2.1		2.3		3.1		ns
t_{PRE}		0.9		1.0		1.4	ns
t_{CLR}		0.9		1.0		1.4	ns
t_{CH}	4.0		4.0		4.0		ns
t_{CL}	4.0		4.0		4.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K70のIOEタイミング・マイクロパラメータ 注(1)							
シンボル	-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{IOD}		0.0		0.0		0.0	ns
t_{IOC}		0.4		0.5		0.7	ns
t_{IOCO}		0.4		0.4		0.9	ns
t_{IOCOMB}		0.0		0.0		0.0	ns
t_{IOSU}	4.5		5.0		6.2		ns
t_{IOH}	0.4		0.5		0.7		ns
t_{IOCLR}		0.6		0.7		1.6	ns
t_{OD1}		3.6		4.0		5.0	ns
t_{OD2}		5.6		6.3		7.3	ns
t_{OD3}		6.9		7.7		8.7	ns
t_{XZ}		5.5		6.2		6.8	ns
t_{ZX1}		5.5		6.2		6.8	ns
t_{ZX2}		7.5		8.5		9.1	ns
t_{ZX3}		8.8		9.9		10.5	ns
t_{INREG}		8.0		9.0		10.2	ns
t_{IOFD}		7.2		8.1		10.3	ns
t_{INCOMB}		7.2		8.1		10.3	ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K70のEAB内部タイミング・マイクロパラメータ 注(1)							
シンボル	-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$		1.3		1.5		1.9	ns
$t_{EABDATA2}$		4.3		4.8		6.0	ns
t_{EABWE1}		0.9		1.0		1.2	ns
t_{EABWE2}		4.5		5.0		6.2	ns
t_{EABCLK}		0.9		1.0		2.2	ns
t_{EABCO}		0.4		0.5		0.6	ns
$t_{EABYPASS}$		1.3		1.5		1.9	ns
t_{EABSU}	1.3		1.5		1.8		ns
t_{EABH}	1.8		2.0		2.5		ns
t_{AA}		7.8		8.7		10.7	ns
t_{WP}	5.2		5.8		7.2		ns
t_{WDSU}	1.4		1.6		2.0		ns
t_{WDH}	0.3		0.3		0.4		ns
t_{WASU}	0.4		0.5		0.6		ns
t_{WAH}	0.9		1.0		1.2		ns
t_{WO}		4.5		5.0		6.2	ns
t_{DD}		4.5		5.0		6.2	ns
t_{EABOUT}		0.4		0.5		0.6	ns
t_{EABCH}	4.0		4.0		4.0		ns
t_{EABCL}	5.2		5.8		7.2		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K70のEAB内部タイミング・マクロパラメータ 注(1)							
シンボル	-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{EABAA}		12.1		13.7		17.0	ns
$t_{EABRCCOMB}$	12.1		13.7		17.0		ns
$t_{EABRCREG}$	8.6		9.7		11.9		ns
t_{EABWP}	5.2		5.8		7.2		ns
$t_{EABWCCOMB}$	6.5		7.3		9.0		ns
$t_{EABWCREG}$	11.6		13.0		16.0		ns
t_{EABDD}		8.8		10.0		12.5	ns
$t_{EABDATAO}$		1.7		2.0		3.4	ns
$t_{EABDATASU}$	4.7		5.3		5.6		ns
$t_{EABDATAH}$	0.0		0.0		0.0		ns
$t_{EABWESU}$	4.9		5.5		5.8		ns
t_{EABWEH}	0.0		0.0		0.0		ns
$t_{EABWDSU}$	1.8		2.1		2.7		ns
t_{EABWDH}	0.0		0.0		0.0		ns
$t_{EABWASU}$	4.1		4.7		5.8		ns
t_{EABWAH}	0.0		0.0		0.0		ns
t_{EABWO}		8.4		9.5		11.8	ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
 (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K70のインタコネク・タイミング・マイクロパラメータ 注(1)							
シンボル	-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$		6.6		7.3		8.8	ns
t_{DIN2LE}		4.2		4.8		6.0	ns
$t_{DIN2DATA}$		6.5		7.1		10.8	ns
$t_{DCLK2IOE}$		5.5		6.2		7.7	ns
$t_{DCLK2LE}$		4.2		4.8		6.0	ns
$t_{SAMELAB}$		0.4		0.4		0.5	ns
$t_{SAMEROW}$		4.8		4.9		5.5	ns
$t_{SAMECOLUMN}$		3.3		3.4		3.7	ns
$t_{DIFFROW}$		8.1		8.3		9.2	ns
$t_{TROWROWS}$		12.9		13.2		14.7	ns
$t_{LEPERIPH}$		5.5		5.7		6.5	ns
$t_{LABCARRY}$		0.8		0.9		1.1	ns
$t_{LABCASC}$		2.7		3.0		3.2	ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの実用技術部へお問い合わせ下さい。

EPF10K70の外部タイミング・パラメータ 注(1)							
シンボル	-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{DRR}		17.2		19.1		24.2	ns
t_{INSU} 注(3)、(4)	6.6		7.3		8.0		ns
t_{INH} 注(4)	0.0		0.0		0.0		ns
t_{OUTCO} 注(4)		9.9		11.1		14.3	ns
t_{ODH} 注(4)	2.0		2.0		2.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの実用技術部へお問い合わせ下さい。
- (3) 信号をレジスタする場合、LEを使用することでセットアップ・タイムが短くなることがあります。
- (4) このパラメータはデバイスの特性評価によって得られた値で、記載されている値が保証されています。

EPF10K100の内部および外部タイミング・パラメータ

EPF10K100のLEタイミング・マイクロパラメータ 注(1)							
シンボル	-3DX スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{LUT}		1.5		1.5		2.0	ns
t_{CLUT}		0.4		0.4		0.5	ns
t_{RLUT}		1.6		1.6		2.0	ns
t_{PACKED}		0.9		0.9		1.3	ns
t_{EN}		0.9		0.9		1.2	ns
t_{CICO}		0.2		0.2		0.3	ns
t_{CGEN}		1.1		1.1		1.4	ns
t_{CGENR}		1.2		1.2		1.5	ns
t_{CASC}		1.1		1.1		1.3	ns
t_C		0.8		0.8		1.0	ns
t_{CO}		1.0		1.0		1.4	ns
t_{COMB}		0.5		0.5		0.7	ns
t_{SU}	2.1		2.1		2.6		ns
t_H	2.3		2.3		3.1		ns
t_{PRE}		1.0		1.0		1.4	ns
t_{CLR}		1.0		1.0		1.4	ns
t_{CH}	4.0		4.0		4.0		ns
t_{CL}	4.0		4.0		4.0		ns

注：

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K100のIOEタイミング・マイクロパラメータ 注(1)							
シンボル	-3DX スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{IOD}		0.0		0.0		0.0	ns
t_{IOC}		0.5		0.5		0.7	ns
t_{IOCO}		0.4		0.4		0.9	ns
t_{IOCOMB}		0.0		0.0		0.0	ns
t_{IOSU}	5.5		5.5		6.7		ns
t_{IOH}	0.5		0.5		0.7		ns
t_{IOCLR}		0.7		0.7		1.6	ns
t_{OD1}		4.0		4.0		5.0	ns
t_{OD2}		6.3		6.3		7.3	ns
t_{OD3}		7.7		7.7		8.7	ns
t_{XZ}		6.2		6.2		6.8	ns
t_{ZX1}		6.2		6.2		6.8	ns
t_{ZX2}		8.5		8.5		9.1	ns
t_{ZX3}		9.9		9.9		10.5	ns
t_{INREG} ClockLockまたは ClockBoost 非使用時		9.0		9.0		10.5	ns
t_{INREG} ClockLock または ClockBoost 使用時		3.0		-		-	ns
t_{IOFD}		8.1		8.1		10.3	ns
t_{INCOMB}		8.1		8.1		10.3	ns

注：

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K100のEAB内部タイミング・マイクロパラメータ 注(1)							
シンボル	-3DX スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$		1.5		1.5		1.9	ns
$t_{EABDATA2}$		4.8		4.8		6.0	ns
t_{EABWE1}		1.0		1.0		1.2	ns
t_{EABWE2}		5.0		5.0		6.2	ns
t_{EABCLK}		1.0		1.0		2.2	ns
t_{EABCO}		0.5		0.5		0.6	ns
$t_{EABYPASS}$		1.5		1.5		1.9	ns
t_{EABSU}	1.5		1.5		1.8		ns
t_{EABH}	2.0		2.0		2.5		ns
t_{AA}		8.7		8.7		10.7	ns
t_{WP}	5.8		5.8		7.2		ns
t_{WDSU}	1.6		1.6		2.0		ns
t_{WDH}	0.3		0.3		0.4		ns
t_{WASU}	0.5		0.5		0.6		ns
t_{WAH}	1.0		1.0		1.2		ns
t_{WO}		5.0		5.0		6.2	ns
t_{DD}		5.0		5.0		6.2	ns
t_{EABOUT}		0.5		0.5		0.6	ns
t_{EABCH}	4.0		4.0		4.0		ns
t_{EABCL}	5.8		5.8		7.2		ns

注：

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K100のEAB内部タイミング・マクロパラメータ 注(1)							
シンボル	-3DX スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{EABAA}		13.7		13.7		17.0	ns
$t_{EABRCCOMB}$	13.7		13.7		17.0		ns
$t_{EABRCREG}$	9.7		9.7		11.9		ns
t_{EABWP}	5.8		5.8		7.2		ns
$t_{EABWCCOMB}$	7.3		7.3		9.0		ns
$t_{EABWCREG}$	13.0		13.0		16.0		ns
t_{EABDD}		10.0		10.0		12.5	ns
$t_{EABDATA CO}$		2.0		2.0		3.4	ns
$t_{EABDATASU}$	5.3		5.3		5.6		ns
$t_{EABDATAH}$	0.0		0.0		0.0		ns
$t_{EABWESU}$	5.5		5.5		5.8		ns
t_{EABWEH}	0.0		0.0		0.0		ns
$t_{EABWDSU}$	5.5		5.5		5.8		ns
t_{EABWDH}	0.0		0.0		0.0		ns
$t_{EABWASU}$	2.1		2.1		2.7		ns
t_{EABWAH}	0.0		0.0		0.0		ns
t_{EABWO}		9.5		9.5		11.8	ns

注:

(1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K100のインタコネク・タイミング・マイクロパラメータ 注(1)							
シンボル	-3DX スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$		10.3		10.3		12.2	ns
t_{DIN2LE}		4.8		4.8		6.0	ns
$t_{DIN2DATA}$		7.3		7.3		11.0	ns
$t_{DCLK2IOE}$ ClockLockまたは ClockBoost 非使用時		6.2		6.2		7.7	ns
$t_{DCLK2IOE}$ ClockLockまたは ClockBoost 使用時		2.3		–		–	ns
$t_{DCLK2LE}$ ClockLockまたは ClockBoost 非使用時		4.8		4.8		6.0	ns
$t_{DCLK2LE}$ ClockLockまたは ClockBoost 使用時		2.3		–		–	ns
$t_{SAMELAB}$		0.4		0.4		0.5	ns
$t_{SAMEROW}$		4.9		4.9		5.5	ns
$t_{SAMECOLUMN}$		5.1		5.1		5.4	ns
$t_{DIFFROW}$		10.0		10.0		10.9	ns
$t_{TWRROWS}$		14.9		14.9		16.4	ns
$t_{LEPERIPH}$		6.9		6.9		8.1	ns
$t_{LABCARRY}$		0.9		0.9		1.1	ns
$t_{LABCASC}$		3.0		3.0		3.2	ns

注：
 (1) すべてのタイミング・パラメータは表14から表20で解説されています。

EPF10K100の外部タイミング・パラメータ 注(1)							
シンボル	-3DX スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{DRR}		19.1		19.1		24.2	ns
t_{INSU} ClockLockまたは ClockBoost 非使用時 注(2)、(3)	7.8		7.8		8.5		ns
t_{INSU} ClockLockまたは ClockBoost 使用時 注(2)、(3)	6.2						ns
t_{INH} 注(3)	0.0		0.0		0.0		ns
t_{OUTCO} ClockLockまたは ClockBoost 非使用時 注(3)		11.1		11.1		14.3	ns
t_{OUTCO} ClockLockまたは ClockBoost 使用時 注(3)		6.7					ns
t_{ODH} 注(3)	2.0		2.0		2.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) 信号をレジスタする場合、LEを使用することでセットアップ・タイムが短くなることがあります。
- (3) このパラメータはデバイスの特性評価によって得られた値で、記載されている値が保証されています。

EPF10K50Vの内部および外部タイミング・パラメータ

EPF10K50VのLEタイミング・マイクロパラメータ 注(1)									
シンボル	-1 スピード・ グレード 注(2)		-2 スピード・ グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	最小	最大	
t_{LUT}				1.0		1.3		1.6	ns
t_{CLUT}				0.5		0.6		0.6	ns
t_{RLUT}				0.8		0.9		1.0	ns
t_{PACKED}				0.4		0.5		0.7	ns
t_{EN}				0.9		1.1		1.4	ns
t_{CICO}				0.2		0.2		0.3	ns
t_{CGEN}				0.7		0.8		1.2	ns
t_{CGENR}				0.3		0.3		0.4	ns
t_{CASC}				0.7		0.8		0.9	ns
t_C				1.0		1.3		1.5	ns
t_{CO}				0.7		0.9		1.0	ns
t_{COMB}				0.4		0.5		0.6	ns
t_{SU}			1.6		2.2		2.5		ns
t_H			0.8		1.0		1.4		ns
t_{PRE}				0.4		0.5		0.5	ns
t_{CLR}				0.4		0.5		0.5	ns
t_{CH}			3.0		4.0		4.0		ns
t_{CL}			3.0		4.0		4.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
(2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K50VのIOEタイミング・マイクロパラメータ 注(1)									
シンボル	-1 スピード・グレード 注(2)		-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	最小	最大	
t_{IOD}				1.6		1.9		2.1	ns
t_{IOC}				0.4		0.5		0.5	ns
t_{IOCO}				0.3		0.4		0.4	ns
t_{IOCOMB}				0.0		0.0		0.0	ns
t_{IOSU}			2.8		3.4		3.9		ns
t_{IOH}			0.8		1.0		1.4		ns
t_{IOCLR}				0.6		0.7		0.7	ns
t_{OD1}				3.2		3.9		4.7	ns
t_{OD2}				–		–		–	ns
t_{OD3}				6.9		7.6		8.4	ns
t_{XZ}				3.1		3.8		4.6	ns
t_{ZX1}				3.1		3.8		4.6	ns
t_{ZX2}				–		–		–	ns
t_{ZX3}				6.8		7.5		8.3	ns
t_{INREG}				5.7		7.0		9.0	ns
t_{IOFD}				1.9		2.3		2.7	ns
t_{INCOMB}				1.9		2.3		2.7	ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K50VのEAB内部タイミング・マイクロパラメータ 注(1)									
シンボル	-1 スピード・グレード 注(2)		-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$				2.8		3.4		4.6	ns
$t_{EABDATA2}$				3.9		4.8		5.9	ns
t_{EABWE1}				2.5		3.0		3.7	ns
t_{EABWE2}				4.1		5.0		6.2	ns
t_{EABCLK}				0.8		1.0		1.2	ns
t_{EABCO}				0.2		0.3		0.4	ns
$t_{EABYPASS}$				1.1		1.3		1.6	ns
t_{EABSU}			1.5		1.8		2.2		ns
t_{EABH}			1.6		2.0		2.5		ns
t_{AA}				8.2		10.0		12.4	ns
t_{WP}			4.9		6.0		7.4		ns
t_{WDSU}			0.8		1.0		1.2		ns
t_{WDH}			0.2		0.3		0.4		ns
t_{WASU}			0.4		0.5		0.6		ns
t_{WAH}			0.8		1.0		1.2		ns
t_{WO}				4.3		5.3		6.5	ns
t_{DD}				4.3		5.3		6.5	ns
t_{EABOUT}				0.4		0.5		0.6	ns
t_{EABCH}			3.0		4.0		4.0		ns
t_{EABCL}			4.9		6.0		7.4		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの実用技術部へお問い合わせ下さい。

EPF10K50VのEAB内部タイミング・マクロパラメータ 注(1)									
シンボル	-1 スピード・グレード 注(2)		-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	最小	最大	
t_{EABAA}				13.6		16.5		20.8	ns
$t_{EABRCCOMB}$			13.6		16.5		20.8		ns
$t_{EABRCREG}$			8.8		10.8		13.4		ns
t_{EABWP}			4.9		6.0		7.4		ns
$t_{EABWCCOMB}$			6.1		7.5		9.2		ns
$t_{EABWCREG}$			11.6		14.2		17.4		ns
t_{EABDD}				9.7		11.8		14.9	ns
$t_{EABDATACO}$				1.4		1.8		2.2	ns
$t_{EABDATASU}$			4.6		5.6		6.9		ns
$t_{EABDATAH}$			0.0		0.0		0.0		ns
$t_{EABWESU}$			4.8		5.8		7.2		ns
t_{EABWEH}			0.0		0.0		0.0		ns
$t_{EABWDSU}$			1.1		1.4		2.1		ns
t_{EABWDH}			0.0		0.0		0.0		ns
$t_{EABWASU}$			4.6		5.6		7.4		ns
t_{EABWAH}			0.0		0.0		0.0		ns
t_{EABWO}				9.4		11.4		14.0	ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K50Vのインタコネク・タイミング・マイクロパラメータ 注(1)									
シンボル	-1 スピード・グレード 注(2)		-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$				6.0		7.1		8.2	ns
t_{DIN2LE}				2.6		3.1		3.9	ns
$t_{DIN2DATA}$				5.9		6.8		7.7	ns
$t_{DCLK2IOE}$				3.9		4.7		5.5	ns
$t_{DCLK2LE}$				2.6		3.1		3.9	ns
$t_{SAMELAB}$				0.2		0.3		0.3	ns
$t_{SAMEROW}$				2.5		2.8		3.4	ns
$t_{SAMECOLUMN}$				2.2		2.2		2.5	ns
$t_{DIFFROW}$				4.7		5.0		5.9	ns
$t_{TWOROWS}$				7.2		7.8		9.3	ns
$t_{LEPERIPH}$				5.5		6.1		7.0	ns
$t_{LABCARRY}$				0.4		0.5		0.7	ns
$t_{LABCASC}$				1.3		1.6		2.0	ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの実用技術部へお問い合わせ下さい。

EPF10K50Vの外部タイミング・パラメータ 注(1)									
シンボル	-1 スピード・グレード 注(2)		-2 スピード・グレード 注(2)		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	最小	最大	
t_{DRR}		11.2		14.0		17.2		21.1	ns
t_{INSU} 注(2)、(3)			4.2		5.2		6.9		ns
t_{INH} 注(3)			0.0		0.0		0.0		ns
t_{OUTCO} 注(3)				7.8		9.5		11.1	ns
t_{ODH} 注(3)			2.0		2.0		2.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) 信号をレジスタする場合、LEを使用することでセットアップ・タイムが短くなることがあります。
- (3) このパラメータはデバイスの特性評価によって得られた値で、記載されている値が保証されています。

EPF10K130Vの内部および外部タイミング・パラメータ

EPF10K130VのLEタイミング・マイクロパラメータ 注(1)、(2)							
シンボル	-2 スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{LUT}		1.3		1.8		2.3	ns
t_{CLUT}		0.5		0.7		0.9	ns
t_{RLUT}		1.2		1.7		2.2	ns
t_{PACKED}		0.5		0.6		0.7	ns
t_{EN}		0.6		0.8		1.0	ns
t_{CICO}		0.2		0.3		0.4	ns
t_{CGEN}		0.3		0.4		0.5	ns
t_{CGENR}		0.7		1.0		1.3	ns
t_{CASC}		0.9		1.2		1.5	ns
t_C		1.9		2.4		3.0	ns
t_{CO}		0.6		0.9		1.1	ns
t_{COMB}		0.5		0.7		0.9	ns
t_{SU}	0.2		0.2		0.3		ns
t_H	0.0		0.0		0.0		ns
t_{PRE}		2.4		3.1		3.9	ns
t_{CLR}		2.4		3.1		3.9	ns
t_{CH}	4.0		4.0		4.0		ns
t_{CL}	4.0		4.0		4.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K130VのIOEタイミング・マイクロパラメータ 注(1)、(2)							
シンボル	-2 スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{IOD}		1.3		1.6		2.0	ns
t_{IOC}		0.4		0.5		0.7	ns
t_{IOCO}		0.3		0.4		0.5	ns
t_{IOCOMB}		0.0		0.0		0.0	ns
t_{IOSU}	2.6		3.3		3.8		ns
t_{IOH}	0.0		0.0		0.0		ns
t_{IOCLR}		1.7		2.2		2.7	ns
t_{OD1}		3.5		4.4		5.0	ns
t_{OD2}		–		–		–	ns
t_{OD3}		8.2		8.1		9.7	ns
t_{XZ}		4.9		6.3		7.4	ns
t_{ZX1}		4.9		6.3		7.4	ns
t_{ZX2}		–		–		–	ns
t_{ZX3}		9.6		10.0		12.1	ns
t_{INREG}		7.9		10.0		12.6	ns
t_{IOFD}		6.2		7.9		9.9	ns
t_{INCOMB}		6.2		7.9		9.9	ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K130VのEAB内部タイミング・マイクロパラメータ 注(1)、(2)							
シンボル	-2 スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$		1.9		2.4		2.4	ns
$t_{EABDATA2}$		3.7		4.7		4.7	ns
t_{EABWE1}		1.9		2.4		2.4	ns
t_{EABWE2}		3.7		4.7		4.7	ns
t_{EABCLK}		0.7		0.9		0.9	ns
t_{EABCO}		0.5		0.6		0.6	ns
$t_{EABYPASS}$		0.6		0.8		0.8	ns
t_{EABSU}	1.4		1.8		1.8		ns
t_{EABH}	0.0		0.0		0.0		ns
t_{AA}		5.6		7.1		7.1	ns
t_{WP}	3.7		4.7		4.7		ns
t_{WDSU}	4.6		5.9		5.9		ns
t_{WDH}	0.0		0.0		0.0		ns
t_{WASU}	3.9		5.0		5.0		ns
t_{WAH}	0.0		0.0		0.0		ns
t_{WO}		5.6		7.1		7.1	ns
t_{DD}		5.6		7.1		7.1	ns
t_{EABOUT}		2.4		3.1		3.1	ns
t_{EABCH}	4.0		4.0		4.0		ns
t_{EABCL}	4.0		4.7		4.7		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K130VのEAB内部タイミング・マクロパラメータ 注(1)、(2)							
シンボル	-2 スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{EABAA}		11.2		14.2		14.2	ns
$t_{EABRCCOMB}$	11.1		14.2		14.2		ns
$t_{EABRCREG}$	8.5		10.8		10.8		ns
t_{EABWP}	3.7		4.7		4.7		ns
$t_{EABWCCOMB}$	7.6		9.7		9.7		ns
$t_{EABWCREG}$	14.0		17.8		17.8		ns
t_{EABDD}		11.1		14.2		14.2	ns
$t_{EABDATA CO}$		3.6		4.6		4.6	ns
$t_{EABDATASU}$	4.4		5.6		5.6		ns
$t_{EABDATAH}$	0.0		0.0		0.0		ns
$t_{EABWESU}$	4.4		5.6		5.6		ns
t_{EABWEH}	0.0		0.0		0.0		ns
$t_{EABWDSU}$	4.6		5.9		5.9		ns
t_{EABWDH}	0.0		0.0		0.0		ns
$t_{EABWASU}$	3.9		5.0		5.0		ns
t_{EABWAH}	0.0		0.0		0.0		ns
t_{EABWO}		11.1		14.2		14.2	ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K130Vのインタコネク・タイミング・マイクロパラメータ 注(1)、(2)							
シンボル	-2 スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$		8.0		9.0		9.5	ns
t_{DIN2LE}		2.4		3.0		3.1	ns
$t_{DIN2DATA}$		5.0		6.3		7.4	ns
$t_{DCLK2IOE}$		3.6		4.6		5.1	ns
$t_{DCLK2LE}$		2.4		3.0		3.1	ns
$t_{SAMELAB}$		0.4		0.6		0.8	ns
$t_{SAMEROW}$		4.5		5.3		6.5	ns
$t_{SAMECOLUMN}$		9.0		9.5		9.7	ns
$t_{DIFFROW}$		13.5		14.8		16.2	ns
$t_{TROWROWS}$		18.0		20.1		22.7	ns
$t_{LEPERIPH}$		8.1		8.6		9.5	ns
$t_{LABCARRY}$		0.6		0.8		1.0	ns
$t_{LABCASC}$		0.8		1.0		1.2	ns

EPF10K130Vの外部タイミング・パラメータ 注(1)、(2)							
シンボル	-2 スピード・グレード		-3 スピード・グレード		-4 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{DDR}		15.0		19.1		24.2	ns
t_{INSU} 注(3)、(4)	6.9		8.6		11.0		ns
t_{INH} 注(4)	0.0		0.0		0.0		ns
t_{OUTCO} 注(4)		7.8		9.9		11.3	ns
t_{ODH} 注(4)	2.0		2.0		2.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい
- (3) 信号をレジスタする場合、LEを使用することでセットアップ・タイムが短くなることがあります。
- (4) このパラメータはデバイスの特性評価によって得られた値で、記載されている値が保証されています。

EPF10K100Aの内部および外部タイミング・パラメータ

EPF10K100AのLEタイミング・マイクロパラメータ 注(1)、(2)							
シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{LUT}				1.2		1.5	ns
t_{CLUT}				0.3		0.4	ns
t_{RLUT}				1.3		1.6	ns
t_{PACKED}				0.7		0.9	ns
t_{EN}				0.9		0.9	ns
t_{CICO}				0.2		0.2	ns
t_{CGEN}				0.9		1.1	ns
t_{CGENR}				1.0		1.2	ns
t_{CASC}				0.9		1.1	ns
t_C				0.7		0.8	ns
t_{CO}				0.7		1.0	ns
t_{COMB}				0.4		0.5	ns
t_{SU}			1.7		2.1		ns
t_H			1.9		2.3		ns
t_{PRE}				0.7		1.0	ns
t_{CLR}				0.7		1.0	ns
t_{CH}			4.0		4.0		ns
t_{CL}			5.0		6.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K100AのIOEタイミング・マイクロパラメータ 注(1)、(2)							
シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{IOD}				0.0		0.0	ns
t_{IOC}				0.4		0.5	ns
t_{IOCO}				0.3		0.4	ns
t_{IOCOMB}				0.0		0.0	ns
t_{IOSU}			4.6		4.6		ns
t_{IOH}			0.4		0.5		ns
t_{IOCLR}				0.6		0.7	ns
t_{OD1}				3.4		4.4	ns
t_{OD2}				5.7		6.7	ns
t_{OD3}				7.1		8.1	ns
t_{XZ}				5.2		6.2	ns
t_{ZX1}				5.2		6.2	ns
t_{ZX2}				7.5		8.5	ns
t_{ZX3}				8.9		9.9	ns
t_{INREG}				7.5		9.0	ns
t_{IOFD}				6.8		8.1	ns
t_{INCOMB}				6.8		8.1	ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K100AのEAB内部タイミング・マイクロパラメータ 注(1)、(2)							
シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{EABDATA1}$				2.8		3.4	ns
$t_{EABDATA2}$				4.0		4.8	ns
t_{EABWE1}				2.5		3.0	ns
t_{EABWE2}				4.2		5.0	ns
t_{EABCLK}				0.8		1.0	ns
t_{EABCO}				0.3		0.3	ns
$t_{EABBYPASS}$				1.1		1.3	ns
t_{EABSU}			1.5		1.8		ns
t_{EABH}			1.7		2.0		ns
t_{AA}				8.4		10.0	ns
t_{WP}			5.0		6.0		ns
t_{WDSU}			0.8		1.0		ns
t_{WDH}			0.2		0.3		ns
t_{WASU}			0.4		0.5		ns
t_{WAH}			0.8		1.0		ns
t_{WO}				4.4		5.3	ns
t_{DD}				4.4		5.3	ns
t_{EABOUT}				0.4		0.5	ns
t_{EABCH}			4.0		4.0		ns
t_{EABCL}			4.0		4.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
 (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K100AのEAB内部タイミング・マクロパラメータ 注(1)、(2)							
シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{EABAA}				13.8		16.5	ns
$t_{EABRCCOMB}$			13.8		16.5		ns
$t_{EABRCREG}$			9.1		10.8		ns
t_{EABWP}			5.0		6.0		ns
$t_{EABWCCOMB}$			6.2		7.5		ns
$t_{EABWCREG}$			11.8		14.2		ns
t_{EABDD}				9.8		11.8	ns
$t_{EABDATA CO}$				1.5		1.8	ns
$t_{EABDATASU}$			4.7		5.6		ns
$t_{EABDATAH}$			0.0		0.0		ns
$t_{EABWESU}$			4.9		5.8		ns
t_{EABWEH}			0.0		0.0		ns
$t_{EABWDSU}$			1.1		1.4		ns
t_{EABWDH}			0.0		0.0		ns
$t_{EABWASU}$			4.7		5.6		ns
t_{EABWAH}			0.0		0.0		ns
t_{EABWO}				9.5		11.4	ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの応用技術部へお問い合わせ下さい。

EPF10K100Aのインタコネク・タイミング・マイクロパラメータ 注(1)、(2)							
シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
$t_{DIN2IOE}$				9.2		10.4	ns
t_{DIN2LE}				4.0		4.8	ns
$t_{DIN2DATA}$				6.3		7.1	ns
$t_{DCLK2IOE}$				5.2		6.3	ns
$t_{DCLK2LE}$				4.0		4.8	ns
$t_{SAMELAB}$				0.3		0.4	ns
$t_{SAMEROW}$				4.6		5.5	ns
$t_{SAMECOLUMN}$				5.0		5.7	ns
$t_{DIFFROW}$				9.6		11.2	ns
$t_{TWOROWS}$				14.2		16.7	ns
$t_{LEPERIPH}$				7.6		8.2	ns
$t_{LABCARRY}$				0.7		0.9	ns
$t_{LABCASC}$				2.5		3.0	ns

EPF10K100Aの外部タイミング・パラメータ 注(1)、(2)							
シンボル	-1 スピード・グレード		-2 スピード・グレード		-3 スピード・グレード		単位
	最小	最大	最小	最大	最小	最大	
t_{DDR}		12.5		14.0		17.0	ns
t_{INSU} 注(3)、(4)			6.5		7.8		ns
t_{INH} 注(4)			0.0		0.0		ns
t_{OUTCO} 注(4)				9.3		11.1	ns
t_{ODH} 注(4)			2.0		2.0		ns

注：

- (1) すべてのタイミング・パラメータは表14から表20で解説されています。
- (2) これらの値は暫定仕様です。最新の情報については日本アルテラの実用技術部へお問い合わせ下さい
- (3) 信号をレジスタする場合、LEを使用することでセットアップ・タイムが短くなる場合があります。
- (4) このパラメータはデバイスの特性評価によって得られた値で、記載されている値が保証されています。

ClockLockとClockBoostのタイミング・パラメータ

ClockLockとClockBoostの回路を適切に動作させるためには、入力されるクロックが一定の要求を満たしている必要があります。これらの入力規定された仕様に適合していない場合、ClockLockとClockBoostの回路が入力クロックにロックしなくなり、デバイス内で不正なクロックが生成されることがあります。ClockLockとClockBoostの回路によって生成されるクロックも一定の規格に適合している必要があります。入力クロックがこれらの要求を満たしていれば、ClockLockとClockBoostの回路はコンフィギュレーションの期間に入力クロックにロックするようになり、コンフィギュレーションの完了後にすぐに使用可能な状態となります。図28は入力クロックと生成クロックに対して規定されているタイミング・パラメータを示したものです。

図28 入力クロックと生成クロックに対して規定されるパラメータ

t_i のパラメータは入力クロック期間の公称値、 t_o は生成クロック期間の公称値です。

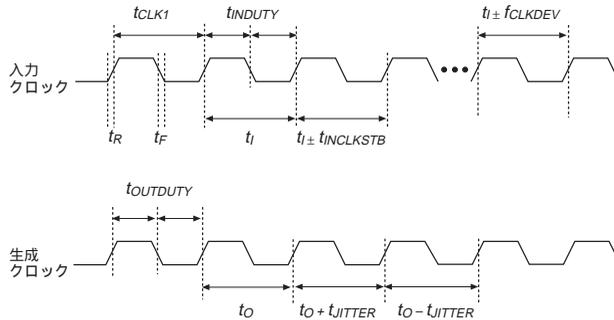


表21はClockLockとClockBoostのタイミング・パラメータの値をまとめたものです。

シンボル	パラメータ	最小	標準	最大	単位
t_R	入力クロック立ち上がり時間			2	ns
t_F	入力クロック立ち下がり時間			2	ns
t_{INDUTY}	入力クロックのデューティ・サイクル	45		55	%
f_{CLK1}	入力クロック周波数 (ClockBoostの逡倍指数が1のとき)	30		80	MHz
t_{CLK1}	入力クロック期間 (ClockBoostの逡倍指数が1のとき)	12.5		33.3	ns
f_{CLK2}	入力クロック周波数 (ClockBoostの逡倍指数が2のとき)	16		50	MHz
t_{CLK2}	入力クロック期間 (ClockBoostの逡倍指数が2のとき)	20		62.5	ns
$f_{CLKDEV1}$	MAX+PLUS II で規定された入力クロック周波数からの許容誤差 (ClockBoostの逡倍指数が1のとき) 注(1)			± 1	MHz
$f_{CLKDEV2}$	MAX+PLUS II で規定された入力クロック周波数からの許容誤差 (ClockBoostの逡倍指数が2のとき) 注(1)			± 0.5	MHz
$t_{INCLKSTB}$	入力クロックの安定度 (隣接したクロック間で測定)			100	ps

表21 ClockLockとClockBoostのタイミング・パラメータ (2/2)

シンボル	パラメータ	最小	標準	最大	単位
t_{LOCK}	ClockLockとClockBoostがロックするまでの必要時間 注(2)			10	μ s
t_{JITTER}	ClockLockまたはClockBoostの生成クロック・ジッタ 注(3)			1	ns
$t_{OUTDUTY}$	ClockLockまたはClockBoostの生成クロック・デューティ・サイクル	40	50	60	%

注：

- (1) MAX+PLUS IIのソフトウェアを使用してClockLockとClockBoostの回路を実現する場合は、入力周波数を指定する必要があります。MAX+PLUS IIのソフトウェアはClockLockとClockBoostのPLL回路をこの周波数にチューニングします。 f_{CLKDEV} のパラメータは、デバイスの動作中における入力クロック周波数の規定された値からの変動可能範囲を規定しています。シミュレータはこのパラメータを反映させません。
- (2) デバイスのコンフィギュレーションの期間において、ClockLockとClockBoostの回路はデバイス内の他の部分よりも先にコンフィギュレーションされます。コンフィギュレーションの期間に入力クロックが供給されていると、 t_{LOCK} の値がデバイス全体のコンフィギュレーションに要する時間よりも短くなっているため、ClockLockとClockBoostの回路がコンフィギュレーションの期間中にロックします。
- (3) t_{JITTER} の規格は長時間にわたる観測を基いて測定されます。

消費電力

FLEX 10Kデバイスの消費電力、Pは次式によって計算できます。

$$P = P_{INT} + P_{IO} = (I_{CCSTANDBY} + I_{CCACTIVE}) \times V_{CC} + P_{IO}$$

標準的な $I_{CCSTANDBY}$ の値は、このデータシートの41、44、47ページにある「FLEX 10K、5.0-VデバイスのDC特性」の表の中で I_{CC0} として表示されています。 $I_{CCACTIVE}$ の値はスイッチング周波数とアプリケーションのロジックに依存します。この値は、各LEが標準的に消費する電流を基準にして計算することができます。 P_{IO} の値はデバイス出力に接続される負荷の特性とスイッチング周波数に依存しますが、1998年版データブックに収録されているアプリケーション・ノート、AN 74「Evaluating Power for Altera Devices」(日本語版：「アルテラ・デバイスの消費電力評価方法」)に記載されているガイドラインを使用して算出することができます。



エンベデッド・アレイが消費する電力はデバイスの他の部分に比較して無視できる程非常に小さな値となります。したがって、デバイス全体の消費電力を計算する場合は、エンベデッド・アレイを無視することが可能です。

$I_{CCACTIVE}$ は次の式で計算できます。

$$I_{CCACTIVE} = K \times f_{MAX} \times N \times \text{tog}_{LC} \times \frac{\mu A}{\text{MHz} \times \text{LE}}$$

この式に使用されている各パラメータは下記の通りです。

- f_{MAX} = 最大動作周波数 (MHz)
 N = デバイス内で使用されるロジック・セルの数
 tog_{LC} = 各クロックでトグルするLEのロジック・セルの平均的な比率
 (通常は12.5%)
 K = 表22に示されている定数

デバイス名	Kの値
EPF10K10	82
EPF10K20	89
EPF10K30	88
EPF10K40	92
EPF10K50	95
EPF10K70	85
EPF10K100	88
EPF10K50V	45
EPF10K130V	29
EPF10K100A	29 注(1)
EPF10K250A	43 注(1)
その他のFLEX 10KAデバイス	32 注(1)

注:

- (1) この値は暫定仕様です。最新の情報については日本アルテラの実用技術部へお問い合わせ下さい。

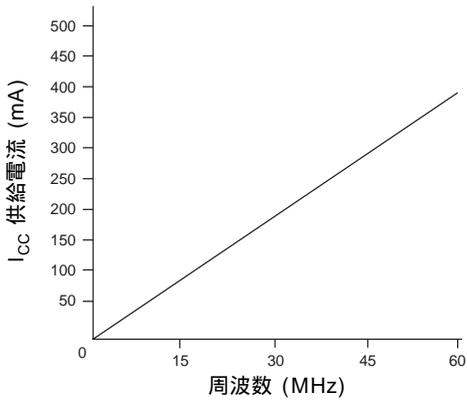
この計算では無負荷時における標準的な条件での I_{CC} が推定されます。この計算はデバイスの実際の配線パターンや周囲の動作条件に影響されるため、実際の I_{CC} の値はデバイスの動作中に確認する必要があります。

実際のデザインの状態をさらに正確に反映させるため、連続した配線構造となっているFLEX 10Kデバイスの消費電力のモデル(および前記の計算式に使用される定数、 k の値)は、すべてのロジック・セルがFastTrackインタコネクタをドライブしていることを想定したものとなっています。これに対して、セグメント化された配線構造のFPGAの消費電力モデルは、1個所のみ短いインタコネクタ・セグメントをドライブしていることを想定したものとなっています。セグメント化された配線構造となっているFPGAでは、こうした方法で推定された消費電力が実際に測定された値と比較して不正確なものになってしまいます。

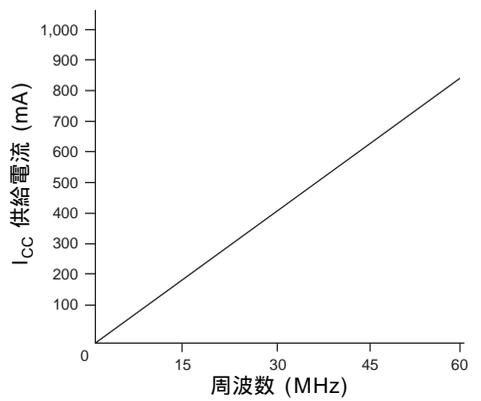
図29はFLEX 10Kデバイスの動作周波数に対する標準的な供給電流の特性を示したものです。その他のFLEX 10KAデバイスおよびFLEX 10KBデバイスの特性については、日本アルテラの実用技術部へお問い合わせ下さい。

図29 $I_{CCACTIVE}$ 对動作周波数特性 (1/2)

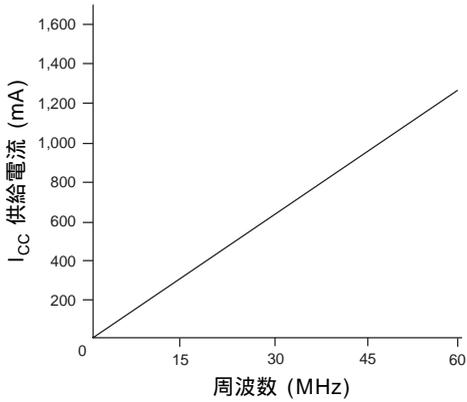
EPF10K10



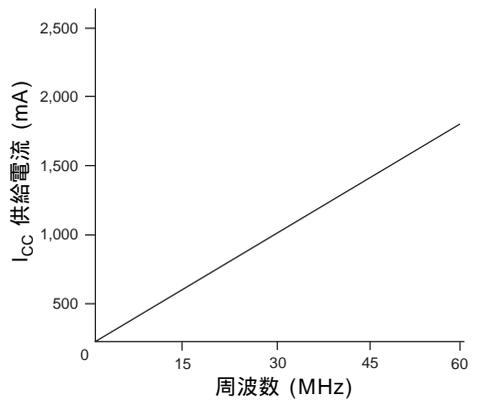
EPF10K20



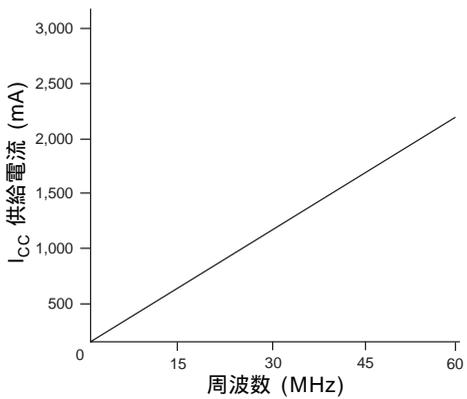
EPF10K30



EPF10K40



EPF10K50



EPF10K50V

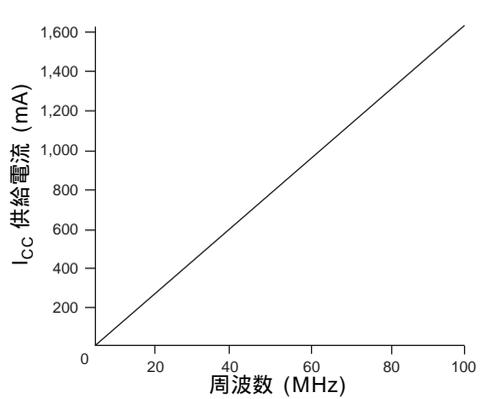
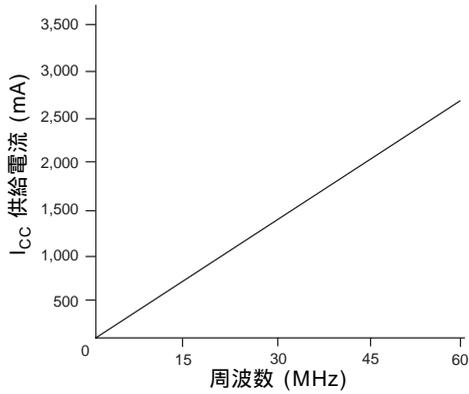
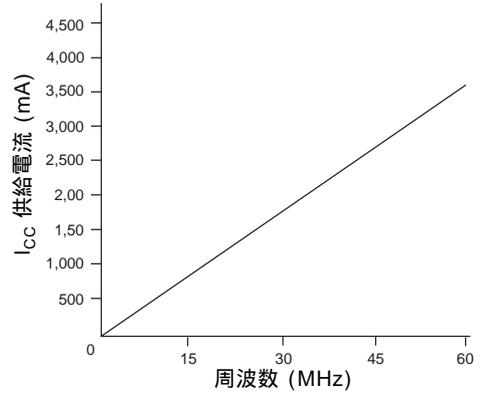


図29 $I_{CCACTIVE}$ 对動作周波数特性 (2/2)

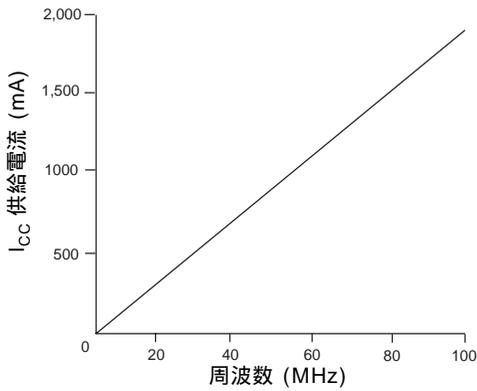
EPF10K70



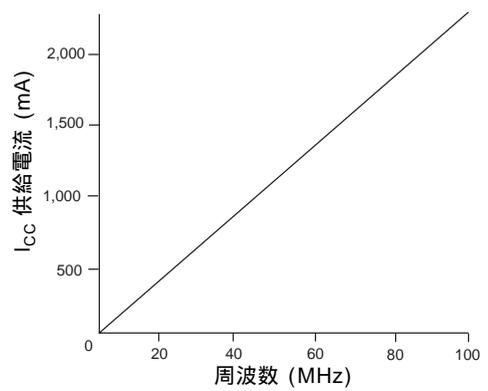
EPF10K100



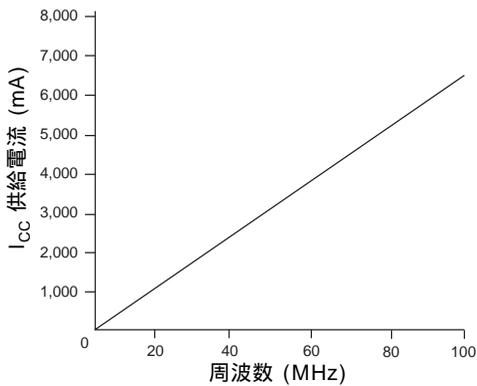
EPF10K100A



EPF10K130V



EPF10K250A



コンフィギュレーションと動作



FLEX 10Kのアーキテクチャは、デザインをボード上のデバイスへロードするコンフィギュレーション動作を複数のモードでサポートしています。このセクションではデバイスの動作モードとサポートされているデバイスのコンフィギュレーション・モードについて簡単に説明します。

デバイス・コンフィギュレーションのオプション、コンフィギュレーション用のデバイス・ピン、およびコンフィギュレーション回路の例、タイミング図、コンフィギュレーション・パラメータなどのFLEX 10Kデバイスのコンフィギュレーションに関する詳細については、アプリケーション・ノート、AN 59「*Configuring FLEX 10K Devices*」（日本語版「*FLEX 10Kデバイスのコンフィギュレーション*」）を参照して下さい。

動作モード

FLEX 10KのアーキテクチャはSRAMテクノロジーを使用しており、デバイスに電源が投入され、動作を開始するときにコンフィギュレーション・データをSRAMのセルにロードする必要があります。SRAMのプログラミング・データをデバイスにロードするプロセスは、「コンフィギュレーション」と呼ばれます。デバイスはコンフィギュレーションの完了直後にイニシャライズの動作に入り、レジスタをリセットし、I/Oピンをイネーブルにしてロジック・デバイスとしての動作を開始します。このコンフィギュレーションとイニシャライズのプロセスは「コマンド・モード」と呼ばれ、通常のデバイス動作は「ユーザ・モード」と呼ばれます。

FLEX 10KデバイスはSRAMのコンフィギュレーション・エレメントを使用しているため、デバイスに新しいデータを再ロードすることによってインサーキットでのリコンフィギュレーションを行うことができます。指定されたピンを使ってデバイスを強制的にコマンド・モードにし、別のプログラミング・データのロード後にデバイスを再イニシャライズしてユーザ・モードに復帰させることによって、リアル・タイムのリコンフィギュレーションを行うことができます。リコンフィギュレーションのプロセスは320ms以内で完了するため、システム全体をダイナミックにリコンフィギュレーションすることができます。これにより、フィールドでのアップグレードが、新しいコンフィギュレーション・データのファイルを配付することによって行えます。

プログラミング・ファイル

FLEX 10KAとFLEX 10KBの各デバイスはFLEX 10Kデバイスとファンクションおよびピン配置上の互換性がありますが、プログラミングまたはコンフィギュレーション・ファイルの互換性はありません。FLEX 10Kデバイスのデザインを対応するFLEX 10KAまたはFLEX 10KBデバイスに移行させる場合は、デザインの再コンパイルが必要です。この再コンパイルにより、新しいプログラミングまたはコンフィギュレーション・ファイルを作成し、より高速となっているFLEX 10KAまたはFLEX 10KBデバイスにおけるデザインのタイミングを再確認する必要があります。デザインをEPF10K50からEPF10K50Vに移行させる場合、EPF10K50用のプログ

ラミングまたはコンフィギュレーション・ファイルでEPF10K50Vをプログラムまたはコンフィギュレーションすることはできませんが、アルテラはデザインをEPF10K50Vに対して再コンパイルすることを推奨します。

コンフィギュレーションの方法

FLEX 10Kデバイスのコンフィギュレーション・データは表23に示されている5種類のコンフィギュレーション・モードのいずれかでデバイスへロードすることができ、ターゲットとなるアプリケーションに応じて最も適切なモードを選択することができます。FLEX 10Kデバイスのコンフィギュレーションのコントロールには、EPC1またはEPC1441コンフィギュレーションEPROM、インテリジェント・コントローラ、またはJTAGポートを使用することができ、システム電源の投入時にデバイスが自動的にコンフィギュレーションされるようにすることができます。

また、各デバイスのコンフィギュレーション・イネーブル (nCE) とコンフィギュレーション・イネーブル出力 (nCEO) のピンを接続することにより、複数のFLEX 10Kデバイスのコンフィギュレーションをサポートされている5種類のモードのいずれかで行うことができます。

表23 コンフィギュレーションのデータ・ソース

コンフィギュレーション・モード	データのソース
コンフィギュレーションEPROM	EPC1またはEPC1441コンフィギュレーションEPROM
バスシブ・シリアル (PS)	BitBlasterまたはByteBlaster ダウンロード・ケーブル、またはシリアルデータのソース
バスシブ・パラレル非同期 (PPA)	パラレルデータのソース
バスシブ・パラレル同期 (PPS)	パラレルデータのソース
JTAG	BitBlasterまたはByteBlaster ダウンロード・ケーブル、またJam Fileを使用したマイクロプロセッサ

デバイス・ ピン配置

表24から表26は、FLEX 10Kデバイスに提供されている各パッケージにおける専用ピンのピン名、ピン番号を示したものです。

表24 FLEX 10Kデバイスのピン配置 (1/3) 注(1)、(2)

ピン名	84-Pin PLCC EPF10K10	144-Pin TQFP EPF10K10 EPF10K10A EPF10K20 EPF10K30A EPF10K30B	208-Pin PQFP EPF10K10 EPF10K10A	208-Pin PQFP/ RQFP EPF10K20 EPF10K30 EPF10K30A EPF10K30B EPF10K40 EPF10K50B	240-Pin PQFP/RQFP EPF10K20 EPF10K30 EPF10K30A EPF10K30B EPF10K40 EPF10K50 EPF10K50V EPF10K50B EPF10K70 EPF10K100A EPF10K100B EPF10K130B EPF10K180B
MSEL0 (3)	31	77	108	108	124
MSEL1 (3)	32	76	107	107	123
nSTATUS (3)	55	35	52	52	60
nCONFIG (3)	34	74	105	105	121
DCLK (3)	13	107	155	155	179
CONF_DONE (3)	76	2	2	2	2
INIT_DONE (4)	69	14	19	19	26
nCE (3)	14	106	154	154	178
nCEO (3)	75	3	3	3	3
nWS (5)	80	142	206	206	238
nRS (5)	81	141	204	204	236
nCS (5)	78	144	208	208	240
CS (5)	79	143	207	207	239
RDYnBSY (5)	70	11	16	16	23
CLKUSR (5)	73	7	10	10	11
DATA7 (5)	5	116	166	166	190
DATA6 (5)	6	114	164	164	188
DATA5 (5)	7	113	162	162	186
DATA4 (5)	8	112	161	161	185
DATA3 (5)	9	111	159	159	183
DATA2 (5)	10	110	158	158	182
DATA1 (5)	11	109	157	157	181

表24 FLEX 10Kデバイスのピン配置 (2/3) 注(1)、(2)

ピン名	84-Pin PLCC EPF10K10	144-Pin TQFP EPF10K10 EPF10K10A EPF10K20 EPF10K30A EPF10K30B	208-Pin PQFP EPF10K10 EPF10K10A	208-Pin PQFP/ RQFP EPF10K20 EPF10K30 EPF10K30A EPF10K30B EPF10K40 EPF10K50B	240-Pin PQFP/RQFP EPF10K20 EPF10K30 EPF10K30A EPF10K30B EPF10K40 EPF10K50 EPF10K50V EPF10K50B EPF10K70 EPF10K100A EPF10K100B EPF10K130B EPF10K180B
DATA0 (3), (6)	12	108	156	156	180
TDI (3)	15	105	153	153	177
TDO (3)	74	4	4	4	4
TCK (3)	77	1	1	1	1
TMS (3)	57	34	50	50	58
TRST (3)	56	注(7)	51	51	59
Dedicated Inputs	2, 42, 44, 84	54, 56, 124, 126	78, 80, 182, 184	78, 80, 182, 184	90, 92, 210, 212
Dedicated Clock Pins	1, 43	55, 125	79, 183	79, 183	91, 211
DEV_CLRn (4)	3	122	180	180	209
DEV_OE (4)	83	128	186	186	213
VCCINT	4, 20, 33, 40, 45, 63	6, 25, 52, 53, 75, 93, 123	6, 23, 35, 43, 76, 77, 106, 109, 117, 137, 145, 181	6, 23, 35, 43, 76, 77, 106, 109, 117, 137, 145, 181	5, 16, 27, 37, 47, 57, 77, 89, 96, 112, 122, 130, 140, 150, 160, 170, 189, 205, 224
VCCIO	–	5, 24, 45, 61, 71, 94, 115, 134	5, 22, 34, 42, 66, 84, 98, 110, 118, 138, 146, 165, 178, 194	5, 22, 34, 42, 66, 84, 98, 110, 118, 138, 146, 165, 178, 194	–
GNDINT	26, 41, 46, 68, 82	16, 57, 58, 84, 103, 127	21, 33, 49, 81, 82, 123, 129, 151, 185	21, 33, 49, 81, 82, 123, 129, 151, 185	10, 22, 32, 42, 52, 69, 85, 93, 104, 125, 135, 145, 155, 165, 176, 197, 216, 232

表24 FLEX 10Kデバイスのピン配置 (3/3) 注(1)、(2)

ピン名	84-Pin PLCC EPF10K10	144-Pin TQFP EPF10K10 EPF10K10A EPF10K20 EPF10K30A EPF10K30B	208-Pin PQFP EPF10K10 EPF10K10A	208-Pin PQFP/ RQFP EPF10K20 EPF10K30 EPF10K30A EPF10K30B EPF10K40 EPF10K50B	240-Pin PQFP/RQFP EPF10K20 EPF10K30 EPF10K30A EPF10K30B EPF10K40 EPF10K50 EPF10K50V EPF10K50B EPF10K70 EPF10K100A EPF10K100B EPF10K130B EPF10K180B
GNDIO	–	15, 40, 50, 66, 85, 104, 129, 139	20, 32, 48, 59, 72, 91, 124, 130, 152, 171, 188, 201	20, 32, 48, 59, 72, 91, 124, 130, 152, 171, 188, 201	–
No Connect (N.C.) (8)	–	–	7, 8, 9, 14, 15, 36, 37, 113, 114, 125, 126, 139, 140	–	–
トータル・ユーザ I/Oピン数(9)	59	102	134	147	189

表25 FLEX 10Kデバイスのピン配置 (1/3) 注(1)、(2)

ピン名	356-Pin BGA EPF10K30	356-Pin BGA EPF10K50 EPF10K50V EPF10K50B EPF10K100A EPF10K100B EPF10K130B EPF10K180B EPF10K250B	403-Pin PGA EPF10K50	503-Pin PGA EPF10K70
MSEL0 (3)	D4	D4	AN1	AT40
MSEL1 (3)	D3	D3	AR1	AV40
nSTATUS (3)	D24	D24	AU37	AY4
nCONFIG (3)	D2	D2	AU1	AY40
DCLK (3)	AC5	AC5	E1	H40
CONF_DONE (3)	AC24	AC24	C37	F4
INIT_DONE (4)	T24	T24	R35	V6
nCE (3)	AC2	AC2	G1	K40
nCEO (3)	AC22	AC22	E37	H4
nWS (5)	AE24	AE24	E31	A3
nRS (5)	AE23	AE23	A33	C5
nCS (5)	AD24	AD24	A35	C1
CS (5)	AD23	AD23	C33	C3
RDYnBSY (5)	U22	U22	N35	T6
CLKUSR (5)	AA24	AA24	G35	H6
DATA7 (5)	AF4	AF4	C9	E29
DATA6 (5)	AD8	AD8	A7	D30
DATA5 (5)	AE5	AE5	E9	C31
DATA4 (5)	AD6	AD6	C7	B32
DATA3 (5)	AF2	AF2	A5	D32
DATA2 (5)	AD5	AD5	E7	B34
DATA1 (5)	AD4	AD4	C5	E33
DATA0 (3) , (6)	AD3	AD3	C1	F40
TDI (3)	AC3	AC3	J1	M40
TDO (3)	AC23	AC23	G37	K4
TCK (3)	AD25	AD25	A37	D4
TMS (3)	D22	D22	AN37	AT4
TRST (3)	D23	D23	AR37	AV4
Dedicated Inputs	A13, B14, AF14, AE13,	A13, B14, AF14, AE13	A17, A21, AU17, AU21	D20, D24, AY24, AY20

表25 FLEX 10Kデバイスのピン配置 (2/3) 注(1)、(2)

ピン名	356-Pin BGA EPF10K30	356-Pin BGA EPF10K50 EPF10K50V EPF10K50B EPF10K100A EPF10K100B EPF10K130B EPF10K180B EPF10K250B	403-Pin PGA EPF10K50	503-Pin PGA EPF10K70
Dedicated Clock Pins	A14, AF13	A14, AF13	A19, AU19	D22, AY22
DEV_CLRn (4)	AD13	AD13	C17	F22
DEV_OE (4)	AE14	AE14	C19	G21
VCCINT	A1, A26, C14, C26, D5, F1, H22, J1, M26, N1, T26, U5, AA1, AD26, AF1, AF26	A1, A26, C14, C26, D5, F1, H22, J1, M26, N1, T26, U5, AA1, AD26, AF1, AF26	B2, D14, E25, F22, K36, T2, T32, V6, AD34, AE5, AL5, AM6, AM20, AN25, AN29, AP4, AT16, AT36	C11, E39, G27, N5, N41, W39, AC3, AG7, AR3, AR41, AU37, AW5, AW25, AW41, BA17, BA19
VCCIO	A7, A23, B4, C15, D25, F4, H24, K5, M23, P2, T25, V2, W22, AB1, AC25, AD18, AF3, AF7, AF16	A7, A23, B4, C15, D25, F4, H24, K5, M23, P2, T25, V2, W22, AB1, AC25, AD18, AF3, AF7, AF16	B22, D34, E11, E27, F16, L5, L33, P4, T6, T36, V32, AB36, AG5, AG33, AH2, AM18, AM32, AN11, AN27, AP24, AT22	C9, C15, C25, C33, C37, E19, E41, G7, L3, R41, U3, U37, W5, AC41, AE5, AJ41, AL39, AU3, AU17, AW3, AW19, BA9, BA27, BA29, BA37
GNDINT	A2, A10, A20, B1, B13, B22, B25, B26, C2, C9, C13, C25, H23, J26, K1, M1, N26, R1, R26, T1, U26, W1, AD2, AD14, AD20, AE1, AE2, AE7, AE25, AE26, AF11, AF19, AF25	A2, A10, A20, B1, B13, B22, B25, B26, C2, C9, C13, C25, H23, J26, K1, M1, N26, R1, R26, T1, U26, W1, AD2, AD14, AD20, AE1, AE2, AE7, AE25, AE26, AF11, AF19, AF25	B16, B36, D4, E21, F18, F32, G33, P34, U5, Y32, AA33, AB2, AB6, AH36, AM16, AN17, AN21, AP14, AT2	C17, E3, E5, E25, G37, J3, J41, U7, AA3, AE39, AL5, AL41, AU27, AW39, BA7, BA13, BA25

表25 FLEX 10Kデバイスのピン配置 (3/3) 注(1)、(2)

ピン名	356-Pin BGA EPF10K30	356-Pin BGA EPF10K50 EPF10K50V EPF10K50B EPF10K100A EPF10K100B EPF10K130B EPF10K180B EPF10K250B	403-Pin PGA EPF10K50	503-Pin PGA EPF10K70
GNDIO	—	—	B10, B28, D24, E5, E19, E33, F6, F20, K2, W5, W33, Y6, AB32, AD4, AM22, AN5, AN19, AN33, AP34, AT10, AT28	C21, C23, C39, C41, E13, E31, G3, G17, N3, N39, R3, W41, W3, AA41, AG37, AJ3, AN3, AN41, AU7, AU41, AW13, AW31, BA11, BA21, BA23
No Connect (N.C.) (10), (11)	C1, D1, D26, E1, E2, G1, G5, G23, G26, H1, H25, H26, J25, K25, P24, R24, T23, U25, V1, V3, V4, V26, W2, W3, Y1, Y2, Y23, AC26	—	—	A19, A21, A23, A31, A33, A35, A39, A41, B16, B18, B22, B24, B30, B40, C29, C35, D18, D26, D28, D38, E27, E37, F18, F2, F26, F30, F32, G23, G25, G29, G31, G33, G35, K6, K42, L39, L43, M2, N7, P38, P4, P42, R37, T40, V42, AC5, AD2, AE3
トータル・ユーザ I/Oピン数(9)	246	274	310	358

表26 FLEX 10Kデバイスのピン配置 (1/3) 注(1)、(2)

ピン名	503-Pin PGA EPF10K100	599-Pin PGA EPF10K130V EPF10K130B EPF10K250A EPF10K250B	600-Pin BGA EPF10K100A EPF10K100B	600-Pin BGA EPF10K130V EPF10K130B EPF10K180B EPF10K250A EPF10K250B
MSELO (3)	AT40	F6	F5	F5
MSEL1 (3)	AV40	C3	C1	C1
nSTATUS (3)	AY4	E43	D32	D32
nCONFIG (3)	AY40	B4	D4	D4
DCLK (3)	H40	BE5	AP1	AP1
CONF_DONE (3)	F4	BC43	AM32	AM32
INIT_DONE (4)	V6	AM40	AE32	AE32
nCE (3)	K40	BB6	AN2	AN2
nCEO (3)	H4	BF44	AP35	AP35
nWS (5)	A3	BB40	AR29	AR29
nRS (5)	C5	BA37	AM28	AM28
nCS (5)	C1	AY38	AL29	AL29
CS (5)	C3	BA39	AN29	AN29
RDYnBSY (5)	T6	AW47	AG35	AG35
CLKUSR (5)	H6	AY42	AM34	AM34
DATA7 (5)	E29	BD14	AM13	AM13
DATA6 (5)	D30	BA17	AR12	AR12
DATA5 (5)	C31	BB16	AN12	AN12
DATA4 (5)	B32	BF12	AP11	AP11
DATA3 (5)	D32	BG11	AM11	AM11
DATA2 (5)	B34	BG9	AR10	AR10
DATA1 (5)	E33	BF10	AN10	AN10
DATA0 (3), (6)	F40	BC5	AM4	AM4
TDI (3)	M40	BF4	AN1	AN1
TDO (3)	K4	BB42	AN34	AN34
TCK (3)	D4	BE43	AL31	AL31
TMS (3)	AT4	F42	C35	C35
TRST (3)	AV4	B46	C34	C34
Dedicated Inputs	D20, D24, AY24, AY20	B24, C25, BG25, BG23	C18, D18, AM18, AN18	C18, D18, AM18, AN18
Dedicated Clock Pins	D22, AY22	BF24, A25	AL18, E18	AL18, E18
LOCK (12)	AV14	-	-	-

表26 FLEX 10Kデバイスのピン配置 (2/3) 注(1)、(2)

ピン名	503-Pin PGA EPF10K100	599-Pin PGA EPF10K130V EPF10K130B EPF10K250A EPF10K250B	600-Pin BGA EPF10K100A EPF10K100B	600-Pin BGA EPF10K130V EPF10K130B EPF10K180B EPF10K250A EPF10K250B
GCLK1 (13)	AY22	–	–	–
DEV_CLRn (4)	F22	BE23	AR17	AR17
DEV_OE (4)	G21	BC25	AR19	AR19
VCCINT	C11, E39, G27, N5, N41, W39, AC3, AG7, AR3, AR41, AU37, AW5, AW25, AW41, BA17, BA19	E5, A3, A45, C1, C11, C19, C29, C37, C47, G25, L3, L45, W3, W45, AJ3, AJ45, AU3, AU45, BE1, BE11, BE19, BE29, BE37, BE47, BG3, BG45	AL3, AG5, AE4, AB5, Y2, U3, P5, M2, H1, B1, A11, B18, D24, F31, F35, K32, N34, T35, V32, AA33, AD35, AF32, AK35, AK31, AP24, AR18, AR11, E2, A19	AL3, AG5, AE4, AB5, Y2, U3, P5, M2, H1, B1, A11, B18, D24, F31, F35, K32, N34, T35, V32, AA33, AD35, AF32, AK35, AK31, AP24, AR18, AR11, E2, A19
VCCIO	C9, C15, C25, C33, C37, E19, E41, G7, L3, R41, U3, U37, W5, AC41, AE5, AJ41, AL39, AU3, AU17, AW3, AW19, BA9, BA27, BA29, BA37	D24, E9, E15, E21, E27, E33, E39, G7, G41, J5, J43, R5, R43, AA5, AA43, AD4, AD44, AG5, AG43, AN5, AN43, AW5, AW43, BA7, BA41, BC9, BC15, BC21, BC27, BC33, BC39, BD24	C8, E12, C15, A20, C23, A27, AM26, AR23, AM19, AN15, AL12, AN8, C2, C3, C4, D5, E5, C33, C32, D31, E31, AL5, AM5, AN4, AN3, AM31, AN32, AN33, AP34	C8, E12, C15, A20, C23, A27, AM26, AR23, AM19, AN15, AL12, AN8, C2, C3, C4, D5, E5, C33, C32, D31, E31, AL5, AM5, AN4, AN3, AM31, AN32, AN33, AP34
VCC_CKCLK (15)	BA19	–	–	–
GNDINT	C17, E3, E5, E25, G37, J3, J41, U7, AA3, AE39, AL5, AL41, AU27, AW39, BA7, BA13, BA25	A47, B2, C13, C21, C27, C35, C45, D4, G23, N3, N45, AA3, AA45, AG3, AG45, AR3, AR45, BD44, BE3, BE13, BE21, BE27, BE35, BE45, BG1, BG47	A18, AN35, A1, A2, A3, A4, A5, B2, B3, B4, B5, B6, C5, C6, D6, E6, A31, A32, A33, A34, A35, B31, B32, B33, B34, B35, C30, C31, D30	A18, AN35, A1, A2, A3, A4, A5, B2, B3, B4, B5, B6, C5, C6, D6, E6, A31, A32, A33, A34, A35, B31, B32, B33, B34, B35, C30, C31, D30

表26 FLEX 10Kデバイスのピン配置 (3/3) 注(1)、(2)				
ピン名	503-Pin PGA EPF10K100	599-Pin PGA EPF10K130V EPF10K130B EPF10K250A EPF10K250B	600-Pin BGA EPF10K100A EPF10K100B	600-Pin BGA EPF10K130V EPF10K130B EPF10K180B EPF10K250A EPF10K250B
GNDIO	C21, C23, C39, C41, E13, E31, G3, G17, N3, N39, R3, W3, W41, AA41, AG37, AJ3, AN3, AN41, AU7, AU41, AW13, AW31, BA11, BA23, BA21	E7, E13, E19, E29, E35, E41, F24, G5, G43, H40, N5, W5, W43, AD6, AD42, AJ5, AJ43, AR5, AR43, AY8, AY40, BA5, BA43, BB24, BC7, BC13, BC19, BC29, BC35, BC41, N43	E30, AL6, AM6, AN5, AN6, AP2, AP3, AP4, AP5, AP6, AR1, AR2, AR3, AR4, AR5, AL30, AM30, AN30, AN31, AP30, AP31, AP32, AP33, AR30, AR31, AR32, AR33, AR34, AR35	E30, AL6, AM6, AN5, AN6, AP2, AP3, AP4, AP5, AP6, AR1, AR2, AR3, AR4, AR5, AL30, AM30, AN30, AN31, AP30, AP31, AP32, AP33, AR30, AR31, AR32, AR33, AR34, AR35
VGND_CKCLK (15)	BA25	–	–	–
No Connect (N.C.) (14)	–	–	AK5, AL4, AM3, AM2, AM1, AJ5, AL2, AK4, AL1, AK3, AJ4, AH5, AK2, AK1, AJ3, AJ2, G1, G2, G3, F1, F2, H5, G4, F3, E1, E3, F4, G5, D1, D2, D3, E4, E32, D33, D34, D35, G31, F32, E33, E34, E35, F33, G32, H31, F34, G33, G34, G35, AB34, AB33, AB32, AB31, AC35, AC34, AC33, AC32, AC31, AD34, AD33, AD32, AD31, AE35, AE34, AE33	–
トータル・ユーザ I/Oピン数(9)	406	470	406	470

表中の注：

- (1) この表にリストされていないピンは全てユーザI/Oピンです。
- (2) FLEX 10K Aデバイス (EPF10K50V、EPF10K130V、EPF10K100Aを除く) およびFLEX 10K Bデバイスのピン配置は暫定仕様です。ピン配置に関する最新情報については日本アルテラの応用技術部へお問い合わせ下さい。
- (3) これらのピンは専用ピンであり、ユーザI/Oピンとしては使用できません。
- (4) これらのピンがコンフィギュレーションまたはデバイス全体のコントロール信号として使用されない場合は、ユーザI/Oピンとして使用できます。
- (5) これらのピンはコンフィギュレーション完了後にユーザI/Oピンとして使用できます。
- (6) このピンはユーザ・モードでトライ・ステートとなります。
- (7) 144ピンのTQFPパッケージでは、TRSTのJTAGオプション・ピンは使用できません。
- (8) 208ピンPQFPパッケージでデザインを他のデバイスからEPF10K10デバイスに移行させる場合は、ピンの互換性を維持するため、これらのピンがユーザI/Oピンとして使用されないようにして下さい。
- (9) このユーザI/Oピン数には、専用入力ピン、クロック専用ピン、すべてのI/Oピンが含まれています。
- (10) 356ピンのBGAパッケージでデザインを他のデバイスからEPF10K30へ移行させる場合は、ピンの互換性を維持するため、これらのピンがユーザI/Oピンとして使用されないようにする必要があります。
- (11) 503ピンのPGAパッケージでデザインをEPF10K100からEPF10K70へ移行させる場合は、ピンの互換性を維持するため、これらのピンがユーザI/Oピンとして使用されないようにして下さい。
- (12) このピンはClockLockとClockBoosの回路の状態を示します。ClockLockとClockBoosの回路が入力クロックにロックし、内部クロックを生成している場合は、LOCKがHighにドライブされます。定期的にクロックが停止する場合でもLOCKはHighを維持します。このLOCKのピンの使用はオプションとなっており、LOCKピン機能を使用しない場合は、このピンをユーザI/Oピンとして使用できます。
- (13) このピンはClockLockとClockBoosの回路をドライブします。
- (14) 600ピンのBGAパッケージでデザインを他のデバイスからEPF10K100Aへ移行させる場合は、ピンの互換性を維持するため、これらのピンがユーザI/Oピンとして使用されないようにして下さい。
- (15) このピンはClockLockとClockBoosの回路に対する電源またはグラウンドとなります。ノイズに対する対策を行うため、ClockLockとClockBoosの回路に対する電源とグラウンドが、他のデバイス部分に対する電源とグラウンドから分離されている必要があります。

パッケージ・ アウトライン

図30から図40までは、FLEX 10Kデバイスに提供されている各パッケージの寸法図です。パッケージ寸法の表示方法は下記のフォーマットとなっています。

インチ最小 (ミリメートル最小) または $\frac{\text{インチ標準} \pm \text{許容差}}{\text{インチ最大 (ミリメートル最大)}} \quad (\text{ミリメートル標準} \pm \text{許容差})$

または

$\frac{\text{インチ}}{\text{ (ミリメートル)}}$ BSC, Min., Max., Ref., Typ., R, Dia., Sq.

です。

表 27 パッケージ・アウトラインに使用される記号

シンボル	説明
BSC	Basicの略。理論値、または目標値
Min.	規定された最小値
Max.	規定された最大値
Ref.	参考値。参照のための値で、保証された値ではない。
Typ.	標準値。一般的な値として表示されているもので、保証された値ではない。
R	半径。曲線の寸法を表す値
Dia.	直径。曲線の寸法を表すための値
Sq.	長さ方向と幅方向のサイズが等しいパッケージの面積を表す。

図30 84ピン、プラスチック・Jリード・チップ・キャリア (PLCC) パッケージ寸法図

基準測定寸法はインチです。カッコ内のミリメートルの値は参考値です。

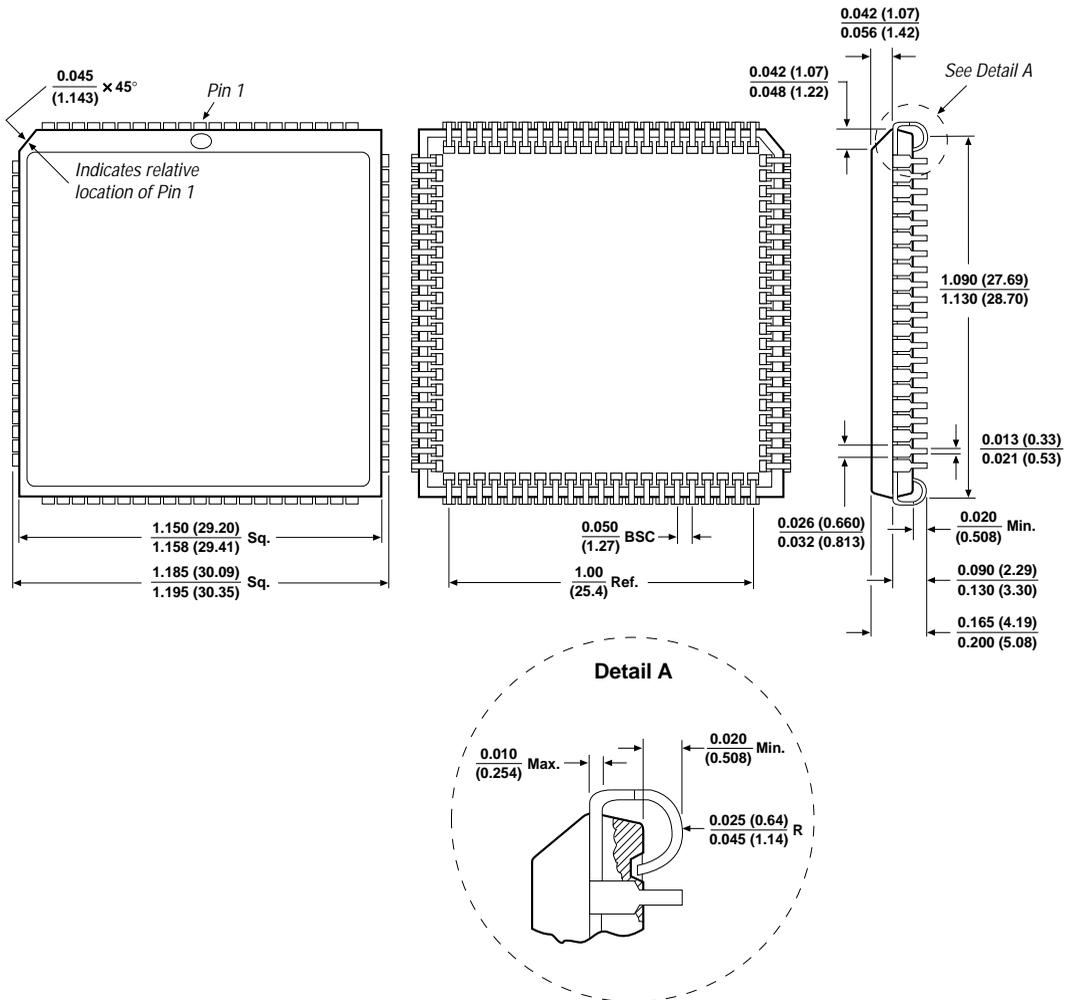


図32 208ピン、プラスチック・クワッド・フラット・パック (PQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。

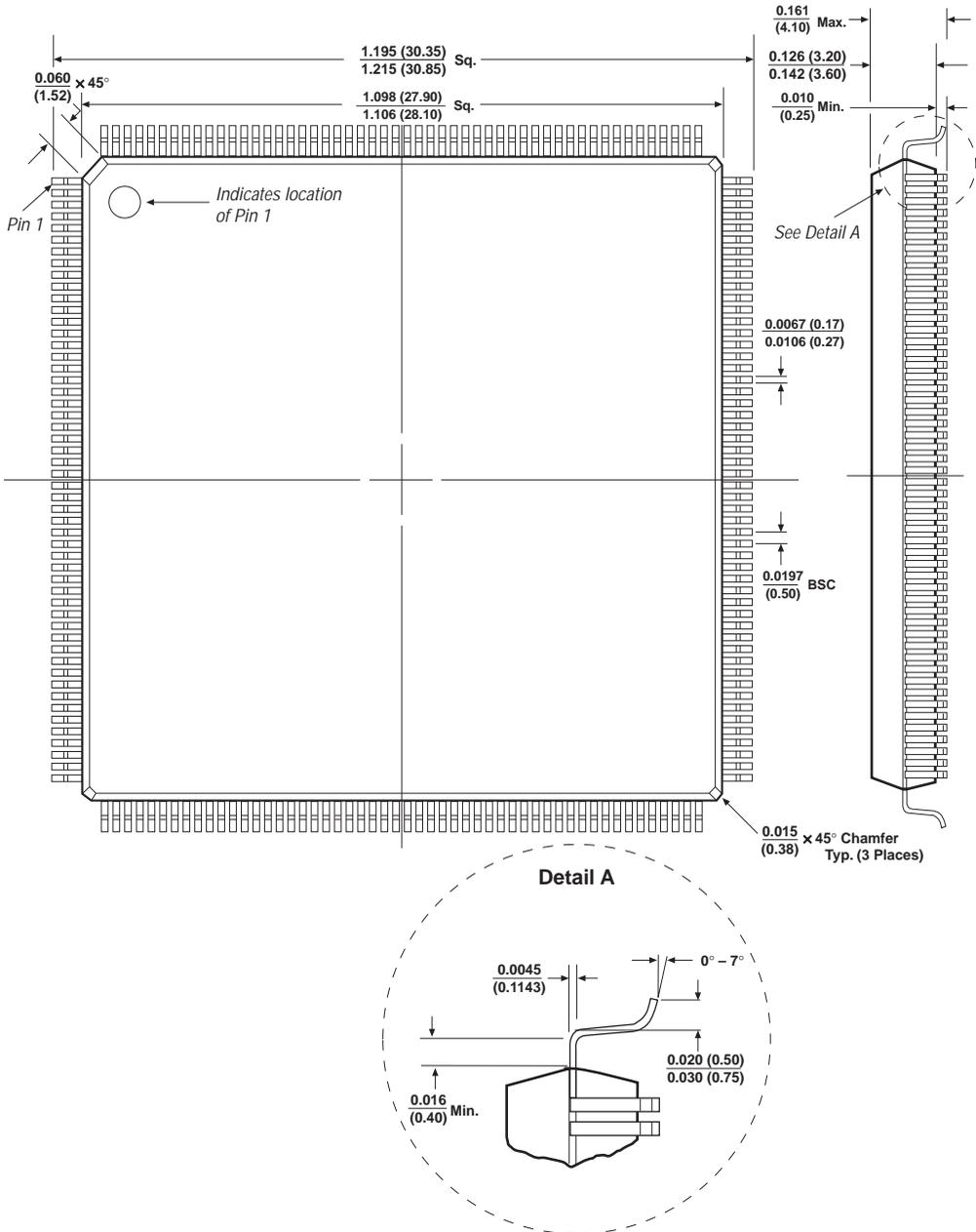


図33 208ピン、パワー・クワッド・フラット・パック (RQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。

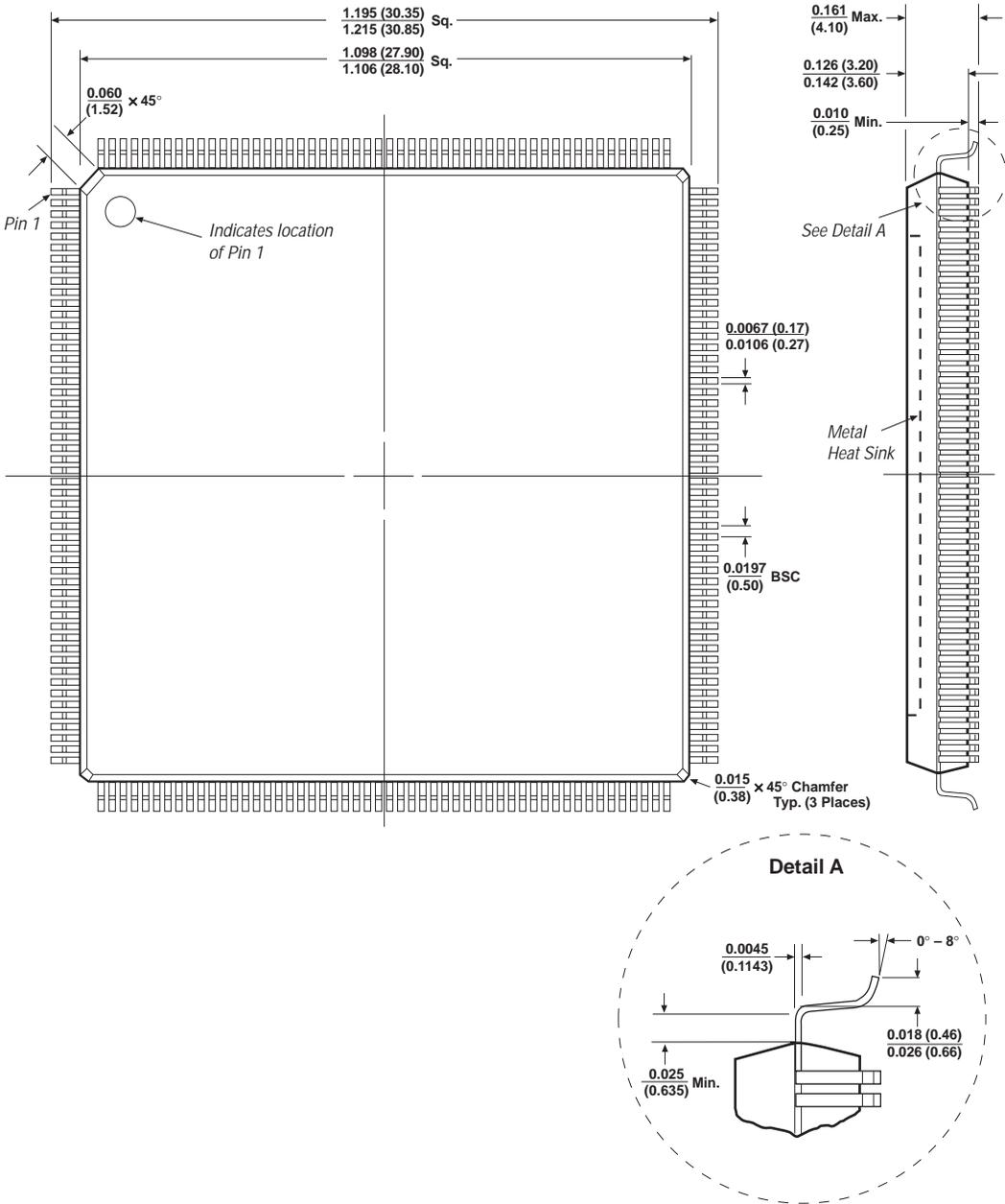


図34 240ピン、プラスチック・クワッド・フラット・パック (PQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。

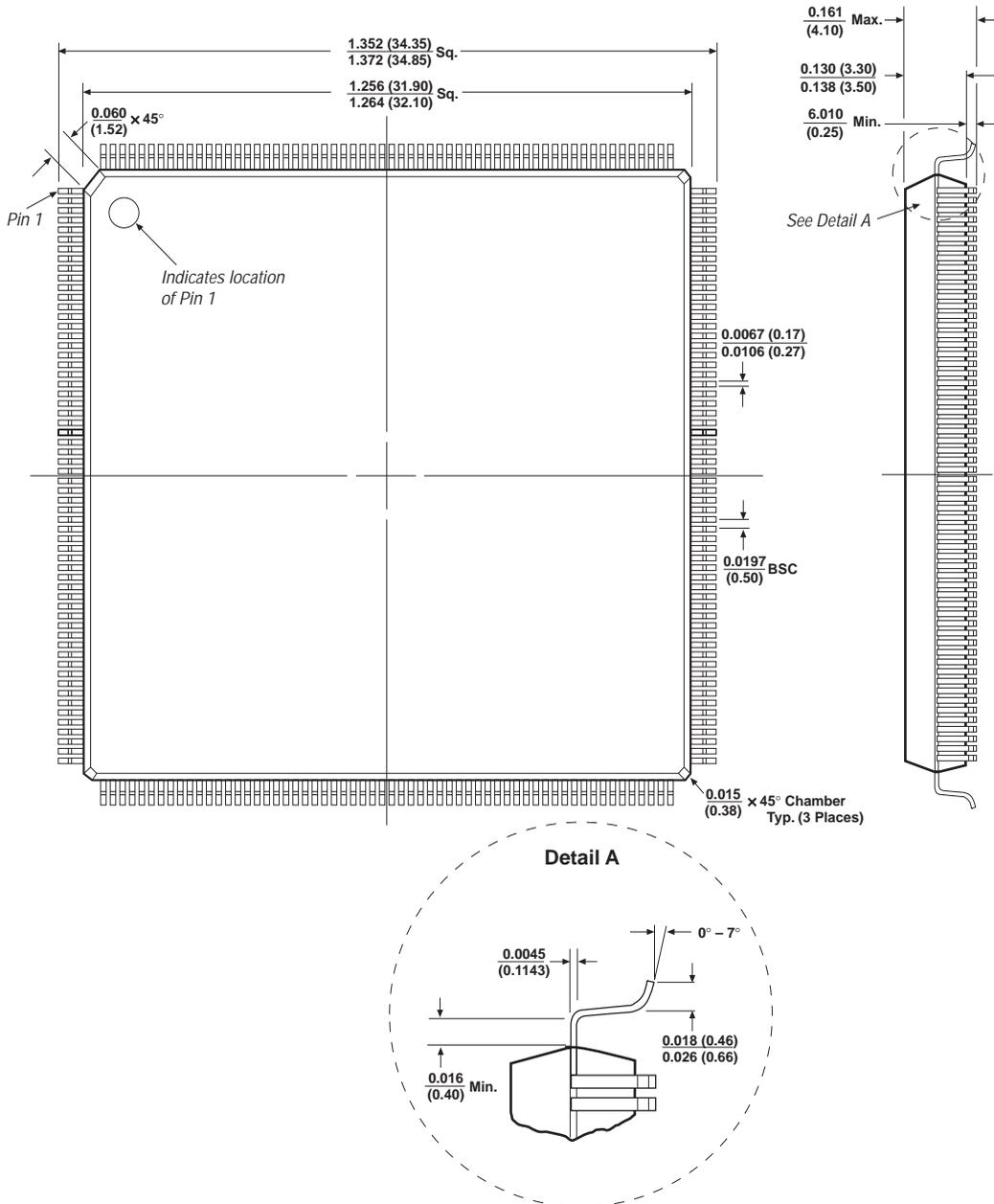


図35 240ピン、パワー・クワッド・フラット・バック (RQFP) パッケージ寸法図

基準測定寸法はカッコ内に表示されているミリメートルの値です。インチ表示の値は参考値です。

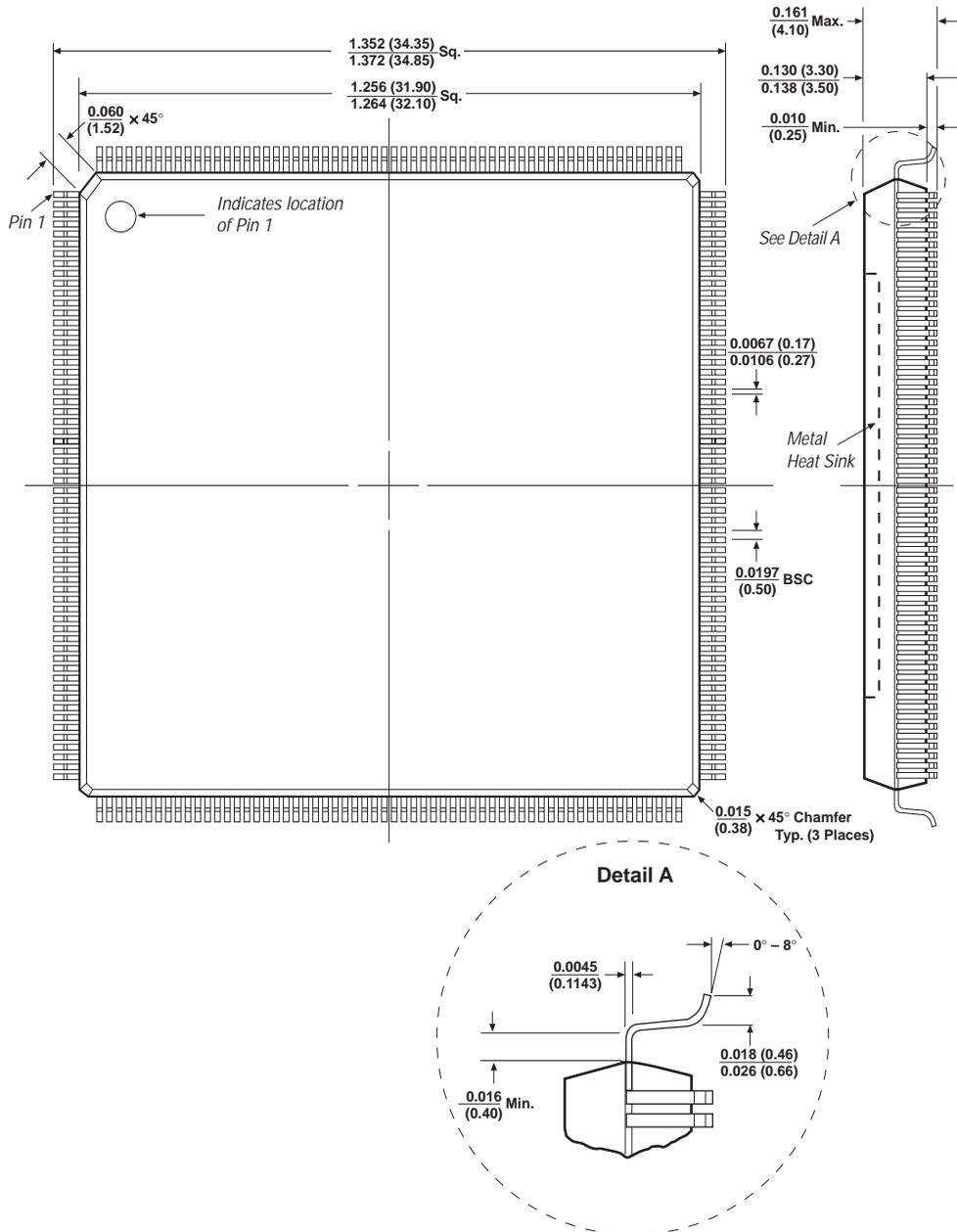


図36 356ピン、ボール・グリッド・アレイ (BGA) パッケージ寸法図

基準測定寸法はインチです。カッコ内のミリメートルの値は参考値です。

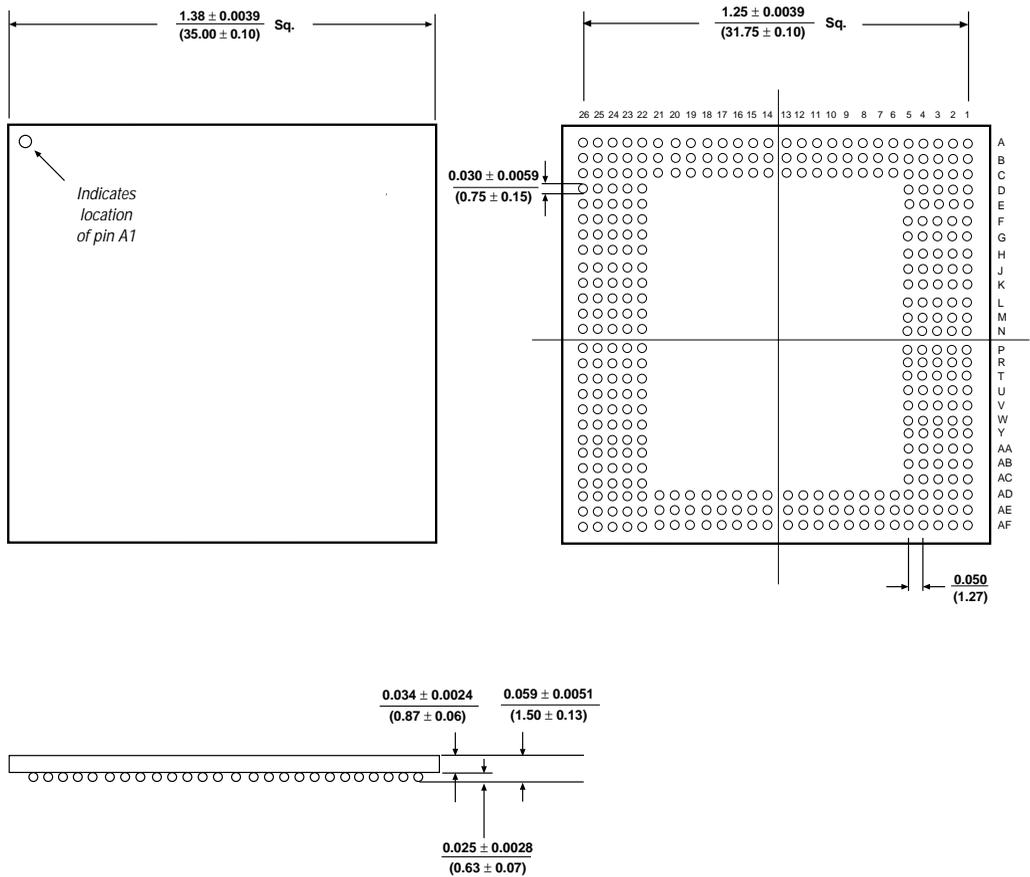


図37 403ピン、ピン・グリッド・アレイ (PGA) パッケージ寸法図

基準測定寸法はインチです。カッコ内のミリメートルの値は参考値です。

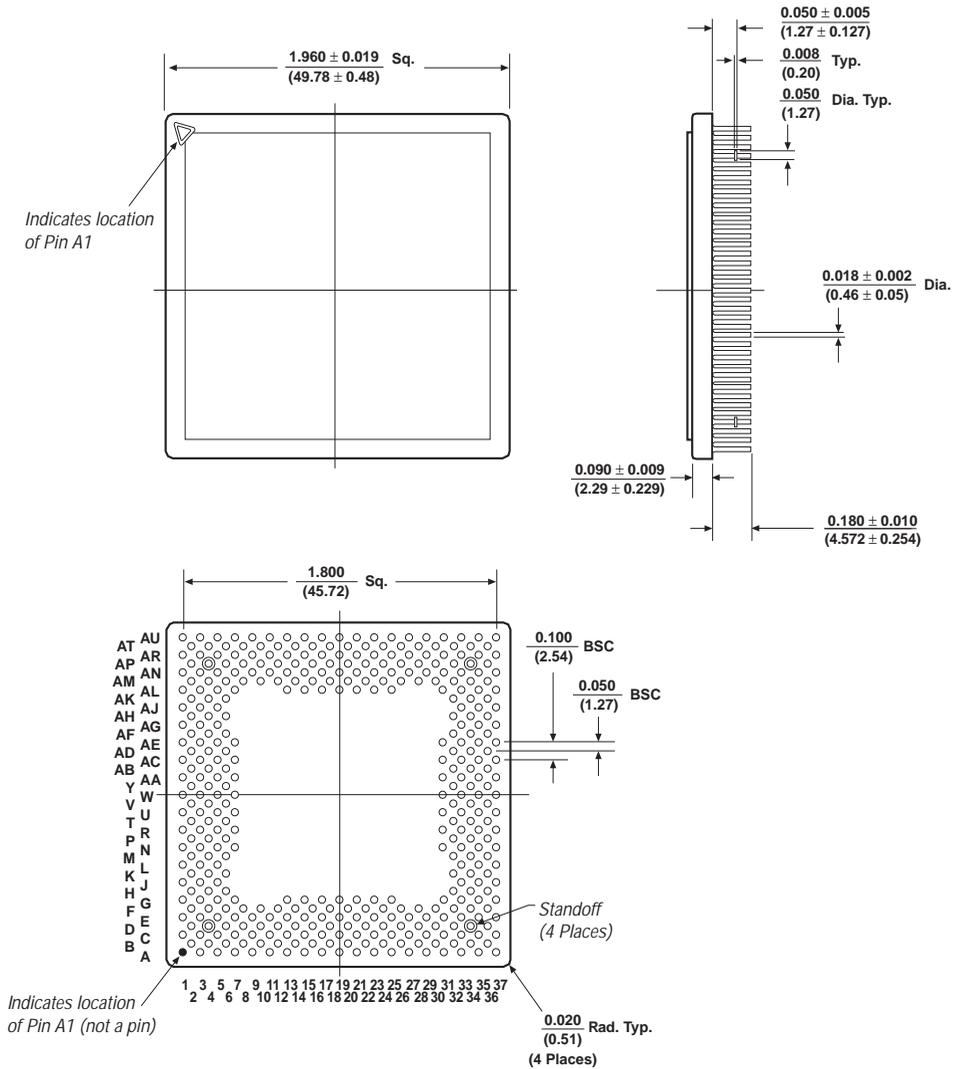


図38 503ピン、ピン・グリッド・アレイ (PGA) パッケージ寸法図

基準測定寸法はインチです。カッコ内のミリメートルの値は参考値です。

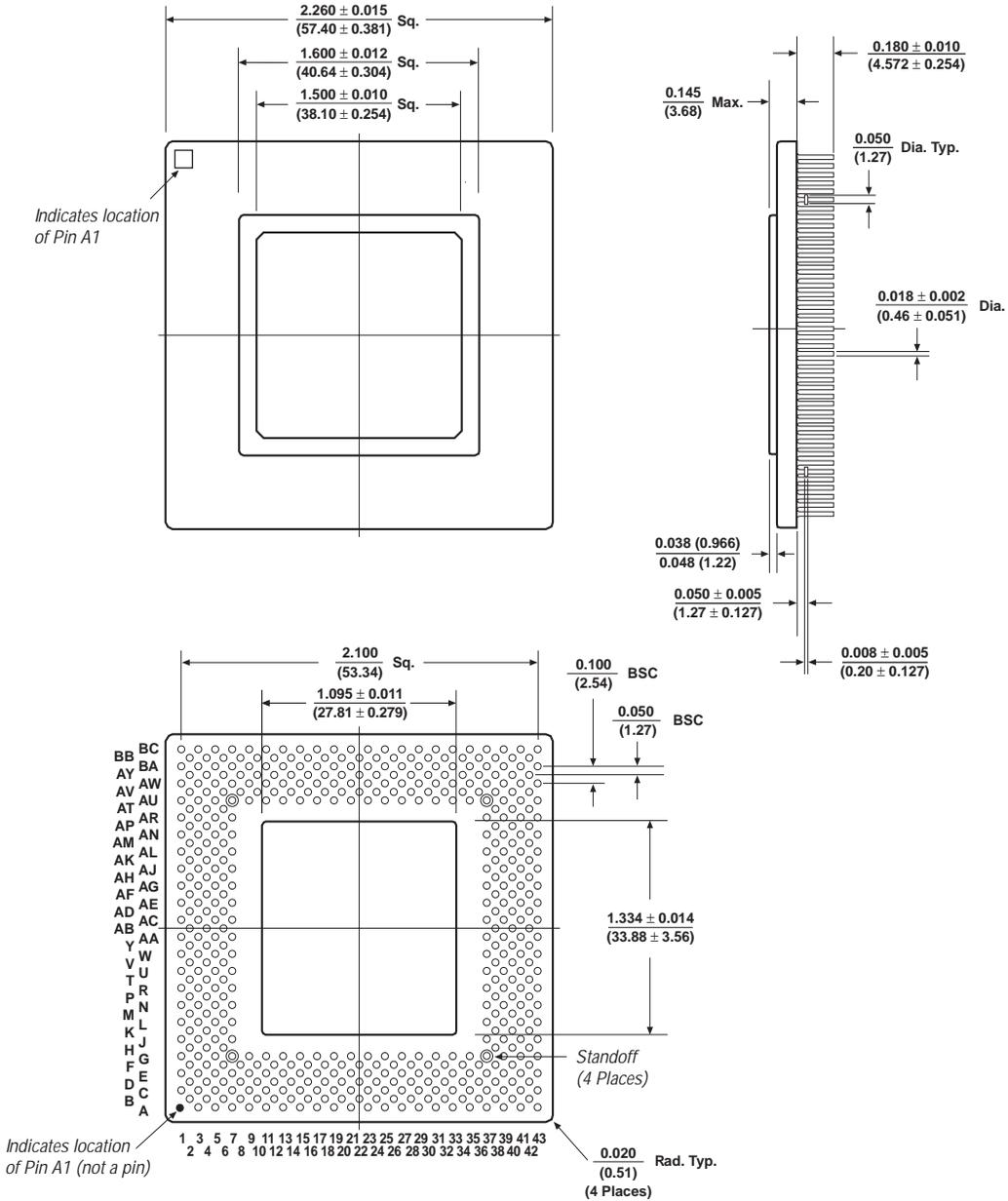


図39 599ピン、ピン・グリッド・アレイ (PGA) パッケージ寸法図

基準測定寸法はインチです。カッコ内のミリメートルの値は参考値です。

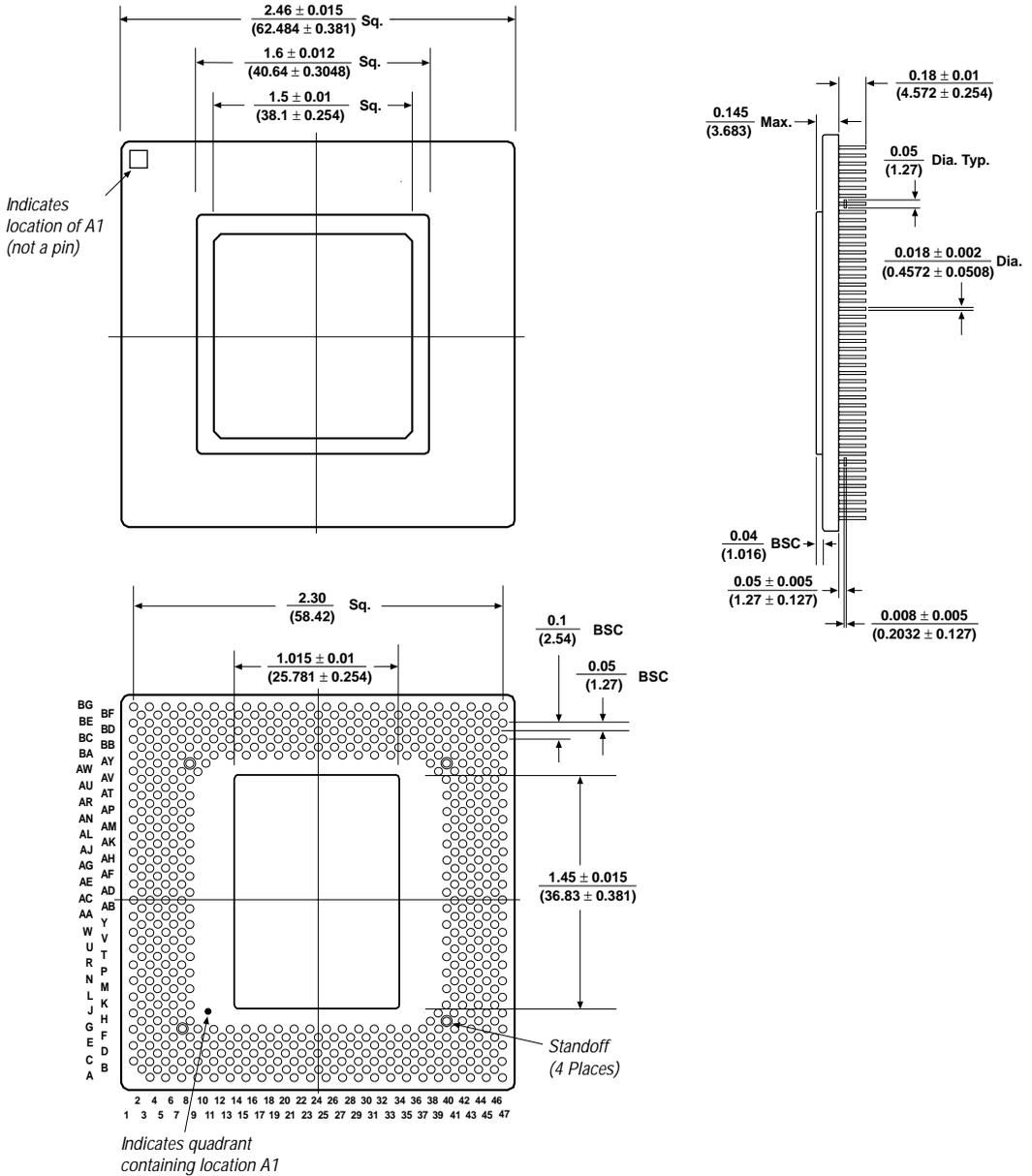
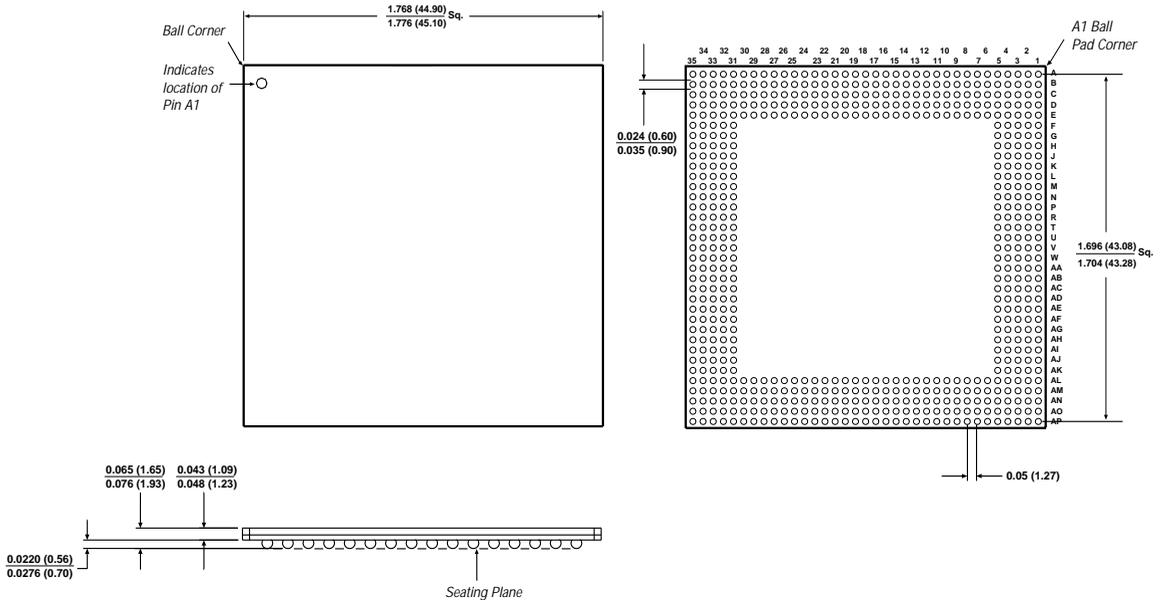


図40 600ピン、ボール・グリッド・アレイ (BGA) パッケージ寸法図

基準測定寸法はインチです。カッコ内のミリメートルの値は参考値です。



ALTERA®

日本アルテラ株式会社

〒163-0436
 東京都新宿区西新宿2-1-1
 新宿三井ビル私書箱261号
 TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive, San Jose,
 CA 95134
 TEL : (408) 544-7000
<http://www.altera.com>

この資料はアルテラが発行した英文のデータシートを日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認ください。