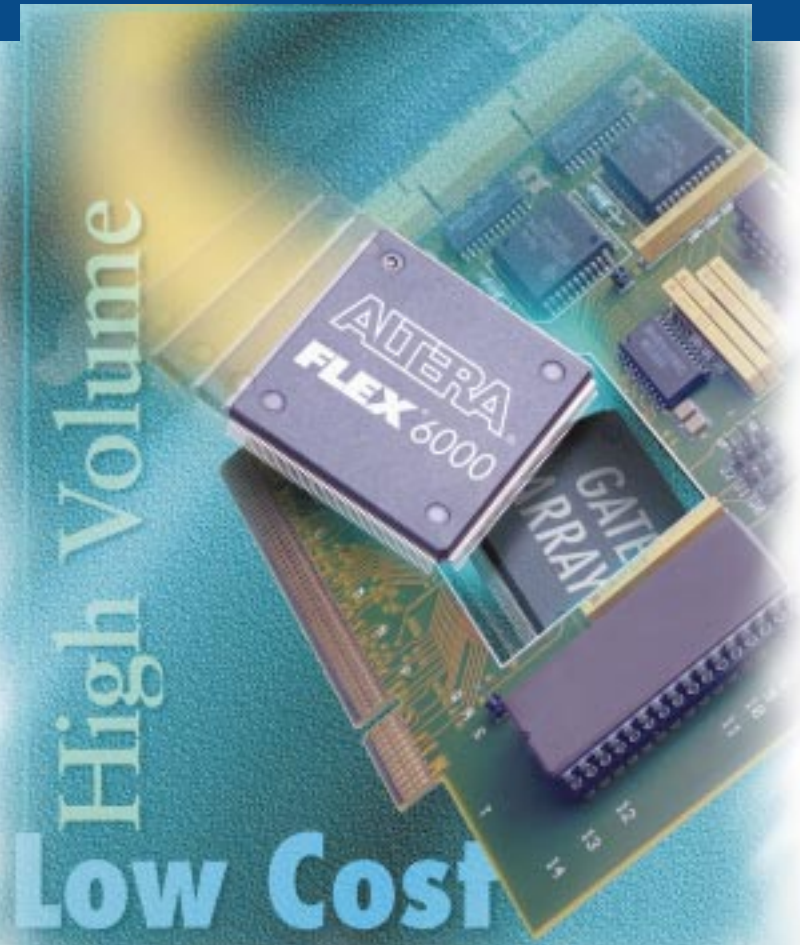


ALTERA®



FLEX 6000

ゲートアレイ・デザイナーのための量産用ソリューション

July 1998

ゲートアレイの価格で提供されるプログラマビリティ

アルテラのFLEX[®] 6000 プログラマブル・ロジック・デバイス(PLD)ファミリはプログラマブル・ロジックの持つ高い柔軟性と「Time-to-Market」の利点をゲートアレイに匹敵する価格で提供します。業界でもっとも効率の高いOptiFLEX[™] アーキテクチャが採用されているFLEX 6000 デバイスは、量産時にASICに対する柔軟性の高い経済的な代替ソリューションを提供します。

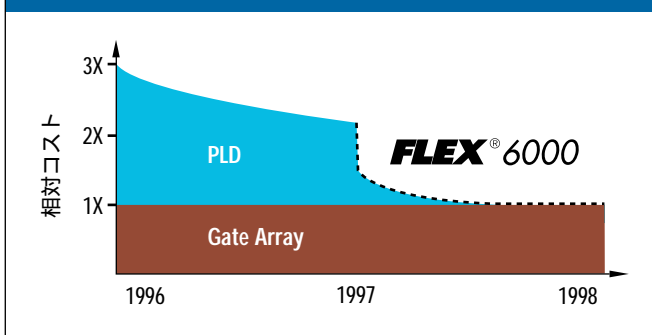
FLEX 6000デバイス

機能	EPF6010A	EPF6016	EPF6016A	EPF6024A
プロセス・テクノロジー	0.35 μ	0.5 μ	0.35 μ	0.35 μ
電源電圧	3.3 V	5.0 V	3.3 V	3.3 V
ピン・マイグレーション	Yes	Yes	Yes	Yes
ゲート数	5,000 - 10,000	8,000 - 16,000	8,000 - 16,000	12,000 - 24,000
ロジック・エレメント	880	1,320	1,320	1,960
ユーザI/Oピン (最大)	139	204	171	218
パッケージ・オプション	100-pin TQFP 100-pin BGA* 144-pin TQFP 256-pin BGA*	144-pin TQFP 208-pin PQFP 240-pin PQFP 256-pin BGA	100-pin TQFP 100-pin BGA* 144-pin TQFP 208-pin PQFP 256-pin BGA*	144-pin TQFP 208-pin PQFP 240-pin PQFP 256-pin BGA 256-pin BGA*

* FineLine BGA[™] パッケージです。

現在、ASICの設計者は、マーケットでの成功を得るためには低コスト化と早期の市場参入 (Time-to-Market) がもっとも重要となっていることを認識しています。これまで、設計者は柔軟性の高いプログラマブル・ロジックを使用するか、あるいはデバイス単価の安いASICを使用するかのトレードオフの選択に迫られていました。FLEX 6000ファミリは、初期の試作から量産まで高い柔軟性を低価格で提供することによって、こうしたトレードオフを解消しています。

PLDの価格を変革したFLEX 6000

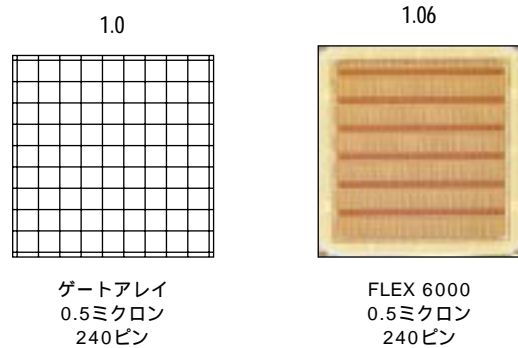


プログラマブル・ロジックの効率を変革した OptiFLEX アーキテクチャ

3.3Vの0.35ミクロン、または5.0Vの0.5ミクロンの3層メタルCMOSプロセスで製造されるSRAMベースのFLEX 6000ファミリには、OptiFLEXと呼ばれる業界でもっとも効率の高いプログラマブル・ロジック・アーキテクチャが採用されています。OptiFLEXで提供されるすべての機能は、最小のダイ・エリアで最高の性能と効率を得られることを目標に実現されています。

FLEX 6000のOptiFLEXによる効率化の実現

相対的なダイ・サイズの比較



Source: Altera

FLEX 6000のロジック・アレイ部は複数のロジック・アレイ・ブロック (LAB) で構成されており、各LABは10個のロジック・エレメント (LE) で構成されています。そして、LE間にはローカルなラインで相互に完全に接続できる配線構造が提供されています。このLABのデザインは、LAB インタリーピングと呼ばれる革新的な機能のサポートによりその能力が一段と強化されており、任意のLEを同じLAB内のローカル・インタコネクに接続できるだけでなく、隣接した複数のLABにも接続できる高い柔軟性が提供されています。LAB インタリーピングの機能によって、FLEX アーキテクチャ内のロウおよびカラムのグローバルな配線リソースに対する使用効率の最適化をはかりながら、ローカルな配線リソースが持つ高速性と柔軟性をフルに活用することができます。

各LEには4入力のルック・アップ・テーブル (LUT)、プログラマブルなレジスタ、そしてキャリアやカスケード・ファンクションのための専用パスが内蔵されています。ロジック・アレイ部はアルテラが特許を保有するFastTrack[™] インタコネクで接続されます。このFastTrackは高速でデバイス全体を縦横に走っている連続したロウ、およびカラムの高速の配線チャネルとなっています。FastTrackの各ロウおよびカラム・ラインの先端には複数のI/Oエレメント (IOE) が接続されており、各IOEにはプログラマブルなスルー・レート・コントロール機能、各ピンごとに設定可能なトライ・ステート出力イネーブル機能が提供されています。FLEX 6000ファミリにはLEとI/Oをダイレクトに接続できるFastFLEX[™] I/Oと呼ばれる機能も提供されており、この機能を使用して各I/Oピンで高速の「Clock-to-Output」遅延を実現することができます。PCIの厳しいタイミング仕様に適合させることができます。

μPitch ボンディング・パッド・テクノロジーにより、ダイ・サイズを大幅に縮小

ゲートアレイと競争できるコストを実現するため、アルテラはOptiFLEX アーキテクチャを最先端の75ミクロンのボンディング・パッド・ピッチ技術を使用して実現しました。この最適化されたアーキテクチャとμPitch[™] ボンディング・パッド・テクノロジーを組み合わせることによってシリコンの使用効率が最大となり、FLEX 6000はゲートアレイと同等のダイ・サイズを実現しています。

性能を犠牲にすることなく低価格を実現

FPGA では、そのセグメント化されたアーキテクチャの限界から、コストに対して性能と効率の双方を犠牲にしなければなりません。これに対して、FLEX 6000 デバイスにはこうした制約がありません。OptiFLEXアーキテクチャは高い性能と効率を維持しながら、ロジックと配線リソースの双方を最適化します。ここで重要となっているのが、アルテラが特許を保有するFastTrack インタコネクタです。FLEX 6000 は、LAB インタリーピング機能、FastFLEX I/O、そして遅延の予測が可能な連続した配線構造となっているFastTrackインタコネクタを結合させることによって、FPGA よりも高性能で、かつ大幅に低いコストを実現しています。

柔軟性を高めるピン・マイグレーション機能

FLEX 6000 ファミリの各デバイスには、集積度の異なるデバイスをフットプリントの互換性がある同一パッケージで供給する「ピン・マイグレーション」機能が提供されています。これによって、HDL によるデザインとプリント基板のレイアウト設計を同時に進行させる「コンカレント・デザイン」がサポートされ、デザインの生産性をさらに高めることができます。デザインの規模がデバイスの集積度を超えるような場合でも、ボードのレイアウトを変更することなく、デザインをさらに集積度の高いデバイスに簡単に移行させることができます。また、この機能を利用することによって、集積度の高いデバイスを使用して試作を短時間で完了させ、量産用のデザインをより集積度の低い、低価格なピン互換デバイスに最適化することも可能になり、さらに柔軟性に富んだデザイン手法が実現されます。

システム・レベルの機能

FLEX 6000 ファミリーには、デザインの効率を高める強力なシステム・レベルの機能が数多く内蔵されています。

FLEX 6000の性能*

ベンチマーク	使用 LE数	-1の スピード・ グレード	-2の スピード・ グレード	-3の スピード・ グレード
16ビット ローダブル・カウンタ	16	140 MHz	131 MHz	109 MHz
16ビット アキュムレータ	16	140 MHz	131 MHz	109 MHz
24ビット アキュムレータ	24	108 MHz	103 MHz	86 MHz
16対1 マルチプレクサ (ピン間遅延)	10	10.5 ns	11.7 ns	15.5 ns
16×16 マルチプライヤ (4パイプライン)	592	78 MHz	69 MHz	59 MHz
8ビット、16タップ、パラレル FIR (Finite Impulse Response) フィルタ	599	94 MSPS	81 MSPS	67 MSPS
8ビット、512ポイント、 高速フーリエ変換 (FFT)	1,182	75 μ S 62 MHz	87 μ S 54 MHz	109 μ S 43 MHz
a16450 UART (Universal Asynchronous Receiver/Transmitter)	468	36 MHz	30 MHz	25 MHz
ゼロ・ウェイト・ステートの PCIバス・ターゲット機能	601	62 MHz	52 MHz	39 MHz

* アルテラの MAX+PLUS[®] II バージョン 9.0 のソフトウェアを使用し、EPF6016A にコンパイルして得られた性能です。

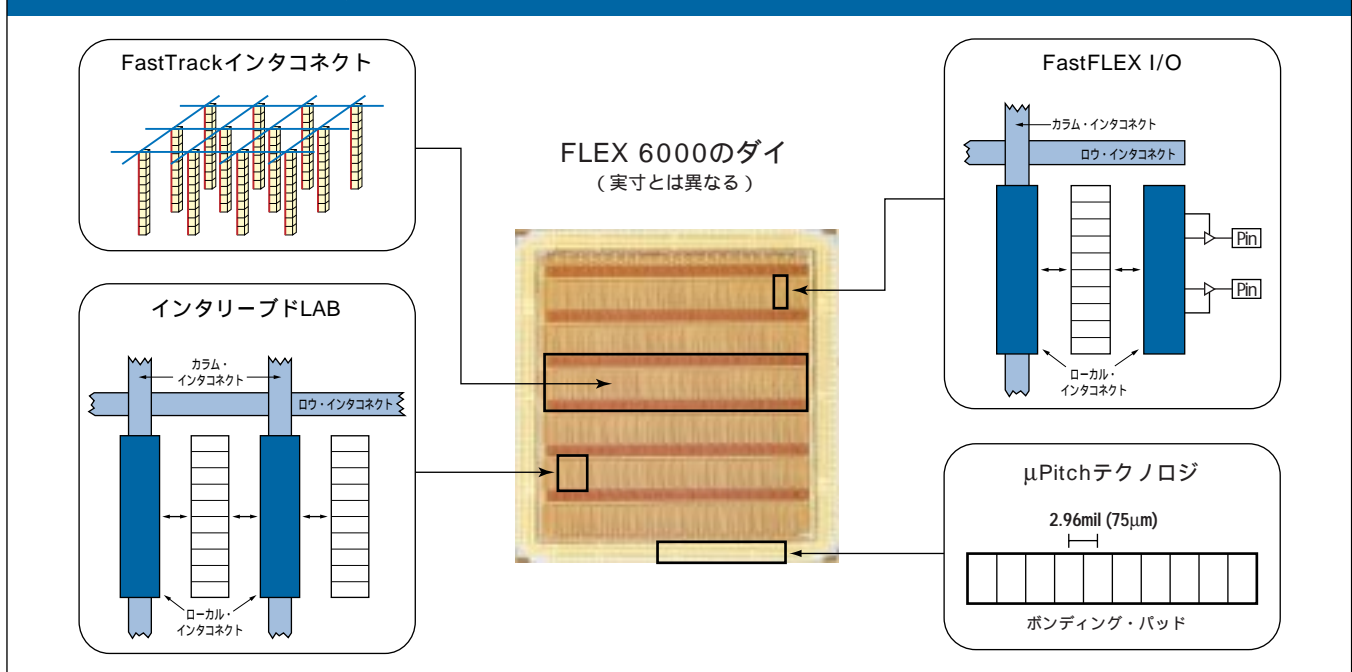
外部のコンフィギュレーション EPROM やインテリジェント・コントローラを使用したイン・サーキット・リコンフィギュラビリティ (ICR) をサポート

PCI (Peripheral Component Interconnect) の仕様に完全準拠デバイスおよびシステム・レベルのテストを容易にする JTAG バウンダリ・スキャン・テスト (BST) 回路を内蔵

2.5V、3.3V、5.0V の複数の電源電圧が使用されるシステムに理想的な MultiVolt™ I/O インタフェース

柔軟性に富んだインタラプトが構成できる各 I/O ピンごとに設定可能な出力イネーブル機能

FLEX 6000のアーキテクチャ



高速コンパイル時間と効率の高い配置配線

アルテラはFLEX 6000 のデザイン時間を短縮するため、業界でもっともパワフルで、柔軟性の高い、使いやすい開発ツールを提供しています。アルテラのMAX+PLUS® II 開発ソフトウェアは、業界でもっとも高い能力を持つ自動化された配置配線ツールを提供しており、OptiFLEXアーキテクチャの高い効率をフルに活用してデザインを実現します。この効率の高いデバイス・アーキテクチャとインテリジェントなソフトウェア・アルゴリズムを組み合わせることによって、デバイス・リソースの大部分を使用したデザインでも、要求される配置配線結果が分単位で得られます。

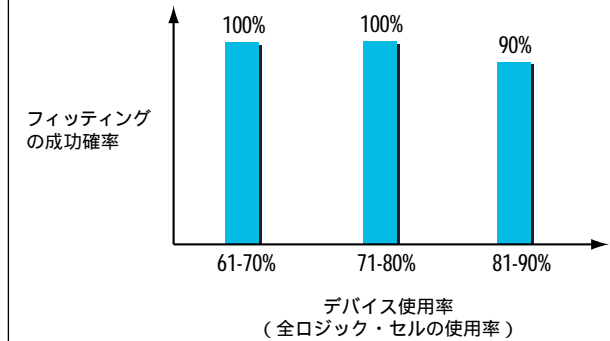
デザイン・フローの統合化

MAX+PLUS II はEDIF、VHDL、Verilog HDLのネットリスト・フォーマットを変換することができ、業界標準のEDAツールに対する便利なインタフェースを提供しています。アルテラはACCESSSM (Altera Commitment to Cooperative Engineering Solutions) プログラムを通じて、主要なEDAベンダから提供されているデザイン・エントリ、論理合成、シミュレーション用の各ツールをサポートしているため、FLEX 6000 のデザイン環境を現在使用中の設計環境にシームレスに統合化することができます。

メガファンクションとIPのサポート

ユーザのデザインの生産性を最大まで高めるため、アルテラはFLEX 6000 のアーキテクチャに最適化された複雑なシステム・レベルのファンクションを提供しています。アルテラのMegaCore™ファンクションはすでに開発済みで、テスト済みのメガファンクションとなっており、そのライセンスがアルテラから各ユーザに提供されています。このMegaCore ファンクションには、PCI、複数のUART、高速フーリエ変換 (FFT) などのファンクションが含まれています。また、アルテラと論理合成可能なメガファンクションを開発しているベンダとのアライアンス・プログラムである、AMPPSM (Altera Megafunction

FLEX 6000の配線効率



Partners Program) を通じて、さらに多様なメガファンクションが提供されています。このAMPPのアライアンス・プログラムでは、大規模なデザインに使用できる幅広いメガファンクションがアルテラのデバイスに最適化されて提供されています。

FLEX 6000: ロー・コスト、高い柔軟性、最短のTime-to-Market

FLEX 6000 ファミリのプログラマブル・ロジック・デバイスは、ゲートアレイに対するプログラマブルな量産用の代替デバイスです。業界でもっとも効率の高いOptiFLEXアーキテクチャの採用により、FLEX 6000 ファミリーはプログラマブル・ロジックが持つ高い柔軟性と「Time-to-Market」の利点をゲートアレイに匹敵する価格で提供します。

量産のニーズに対してFLEX 6000 ファミリーが、いかにロー・コストで高い柔軟性を提供するかについての詳細をお知りになりたい方は、すぐにアルテラのウェブ・サイト、<http://www.altera.com> をアクセスするか、下記へご連絡ください。