



Quartus

次世代プログラマブル・ロジック開発システム

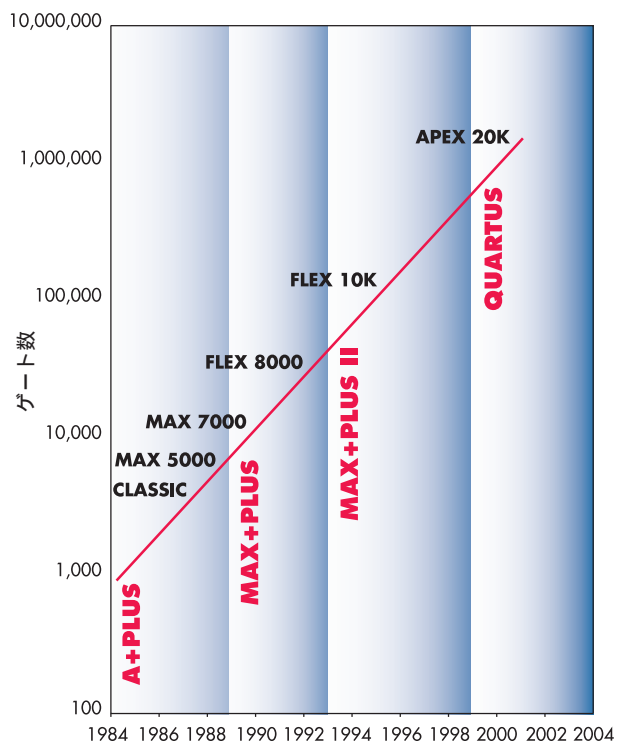


October 1998

デバイス集積度の増大に対応したデザイン・ツール

プログラマブル・ロジック・デバイス（PLD）の設計手法は、そのデバイス集積度の増大に応じて、継続的に変革されなければなりません。アルテラの第4世代のプログラマブル・ロジック開発システム、Quartus™（クォータス）の登場により、数百万ゲート規模のデザインをこれまでのPLD開発ツールでは実現されていなかった多くの最新機能を活用して処理できるようになりました。このQuartusソフトウェアの登場により、アルテラは他社では実現できない高い柔軟性と性能を持った開発ソフトウェアを継続的に提供する使命を果たしています。

図1 高集積デバイスのデザインをサポートする Quartus



Quartusのソフトウェアは、マルチプロセッサのサポートやインクリメンタルなコンパイルなど、デザイン・サイクルを短縮するための高度な機能を使用した最新のデザイン・プロセスを提供しています。開発フローの簡略化と生産性の向上を実現するため、Quartusのソフトウェアはブロック・レベルのエディティング、ワークグループ・コンピューティング、メガファンクションに対する拡張されたサポート機能など、システム・レベルのソリューションを提供しています。Quartusのソフトウェアに提供されている新しいロジック解析機能は、システムを動作させながらチップ内部の信号レベルの観測を可能にしており、検証時間の

短縮を実現しています。また、Quartusのソフトウェアはサード・パーティのEDAソフトウェア・ツールとのシームレスなインタフェースを提供しており、ユーザはすでに習熟しているこれらのデザイン・ツールをアルテラ・デバイスの設計に使用することができます。Quartusは業界初の「インターネット対応」の開発ツールとなっており、ソフトウェアのアップデート、ライセンス・ファイルの提供を含む最新情報やファイル交換をインターネットを通じて提供しています。また、アルテラは高いレベルの技術サポートの提供を通じて、実質的に皆さんの設計チームの一員となります。これらの特長を提供するQuartusは、数百万ゲートのデザインに対する理想的なプラットフォームとなっています。

nSTEP Compilerによるコンパイル時間の短縮

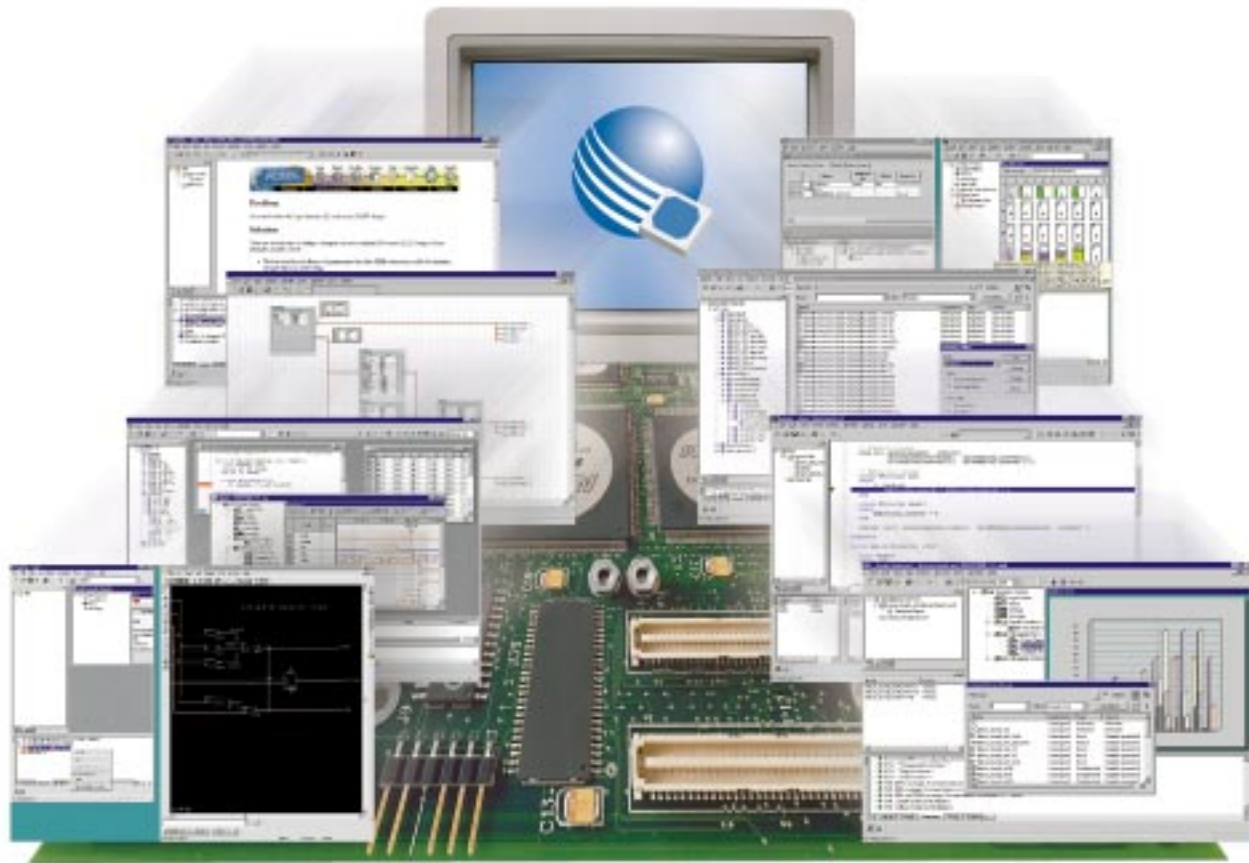
複雑なデザインでは、要求される結果を得るまでに数回にわたる設計変更が繰り返されるのが一般的です。Quartusが登場する前までは、設計の一部を変更するたびに、その結果を確認する前にデザイン全体をリコンパイルする必要がありました。現在では、QuartusのnSTEP™ Compilerにより、一部分の設計変更を行った場合でも、デザイン全体のコンパイルを実行することなく、その結果が確認できるようになっています。Quartusのソフトウェアは設計変更されたデザイン部分に対してのみコンパイルを実行します。このパワフルな機能はコンパイル時間を大幅に短縮し、変更されていないデザイン部分の配置とタイミングをそのまま維持します。

CoreSynによる論理合成

nSTEP Compilerには、アルテラが新たに開発したCoreSyn™ シンセシス機能が採用されています。このコンパイラはデザインを解析して、デザインの機能をAPEX™ アーキテクチャのルック・アップ・テーブル（LUT）をベースにしたロジック・エレメント、プロダクト・タームをベースにしたマクロセル、エンベデッド・メモリを使用したロジック・ブロックに分割します。このCoreSyn機能の使用により、nSTEP Compilerは適切な合成テクノロジーを起動して、ロジックをアーキテクチャに対して最適化します。

コンピュータ・パワーのフル活用

PCおよびワークステーションの能力の驚異的な増加に対応して、デザイン・ツールもこうした利点をフルに活用できるようになっている必要があります。Quartusのソフトウェアはコンピュータ演算機能を複数のプロセッサに分散させることにより、こうしたPCやワークステーションの性能の向上をフルに活用できるように設計されています。Quartusのソフトウェアは、ローカルにまたはネットワークに接続されたマルチプロセッサ・システムの処理能力をフルに活用できるようになっており、複数のオペレーティング・システムで構成されるマルチプロセッサ・システムにも対応しています。この機能は、コンパイルに要する時間を大幅に改善します。

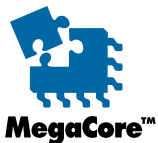


協同作業環境

デザインの大規模化の進展と共に、ひとつのプロジェクトを複数のエンジニアが担当するようになってきています。Quartusのソフトウェアは、ネットワーク上の複数のエンジニアがアクセスできる集中型オブジェクト指向データベースを採用しています。市販されているリビジョン管理システムまたはQuartusのソフトウェア内部にユーザーによって組み込まれるシステムによって、複数のエンジニアがデザインに対する変更を行うごとにデザインの正しいリビジョンが管理されるようになってきています。この機能により、デザイン・サイクルを中断させることなく、異なる地域の複数の設計者が同じプロジェクトに参加することができます。

高集積デザイン用メガファンクション

システム・レベル・アーキテクチャを実現するデザインの作成には、そのデザイン・サイクル全体に高い効率性が要求されます。すでにテストおよび最適化されたファンクションを活用することで、設計時間をさらに短縮することが可能です。アルテラは、アルテラが開発したMegaCore™ファンクションと呼ばれるアルテラのデバイス・アーキテクチャに最適化された製品と、Altera Megafunction Partners Program (AMPP™)を通じて供給されている製品の2種類のメガファンクションを提供しています。



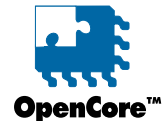
サード・パーティのベンダが開発したアルテラ・デバイスに最適化されたメガファンクションが、このAMPPを通じて幅広くユーザーに提供されています。



インスタンス時のアサイメントや論理合成のコントロールを可能にすることにより、Quartusのソフトウェアのメガファンクションに対するサポートはさらに拡張、強化されています。これにより、MegaCoreまたはAMPPのメガファンクションのインスタンス時のアサイメントは、各ファンクションごとではなく、全体のデザインに適用されます。

OpenCoreによるリスク・フリーな評価

QuartusのOpenCore™評価機能は、AMPPおよびMegaCoreファンクションに対するリスク・フリーな評価方法を実現しています。このOpenCore機能を活用することによって、ユーザーは購入を決定する前に、メガファンクションのデザインへのインスタンス化、コンパイル、そしてシミュレーションを行い、各ファンクションのサイズと性能を検証することができます。MegaCoreファンクションはアルテラのワールド・ワイド・ウェブ・サイト、<http://www.altera.com>から無償でダウンロードすることができます。



改善された検証フローと SignalTap ロジック・アナライザ

数百万ゲート規模のデザインの開発では、デザインの検証がもっとも長い工程となります。QuartusはRTL (register-transfer-level) ベースのシミュレーションに対するタイトな統合化を実現して、この検証時間を大幅に短縮させています。Quartusのシミュレータは、TCL、C、およびハードウェア記述言語 (HDL) のテスト・ベンチをサポートしています。

Quartusのソフトウェアはサード・パーティのシミュレータとも容易に統合化することができ、ユーザのニーズに適合したもっとも効率的な検証フローの選択が可能となっています。ソフトウェア・シミュレーションの実行に加え、アルテラのSignalTap™ロジック・アナライザを使用したハードウェアのデバッグ機能が提供されています。

多くのデザインでは、システム・レベルでの検証に非常に長い時間が消費され、特に多数のI/Oを持つボール・グリッド・アレイ (BGA) パッケージのデバイスの動作検証が非常に困難になることがあります。SignalTapは、ロジック・アナライザの機能をソフトウェアに統合化したものとなっており、ユーザはこの機能を検証のプロセスで活用することができます。

SignalTapのロジック解析機能を使用することによって、デバイス内部の信号の状態を捕らえたり、これをピンに出力させてモニターすることができます。この機能は、Quartusのソフトウェアを使用して、ロジック・アナライザの機能とトリガ・オプション機能を持ったロジック・アナライザ・メガファンクションをデザイン内に挿入することで実現されます。このとき、データはデバイスのエンベデッドRAMブロックにストアされ、ダウンロード・ケーブルを通じてQuartusのウェブフォーム・ビューワにレポートされます。SignalTapロジック・アナライザ・ツールを使用することで、設計チームはデバイスを実際のスピードで動作させながらデバイス上での信号解析を行うことができます。

検証フローの短縮を実現するSignalTapロジック解析機能は、短いデザイン・サイクルを実現するプログラマブル・ロジックの利点をさらに増大させます。PLDは、検証という目的に対して特に鮮明な利点を提供します。

真のシステム・レベル検証

PLDではシリコンの変更というリスクが解消されているため、PLD上で複数回の設計変更と検証を繰り返し行うことができます。これらの変更確認作業は、システム・クロック・スピードでしかもイン・システムで実行することができます。毎秒あたり数百万本にもおよぶ真のシステム・ベクタをデバイスに与え、多様

な動作条件でのテストを行うことができます。また、PLDでシステムを実現することによって、ソフトウェア・モデルやエミュレータを用意することなく、実際のハードウェア上での開発を早期に開始させることが可能になります。

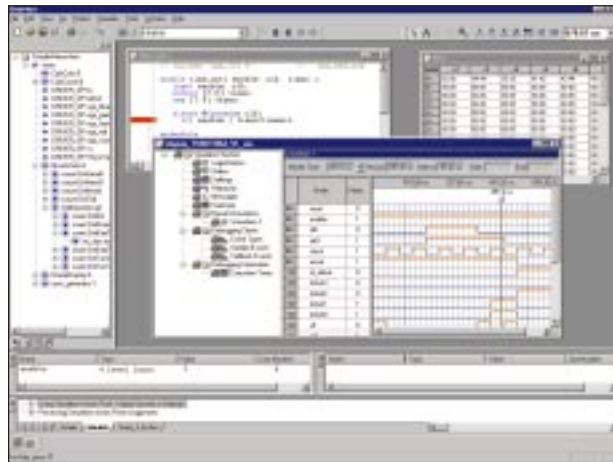
プローブングに関連したボトルネックの解消

エンベデッドRAM内蔵のPLDでは、シリコン上にロジック・アナライザの機能を実現できるため、外部にロジック・アナライザが不要です。このロジック・アナライザの機能はオン・チップで実現されるため、デザイン内の任意の信号へのフル・アクセスが可能になります。データはエンベデッドRAMにストアされ、指定されたI/Oピンにシリアルに出力されます。そして、データはPC上で再構築され、波形ディスプレイ上に表示されます。

PLDの柔軟性

デザインの変更とロジック・アナライザの構成は、PLD上で短時間に、また簡単に行うことができます。

図2 Quartusの検証インターフェース



ユーザはデザインの検証にQuartusのソフトウェアと共に現在使用中の検証ツールと検証フローが使用できるため、新しいソフトウェア・ツールを採用することで生じがちな習熟曲線の上昇を避けることもできます。SignalTapが提供する革新的なロジック解析ソリューションを活用することによって、デバイスを実際のスピードで動作させながらシステム・レベルの検証を行うことも可能です。検証プロセスに対するこれらの改善された多くの機能の提供により、量産への移行がさらに短期間で行えるようになります。

NativeLinkによる主要なデザイン・ツールとの統合化

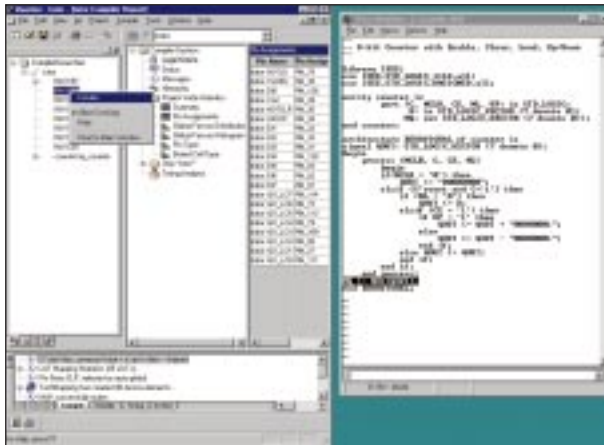
一般的に、デジタル・システムのデザインには、デザインの入力から検証そしてプログラミングに至るまでのプロセスに複数のEDAツールが必要になります。そして、これらのツール間には、デザイン情報の正確な転送が要求されます。NativeLink™によるツール間の統合化は、Quartusのソフトウェアと他のEDAツール間のシームレスなデータ転送を実現させており、使用されるEDAツール環境全体の生産性を大幅に向上させます。

アルテラは、あらゆるPLDのデザイン・ソフトウェアに要求されるベストなインタフェースを提供すべく、主要なEDAベンダと密接な関係を維持しています。アルテラはQuartusのインタフェースを多数のEDAパートナーに公開し、これまでにない高いレベルでの統合化が実現されるようにしました。NativeLinkによるツール間の統合化は、主要なEDAソフトウェアとの真にシームレスなインタフェースを提供して既存のデザイン・フローをサポートしており、ユーザが新しいデザイン・ツールを理解する必要性を排除しています。

合成結果の品質改善

Quartusのソフトウェアは、他のツールでは実現されていない多様な機能により、合成結果の品質をさらに改善させています。NativeLinkによるデザイン・フローでは、合成の手法を最適化するため、サード・パーティのEDAツール上でQuartusを使用して配置配線前の予測を行うことができます。インクリメンタルな設計変更に対して、デザイン全体をリコンパイルする必要がないため、デザインのプロセスがさらに簡略化されます。

図3 NativeLinkの例



エラー・ロケーション検出修正機能

ほとんどのインタフェースでは、あるツールから他のツールにデザイン情報を受け渡すことが可能になっていますが、ツール間の切り替え機能が不十分だったり、サポートされていませんでした。Quartusのソフトウェアでは、エラー個所の検出と修正をこれまでになく簡単に行えるようにしています。Quartusのソフトウェアはサード・パーティのEDAツールで作成されたソース・デザイン・ファイル内のエラー個所を検出、表示することができ、エラー個所をEDAツール上でダイレクトに修正できるようになっています。

インターネットをベースにしたサポート

Quartusは最新のインターネット・ブラウザを活用できるように設計されています。ユーザは、Quartusのソフトウェアを使用してインターネットへのアクセスを行い、AtlasSMソリューションのデータベースを含むアルテラのウェブ・サイトへダイレクトに接続することができます。このダイレクト・アクセスによって、各ユーザに迅速なソリューション、ヒント、デザイン・サイクル内で発生する可能性のある問題点に対する解決策などがユーザに提供されます。

また、ユーザはQuartusのソフトウェア上からインターネットを通じてアルテラの応用技術部門に対してダイレクトにサービスを要求し、その進行状況をモニタすることもできます。デザイン・ファイルやユーザの行った構成の詳細は、アルテラ側への転送が行えるように自動的に準備されます。この機能により、問題の解決を担当するアルテラのエンジニアは、ユーザのデザインの環境を正確に再現することができます。アルテラは、こうした機能を活用して、ユーザのデザイン・チームのメンバに効果的に加わることができます。

ソフトウェアのパッチ、新しいデバイス・サポート、オンライン・ヘルプのアップデートなどに関する通知もQuartusのソフトウェアによって毎日実行されます。また、ユーザには、アップグレードされた最新のソフトウェアをダウンロードすることも通知されます。また、ユーザは使用するQuartusのソフトウェアが常時アップデートされるような設定を選択し、常に最新情報へのアクセスが可能になるようにすることができます。

APEX 20K : 革命的なエンベデッド・アーキテクチャ

アルテラの最新の高性能、高集積エンベデッドPLDファミリであるAPEX™ 20Kはシステム・レベルの集積化を実現するように設計されており、ルック・アップ・テーブルをベースにしたロジック、プロダクト・タームをベースにしたロジック、そしてメモリをシングル・デバイスに集積化した最大2百万ゲートまでの集積度を持つデバイス・ファミリです。MultiCore™アーキテクチャと呼ばれるこのデバイスの革命的なアーキテクチャは最先端の0.25ミクロンSRAMプロセスを使用して実現されており、FLEX® 10K、FLEX 6000、およびMAX® 7000の各アーキテクチャの利点の統合と強化により、システム・レベルのアプリケーションに対する効率的な高性能ソリューションを提供しています。

APEX 20Kデバイスは、16個のロジック・アレイ・ブロック (LAB) を内蔵したMegaLAB™ブロック、最新のエンベデッド・システム・ブロック (ESB) 、そしてグローバルな配線リソース

を使用せずに16個すべてのLABとESB間を接続できるローカル・インタコネクトによって構成されています。各ESBは、プロダクト・ターム・ベースのロジック、LUTベースのロジック、RAM、ROM、またはCAM (Content Addressable Memory) のいずれかにコンフィギュレーションすることができます。また、APEX 20Kデバイスには拡張されたClockLock™およびClockBoost™回路が提供されており、LVTTTL、LVCMOS、LVDS、GTL/GTL+、SSTL-3を含む複数の標準I/Oインタフェースもサポートされています。

便利な年間契約

ユーザはアルテラと12ヶ月間にわたる開発ツールに関する年間使用契約を締結できるようになっています。この年間契約により、アルテラのユーザには、ソフトウェアの最初のインストールだけでなく、向こう12ヶ月間にわたってリリースされるアルテラの開発システムのアップデートおよび新しいソフトウェアを受け取る権利が提供されます。これによって、ユーザはQuartusとMAX+PLUS® IIの最新バージョンを受領して、アルテラのすべてのPLDに対するサポートや最新機能の活用と性能改善の実現、オンラインおよび印刷された最新のドキュメントの受領などのサポートを受けることができます。

この年間契約を締結することで、業界でもっとも経済的で、高速な高集積PLDへのアクセスが可能になります。新しいデバイス・ファミリやパッケージ、そして最新のスピード・グレードの製品が供給可能になった時点で、ユーザはこうしたアルテラの最新のデバイスに対するサポートをすぐに受けることができます。

詳細については、日本アルテラの販売代理店へお問い合わせください。



ALTERA® 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 Altera Corporation

101 Innovation Drive, San Jose, CA 95134
TEL : (408)544-7000
<http://www.altera.com>