

FIR コンパイラ MegaCore ファンクション

Solution Brief 41

June 1999, Ver.1. 01/J

ターゲット・アプリケーション:
携帯電話基地局、スペクトラム
拡散通信、セット・トップ・ボッ
クス、その他のデジタル信号
処理アプリケーション

ターゲット・デバイス・ファミリ:
APEX™ 20K、FLEX® 10K、
FLEX 8000、FLEX 6000

オーダ・コード:
PLSM-FIR

ベンダ:



101 Innovation Drive
San Jose, CA 95134
<http://www.altera.com>
Tel. (408) 544-7000

特長

- 完全に統合化された Finite Impulse Response (FIR) フィルタの開発環境
- アルテラのデバイス・アーキテクチャに最適化
- パラレルおよびシリアル演算アーキテクチャをサポート
- 任意のタップ数をサポート
- 係数生成機能を内蔵
- サード・パーティのツールから整数または浮動小数点の係数が入力可能
- 複数の係数スケール・アルゴリズムをサポート
- 4ビットから32ビット精度までの係数幅をサポート
- 4ビットから32ビット幅までの符号付き、または符号なし入力データをサポート
- 丸め、飽和処理による出力精度の選択が可能
- 対称型の検出、適切なアーキテクチャを自動的に選択
- MATLAB Simulink、VHDL、Verilog HDL用シミュレーション・モデルの生成機能
- Quartus™ および MAX+PLUS® II のベクタ・ファイル生成機能
- テスト用のインパルス、ステップ・ファンクション、ランダム入力
- リソースの使用数をダイナミックに推定できる機能を提供
- 自動的にインタポレーション、デジメーション・フィルタを生成

概要

多くのデジタル・システムでは、不必要なノイズの除去、通信チャネルに対するスペクトラムの整形、信号の検出や解析を行うときに、信号のフィルタリングが実行されます。FIR フィルタはリニア・フェーズの特性と安定した構造が要求されるシステムで使用されます。その代表的なアプリケーションには、信号のプリコンディショニング、帯域選択、ローパス・フィルタなどが含まれます。

フィルタの設計プロセスには、各システムに対して規定される周波数応答に一致させるための係数を決定する作業が含まれます。これらの係数はフィルタの特性を決定します。係数の値を変更または追加することによって、フィルタを通過する信号の周波数特性が決定されます。

全並列型のパイプライン化された FIR フィルタを1個のプログラマブル・ロジック・デバイス (PLD) に実現して、100メガサンプル/秒 (MSPS) を超えるデータ・レートで動作させることができるため、PLDは高速フィルタのアプリケーションにも理想的なデバイスとなっています。FIR コンパイラ MegaCore™ ファンクションは、ユーザがカスタムの FIR フィルタを簡単に作成できるようにしたインタラクティブなウィザード・ドリブン・インタフェースを実現したものです。このウィザードは、MATLAB Simulink を含むサード・パーティ・ツールに使用されるシミュレーション・ファイルを出力します。この FIR コンパイラ MegaCore ファンクションは下記の機能を実現しているため、デザイン・サイクルが大幅に短縮されます。

- 各 FIR フィルタのデザインに要求される係数を決定
- Verilog HDL、VHDL の両言語、および MATLAB の環境 (M ファイルとモデル・ファイル) で、FIR フィルタのクロック・サイクル・アキュレート・モデル (つまりビット・トゥルー・モデル) を生成
- Quartus または MAX+PLUS II ソフトウェアで要求されるコードを自動的に生成し、高速でかつエリア効率の高い多様なアーキテクチャの FIR フィルタに合成
- FIR フィルタの応答をテストするための標準テスト・ベクタを生成 (インパルス、ステップ、およびランダム入力)

機能の説明

このFIRコンパイラのウィザードはQuartusまたはMAX+PLUS IIのMegaWizard™ Plug-In Managerを使用して動作させることができます。FIRフィルタのパラメータが入力されると、このウィザードがデザイン・ファイル内にインスタンス化できるようになったカスタマイズされたFIRフィルタのファンクションを生成します。表1は、このFIRコンパイラのウィザードに提供されているオプションをまとめたものです。

表1 FIRコンパイラのウィザード・オプション	
ページ	説明
Input Data Type	入力データ・バスのビット幅（4ビットから32ビットの幅）。符号付きまたは符号なしのバスを指定する。
Coefficients	<p>フィルタの係数をファイルまたはFIRコンパイラのウィザードから読み込むことが可能。どちらの場合でも、係数のスケールリング、ビット精度の指定が可能。ウィザードはフィルタの対称性を検出し適切なアーキテクチャを選択する。</p> <p>ユーザがサンプル・レート（Hzまたはナイキスト・レートとの関係式）、タップ数、カットオフ周波数を指定する。ロー・パス、ハイ・パス、バンド・パス、バンド・リジェクトの各タイプのフィルタがサポートされている。また、直交、ハニング、ハミング、ブラックマンの各ウィンドウがサポートされている。係数の設定を変更することによって、フィルタの周波数特性と応答特性の変化をダイナミックに観測することができる。</p>
Limiting Precision	<p>出力のビット幅は、実際の係数の値と入力ビット幅で決定される。</p> <p>LSBの省略または丸め、MSBの省略または飽和処理により、特定ビットを削除してフィルタの精度を落とすことができる。</p>
Architecture	フィルタをパラレル構造にするかシリアル構造にするか、およびフィルタのチャンネル数を指定できる。APEX 20KおよびFLEX 10KデバイスにはそれぞれESB（Embedded System Block）およびEAB（Embedded Array Block）が内蔵されており、シリアル構造のフィルタに最適となっている。パラレルおよびシリアルの双方のフィルタでパイプライン化が可能になっており、エリアとスピードのトレード・オフを選択することができる。
Simulation Output Files	MAX+PLUS IIのベクタ・ファイル(.vec)、MATLAB Simulinkモデル、MATLABのテストベンチ・ファイル、Verilog HDLモデル、VHDL出力モデルを含む複数の種類のシミュレーション・ファイルを生成できる。

図1は、このFIRコンパイラ MegaCore ファンクションの係数ゼネレータと MegaWizard Plug-Inの画面を示したものです。係数ゼネレータの画面で、サンプル・レート、タップ数、カット・オフ周波数、フィルタのタイプ、使用するウィンドウを設定することができます。

図1 FIRコンパイラの係数ゼネレータの画面

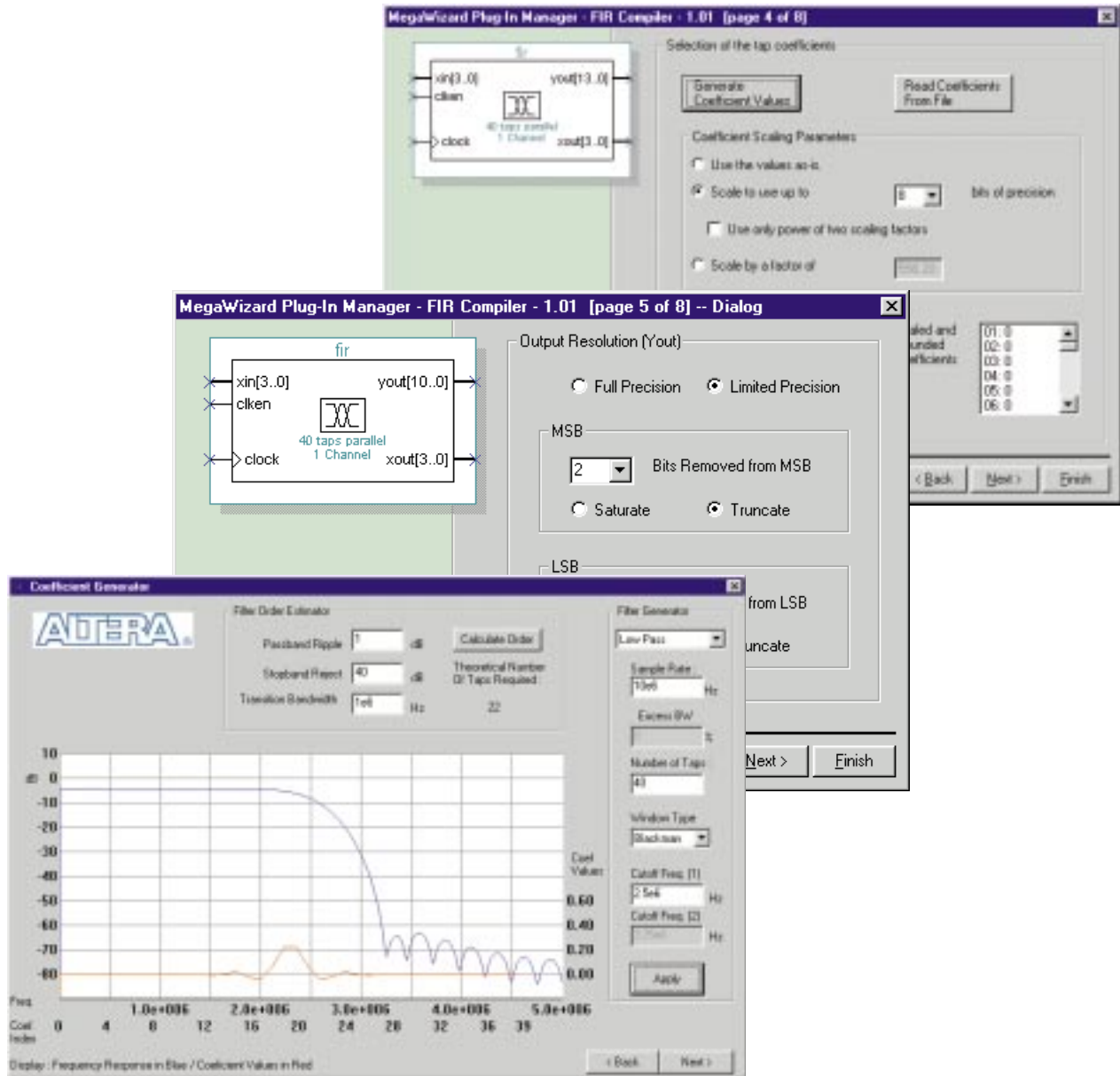
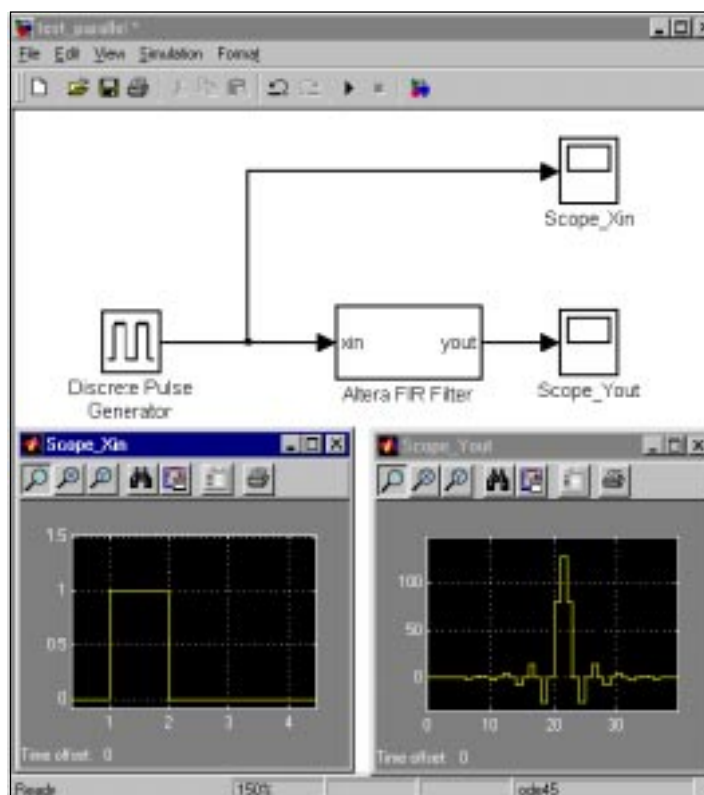


図2は、このFIRコンパイラ・ファンクションとMATLABのSimulinkとのインタフェースを示したものです。

図2 MATLABのSimulinkとのインタフェースによるシステム・レベル・シミュレーション



性能

下記の表2は、FIRコンパイラ MegaCore ファンクションで実現された FIR フィルタの使用ロジック・エレメント (LE) と動作周波数を示したものです。

デバイス	スピード・グレード	性能	使用リソース		性能 (MHz)
			LE 数	EAB 数	
FLEX 10KE	-1	17 タップの全並列型フィルタ	879	0	82
		19 タップの全並列型フィルタ	1,260	0	101
		79 タップのシリアル型フィルタ	761	5	69

ALTERA

日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
 新宿三井ビル私書箱 261 号
 TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan>
 E-mail: japan@altera.com