

PCIバス・マスタ/ターゲット・インタフェース・メガファンクション

Solution Brief 26

May 1997, ver. 1

ターゲット・アプリケーション：
バスおよびインタフェース

ファミリ：
FLEX 10K

ベンダ：



PLD Applications
14 rue Soleillet
Paris 75020
France
Tel. (33) 01-40-33-79-98
Fax. (33) 01-43-58-14-15
plda@worldnet.fr
<http://www.plda.com>

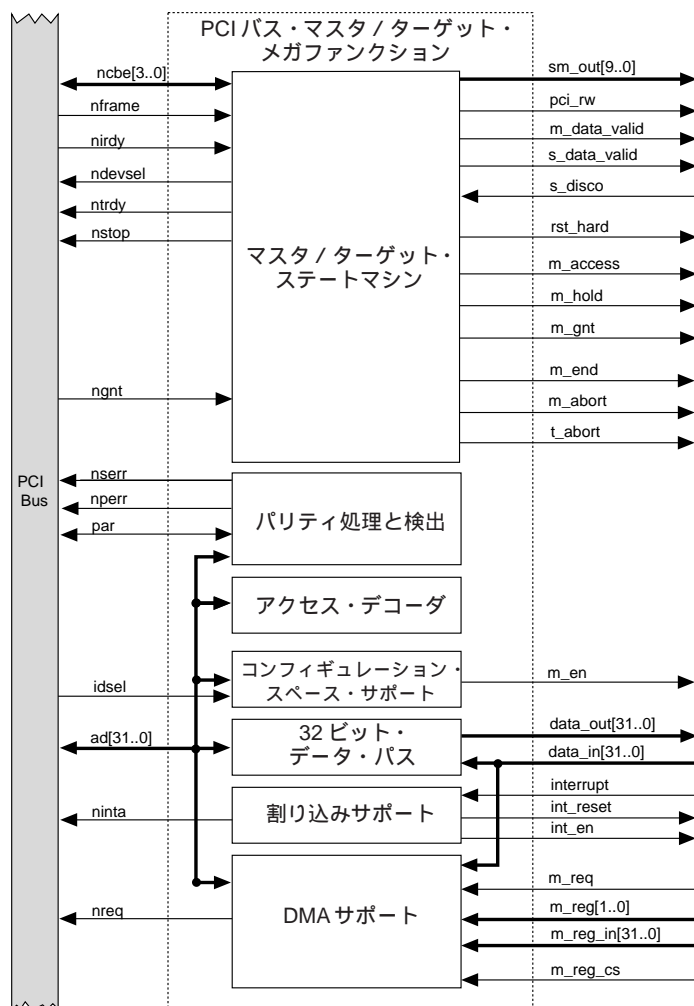
機能

アルテラ FLEX® 10K デバイス・アーキテクチャに最適化。
PCI-SIG (Peripheral Component Interconnect Special Interest Group) の PCI ローカルバス仕様、Rev.2.1 に完全準拠。
完全同期設計。
ハードウェアによる動作確認済み。
132 M バイト/秒までのフル・スピード・バースト・モードをサポート。
ゼロ・ウェイト・ステートのデータ転送レートをサポート。

概要

この PCI バス・マスタ/ターゲット・インタフェースのメガファンクションは、32 ビット幅の PCI バス・インタフェースであり、高速データ処理や ISA ベースのデザインから PCI バス・デザインへの移行などのように、高速データ転送やリアルタイム処理が必要なアプリケーションに使用できます。図 1 は、このメガファンクションのブロック図です。

図 1 PCIバス・マスタ/ターゲット・インタフェース・メガファンクションのブロック図



機能説明

このPCIバス・マスタ/ターゲット・インタフェース・メガファンクションは、PCIバスとユーザが開発したデザイン間のシンプルで柔軟性の高いインタフェース機能を提供します。このメガファンクションはアルテラ・ハードウェア記述言語 (AHDL™) を使用したリファレンス・デザインとして提供されているため、ユーザがそれぞれのプロジェクトに応じてこのファンクションをカスタマイズすることが可能です。これらのリファレンス・デザインには、FLEX 10Kのエンベデッド・アレイ・ブロック (EAB) を同期型SRAMバッファとして使用したインタフェースや、外付けのSRAMバッファ用を使用したインタフェースも含まれています。

また、このメガファンクションには、内部EABメモリや外部メモリとインタフェースするダイレクト・メモリ・アクセス (DMA) コントローラが組み込まれており、ソフトウェアやユーザ・ロジックによるDMA動作が実行可能です。このメガファンクションは外部FIFO (First-in First-out) バッファのようなバックエンド・インタフェースもサポートしています。

性能

このPCIバス・マスタ/ターゲット・インタフェースのメガファンクションは33MHzで動作します。表1はメガファンクションの標準的なデバイス使用効率を示したものです。

実現された機能	ターゲット・デバイス	クロック(f_{MAX})	EAB	ロジック・セル	ロジック・セル使用率(%)
32ビットPCIバス・マスタ/ターゲット	EPF10K20-3	33MHz	0/6	810/1,152	70%
	EPF10K30-3	33MHz	0/6	810/1,728	45%
	EPF10K40-3	33MHz	0/8	810/2,304	35%
内部SRAMを含む32ビットPCIバス・マスタ/ターゲット	EPF10K20-3	33MHz	4/6	980/1,152	85%
	EPF10K30-3	33MHz	4/6	980/1,728	55%
	EPF10K40-3	33MHz	4/6	980/2,304	40%

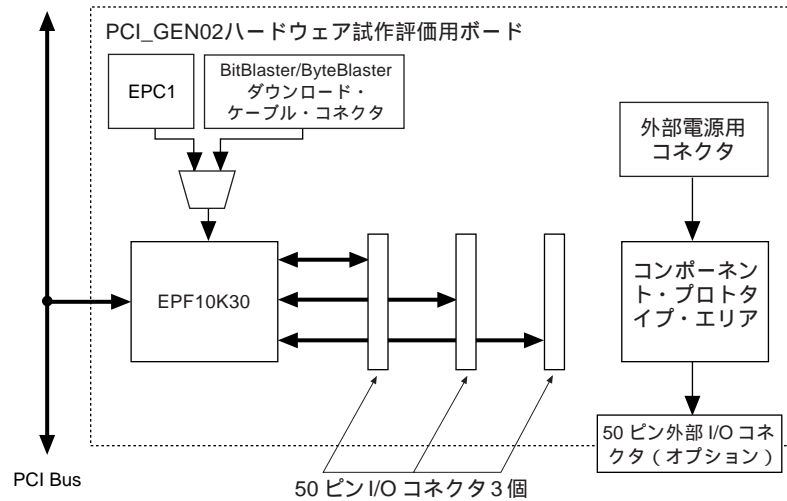
カスタマイズ

このPCIバス・マスタ/ターゲット・インタフェースのメガファンクションは、完全にパラメータ化されているため、ユーザ側でメモリ・スペースの位置、サイズ(16バイトから64Mバイト)、使用デバイス、ベンダ、クラス・コード、リビジョンIDレジスタ、MAX_LATおよびMIN_GNTのマスタ・レジスタなどをカスタマイズすることができます。

ハードウェアのテスト

このPCIバス・マスタ/ターゲット・インタフェースのメガファンクションは、PCI_GEN02 PCIバス評価ボード (PLD Applications社から入手可能) を使って開発、評価されています。PCI_GEN02には、メガファンクションが実現されるEPF10K20またはEPF10K30デバイスが搭載されています。このメガファンクションはEPF10K30デバイスのリソースの55%で構成できるため、残りのロジックやEABのリソースを利用してユーザ仕様のロジックを実現することが可能です。図2はPCI_GEN02 PCIバス評価ボードのブロック図を示したものです。

図2 PCIバス評価ボード、PCI_GEN02のブロック図



FLEX 10Kデバイスのコンフィギュレーションには、EPC1™コンフィギュレーション EPROM、BitBlaster™ダウンロード・ケーブルまたは、ByteBlaster™ダウンロード・ケーブルが使用できます。ユーザはこれらの中から、最も適切なコンフィギュレーション方法を選択することができます。また、PCI_GEN02にはドータ・カードの接続用に3個の50ピン・コネクタが用意されており、ソルダ・マスクされた50ピンの外付け用コネクタの実装位置も確保されています。

参考文献

PCI Special Interest Group. PCIローカル・バス仕様書 Rev.2.1 Hillsboro, Oregon:PCI Special Interest Group,1995

日本アルテラ株式会社

〒163-04 東京都新宿区西新宿2-1-1
 新宿三井ビル私書箱261号
 TEL. 03-3340-9480 FAX. 03-3340-9487

Copyright © 1997 Altera Corporation. Altera, AHDL, AMPP, BitBlaster, ByteBlaster, EPC1, FLEX, FLEX 10K, EPF10K20, EPF10K30, EPF10K40 は Altera Corporation の米国および該当各国における trademark または service mark です。他のブランド、製品名は該当各社の trademark です。この資料は Altera Corporation が発行した英文資料を日本語化したものです。アルテラが保証する内容は英文オリジナルのものです。ここに記載された内容は予告なく変更される場合があります。Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. All rights reserved.