

# ビタビ・デコーダ・メガファンクション

Solution Brief 33

April 1998, ver.1

ターゲット・アプリケーション：  
データ・コミュニケーション  
テレコミュニケーション

デバイス・ファミリ：  
FLEX<sup>®</sup> 10K、FLEX 6000

ベンダ：



CAST, Inc.  
24 White Birch Drive  
Pomona, NY 10970  
Tel. (914)354-4945  
FAX (914)960-0325  
E-mail info@cast-inc.com  
WWW <http://www.cast-inc.com>

日本代理店：  
スピナカーシステムズ（株）  
TEL: 03-3551-2275

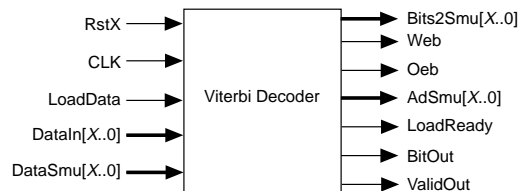
## 特長

- 硬判定 (Hard Decision) デコーダ
- サバイバ・メモリにトレース・バック方式を使用
- 他のアプリケーションにはブランチ距離の計算機能を追加可能
- 約 950個のロジック・エレメント (LE) に論理合成される VHDL のデザイン
- パラメータ化されたアーキテクチャにより、ユーザは下記の機能をカスタマイズ可能
  - 格子 (トレリス) 内の状態数
  - 遷移値を表すビット数
  - ACS (Add-Compare-Select) セルの数
  - トレース・バックの長さ
  - 受信バースト・トランザクションの長さ
  - ステート - 0 に対するイニシャル・バス・メトリック
  - サバイバ・メモリ (RAM) のワード長

## 概要

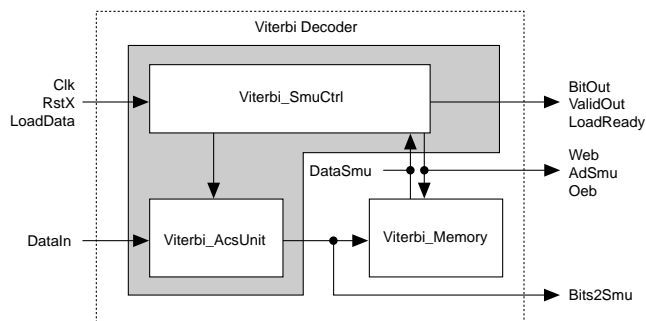
このビタビ・デコーダ・メガファンクションは、コンポリューション・コード (畳込み符号) のデコードに使用されるものです。このメガファンクションは、符号間干渉 (Inter-Symbol Interference: ISI) がある伝送チャネルを通じて送信されたデータ・シーケンスの最ゆう推定データ系列を生成することができます。図 1 は、このビタビ・デコーダ・メガファンクションのシンボルを示したものです。

図 1 ビタビ・デコーダのシンボル



このメガファンクションは、暗号化されたファイル、または VHDL のソース・コードで提供されます。VHDL で記述されたソース・コードはパラメータ化されており、幅広い多様なアプリケーションへ簡単に対応させることができます。図 2 は、このビタビ・デコーダ・メガファンクションのブロック図です。

図 2 ビタビ・デコーダのブロック図



## 機能の説明

このビタビ・デコーダ・メガファンクションは、Viterbi\_AcsUnit Viterbi\_SmuCtrl および Viterbi\_Memoryの3つのモジュールに分割されています。

### Viterbi\_AcsUnit モジュール

Viterbi\_AcsUnitモジュールは、パス間の距離を計算して最小になるパスを見つけます。ACSセルの数はパラメータ化が可能です。

### Viterbi\_SmuCtrl モジュール

Viterbi\_SmuCtrlモジュールは、サバイバル・メモリを管理します。このモジュールのステート・マシンは、新しいプランチの距離の読みとりとトレース・バックをコントロールします。このメガファンクションはトレース・バックの期間にメモリから判定値を読みとり、デコードされたビットを出力します。そして、このメガファンクションは、前のステート値によって指示された判定値を使ってステート・レジスタを逆の順番にアップデートし、デコーダの内部を再構築します。このため、デコーダからの出力ビットも逆方向の順番で出力されます。

### Viterbi\_Memory モジュール

このViterbi\_MemoryモジュールはオプションのRAMとなっており、計算途中のトレースバック値がストアされます。

## ポート

表1はこのビタビ・デコーダ・メガファンクションのポートを示したものです。

表1 ビタビ・デコーダ・メガファンクションのポート		
名称	タイプ	説明
Rstx	入力	非同期リセット (アクティブ Low)
Clk	入力	共通クロック
LoadData	入力	データ・ロードのイネーブル信号
DataIn[x..0]	入力	遷移値入力: データ幅はACSの数で決定される
DataSmu[x..0]	入力	外部メモリからの入力データ
Bits2Smu[x..0]	出力	外部メモリに対する出力データ
Web	出力	外部メモリに対するライト・イネーブル信号
Oeb	出力	外部メモリに対するリード・イネーブル信号
AdSmu[x..0]	出力	外部メモリに対するアドレス
LoadReady	出力	データ・リードを示す信号
BitOut	出力	デコードされた出力ビット
ValidOut	出力	有効出力データを示す信号

## 検証方法

このメガファンクションは、多様なパラメータの設定を行い、広範囲にテストされています。特別なエンコーダが、完全なテストを行うためにテストベンチとして使用されています。

## 注文方法

このビタビ・デコーダ・メガファンクションは、CAST社または日本の代理店であるスピナカーシステムズ(株)を通じて購入できます。アルテラ・ハードウェア記述言語 (AHDL) のネットリスト・フォーマットでの入手を希望される場合は、ネットリストを作成するCAST社側にパラメータの設定値を連絡する必要があります。詳細についてはCAST社またはスピナカーシステムズへお問い合わせ下さい。

## カスタマイズが可能なパラメータ

CAST社は下記の表2に示すパラメータをカスタマイズすることができます。

パラメータ	説明
N	格子内のステート数
NB	遷移値を表すビット数
ACS	ACSセルの数
LTB	トレース・バックの長さ
LRB	受信パーストの長さ
IP	ステート-0に対するイニシャル・パスの距離
MWL	サブパイバ・メモリ (RAM) のワード・レングス

## デバイス・リソースの使用率

表3はこのメガファンクションを実現した場合に使用される標準的なデバイスのリソースを示したものです。

デバイス名	スピード・グレード	使用リソース		性能 (MHz)	パラメータの設定
		ロジック・セル数	EAB数		
EPF6016	-2	954	-	17 MHz	N=16, NB=8, ACS=4, LTB=30, LRB=5, IP=-4, MWL=8
EPF10K30A	-1	960	0	31 MHz	

## 納入可能な形態

暗号化されたファイルをライセンスするユーザには、以下のファイルが提供されます。

- 合成後の AHDL ネットリスト・ファイル
- アサイメント・アンド・コンフィギュレーション・ファイル (.acf)
- シンボル・ファイル (.sym)
- インクルード・ファイル (.inc)
- テスト回路のグラフィック・デザイン・ファイル (.gdf)
- このメガファンクションの機能をテストするためのベクタ

VHDLのソース・コードをライセンスするユーザには、以下のファイルが提供されます。

- VHDLのRTLソース・コード
- テストベンチ
- 配置配線後のシミュレーションを行うためのテストベンチの例
- テストベンチ用のベクタ
- シミュレーション・スクリプト
- 合成スクリプト
- テストベンチに対する期待値

## 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1  
 新宿三井ビル私書箱 261 号  
 TEL. 03-3340-9480 FAX. 03-3340-9487  
<http://www.altera.com/japan/>