

IEEE 1394 互換 LLC-I メガファンクション

Solution Brief 36

May 1998, ver.1

ターゲット・アプリケーション：
バスおよびインタフェース
プロセッサおよびペリフェラル
テレコミュニケーションおよび
データ通信

製品ファミリ：
FLEX® 10K



SIS Microelectronics, Inc.
P.O. Box 1432
1831 Lefthand Circle Suite #E
Longmont, CO 80501
Tel. (303) 776-1667 x235
Fax (303) 776-5947
E-mail info@sismicro.com

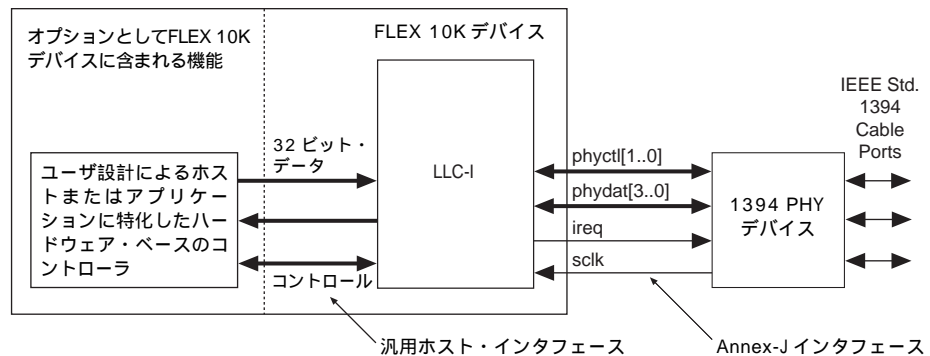
特長

- ケーブル使用環境は IEEE Std. 1394-1995 の標準規格に準拠
- 承認申請中の IEEE Std. 1394a の規格もサポート
- 汎用 32 ビット、ホスト・バス・インタフェース
- オプションの非同期ホスト・クロック / ケーブル・クロック
- IEEE Std. 1394 Annex-J のフィジカル・インタフェースをサポート

概要

この IEEE 1394 互換 LLC-I、リンク・レイヤ・コントローラ・メガファンクションは、IEEE Std. 1394 のフィジカル・レイヤを実現する外部デバイスとトランザクション・レイヤを実現するコントローラ間をサポートする IEEE Std. 1394 の非同期パケット・リンク・レイヤの機能を提供します。図 1 はこの IEEE 1394 互換 LLC-I メガファンクションのブロック図です。

図 1 IEEE 1394 互換 LLC-I メガファンクションのブロック図



機能の説明

この IEEE 1394 互換 LLC-I メガファンクションは、32 ビットのホスト・バス・インタフェースを通じて、ハードウェア・ベースのコントローラ、あるいはファームウェア・ベースのプロセッサのいずれかによってコントロールされます。このメガファンクションは、非同期ライト / ロック動作のためのパケット・フォーマット、および非同期リード / ロック動作を行うためのパケット・チェックを含む IEEE Std. 1394 のリンク・レイヤの機能を実現しています。また、このメガファンクションは、外部の IEEE Std. 1394 のフィジカル・レイヤ・デバイスに対する Annex-J インタフェースもコントロールします。これらのタスクには、バスのアービトレーション機能や転送レートに応じたデータのシリアル化の機能も含まれています。

ポート

表 1 は IEEE 1394 互換 LLC-I メガファンクションのポートを解説したものです。

表 1 IEEE 1394 互換 LLC-I メガファンクションのポート (1/2)		
名称	タイプ	説明
hclk	入力	ホスト・クロック・インタフェース
din[31..0]	入力	データ入力バス
txvld#	入力	データ有効信号

表1 IEEE 1394 互換 LLC-Iメガファンクションのポート (2/2)

名 称	タイプ	説 明
txlast	入力	最終ワードのデータ示す信号
rxrdy#	入力	データ出力を受け取ったことを示す信号
addr[7..0]	入力	レジスタ・アドレス・バス
regwr	入力	レジスタのライト・イネーブル
regrd	入力	レジスタのリード・イネーブル
rst#	入力	非同期リセット
sclk	入力	IEEE Std. 1394 Annex-J インタフェース・クロック
int#	出力	ホスト/コントローラに対するホスト・インタラプト
txrdy#	出力	データ入力が可能なことを示す信号
dout[31..0]	出力	データ出力バス
rxvld#	出力	データ出力が有効であることを示す信号
rxlast	出力	最終ワードのデータを示す信号
ireq	出力	リンク・レイヤ・リクエスト信号
phyct[1..0]	双方向	IEEE Std. 1394 Annex-J コントロール・バス
phydat[3..0]	双方向	IEEE Std. 1394 Annex-J データ・バス

デバイス・リソースの使用率

表2は、このIEEE Std. 1394互換 LLC-Iメガファンクションに要求されるロジック・セルの数を示しています。

表2 IEEE 1394 互換 LLC-Iメガファンクションに要求されるロジック・セル数

デバイス名	スピード・グレード	使用されるリソース		f _{MAX} (MHz) 注(2)	供給状況
		ロジック・セル数	EAB数(1)		
EPF10K100A	-1	3,352	5	24.576	供給中

注:

(1) EAB= Embedded Array Block (エンベデッド・アレイ・ブロック)

(2) Annex-Jインタフェースのデータには49.152MHzのクロックが与えられる。

アプリケーション

IEEE Std. 1394互換 LLC-Iメガファンクションは、IEEE Std. 1394のインタフェースを必要とするエンベデッド・システムのアプリケーションに最適です。これらのアプリケーションには、プリンタ、スキャナ、モデム、ホーム・エンターテイメント・デバイスなどが含まれます。また、このメガファンクションは、IEEE Std. 1394インタフェースを使用する高いバンド幅が要求されるリモート・データ収集システムなどのカスタム・アプリケーションにも適しています。

納入形態

このIEEE Std. 1394互換 LLC-Iメガファンクションは、Verilog HDLで記述された論理合成可能なRTL (Register Transfer Language) と論理合成されたAHDL (Altera Hardware Description Language) のネットリストとして提供されています。

日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
 新宿三井ビル私書箱 261 号
 TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>