

I²C マスタ・インタフェース・メガファンク ション

Solution Brief 39

June 1999, ver.1

ターゲット・アプリケーション:

バスおよびインタフェース
プロセッサおよびペリ
フェラル

ターゲット・デバイス・
ファミリ:

FLEX[®] 10K、FLEX 6000

ベンダ:



Sican Microelectronics Corp.
1032 Elwell Court, Suite 222
Palo Alto, CA 94303
Tel: (650)625-1888,
Fax: (650)625-1818
Email: info@sican.com
Web: http://www.sican.com

日本連絡先:
ジカン東京事務所
東京都千代田区一番町 25
ダイヤモンドプラザ 6F
TEL:03-3222-8281
FAX:03-3222-8289
E-Mail:kennishi@tka.att.ne.jp

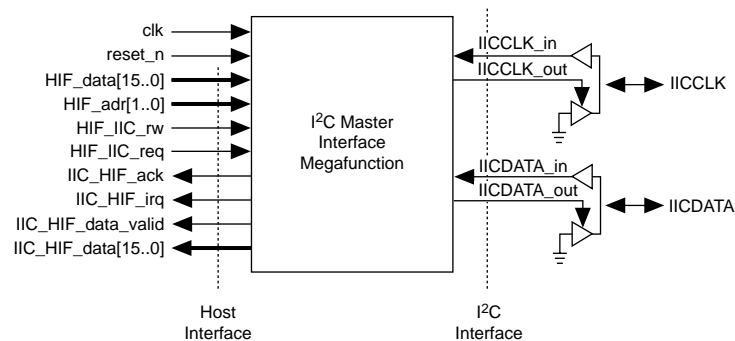
特長

- 50MHzまでのシステム・クロック・レートをサポート
- Inter Integrated Circuit(I²C) バスの 400kHzまでの高速モードをサポート
- パースト・データのリードおよびライト
- 専用レジスタのアドレスに対する I²C リード・アクセスおよびライト・アクセスのスペシャル・モードをサポート
- ウェイト・ステートの生成
- I²C バス上のスパイクに対するフィルタ機能
- 完全同期設計

概要

この I²C マスタ・インタフェース・メガファンクションは、ホスト CPU と I²C バスのインタフェースを実現しています。このメガファンクションはパラレルからシリアル、シリアルからパラレルへのデータ変換を行う機能を持っており、ホスト CPU からのパラレル・データをシリアルのフォーマットに変換して I²C バスへ転送する動作と、その逆の動作を行うことができます。このため、ホスト CPU は同じ I²C バス上に接続されている他のデバイスをコントロールすることができます。また、この I²C マスタ・インタフェース・メガファンクションは、要求されるすべてのインタフェース・タイミング、データ構造、エラー処理をサポートしています。図 1 は、この I²C マスタ・インタフェース・メガファンクションのシンボルを示したものです。

図 1 I²C マスタ・インタフェース・メガファンクションのシンボル



機能の説明

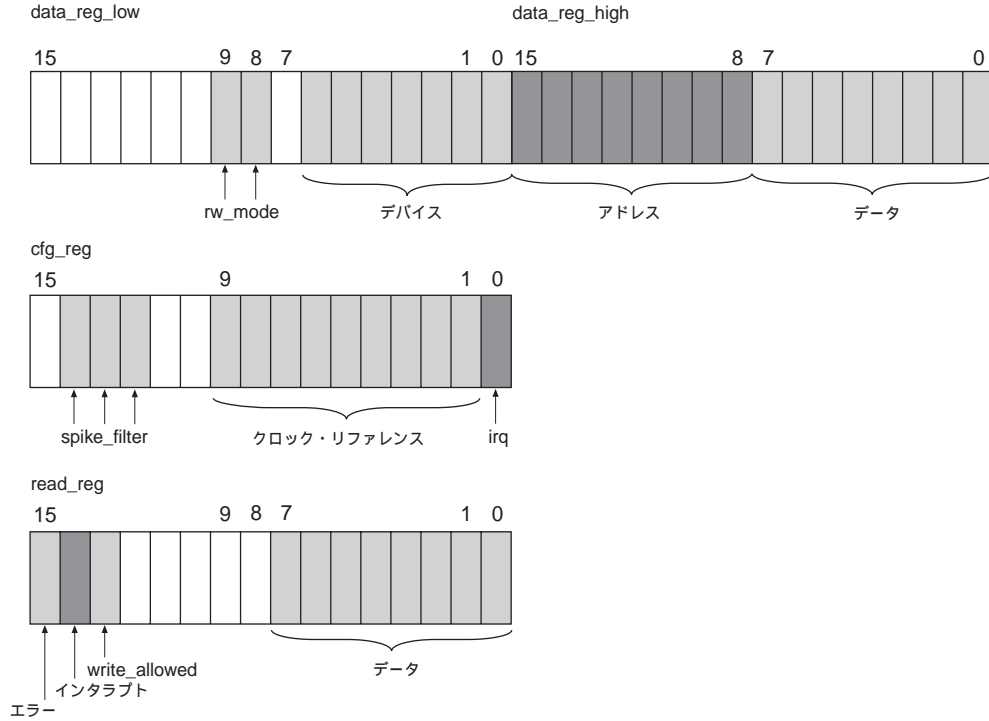
この I²C マスタ・インタフェース・メガファンクションには、表 1 に示すようにホスト CPU と I²C バス間の通信を行うための 3 個のレジスタが内蔵されています。

表 1 I²C マスタ・インタフェースのレジスタ

| レジスタ名 | ビット幅 (ビット) | アドレス (16 進) | モード |
|----------|------------|-------------|-----|
| data_reg | 32 | 0 x 1 | ライト |
| cfg_reg | 16 | 0 x 2 | ライト |
| read_reg | 16 | 0 x 3 | リード |

レジスタの data_reg は、data_reg_high[31..16] と data_reg_low[15..0] の 2 個の 16 ビット・レジスタで構成される 32 ビット幅のライタブル・データ・レジスタとなっています。これら 2 個のレジスタは、ホスト CPU からの 16 ビットのデータ・バスを取扱います。図 2 は、このメガファンクションのレジスタにストアされる情報のフォーマットを示したものです。

図2 I²C マスタ・インタフェースのレジスタ



このI²Cマスタ・インタフェース・メガファンクションをイニシャライズするためには、すべてのライタブル・レジスタ(data_reg_high[31..16], data_reg_low[15..0]およびcfg_reg)にデータがロードされる必要があります。data_reg_low[15..0]にデータがロードされると、I²Cバスへの転送が開始されます。ダイレクト・リードおよびダイレクト・ライトのモードでは、read_regとdata_reg_low[15..0]のレジスタがアクセスされたときに、新しいデータ・パケットの転送が開始されます。ダイレクト・リードまたはダイレクト・ライトのモードは、data_reg_high[31..16]またはcfg_regのレジスタがアクセスされたときに終了します。

このメガファンクションはIICCLK_in信号とIICCLK_out信号の状態をモニタし、I²Cバス上の特定のデバイスがIICCLKをLowレベルに保持した場合は、このメガファンクションがウェイト・ステートを維持します。

ノイズが多い環境では、I²Cデータとクロック信号に対してcfg_regに保管されているスパイク・フィルタを適用することができます。このスパイク・フィルタはプログラムされたクロック・サイクルの期間(最大8クロック・サイクルまで)に、信号の状態を評価します。スパイク・フィルタは、この期間内に信号に含まれているすべてのスパイク・ノイズを除去します。

I²Cマスタ・インタフェース・メガファンクションは下記の表2に示されている4種類の動作モードをサポートしています。

| モード | 説明 |
|---------------|-------------------------|
| ダイレクト・ライト | 連続したデータのライト |
| ダイレクト・リード | 連続したデータのリード |
| ランダム・アクセス・ライト | ある特定アドレスへの1データ・バイトのライト |
| ランダム・アクセス・リード | ある特定アドレスからの1データ・バイトのリード |

表3、表4、表5は、このメガファンクションに使用されているグローバル信号、ホストCPUとのインタフェース信号、I²Cバスとのインタフェースを解説したものです。

| 表3 I ² C マスタ・インタフェース・メガファンクションのグローバル信号 | | |
|---|-----|-------------------------|
| 信号名 | タイプ | 説明 |
| clk | 入力 | デバイスのクロック信号 |
| reset_n | 入力 | アクティブLowで動作する非同期的リセット信号 |

| 表4 ホストCPUとのインタフェース信号 | | |
|----------------------|-----|---|
| 信号名 | タイプ | 説明 |
| HIF_data[15..0] | 入力 | ホストCPUからの16ビット・データ |
| HIF_adr[1..0] | 入力 | 内部レジスタをアドレスするための2ビットのアドレス・バス |
| HIF_IIC_rw | 入力 | リード/ライト・セレクト。0がライトを示し、1がリードを示す。 |
| HOST_IIC_req | 入力 | リクエスト信号。ホストCPUが次のリードまたはライトを要求していることを示す。 |
| IIC_HIF_ack | 出力 | アクノレッジ信号。メガファンクションがリードまたはライトのリクエストを認識したことを示す。 |
| IIC_HIF_irq | 出力 | インタラプト信号。メガファンクションのデータ・レジスタからデータがリードされなければならない。 |
| IIC_HIF_data_valid | 出力 | バス上のデータが有効であることを示す。 |
| IIC_HIF_data[15..0] | 出力 | ホストCPUへの16ビット・データ・バス |

| 表5 I ² Cバスとのインタフェース信号 | | |
|----------------------------------|-----|---------------------|
| 信号名 | タイプ | 説明 |
| IICCLK_in | 入力 | メガファンクションに対するクロック入力 |
| IICDATA_in | 入力 | メガファンクションに対するデータ入力 |
| IICCLK_out | 出力 | メガファンクションからのクロック出力 |
| IICDATA_out | 出力 | メガファンクションからのデータ出力 |

性能

表6は、このメガファンクションをFLEX 6000およびFLEX 10Kデバイスに実現したときに使用されるロジック・エレメント (LE) の数と動作周波数を示したものです。

表6 I²C マスタ・インタフェース・メガファンクションの使用 LE 数と性能

| デバイス名 | スピード・グレード | 使用リソース | | 性能 (MHz) |
|------------|-----------|--------|----------|----------|
| | | LE 数 | EAB 数(1) | |
| EPF10K10 | -3 | 309 | 0 | 34 |
| | -4 | 309 | 0 | 28 |
| EPF10K10A | -1 | 313 | 0 | 47 |
| | -2 | 313 | 0 | 39 |
| | -3 | 313 | 0 | 29 |
| EPF10K30E | -1 | 313 | 0 | 53 |
| EPF10K50E | -1 | 313 | 0 | 49 |
| | -2 | 313 | 0 | 40 |
| | -3 | 313 | 0 | 31 |
| EPF10K100B | -1 | 313 | 0 | 45 |
| | -2 | 313 | 0 | 40 |
| EPF10K200E | -1 | 313 | 0 | 41 |
| EPF10K250A | -1 | 313 | 0 | 34 |
| | -2 | 313 | 0 | 29 |
| EPF6010A | -1 | 356 | – | 27 |
| | -2 | 356 | – | 23 |
| | -3 | 356 | – | 19 |
| EPF6016 | -2 | 356 | – | 20 |
| EPF6016A | -1 | 356 | – | 28 |
| | -2 | 356 | – | 24 |
| EPF6024A | -1 | 356 | – | 27 |
| | -2 | 356 | – | 24 |
| | -3 | 356 | – | 19 |

注：

(1) EAB=Embedded Array Block



日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
 新宿三井ビル私書箱 261 号
 TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan>
 E-mail: japan@altera.com