

シノプシスの Design CompilerおよびFPGA Compilerを使用して、デザインを MAX+PLUS II 用に論理合成する方法

Technical Brief 39

April 1998, ver.1

SYNOPSYS®

Synopsys
700 East Middlefield
Road Mountain View,
CA 94043
(650)962-5000
<http://www.altera.com>

日本シノプシス(株)
TEL: 03-3346-7030
FAX: 03-3346-7050

イントロダクション

アルテラの MAX+PLUS® II はシノプシス社の Design Compilerや FPGA Compilerのようなサード・パーティの EDA ツールと簡単にインタフェースすることができます。MAX+PLUS II と共に、シノプシスの Design Compilerや FPGA Compiler をフロント・エンドのツールとして使用することにより、アルテラのプログラマブル・ロジック・デバイス (PLD) をターゲットにすることができます。

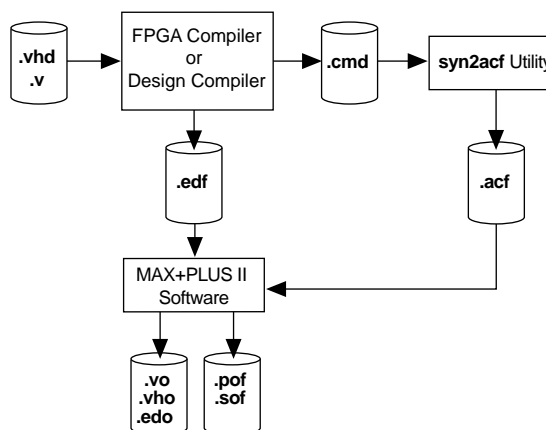
アルテラとシノプシスのインタフェースは MAX+PLUS II のソフトウェアを UNIX ワークステーションにインストールしたときに自動的に作成され、MAX+PLUS II がアルテラとシノプシスのツールのインタフェースをサポートするために必要なすべてのファイルとライブラリを提供します。アルテラとシノプシスのツールを使用することによって、短時間でデザインを論理合成してアルテラのデバイスに実現することができるため、1日に複数のデザインを作成することも可能になります。

このテクニカル・ブリーフは、以下の点について解説しています。

- シノプシスの設計環境のセットアップ方法
- アルテラのデバイス用に EDIF ネットリスト・ファイルを生成する方法
- シノプシスの設計環境から タイミング・コンストレインを MAX+PLUS II に受け渡す方法

図 1 はアルテラの UNIX ワークステーション用 MAX+PLUS II とシノプシスのツールをインタフェースしたときのフロー・ダイアグラムです。

図 1 UNIX ワークステーション・ベースのアルテラ/シノプシス・インタフェース



シノプシスの Design Compiler または FPGA Compiler を使用してデザインを合成およびシミュレーションし、これを MAX+PLUS II に取り込んでコンパイルする方法の詳細については、アルテラのウェブ・サイト、<http://www.altera.com> の MAX+PLUS II Altera Technical Support (AtlasSM) のページに掲載されている Altera Commitment to Cooperative Engineering Solutions (ACCESSSM) Key Guidelines を参照してください。また、この ACCESS Key Guidelines は、MAX+PLUS II の CD-ROM (バージョン 8.2 以降) の、\lit\html\maxkey のディレクトリに HTML フォーマットでも提供されています。

シノプシスの設計環境の設定方法

シノプシス設計環境のセットアップを行うときは、.synopsys_dc.setupのコンフィギュレーション・ファイルを変更して、Design CompileまたはFPGA Compileの変数をターゲットとなるアルテラのデバイス・ファミリに指定する必要があります。例えば、FLEX[®] 10Kファミリのデバイスをターゲットにする場合は、.synopsys_dc.setupのファイルに下記の内容を追加する必要があります。

```
.
.
.
search_path={ ./<path to maxplus2 directory>
               synopsys/library/alt_syn/flex10k/lib}
target_library = {flex10k_fpga.db}
symbol_library = {altera.sdb}
synthetic_library = {flex10k_fpga.sldb}
link_library = {flex10k_fpga.sldb flex10k_fpga.db}
define_design_lib DW_FLEX10k_FPGA -path/
                  <path to maxplus2 directory> /synopsys/library/alt_syn/flex10k/lib
                  /dw_flex10k_fpga
edifout_netlist_only = "true"
edifout_write_attributes="false"
edifout_write_properties_list = LUT_FUNCTION
edifout_power_and_ground_representation = "net"
edifout_no_array = "false"
edifout_power_net_name = "VDD"
edifout_ground_net_name = "GND"
edifin_power_net_name = "VDD"
compile_fix_multiple_port_nets = "true"
bus_naming_style = "%s<%d>"
bus_dimension_separator_style = ">>"
bus_interface_style = "%s<%d>"
.
.
.
```



他のアルテラのデバイス・ファミリ用に.synopsys_dc.setupファイルを変更する方法の詳細については、MAX+PLUS IIのACCESS Key Guidelineをご覧ください。

表 1 は、.synopsys_dc.setup ファイルに使用される主要なパラメータのまとめたものです。

表 1 synopsys_dc.setup ファイルのパラメータ	
パラメータ	説明
search_path	MAX+PLUS II のライブラリ・ファイルがストアされているディレクトリを指定するパラメータ。 .synopsys_dc.setup のファイルを変更する場合は、このパラメータをアルテラのデバイス・ライブラリに設定する必要があります。
target_library	デザインのマッピングを行うためのテクノロジー・ライブラリを指定するパラメータ
link_library	入力される記述を解釈、変換するためのテクノロジー・ライブラリを指定するパラメータ
symbol_library	シノプシスの Design Compiler または FPGA Compiler のグラフィカル・ユーザ・インタフェース(GUI)でシンボルを作成するときを使用されるデータベースを指定するパラメータ
synthetic_library	シノプシスの DesignWare インタフェースに対してターゲット・デバイスのアーキテクチャを指定するパラメータ
define_design_lib	

synthetic_library と define_design_lib は、算術演算や比較 (Compare) の演算子を各デバイスに固有のアーキテクチャやキャリー・チェーン (FLEX デバイスの場合のみ) にマッピングすることによって、デザインの機能を各デバイス・ファミリに最適化するためのパラメータです。また、これらのパラメータを使用することによって、MAX+PLUS II の合成オプションを通じてキャリー・チェーンやカスケード・チェーンをコントロールすることが可能になります。

EDIF ネットリスト・ファイルを生成する方法

表 2 は、EDIF ネットリスト・ファイルを生成するときに必要となるシノプシスの dc_shell または fpga_shell のコマンドを示すクイック・レファレンス・ガイドです。EDIF ネットリスト・ファイルを生成する方法の詳細は、MAX+PLUS II の ACCESS Key Guidelines または MAX+PLUS II の Help 機能を参照してください。

名前	説明
read -f vhdl/verilog <デザイン名>	オリジナルのソース・ファイルからデザインを解析し、エラー箇所をレポートするためのコマンド
current_design =<トップ・レベルのデザイン名>	トップ・レベルのデザイン・ファイルを指定するコマンド
link	Design Compiler または FPGA Compiler のメモリにデザインのすべての記述が含まれているかをチェックするコマンド
ungroup -flatten -all	デザインを平坦化するコマンド
uniquify	処理されるデザインから複数段のインスタンス化が実現されている階層を取り除き、各セルごとのインスタンスにしたデザインを作成するためのコマンド
compile -m <effort level>	エラーが取り除かれたハードウェア記述言語のデザインをルック・アップ・テーブル(LUT) に合成するときのコマンド
replace_fpga	FPGA のセルを MAX+PLUS II のソフトウェアでマッピングするためにゲート・プリミティブに変換するコマンド。edifout_write_properties_list=LUT_FUNCTION のパラメータが synopsys_dc.setup のファイルに含まれている場合は、このコマンドは不要
write -f edif -o <デザイン名>.edf -h	MAX+PLUS II による配置配線を行うための EDIF 入力ファイル (.edf) を生成させるコマンド

EDIF ネットリスト・ファイルが生成されると、これを MAX+PLUS II に取り込めるようになります。この場合、MAX+PLUS II の Compiler で、Device (Assign メニュー) を選択してターゲット・デバイスを指定し、EDIF Netlist Reader Settings (Interface メニュー) のダイアログ・ボックスで Vendor のドロップダウン・コスト・ボックスから Synopsys を選択することが必要です。これらの選択を行うことによって、コンパイル時に適切なライブラリ・マッピング・ファイル (.lmf) が使用されるようになります。

シノプシスの設計環境から タイミング・コンストレインを MAX+PLUS II に転送する方法

アルテラではタイミングに関する指定を MAX+PLUS II に対して直接行うことを推奨していますが、syn2acf のユーティリティを使用してタイミング・コンストレインをシノプシス・コマンド・ファイル (.cmd) から MAX+PLUS II のアサイメント・アンド・コンフィギュレーション・ファイル (.acf) に転送することもできます。表 3 は、タイミング・コンストレインをシノプシスの設計環境から MAX+PLUS II のソフトウェアに転送するときを使用されるコマンドを示したものです。タイミング・コンストレインを転送する方法の詳細については、MAX+PLUS II の ACCESS Key Guideline を参照してください。

コマンド	説明
read -f vhdl/verilog <デザイン名>	デザイン・ファイルを読み込むためのコマンド
include timing.cmd	シノプシスの設計環境でのタイミング指定が含まれるようにするコマンド
compile	デザインをコンパイルするコマンド
current_design =<デザイン名>	処理されるデザインを指定するコマンド
include/<パス名>/syn2acf.cmd	タイミング・コンストレインを転送するために必要なファイルを生成するコマンド
shell/<パス名>/syn2acf <デザイン名>	syn2acf のユーティリティを起動するコマンド

タイミング・コンストレインがシノプシスの設計環境から MAX+PLUS II のソフトウェアに転送されると、データがシノプシスのコマンド・ファイル・フォーマットから MAX+PLUS II の ACF フォーマットに変換されます。図 2 はタイミング・コンストレインの例を示したものです。

図2 コマンド・ファイルから ACF フォーマットに変換されたタイミング・コンストレイン

コマンド・ファイルのフォーマット	ACF フォーマット
<code>create_clock -period 50 -waveform{0 25} CLK</code>	<code>TIMING POINT</code>
<code>set_clock_skew -delay 2 CLK</code>	<code>BEGIN</code>
<code>set_input_delay 10 IN2</code>	<code>" OUT2": TCO = 15.00ns {synopsys};</code>
<code>set_input_delay 5 -clock CLK IN1</code>	<code>" IN1": TPD = 10.00ns {synopsys};</code>
<code>set_output_delay 20 OUT2</code>	<code>" IN2": TPD = 5.00ns {synopsys};</code>
<code>set_output_delay 5 -clock CLK OUT1</code>	<code>" OUT1": TCO = 20.00ns {synopsys};</code>
<code>set_max_delay 25 -to OUT1</code>	<code>" IN1": TSU = 20.00ns {synopsys};</code>
<code>set_max_delay 35 -to OUT2</code>	<code>" IN2": TSU = 117.00ns {synopsys};</code>
<code>set_multicycle_path 2 -to n20_reg</code>	<code>" CLK": FREQUENCY = 50.00ns {synopsys};</code>
	<code>" n10_reg": FREQUENCY= 100.00ns</code>
	<code>{synopsys};</code>

関連資料とサポート

アルテラは、MAX+PLUS II とサード・パーティのデザイン入力用 EDA ツールとのスムーズなインタフェースを確保するために、幅広い関連資料を提供しています。技術的なサポートが必要な場合は、日本アルテラの応用技術部または販売代理店へご連絡下さい。また、技術的なご質問を日本語の E-Mail で japan@altera.com に送付して頂くことも可能です。アルテラ/シノプシスのインタフェースに関する代表的な質問とその回答については、アルテラのウェブ・サイトに提供されている Atlas Solutions のページで確認して下さい。

下記の資料にはさらに詳細な情報が提供されています。

- MAX+PLUS II ACCESS Key Guidelines
- MAX+PLUS II Programmable Logic Development System & Software Data Sheet (日本語版刊行予定)
- EDA Software Support

これらの資料は日本アルテラまたは販売代理店を通じて入手することができ、アルテラのウェブ・サイト、<http://www.altera.com> からダウンロードすることもできます。

日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
 新宿三井ビル私書箱 261 号
 TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>