

シノプシスのFPGA Expressを使用して、 デザインをMAX+PLUS II用に論理合成する方法

Technical Brief 42

April 1998. ver.1

SYNOPSYS®

Synopsys
700 East Middlefield Road
Mountain View, CA 94043
(650) 962-5000
<http://www.synopsys.com>

日本シノプシス (株)
TEL: 03-3346-7030
FAX: 03-3346-7050

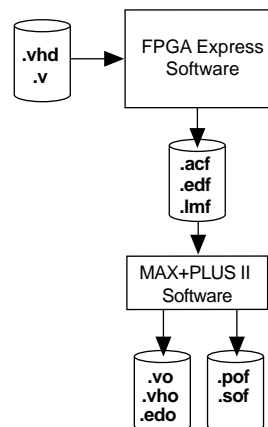
イントロダクション

アルテラのMAX+PLUS IIのソフトウェアはシノプシス社のFPGA Expressソフトウェアのようなサード・パーティのEDAツールと簡単にインタフェースすることができます。MAX+PLUS IIと共に、シノプシスのFPGA Expressを合成ツールとして使用することによって、アルテラのプログラマブル・ロジック・デバイス(PLD)をターゲットにすることができます。アルテラのツールとシノプシスのFPGA Expressを使用することによって、短時間でデザインを作成してアルテラのデバイスに実現することができるため、1日に複数のデザインを作成することも可能になります。

このテクニカル・ブリーフはFPGA Expressの環境を使用してアルテラのデバイスをターゲットにする方法と、MAX+PLUS IIで使用するEDIFネットリスト・ファイル(.edf)、アサインメント・アンド・コンフィギュレーション・ファイル(.acf)、ライブラリ・マッピング・ファイル(.lmf)を生成する方法について解説したものです。

図1はPCベースのアルテラのMAX+PLUS IIとシノプシスのFPGA Expressをインタフェースしたときのフロー・ダイアグラムです。

図1 PCベースのアルテラ/シノプシスFPGA Expressインタフェース



FPGA Expressを使用してデザインを合成し、これをMAX+PLUS IIに取り込む方法の詳細については、アルテラのウェブ・サイト、<http://www.altera.com>のMAX+PLUS II Altera Technical Support(AtlasSM)のページに掲載されているAltera Commitment to Cooperative Engineering Solution(ACCESSSM) Key Guidelinesを参照してください。また、このACCESS Key Guidelinesは、MAX+PLUS IIのCD-ROM(バージョン8.2以降)の、\lit\html\maxkeyのディレクトリにHTMLフォーマットでも提供されています。

FPGA Expressの使用方法

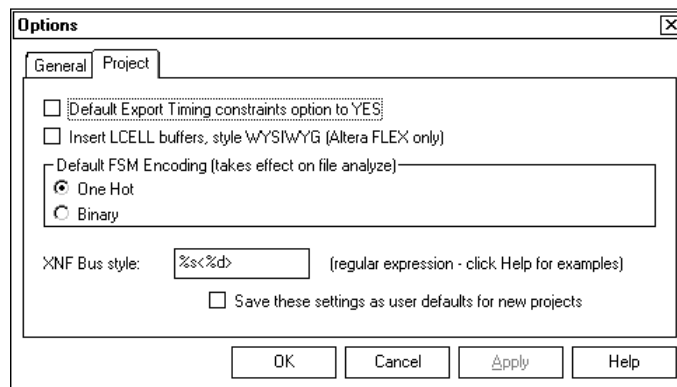
FPGA Expressの環境で、アルテラのデバイスをターゲットにしたEDIFのネットリスト・ファイルを下記の手順で生成させます。

1. New (Fileメニュー) を選択して、新しいプロジェクトを選択します。
2. Nameのボックスにプロジェクト名を指定し、Createのボタンを押します。
3. Identify Sourcesのダイアログ・ボックスからソース・ファイルを選択し、Openを選択します。

ここで、ソース・ファイルが解析され、エラーの個所がレポートされます。FPGA Expressの環境で作業を続ける前に、すべてのエラーを修正し、デザインを改めて解析しておく必要があります。この場合、エラー・メッセージ上をダブル・クリックすることによって、内蔵されているテキスト・エディタを起動することもできます。

- Options (Synthesisメニュー) を選択し、Projectのタグをクリックします。ここで、*Default Export Timing Constraints Option*をオンに、また*Insert LCELL Buffers, Style WYSIWYG*のオプション (FLEX デバイスに対してのみ) をオンに設定することができ、またDefault-FSM Encodingのオプションの中でステート・マシンのスタイルを選択することができます。設定が完了したら、OKのボタンを選択します。図2を参照してください。

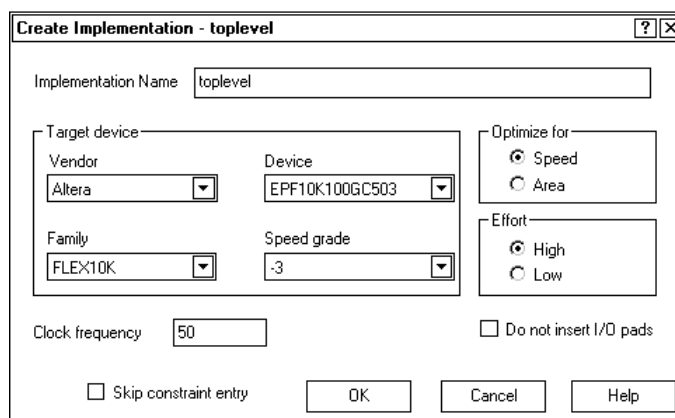
図2 Optionsのダイアログ・ボックス



*Default Export Timing Constraints Option*をオンに設定すると、FPGA ExpressからMAX+PLUS IIのACFにすべてのタイミング・コンストレインが転送されるようになります。また、*Insert LCELL Buffers, Style WYSIWYG*のオプションをオンに設定すると、FPGA Expressにデザインをデバイス固有のアーキテクチャのロジック・リソースにマッピングさせ、ACFの合成スタイルがWYSIWYGに指定されます。*Default FSM Encoding*のオプションでは、ステート・マシンのエンコーディングの方法が選択できます。

- プロジェクトの中のトップ・レベルのモジュールまたはデザインを選択し、Create Implementation (Synthesisメニュー) を選択します。ここで、*Implementation Name*のボックスに表示されたトップ・レベルのモジュールまたはデザインの名前を確認します。そして、ターゲットとなるアルテラのデバイスを *Vendor*、*Family*、*Device*、*Speed Grade*のボックスから選択します。選択が完了したら、OKのボタンを押します。図3を参照してください。

図3 Create Implementationのダイアログ・ボックス



6. Design Implementationのアイコンをクリックし、Optimize Chip(Synthesisメニュー) を選択してロジック・リソースへのマッピングを行います。ここで、コンストレインを修正してデザインの最適化をはかることもできます。図4を参照してください。

図4 Optimize Chip のダイアログ・ボックス



7. Design-Optimizedのアイコンをクリックし、Export Netlist (Synthesisメニュー) を選択します。そして、EDIF入力ファイル(.edf)をセーブするフォルダを指定しSaveを選択します。

指定されたフォルダには、EDIFファイルと共に、ACFとLMFもセーブされます。

この状態になれば、EDIFのネットリスト・ファイルをMAX+PLUS IIに取り込んでデザインをコンパイルすることができます。MAX+PLUS IIのCompilerで、EDIF Netlist Reader Settingsのダイアログ・ボックス(Interfacesメニュー)からCustomを選択します。ここで、LMF#1がFPGA Expressによって生成されたLMFになっている必要があります。詳細は、MAX+PLUS IIのHelp機能を活用して確認してください。

関連資料とサポート

アルテラは、MAX+PLUS IIとサード・パーティのデザイン入力用EDAツールとのスムーズなインタフェースを確保するために、幅広い関連資料を提供しています。技術的なサポートが必要な場合は、日本アルテラの応用技術部または販売代理店へご連絡下さい。また、技術的なご質問を日本語のE-Mailでjapan@altera.comに送付して頂くことも可能です。アルテラ/シノプシスのインタフェースに関する代表的な質問とその回答については、アルテラのウェブ・サイトに提供されているAtlas Solutionsのページで確認して下さい。

下記の資料にはさらに詳細な情報が提供されています。

- MAX+PLUS II ACCESS Key Guidelines
- MAX+PLUS II Programmable Logic Development System & Software Data Sheet (日本語版刊行予定)
- EDA Software Support

これらの資料は日本アルテラまたは販売代理店を通じて入手することができ、アルテラのウェブ・サイト、<http://www.altera.com> からダウンロードすることもできます。

日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱 261 号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

Copyright© 1998 Altera Corporation. Altera ACCESS, Atlas, MAX, MAX+PLUS, MAX+PLUS IIは、Altera Corporationの米国および該当各国における
trademarkまたはservice markです。他のブランド名、製品名は該当各社の trademark です。ここに記載された情報は予告なく変更される場合があります。Altera as-
sumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly
agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any
published information and before placing orders for products or services. All rights reserved.