

シンプリシティのSynplifyを使用して、 デザインをMAX+PLUS II用に論理合成する方法



Synplicity, Inc.
624 East Evelyn Avenue
Sunnyvale, CA 94086
(408) 617-6000
<http://www.synplicity.com>

日本代理店：
パシフィック・デザイン（株）
TEL： 03-3345-7302
FAX： 03-3345-7308

イントロダクション

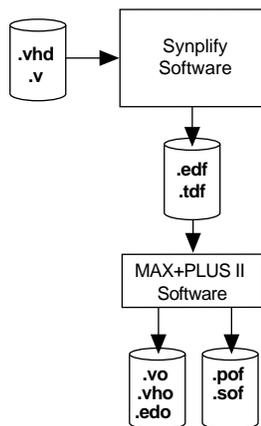
アルテラのMAX+PLUS IIのソフトウェアはシンプリシティ社のSynplifyのようなサード・パーティのEDAツールと簡単にインタフェースすることができます。MAX+PLUS IIと共に、シンプリシティ社のSynplifyを論理合成ツールとして使用し、アルテラのプログラマブル・ロジック・デバイス(PLD)をターゲットにすることができます。アルテラのツールとシンプリシティ社のSynplifyを使用することによって、短時間でデザインを合成してアルテラのデバイスに実現することができるため、1日に複数のデザインを作成することも可能になります。

このテクニカル・ブリーフは、下記の点について解説します。

- Synplifyの環境のセットアップ方法
- MAX+PLUS IIで使用するためのEDIF ネットリスト・ファイル、またはアルテラ・ハードウェア記述言語(AHDL)のデザイン・ファイルを生成する方法

図1はPCベースのアルテラのMAX+PLUS IIとシンプリシティ社のSynplifyをインタフェースしたときのフロー・ダイアグラムです。

図1 アルテラ/シンプリシティ・インタフェース



Synplifyを使用してデザインを合成およびシミュレーションし、これをMAX+PLUS IIに取り込んでコンパイルする方法の詳細については、アルテラのウェブ・サイト、<http://www.altera.com>のMAX+PLUS II Altera Technical Support (AtlasSM)のページに掲載されているCommitment to Cooperative Engineering Solution (ACCESSSM) Key Guidelinesを参照して下さい。また、このACCESS Key Guidelinesは、MAX+PLUS IIのCD-ROM(バージョン8.2以降)の、\lit\html\maxkeyのディレクトリにHTMLフォーマットで提供されています。

アルテラのデバイスをターゲットにする場合のSynplifyの使用法

Synplifyが提供するグラフィカル・ユーザ・インタフェース(GUI)により、EDIFのネットリスト・ファイルまたはAHDLのデザイン・ファイルを生成するためのSynplify側の環境設定は簡単に行うことができます。アルテラのデバイスをターゲットにした場合の処理は以下の手順で行います。

1. New (Fileメニュー) を選び、Project を選択します。OKのボタンを押します。

2. Synplify の project のウィンドウにおいて、*Source Files* のセクションから Add を選択し、Add Source Files のダイアログ・ボックスからソース・ファイルを指定します。図 2 を参照してください。

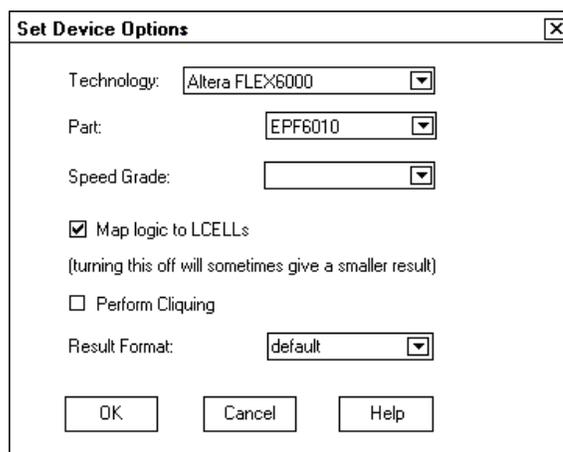
図 2 Add Source Files のダイアログ・ボックス



 トップ・レベルのファイルが、*Source Files* のウィンドウで逆の階層順で表示されるようにして下さい。(もっとも上のレベルのファイルがリストの一番下に表示されるようにする)

3. *Target* のセクションで Change を選択し、Set Device Options のダイアログ・ボックスをオープンします。そして、使用するアルテラのデバイス・ファミリとデバイス名を選択します。図 3 を参照してください。

図 3 Set Device Options のダイアログ・ボックス



4. オプションとして、*Map logic to LCELL*をオンに設定して、ロジックを複数のロジック・セルに分割する最適な方法を選択してSynplifyに論理合成させることができます。このオプションをオンに設定すると、Synplifyのソフトウェアはより多くのリソースを使用して、より高い性能を実現しようとします。FLEXデバイスをターゲットにした場合、この*Map logic to LCELL*をオンに設定すると、*Perform Cliquing*のオプションが提供され、Synplifyに対してロジックをひとつのクリーク配置してより良好な性能の最適化をはかるように指示することができます。また、MAXデバイスの場合、*Map logic to LCELL*をオンに設定すると、MAXデバイスに対する下記のコントロールが可能になります。
 - *Percent of Design to Optimize for Timing*のフィールドで、デザイン内のロジック・セルの段数を調整することができます。この割合を増加させると、ロジック・セルの段数が減少し、クリティカル・パスに関係したロジック・セルに対する入力数を増加させることになり、これをフィッティングの条件にすることができます。
 - *Maximum Cell Fanin*のフィールドは入力本数の少ないロジック・セルの数に影響を及ぼします。Maximum Fan-inを低い値に設定すると、入力数の少ないロジック・セルの数が増加します。特に高いリソース使用効率が要求されない場合は、入力数の少ないロジック・セルを配置することによって、MAX+PLUS IIによる配線でより高い柔軟性を得ることができます。
 - *Make Non-Critical Cells Sof*をオンに設定すると、MAX+PLUS IIはデザイン内のスピードがクリティカルでない部分に使用されるロジック・セルの数を増加させます。
5. *Result Format*のドロップダウン・リスト・ボックスで、MAX+PLUS IIに入力するファイルとして、EDIFのネットリスト・ファイル(.edf)か、AHDLのテキスト・デザイン・ファイル(.tdf)のいずれかを選択します。Synplifyに対してクリークの指定を行った場合は、EDIFのネットリスト・ファイル・フォーマットを選択しなければなりません。
6. OKを選択して変更内容をセーブします。
7. オプションとして、SynplifyのProjectのウィンドウで、*Frequency (MHz)*のフィールドに目標とする動作周波数を入力することができます。このオプションのデフォルト値は0 MHzです。デフォルトの設定を行うことで、Synplifyに最適化されたロジック使用効率を実現させるようになります。図4を参照してください。

図4 SynplifyのProjectウィンドウ



- また、オプションとして、*Symbolic FSM Compile*をオンに設定して、ステート・マシンの性能の最適化をはかることができます。このオプションは、Synplifyにデザイン内のステート・マシンを発見させ、それらを自動的にアルテラのデバイスに最適化させる機能です。ただし、この設定を行うことで、性能とエリアとのトレード・オフが発生します。このオプションをオンに設定することで、より高い性能が実現されますが、同時にデバイス内のより多くのリソースが使用される結果になることがあります。
- Runのボタンを押して、VHDLまたはVerilog HDLデザインの合成をスタートさせます。

MAX+PLUS II によるコンパイルレーション

論理合成が完了すると、合成されたファイルが3ページの5で指定したディレクトリに生成され、このファイルをMAX+PLUS IIに取り込むことが可能になります。ファイルをコンパイルする前に、EDIF Netlist Reader Settingsのダイアログ・ボックスで、下記の手順でベンダをSynplicityにする設定を行う必要があります。

- InterfaceメニューからEDIF Netlist Reader Settingsを選択します。
- Vendorのドロップ・ダウン・ボックスからSynplicityを選択します。
- OKを選択します。

MAX+PLUS IIで、各ベンダごとに設定を行う方法や、コンパイル用に適切なライブラリ・マッピング・ファイル(.lmf)を指定する方法、特定のデバイスを指定する方法などの詳細については、TB 43 *Importing Synthesized Files from EDA Software into the MAX+PLUS II Software for Place & Route*日本語版「サード・パーティのEDAツールで合成されたファイルをMAX+PLUS IIに取り込んで配置配線を行う方法」を参照してください。

関連資料とサポート

アルテラは、MAX+PLUS IIとサード・パーティのデザイン入力用EDAツールとのスムーズなインタフェースを確保するために、幅広い関連資料を提供しています。技術的なサポートが必要な場合は、日本アルテラの応用技術部または販売代理店へご連絡下さい。また、技術的なご質問を日本語のE-Mailでjapan@altera.comに送付して頂くことも可能です。アルテラ/シンプリシティのインタフェースに関する代表的な質問とその回答については、アルテラのウェブ・サイトに提供されているAtlas Solutionsのページで確認してください。

下記の資料にはさらに詳細な情報が提供されています。

- MAX+PLUS II ACCESS Key Guidelines
- MAX+PLUS II Programmable Logic Development System & Software Data Sheet (日本語版刊行予定)
- EDA Software Support

これらの資料は日本アルテラまたは販売代理店を通じて入手することができ、アルテラのウェブ・サイト、<http://www.altera.com> からダウンロードすることもできます。

日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱 261 号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>