

Nios >

# NiosV Reference Design 및 Quartus Standard Edition guide 문서 입니다.



**Hudson박한빈** 우수회원 + 구독 1:1 채팅

2024.02.14. 09:09 조회 32

댓글 0 URL 복사

첨부파일 모아보기 3

안녕하세요 Intel FPGA는 최신 디바이스들을 기준으로 자료 작성을 시작 합니다.

NiosV는 이미 출시되었고 CycloneV를 많이들 사용하시는데

정작 자료들은 다 Arria10 기준으로 되어있어 사용에 어려움이 있을 것입니다. 그래서 공유해드립니다!

Uart IP와 Interval Timer IP를 이용하여 NiosV의 Reference Design을 만들어 봤습니다.

Quartus는 Standard Edition 23.1에서 컴파일 했습니다. Ashling도 같이 설치 하셔야 됩니다.

Test된 board는 DE1-SOC(CycloneV SE) 입니다.

qar파일을 먼저 열고 프로젝트 내부에 software폴더를 압축 푸시면 됩니다.

Platform Designer와 software -> app 폴더 내부 c source를 참고하시면 됩니다.

Uart 신호를 GPIO로 loopback시켜 RX intrrupt를 구현하였고, Timer는 periodic interrupt를 구현하였습니다.

nios\_v\_test.qar

software.zip

Nios V at Standard.docx

## 댓글

관심글 댓글 알림

푸

댓글을 남겨보세요



등록