

# News & Views

2000 年夏季号

アルテラ・ユーザのためのニュース・レター

## アルテラがエンベデッド・システム開発用の Nios プロセッサを発表

アルテラは、system-on-a-programmable-chip (SOC) デザインに要求される、高性能で豊富な機能を備えたデバイス、統合化された開発ツール、そして幅広い包括的な IP (Intellectual Property) を含むすべての重要なコンポーネントを供給している業界のリーダーです。アルテラは、SOC デザインにおけるマイクロプロセッサの重要性を認識し、業界のリーダー企業との強力な提携関係を通じてプロセッサ IP に関する卓越したソースを確立しました。このたび、アルテラは Excalibur™ エンベデッド・プロセッサ・プログラマブル・ロジック・デバイス (PLD) ソリューションを発表し、プロセッサ IP の選択肢を大幅に拡大、強化しました。PLD の内部に RISC プロセッサを実現するハード・コアとソフト・コアのテクノロジーによって構成される Excalibur エンベデッド・プロセッサ・ソリューションは、非常に幅広い機能と専用のハードウェアで構成した場合と同じ高い性能を実現します。Excalibur エンベデッド・プロセッサ PLD ソリューションの登場により、設計者は SOPC デザインが提供するすべての利点をフルに活用できるようになりました。

### SOPC の利点

SOC デザインの利点には、高度な統合化、そしてシステム性能の向上が挙げられます。さらに、SOPC のデザインには、PLD の高い柔軟性によって実現されるプログラマビリティや迅速な「Time-to-Market」の実現などの利点があります。これらの PLD を使用することにより、設計者はハードウェアを複数の異なる構成で実現することができ、カスタム・コンポーネントの開発に要する時間を削減することが可能になります。この高い柔軟性を活用することにより、製品を短期間で開発できるだけでなく、多様なシステム・アーキテクチャと機能を評価し、製品内にそれらを最高の組み合わせで実現することができます。Excalibur ソリューションは、プロセッサを PLD のデザイン・フローに完全に取り込み、どのファンク

ションをソフトウェアで実行させ、どのファンクションを専用のハードウェアで実現するのが適切であるかを判断するための、これまでにない高い自由度がシステム設計者に与えられます。

### Excalibur ソリューション

アルテラの Excalibur ソリューションは次のファミリによって構成されています。

- ソフト・コアのエンベデッド・プロセッサ、Nios™ ファミリ 16 ビット、または 32 ビットにコンフィギュレーションできるエンベデッド RISC プロセッサ
- ARM® ベースのエンベデッド・プロセッサ・ファミリ 32 ビット・アーキテクチャの ARM9 Thumb® エンベデッド・プロセッサ・コア、および 32 ビット RISC エンジン
- MIPS-based® のエンベデッド・プロセッサ・ファミリ 32 ビットのアーキテクチャで R4000™ の TLB および特権モードの拡張機能を実現した MIPS 4Kc™ エンベデッド・プロセッサ・コア

最初に提供される Excalibur エンベデッド・プロセッサ PLD ソリューションは、16 ビットまたは 32 ビットにコンフィギュレーションできるエンベデッド RISC ソフト・コア・プロセッサ、Nios ファミリです。Nios ファミリは多様な要求に対応するために容易にコンフィギュレーション可能で、アルテラのデバイスとツールをベースにしたデザイン内に短時間で構成できます。Nios エンベデッド・プロセッサは最初に APEX™ デバイスに最適化されていますが、ローコスト化を実現する ACEX™ デバイスや、性能をさらに高めた将来の新しいデバイス・ファミリを含む他のアルテラ・デバイスのアーキテクチャにも最適化されたバージョンも登場する予定です。

( 4 ページに続く )

EXCALIBUR™

ALTERA®

The Programmable Solutions Company®

# Nios を中心とした Excalibur 開発キット



## 最先端システムを実現する開発キット

アルテラが新たに開発した Excalibur™ エンベデッド・プロセッサ・ソリューション、Nios™ ソフト・コア・エンベデッド・プロセッサは、まさに system-on-a-programmable-chip (SOPC) デザインの開発に必要とされていたものです。



EXCALIBUR™

この新しい柔軟性に富んだエンベデッド・プロセッサ・ソリューションは、32ビットの構成、50MIPS までの性能をサポートし、量産時には5ドルに相当する価格を実現します。この開発キットはすでに供給中となっており、プロジェクトの開始にあたって必要なものがすべて含まれています。

## 完全なソリューションを提供

この Excalibur 開発キットには、以下のものが含まれています。

Nios コンフィギュラブル RISC エンベデッド・プロセッサ・コアとペリフェラル

Quartus™ プログラマブル・ロジック開発ソフトウェア

Cygnus®/Red Hat® 社の GNUPro® C/C++ コンパイラおよびデバッグ

ByteBlasterMV™ ダウンロード・ケーブル

APEX™ EP20K200E を搭載した開発用ボード

リファレンス・デザインと関連資料

## 無料ハンズ・オン・ワークショップ

日本アルテラ株式会社では、APEX デバイスで Nios ソフト・コア・エンベデッド・プロセッサを使用した SOPC デザインを作成する方法を解説するワークショップを10月より開催いたします。このワークショップでは、Cコードでのプログラムの作成とコンパイル、開発ボード上での実行とトラブル・シューティングを体験することができます。また、Excalibur 開発キットに含まれている Cygnus/Red Hat 社の GNUPro コンパイラとデバッグについても学ぶことができます。

このワークショップの詳細、スケジュール等については、各販売代理店へお問い合わせください。

The ALTERA logo is written in a bold, blue, sans-serif font with a slight shadow effect.

The Programmable Solutions Company®

# Table of Contents

## 特集記事

アルテラがエンベデッド・システム開発用の Nios プロセッサを発表 .....	1
Quartus でデザイン性能を改善する方法 .....	15
ギャップをブリッジ： dataBLIZZARD と Reliaspan .....	18

## アルテラ・ニュース

アルテラと Red Hat 社が提携して、 Nios の開発ソフトウェアを提供 .....	6
ロー・コストのプログラマブル・ロジックが 求められるコミュニケーション市場の ニーズに対応した ACEX デバイス .....	24
アルテラの新しい SignalTap Plus が チップ内部と外部の同時デバッグ機能を実現 ..	26
DCM Technologies 社の CoreX-V10： さらに高い性能の仕様に対応した 高速メガファンクション .....	28
True-LVDS ソリューションが 840Mbps のデータ転送レートを実現 .....	30
高速 3G ワイヤレス・アプリケーションの 技術革新を推進するアルテラの ターボ・エンコーダとデコーダ .....	32

## デバイス & ツール

APEX 20KE デバイスの 8 製品を出荷中 .....	7
APEX 20KE デバイスが 「True-LVDS」をサポート .....	7
5.0V 対応の APEX 20K および APEX 20KE デバイス .....	7
APEX 20K デバイスの新プロセスへの移行 .....	8
ACEX 1K デバイスを出荷中 .....	8
ACEX 2K デバイスが近く登場 .....	8
すべての FLEX 10KE デバイスが入手可能 .....	8

FLEX 10K デバイスの新プロセスへの移行 .....	8
FLEX 10KE デバイスの工業用温度範囲品 .....	9
MAX 7000A デバイス .....	10
MAX 7000B が最新の標準 I/O 規格をサポート ..	10
MAX 7000S ファミリー .....	11
MAX 3000A デバイス .....	11
4M ビットのコンフィギュレーション・ デバイスが登場 .....	11
Quartus ソフトウェアの バージョン 2000.05 を供給中 .....	11
Quartus がサポートする オペレーティング・システム .....	12
MAX+PLUS II のバージョン 9.6 を出荷中 .....	12
MAX+PLUS II のバージョン 9.62 を アルテラの web サイトを通じて提供 .....	12
サブスクリプション契約の更新について .....	13
OEM 供給されるワールド・クラスの 合成ツールとシミュレーション・ツール用の ライセンス・ファイルが入手可能 .....	14
製造中止品最新情報 .....	27

## 技術論文

Nios アーキテクチャとカスタマイゼーション .....	20
イン・システム・プログラミングの実現方法 .....	22
Questions & Answers .....	34

## 定期掲載情報

現在のソフトウェア・バージョン .....	21
アルテラの新規刊行資料 .....	36
アルテラのプログラミング・ ハードウェアのサポート状況 .....	37
アルテラへのコンタクト方法 .....	39
アルテラ・デバイス・セレクション・ガイド .....	40

Altera, ACCESS Program, ACEX, ACEX 1K, ACEX 2K, AMPP, APEX, APEX 20K, APEX 20KE, Atlas, BitBlaster, ByteBlaster, ByteBlasterMV, Classic, ClockBoost, ClockLock, ClockShift, CoreSyn, E+MAX, EPC2, Excalibur, FastTrack, FineLine BGA, FLEX, FLEX 10K, FLEX 10KE, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, Jam, MasterBlaster, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX 7000S, MAX 7000A, MAX 7000AE, MAX 7000B, MAX 3000, MAX 3000A, MAX, MAX+PLUS, MAX+PLUS II, MegaCore, MegaLAB, MegaWizard, MultiCore, MultiVolt, NativeLink, Nios, nSTEP, OpenCore, OptiFLEX, Quartus, SignalTap, SignalTap Plus, True-LVDS, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Adobe and Acrobat are registered trademarks of Adobe Systems Incorporated. ARM, Thumb, and the ARM Powered logo are registered trademarks of ARM Limited. BP Microsystems is a registered trademark of BP Microsystems. Data I/O and UniSite are registered trademarks of Data I/O Corporation. HP-UX is a trademark of Hewlett-Packard Company. Mentor Graphics is a registered trademark and LeonardoSpectrum and ModelSim are trademarks of Mentor Graphics. Microsoft, Windows, Windows 98, and Windows NT are registered trademarks of Microsoft Corporation. R4000, 4Kc, MIPS-based, and the MIPS Technologies logo are trademarks of MIPS Technologies, Inc. Cygnus, GNU, GNUPro, and Red Hat are registered trademarks of Red Hat, Inc. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. dataBLIZZARD is a trademark of SBS Technologies, Inc. Sun is a registered trademark and Solaris is a trademark of Sun Microsystems, Inc. Synopsys is a registered trademark and FPGA Express is a trademark of Synopsys, Inc. System General is a registered trademark of System General. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader.

Copyright © 2000 Altera Corporation. All rights reserved.



ご質問、ご意見などがありましたら、お知らせください。

日本アルテラ株式会社  
〒163-1332  
東京都新宿区西新宿 6-5-1  
新宿アイランドタワー 32F  
私書箱 1594号  
電話：03-3340-9480  
FAX：03-3340-9487  
E-mail：japan@altera.com



アルテラがエンベデッド・システム開発用の Nios プロセッサを発表 (1 ページからの続き)

ハード・プロセッサ・コアによる Excalibur ソリューションは、ARM 社と MIPS Technologies 社のプロセッサをベースにしたものです。これらのプロセッサはアルテラの APEX アーキテクチャの中に構成され、ロイヤリティ・フリーの標準製品として高性能なエンベデッド・ペリフェラルと共に提供されます。Excalibur ソリューションは、コンピュータ周辺機器、工業用および自動車用のコントロール・シ

ステム、画像処理、セットトップ・ボックス、他の通信関連アプリケーションなどを含む幅広いエンベデッド・アプリケーションに最適です。図 1 は、Excalibur エンベデッド・プロセッサ・ソリューションのファミリと各プロセッサの相対的な性能レベルを示しています。図 2 は、Nios エンベデッド・プロセッサの将来のロードマップを示しています。

コンフィギュラブルなソフト・コア・エンベデッド・プロセッサ、Nios ファミリ

エンベデッド・プロセッサ、Nios ファミリはプログラマブル・ロジックに実現することを前提に設計された業界初の 16 ビットまたは 32 ビットのプロセッサ・コアです。このため、Nios ファミリは 50MIPS (Million Instructions Per Second) までのスピードで動作することができます。1 クロック・サイクルに 1 インストラクションを実行する 5 段のパイプライン構造で設計されている Nios ファミリは多様なエンベデッド・システムのデザイン・ニーズに対応可能なユーザ・コンフィギュラブル・プロセッサであり、16 ビットまたは 32 ビットのデータ幅、32 個から 512 個の汎用レジスタをサポートしています (Nios アーキテクチャの詳細については、20 ページをご覧ください)。高い性能とコンフィギュラビリティに加え、Nios プロセッサは PLD のリソース使用効率が高くなるように最適化されている特長があるため、他のほとんどの標準プロセッサよりも低いコストで実現することができます。幅広いアプリケーションに対応できるように、Nios は多様な方法でのコンフィギュレーションをサポートしています。表 1 は Nios を 2 種類の構造にコンフィギュレーションしたときの、それぞれのスピードとリソースの使用率、そしてコストを示しています。

Nios の開発環境

Nios プロセッサはプログラマブル・ロジックに最適化された次世代のプロセッサ IP です。アルテラは、Nios をベースにしたシステムの開発に必要なすべてのツールを用意しています。ユーザは MegaWizard® Plug-In を使用して、Nios エンベデッド・プロセッサをアルテラのデザイン内可以实现することができます。この MegaWizard Plug-In はメニュー・ドリブンとなっており、ユーザがこの MegaWizard Plug-In で Nios エンベデッド・プロセッサに要求されるパラメータを指定することができます。MegaWizard Plug-In Manager は指定されたパラメータに応じた Nios エンベデッド・プロセッサのネットリストを生成し、ユーザはアルテラの Quartus™ 開発システムを使用してこのネットリストをアルテラのデザイン内に取り込むことができます。

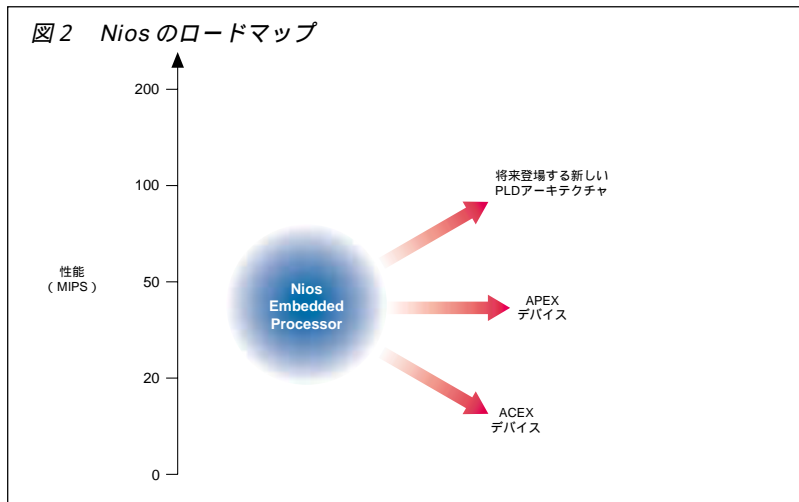
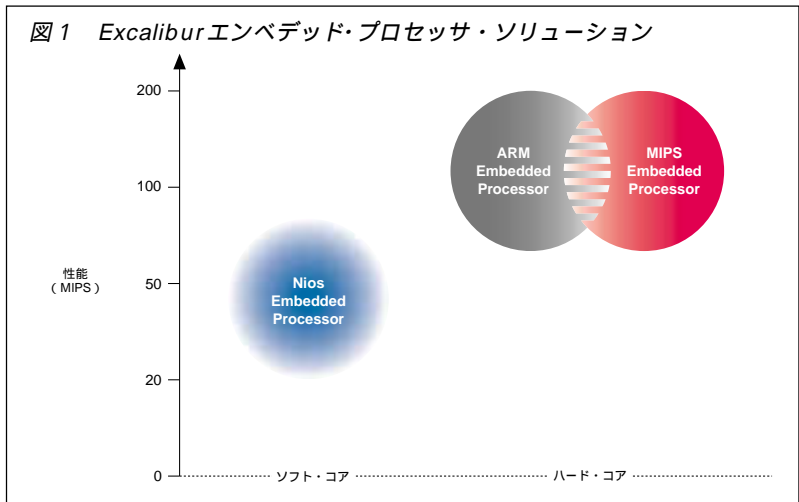


表 1 EP20K100E に実現したときの Nios のコンフィギュレーションとリソース使用率

Nios の構成	データ幅 (ビット)	アドレス幅 (ビット)	全 LE 数に対する使用率	全 ESB 数に対する使用率 (1)	MHz	実現したときのコスト
16 bit	16	16	25%	8 ~ 40%	50	\$10
32 bit	32	32	33%	15 ~ 77%	48	\$13

注：  
(1) レジスタ・ファイルのサイズを基準に算出

Nios エンベデッド・プロセッサ・ファミリを使用する場合、UART (Universal Asynchronous Receiver/Transmitter)、タイマ/カウンタ、メモリ・コントローラ (SRAM、ROM、FLASH)、PIO (Parallel I/O) モジュールを含む複数のペリフェラル・ファンクションも使用可能です。これらのペリフェラル・ファンクションは、ユーザが指定した Nios プロセッサと共に各デザイン内に簡単に構成することができます。ソフトウェア・コーディングのサポートに関して、アルテラは Red Hat® 社 (旧 Cygnus® 社) と提携して、広く普及しているパワフルな GNU® ベースの C/C++ コンパイラとアセンブラを供給します。ソース・レベル・デバッグはシリアル・ポートを通じてデバイス内部をアクセスし、動作コントロール機能やメモリおよびレジスタ・ファイルへのアクセスを実現します。図 3 は、Excalibur エンベデッド・プロセッサを使用した PLD ソリューションの開発フローを示したものです。

Nios 用 Excalibur 開発キット

アルテラはソフト・コア・エンベデッド・プロセッサ、Nios ファミリの開発をサポートするため、Nios エンベデッド・プロセッサ用 Excalibur 開発キット

を供給しています。この開発キットには、設計者が必要とするすべてのハードウェアとソフトウェア・コンポーネントが含まれており、ユーザは Nios エンベデッド・プロセッサを使用するデザインの開発をすぐに開始することができます。このキットには以下のものが含まれています。

- Nios エンベデッド・プロセッサ・ソフト・コア
- C/C++ コンパイラ、アセンブラ、デバッグ、および関連ドキュメント
- Nios ペリフェラル (UART、メモリ・インタフェース、タイマ/カウンタ、PIO モジュール)
- Quartus 開発ソフトウェア (APEX デバイスおよび SignalTap™ ロジック解析機能をサポート)
- ByteBlasterMV™ ダウンロード・ケーブル
- 開発ボード (APEX EP20K200E デバイス、SRAM/FLASH、拡張/プロトタイプ用コネクタ、プロセッサ・トレース・ポートを含む)
- ソフトウェア・ドライバ (UART、タイマ/カウンタ、PIO モジュール用)
- SOPC リファレンス・デザイン
- Nios ユーザ・マニュアルとプログラマ・リファレンス・マニュアル



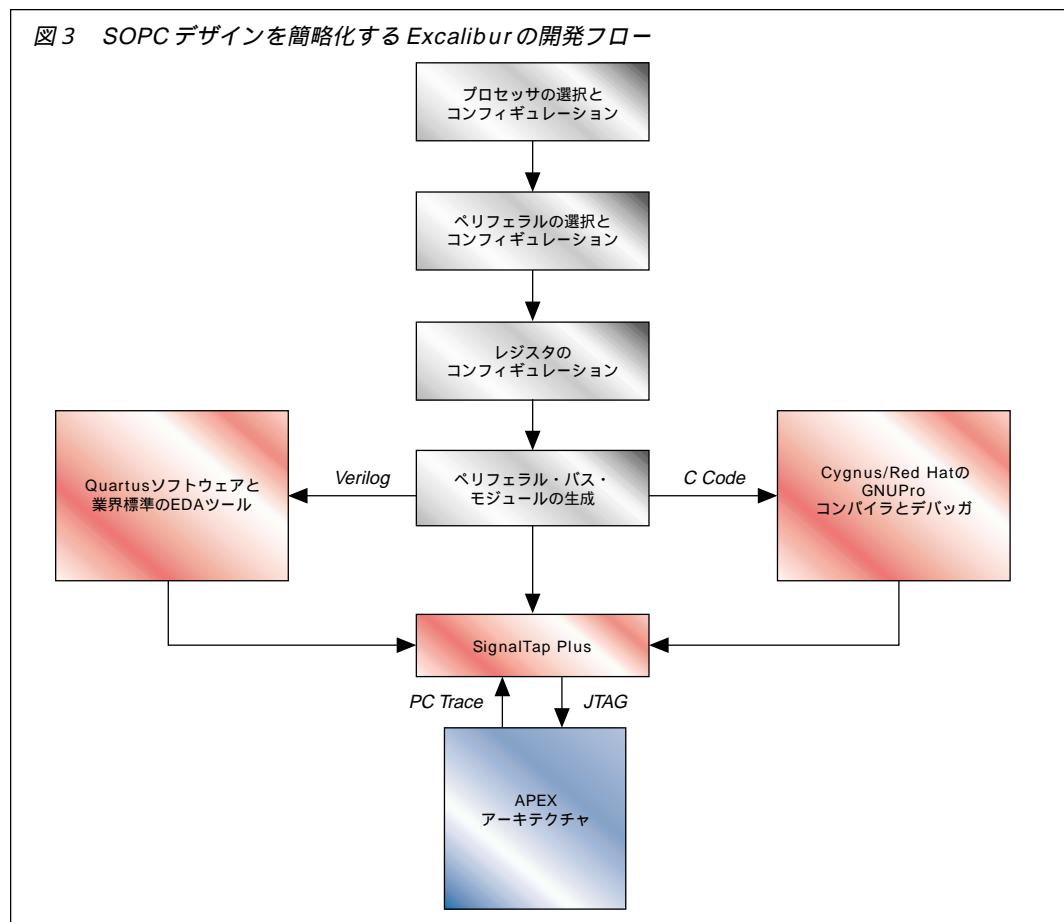
EXCALIBUR™

Nios™



MIPS TECHNOLOGIES

図 3 SOPC デザインを簡略化する Excalibur の開発フロー



( 6 ページに続く )

アルテラがエンベデッド・システム開発用の Nios プロセッサを発表 ( 5 ページからの続き )

#### ライセンス方法と供給状況

Excalibur ソリューションで提供される最初のプロセッサ・コアは Nios エンベデッド・プロセッサで、すでに入手可能です。Excalibur ファミリの ARM コアおよび MIPS-based コアはロイヤリティ・フリーの標準製品として 2000 年の第 4 四半期 ( 10 - 12 月期 ) に入手可能になる予定です。Nios エンベデッド・プロセッサは無償で使用することができます。また、Nios エンベデッド・プロセッサと一緒に出荷される

製品についても無償の使用ライセンスが提供され、アルテラの web サイト ( <http://www.altera.com> ) を通じて、ライセンスを取得することができます。Excalibur 開発キットも供給中で、この中にはライセンスの入手方法に関する情報も含まれています。Excalibur 開発キットの価格、およびライセンスの入手方法などについては、日本アルテラの販売代理店またはアルテラの web サイトで確認してください。なお、日本アルテラでは、Nios ファミリーを使用したエンベデッド・システムの開発方法を解説する Nios ワークショップの開催を予定しています。詳細については、各販売代理店にお問い合わせください。

## アルテラと Red Hat 社が提携して、Nios の開発ソフトウェアを提供

# Nios™

アルテラは Red Hat® 社と提携して、エンベデッド・プロセッサのソフト・コア、Nios™ ファミリー用の完全かつ強力なソフトウェア開発環境をアルテラのユーザに提供致します。この密接な提携関係に基づき、Red Hat 社は、特に Nios のインストール・セットに最適化した C/C++ コンパイラ、アセンブラ、デバッガを含む GNUPro® エンベデッド・システム・ツールを開発しました。Red Hat 社に合併した旧 Cygnus® 社によって開発されたこの開発ツールは、Nios エンベデッド・プロセッサを使用したデザインをすぐに開発するために必要な他のすべてのコンポーネントと共に、Excalibur™ 開発キットに含まれています。

アルテラのクリフ・トン ( Cliff Tong ) マーケティング担当副社長は「当社と Red Hat 社との提携によって、エンベデッド・システムの設計者に対して強力でオープンな開発プラットフォームが提供されることになった。Nios エンベデッド・プロセッサの機能をフルに引き出す Excalibur 開発キットによ

り、アルテラはハードウェアとソフトウェアの協調設計に価値の高い統合化プラットフォームを提供する。」とコメントしています。

また、アルテラのマーケティング担当ディレクター、マイク・フィップス ( Mike Phipps ) は「Cygnus および Red Hat 社は、各種のツールとオペレーティング・システムのもっとも信頼されるプロバイダとして、エンベデッド・システムの業界で広く知られている。Red Hat 社からの支援により、当社のユーザは、あらかじめテストと検証が行われている使い慣れた、また信頼性の高いツールを手に入れることができ、同社からのフル・サポートを受けることができる。」と付け加えています。

アルテラと Red Hat の両社は、エンベデッド・システム用のコンフィギュラブル・リアル・タイム・オペレーティング・システム、eCos のポーティングなど、Nios エンベデッド・プロセッサに対するサポートを今後も継続的に提供していきます。

## APEX

APEX 20KE デバイスの 8 製品を出荷中

APEX™ 20KE デバイス・ファミリでは、新たに 4 種類の新製品がリリースされ、EP20K60E、EP20K100E、EP20K200E、EP20K300E、EP20K400E、EP20K600E、EP20K1000E、EP20K1500Eの計 8 製品が入手可能となりました。これらの製品は、FineLine BGA™ パッケージを含む多くの最先端パッケージで供給されています。残りの APEX 20KE デバイスは、2000 年の第 3 四半期（7 - 9 月期）に出荷が開始される予定です。なお、EP20K30E を除く、すべての APEX デバイスに対するソフトウェア・サポートが、Quartus™ のバージョン 2000.05 によって提供されています（表 1 を参照）。

APEX 20KE デバイスが「True-LVDS」をサポート

現在、アルテラの APEX 20KE デバイスは、チャンネルあたり 840Mbps (Megabits per second) までのデータ転送レートを可能にした「True-LVDS™」ソリューションをサポートしています。この仕様は、業界で幅広く採用されている LVDS (Low Voltage Differential Signaling) の標準データ転送レート、624Mbps を大幅に上回っています。これによって、APEX 20KE デバイスのプログラマブルな LVDS の帯域幅は 26.8Gbps (Gigabits per second) となりました。

5.0V 対応の APEX 20K および APEX 20KE デバイス

アルテラの APEX 20K デバイス・ファミリの I/O バッファが 5.0V の信号にも対応できるように強化され、5.0V の PCI (Peripheral Component Interconnect) 仕様にも完全に準拠するようになりました。これらの 5.0V 対応デバイスは現在、出荷中となっています。

APEX 20KE デバイスは、ピンに外部抵抗を付加することによって 5.0V 対応となるため、システム・デザインの柔軟性を高めることができます。この 5.0V への対応方法についての詳細が、アルテラの White Paper、「5.0-V Tolerance in APEX 20KE Devices」で解説されています。この White Paper はアルテラの web サイト、<http://www.altera.com> からダウンロードすることができます。

表 1 APEX 20KE デバイスのパッケージ・オプションと Quartus ソフトウェアのサポート状況

デバイス名	パッケージ・オプション	ソフトウェア・サポート状況 / 予定
EP20K30E	144-pin TQFP (1) 144-pin FineLine BGA 208-pin PQFP (1) 324-pin FineLine BGA	2000 年 Q3 2000 年 Q3 2000 年 Q3 2000 年 Q3
EP20K60E	144-pin TQFP 144-pin FineLine BGA 208-pin PQFP 240-pin PQFP 324-pin FineLine BGA 356-pin BGA (1)	サポート済み サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K100E	144-pin TQFP 144-pin FineLine BGA 208-pin PQFP 240-pin PQFP 324-pin FineLine BGA 356-pin BGA	サポート済み サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K160E	144-pin TQFP 208-pin PQFP 240-pin PQFP 356-pin BGA 484-pin FineLine BGA	サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K200E	208-pin PQFP 240-pin PQFP 356-pin BGA 484-pin FineLine BGA 652-pin BGA 672-pin FineLine BGA	サポート済み サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K300E	240-pin RQFP (1) 652-pin BGA 672-pin FineLine BGA	サポート済み サポート済み サポート済み
EP20K400E	652-pin BGA 672-pin FineLine BGA	サポート済み サポート済み
EP20K600E	652-pin BGA 672-pin FineLine BGA 1,020-pin FineLine BGA	サポート済み サポート済み サポート済み
EP20K1000E	652-pin BGA 672-pin FineLine BGA 1,020-pin FineLine BGA	サポート済み サポート済み サポート済み
EP20K1500E	652-pin BGA 1,020-pin FineLine BGA	サポート済み サポート済み

注：

- (1) TQFP: 薄型クワッド・フラット・バック、PQFP: プラスチック・クワッド・フラット・バック、BGA: ボール・グリッド・アレイ、RQFP: パワー・クワッド・フラット・バック

( 8 ページに続く )



デバイス&ツール (7ページからの続き)

### APEX 20K デバイスの新プロセスへの移行

アルテラは、2.5V動作のEP20K400の製造プロセスを0.25ミクロンから0.22ミクロンに移行させています。この移行に関する情報が記載されたアルテラのプロセス変更通知書、PCN-0005がアルテラのwebサイトに提供されています。

## ACEX

### ACEX 1K デバイスを出荷中

30,000、50,000、および100,000ゲートの集積度のACEX 1Kデバイスが、すべてのパッケージ・オプションで出荷中となっています(表2を参照)。コストに対して最適化されているACEX 1Kデバイスは、特にローコストで高性能が要求されるコミュニケーション関連のアプリケーションに最適であり、もっとも低価格のプログラマブル・ロジック・デバイス(PLD)が要求される量産製品のデザインに採用することができます。

30,000、50,000、および100,000ゲートの集積度のACEX™ 1Kデバイスが、すべてのパッケージ・オプションで出荷中となっています(表2を参照)。コストに対して最適化されているACEX 1Kデバイスは、特にローコストで高性能が要求されるコミュニケーション関連のアプリケーションに最適であり、もっとも低価格のプログラマブル・ロジック・デバイス(PLD)が要求される量産製品のデザインに採用することができます。

デバイス名	パッケージ	供給状況 / 予定
EP1K10	100-pin TQFP	2000年9月
	144-pin TQFP	2000年9月
	208-pin PQFP	2000年9月
	256-pin FineLine BGA	2000年9月
EP1K30	144-pin TQFP	供給中
	208-pin PQFP	供給中
	256-pin FineLine BGA	供給中
EP1K50	144-pin TQFP	供給中
	208-pin PQFP	供給中
	256-pin FineLine BGA	供給中
	484-pin FineLine BGA	供給中
EP1K100	208-pin PQFP	供給中
	256-pin FineLine BGA	供給中
	484-pin FineLine BGA	供給中

ACEX 1K デバイスの-1および-2スピード・グレードの製品は、ClockLock™とClockBoost™の機能を実現するPLL (Phase-Locked Loop) エンベデッド・デュアル・ポートRAMをフルサポートしており、64ビット/66MHzのPCI仕様に完全準拠しています。革新的な0.22/0.18ミクロンのハイブリッド・プロセスの開発と2.5Vのコア動作電圧により、ACEX 1K デバイスでは、コスト、性能、そして機能の3つの要素が理想的に組み合わせられています。ACEX 1K デバイスのデザインは、MAX+PLUS® II

ソフトウェアのバージョン9.6でフルサポートされています。また、ACEX デバイスに最適化された幅広いIP (Intellectual Property) ファンクションもアルテラのオンライン・ストア、MegaStore™を通じて提供されています。

### ACEX 2K デバイスが近く登場

1.8V動作のACEX 2K デバイスが近くリリースされる予定です。これらのデバイスは20,000~150,000標準ゲートの集積度をカバーしており、大量生産されるコミュニケーション製品のデザインに対応したコストと性能を実現する利点があります。また、ACEX 2K デバイスには、さらに拡張、強化されたPLL回路、最新の標準I/O規格のサポート、エンベデッド・デュアル・ポートRAMなどの最新機能も提供されます。ACEX 2K デバイスのデザインは、2000年後半にリリースされるQuartusソフトウェアの新バージョンでサポートされる予定です。

## FLEX

### すべてのFLEX 10KE デバイスが入手可能

EPF10K30E、EPF10K50S、EPF10K100E、EPF10K130E、EPF10K200Sの各デバイスが、-1、-2、-3のスピード・グレードで出荷中となっています。これらのデバイスは0.22ミクロン・プロセスで製造されており、64ビット、66MHzのPCI仕様に完全準拠させるプログラマブルな入力バッファを内蔵しています。

-1および-2スピード・グレードのFLEX® 10KE デバイスには、クロック・スキューの低減とクロック周波数の通倍機能を実現するPLL回路を内蔵した製品が含まれています。これら製品のオーダ・コードの末尾には、「X」のサフィックスが付加されます(例: EPF10K100EQC208-1X)。FLEX 10KE デバイスのデザインに使用されるMAX+PLUS IIソフトウェアでは、すべてのパッケージ・オプションがすでにサポートされています。表3は、2.5V動作のFLEX 10KEデバイスに提供されているパッケージ・オプションとスピード・グレードを示しています。

### FLEX 10K デバイスの新プロセスへの移行

2.5Vで動作するEPF10K50EとEPF10K200Eの製造プロセスが0.25ミクロンから0.22ミクロンに移行されています。その他のFLEX 10KEファミリの製品は、すでに0.22ミクロン・プロセスで製造されています。また、EPF10K50Vの製造プロセスが、2000年9月から0.3ミクロンの3層メタル・プロセスから0.3ミクロンの4層メタル・プロセス





デバイス名	パッケージ	スピード・グレード
EPF10K30E	144-pin TQFP	-1, -2, -3
	208-pin PQFP	-1, -2, -3
	256-pin FineLine BGA	-1, -2, -3
	484-pin FineLine BGA	-1, -2, -3
	PLL (すべてのパッケージ)	-1X, -2X
EPF10K50S	144-pin TQFP	-1, -2, -3
	208-pin PQFP	-1, -2, -3
	240-pin PQFP	-1, -2, -3
	256-pin FineLine BGA	-1, -2, -3
	356-pin BGA	-1, -2, -3
	484-pin FineLine BGA	-1, -2, -3
PLL (すべてのパッケージ)	-1X, -2X	
EPF10K100E	208-pin PQFP	-1, -2, -3
	240-pin PQFP	-1, -2, -3
	256-pin FineLine BGA	-1, -2, -3
	356-pin BGA	-1, -2, -3
	484-pin FineLine BGA	-1, -2, -3
PLL (すべてのパッケージ)	-1X, -2X	
EPF10K130E	240-pin PQFP	-1, -2, -3
	356-pin BGA	-1, -2, -3
	484-pin FineLine BGA	-1, -2, -3
	600-pin BGA	-1, -2, -3
	672-pin FineLine BGA	-1, -2, -3
PLL (すべてのパッケージ)	-1X, -2X	
EPF10K200S	240-pin RQFP	-1, -2, -3
	356-pin BGA	-1, -2, -3
	484-pin FineLine BGA	-1, -2, -3
	600-pin BGA	-1, -2, -3
	672-pin FineLine BGA	-1, -2, -3
PLL (すべてのパッケージ)	-1X, -2X	

に移行される予定です。表4は、これらデバイスの新プロセスへの移行時期と関連する参考資料をまとめたものです。これらの参考資料はアルテラのwebサイト、<http://www.altera.com> からダウンロードすることができます。

#### FLEX 10KE デバイスの工業用温度範囲品

すべてのFLEX 10KEデバイスが工業用温度範囲のグレードでも入手可能になっています。表5には、これらの工業用温度範囲品がまとめられています。

デバイス名	コア電源電圧 (V)	移行時期	参照資料	移行後のプロセス (μm)
EPF10K10A	3.3	完了	PCN 9810	0.30
EPF10K30A	3.3	完了	PCN 9810	0.30
EPF10K50V	3.3	完了	PCN 9810	0.30 (1)
		2000年9月	PCN 9915	0.30 (2)
EPF10K100A	3.3	完了	PCN 9810	0.30
EPF10K10	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K20	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K30	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K50	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K50E	2.5	完了	PCN 9911	0.22
EPF10K200E	2.5	完了	PCN 9911	0.22

注:

- (1) 3層メタル・プロセス  
(2) 4層メタル・プロセス

デバイス名	供給状況
EPF10K30EQI208-2	供給中
EPF10K30EFI256-2	供給中
EPF10K50ETI144-2	供給中
EPF10K50EQI240-2	供給中
EPF10K50EFI256-2	供給中
EPF10K50SQI208-2	供給中
EPF10K50SBI356-2	供給中
EPF10K50SFI484-2	供給中
EPF10K100EQI208-2	供給中
EPF10K100EFI256-2	供給中
EPF10K100EFI484-2	供給中
EPF10K130EQI240-2	供給中
EPF10K130EBI356-2	供給中
EPF10K130EFI484-2	供給中
EPF10K200EBI600-2	供給中
EPF10K200SRI240-2	供給中
EPF10K200SBI356-2	供給中
EPF10K200SFI672-2	供給中

すべてのFLEX 10KEデバイスが工業用温度範囲のグレードでも入手可能になっています。

(10 ページに続く)

MAX



MAX 7000A デバイス

多くの機能を内蔵しているMAX<sup>®</sup> 7000Aデバイスは、さらに強化されたイン・システム・プログラマビリティ( ISP )、MultiVolt<sup>™</sup> I/Oピン、活線挿抜( Hot-Socketing ) をサポートしており、業界標準になっている MAX 7000 デバイスとピン互換性となっています。3.3Vで動作するMAX 7000Aデバイスは32から512マクロセルまでの範囲の集積度をカバーしており、4.5nsまでのピン間遅延時間を実現しています。現在、すべてのMAX 7000Aデバイスが工業用温度範囲のグレードでも供給されています。表6は、MAX 7000Aデバイスの一般用温度範囲品に提供されているパッケージ・オプションとスピード・グレードをまとめたものです。

表6 MAX 7000AE、一般用温度範囲品のパッケージ・オプションとスピード・グレード

デバイス名	パッケージ	スピード・グレード
EPM7032AE	44-pin PLCC (1)	-4, -7, -10
	44-pin TQFP	-4, -7, -10
EPM7064AE	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
	49-pin Ultra	-4, -7, -10
	FineLine BGA (2)	-4, -7, -10
	100-pin TQFP	-4, -7, -10
EPM7128AE	100-pin FineLine BGA	-4, -7, -10
	84-pin PLCC	-5, -7, -10
	100-pin TQFP	-5, -7, -10
	100-pin PQFP	-5, -7, -10
	144-pin TQFP	-5, -7, -10
	169-pin Ultra	-5, -7, -10
EPM7256AE	FineLine BGA	-5, -7, -10
	256-pin FineLine BGA	-5, -7, -10
	100-pin TQFP	-5, -7, -10
	100-pin FineLine BGA	-5, -7, -10
	144-pin TQFP	-5, -7, -10
EPM7512AE	208-pin PQFP	-5, -7, -10, -12
	256-pin BGA	-5, -7, -10, -12
	256-pin FineLine BGA	-5, -7, -10, -12
	256-pin FineLine BGA	-5, -7, -10, -12

MAX 7000Bデバイスは、強化されたISP機能、MultiVolt I/Oピン、業界標準のMAX 7000デバイスとのピン互換性など、多くの特長を備えています。

注：  
 (1) PLCC: プラスチックJ-リード・チップ・キャリア  
 (2) アルテラが開発した0.8mmピッチのUltra FineLine BGAパッケージです。

MAX 7000B が最新の標準 I/O 規格をサポート

GTL+( Gunning Transceiver Logic Plus ) SSTL-2( Stub-Series Terminated Logic for 2.5V ) 3.3VのSSTL-3を含む最新の標準 I/O 規格をサポートしているMAX 7000Bデバイスは、デザインの多様な要求に適合した柔軟性の高いソリューションとなっています。2.5Vで動作するMAX 7000Bデバイスは32から512マクロセルまでの集積度をカバーしており、3.5nsまでのピン間遅延時間を実現しています。さらに、MAX 7000Bデバイスは、強化されたISP機能、MultiVolt I/O ピン、業界標準のMAX 7000デバイスとのピン互換性など、多くの特長を備えています。表7にMAX 7000Bデバイスの一般用温度範囲品のパッケージ・オプションとスピード・グレードが示されています。各デバイスの供給状況については、販売代理店にお問い合わせください。

表7 MAX 7000B、一般用温度範囲品のパッケージ・オプションとスピード・グレード

デバイス名	パッケージ	スピード・グレード
EPM7032B	44-pin PLCC	-3, -5, -7
	44-pin TQFP	-3, -5, -7
	48-pin TQFP	-3, -5, -7
	49-pin Ultra	-3, -5, -7
EPM7064B	FineLine BGA (1)	-3, -5, -7
	44-pin PLCC	-3, -5, -7
	44-pin TQFP	-3, -5, -7
	48-pin TQFP	-3, -5, -7
	49-pin Ultra	-3, -5, -7
	FineLine BGA	-3, -5, -7
EPM7128B	100-pin TQFP	-3, -5, -7
	100-pin FineLine BGA	-3, -5, -7
	49-pin Ultra	-4, -7, -10
	FineLine BGA	-4, -7, -10
	100-pin TQFP	-4, -7, -10
	100-pin FineLine BGA	-4, -7, -10
EPM7256B	144-pin TQFP	-4, -7, -10
	144-pin TQFP	-4, -7, -10
	169-pin Ultra	-4, -7, -10
	FineLine BGA	-4, -7, -10
	208-pin PQFP	-4, -7, -10
	256-pin FineLine BGA	-4, -7, -10
EPM7512B	256-pin BGA	-5, -6, -7, -10
	256-pin FineLine BGA	-5, -6, -7, -10
	100-pin TQFP	-5, -6, -7, -10
	144-pin TQFP	-5, -6, -7, -10
EPM7512B	169-pin Ultra	-5, -6, -7, -10
	FineLine BGA	-5, -6, -7, -10
	208-pin PQFP	-5, -6, -7, -10
	256-pin BGA	-5, -6, -7, -10
	256-pin FineLine BGA	-5, -6, -7, -10

注：  
 (1) アルテラが開発した0.8mmピッチのUltra FineLine BGAパッケージです。

## MAX 7000S ファミリ

5.0Vで動作するMAX 7000Sデバイスは、5nsのスピード・グレード、ISP機能、オープン・ドレイン出力オプションをサポートしており、128マクロセル以上のデバイスにはIEEE Std. 1149.1のJTAG (Joint Test Action Group) バウンダリ・スキャン・テスト (BST) 回路が内蔵されています。すべてのMAX 7000Sデバイスには、工業用温度範囲の製品が提供されています。表8に、一般用温度範囲品として供給されているMAX 7000Sデバイスのパッケージ・オプションとスピード・グレードが示されています。

デバイス名	パッケージ	スピード・グレード
EPM7032S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
EPM7064S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
	84-pin PLCC	-5, -6, -7, -10
	100-pin TQFP	-5, -6, -7, -10
EPM7128S	84-pin PLCC	-6, -7, -10, -15
	100-pin TQFP	-6, -7, -10, -15
	100-pin PQFP	-6, -7, -10, -15
	160-pin PQFP	-6, -7, -10, -15
EPM7160S	84-pin PLCC	-6, -7, -10
	100-pin TQFP	-6, -7, -10
	160-pin PQFP	-6, -7, -10
EPM7192S	160-pin PQFP	-7, -10, -15
EPM7256S	208-pin PQFP	-7, -10, -15

## MAX 3000A デバイス

MAX 3000Aデバイスは、高い性能を最低のマクロセルあたりの価格で必要としているユーザに対する理想的なローコストのISPソリューションとなっています。MAX 3000Aは3.3Vで動作するプロダクト・タームをベースにしたデバイスで、ローコストで大量生産されるデザインをターゲットにした製品です。MAX 3000Aデバイスは強化されたISP機能をサポートしており、32から256マクロセルまでの集積度、4.5nsまでのピン間遅延時間を実現しています (表9を参照)。

デバイス名	パッケージ	スピード・グレード
EPM3032A	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
EPM3064A	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
	100-pin TQFP	-4, -7, -10
EPM3128A	100-pin TQFP	-5, -7, -10
	144-pin PQFP	-5, -7, -10
EPM3256A	144-pin TQFP	-6, -7, -10
	208-pin PQFP	-6, -7, -10

## CONFIGURATION

4Mビットのコンフィギュレーション・デバイスが登場

新しい4Mビットのコンフィギュレーション・デバイス、EPC4Eが2000年第3四半期(7-9月期)にリリースされる予定です。このデバイスは44ピンと100ピンのTQFPパッケージと0.8mmピッチの144ピンUltra FineLine BGAパッケージで供給される予定です。また、9Mビットの新しいコンフィギュレーション・デバイス、EPC9Eも開発中となっており、2000年の第3四半期にリリースされる予定です。これによって、1個のEPC4Eで400,000ゲートのEP20K400Eを、また1個のEPC9Eで1,000,000ゲートのEP20K1000Eをコンフィギュレーションすることができます。

これらのデバイスには、より高速のコンフィギュレーション時間やパラレル・コンフィギュレーションなどの特長があります。また、1個のデバイスで複数のAPEXまたはFLEXデバイスをパラレルにコンフィギュレーションして、コンフィギュレーション時間をさらに高速化することもできます。

## TOOLS

Quartusソフトウェアのバージョン2000.05を供給中

Quartusソフトウェアのバージョン2000.05が、アルテラのサブスクリプション・プログラムに登録されているすべてのユーザに対して出荷されました。このQuartusの新バージョンは、MAX+PLUS IIソフトウェアのバージョン9.6、シノプシス社のシンセシス・ソフトウェアであるFPGA Expressの3.4アルテラ・バージョン、およびエグゼンプラ・ロジック社のシンセシス・ソフトウェアであるLeonardoSpectrumの1999.jアルテラ・バージョンを含むシングル・アップデート・パッケージと共に供給されています。Quartusソフトウェアのバージョン2000.05は、大規模なデザインのフィッティングと性能を大幅に改善しています。また、この新バージョンは、バージョン2000.03でサポートされたデバイス・パッケージに加え、表10に示されているパッケージを新たにサポートしています。



(12 ページに続く)

MAX+PLUS IIソフトウェアのバージョン9.6がアルテラのサブスクリプション・プログラムに登録されているすべてのユーザーに出荷されており、この新バージョンは新たにACEX 1Kデバイス・ファミリをサポートしています。

デバイス&ツール (11 ページからの続き)

Quartusがサポートするオペレーティング・システム

Quartusソフトウェアのバージョン2000.05でサポートされているオペレーティング・システムが表11に示されています。

Windows 2000 および HP-UX 11.0 のオペレーティング・システムは、今年後半にリリースされるバージョンでサポートされる予定です。

表 10 Quartusのバージョン2000.05 で新たにサポートされたデバイス		
サポート範囲	デバイス名	パッケージ
コンパイル、シミュレーション、プログラミングをフル・サポート	EP20K100	356-pin BGA
	EP20K100E	324-pin FineLine BGA
	EP20K200 (1)	356-pin BGA
	EP20K200E	652-pin BGA, 672-pin FineLine BGA
	EP20K300E (1)	240-pin PQFP, 652-pin BGA, 672-pin FineLine BGA
	EP10K600E (1)	672-pin FineLine BGA
	EP20K1000E	652-pin BGA
コンパイレーション、シミュレーション、ピン配置のみをサポート	EP20K160E (1)	144-pin TQFP, 208-pin PQFP, 240-pin PQFP, 356-pin BGA, 484-pin FineLine BGA
	EP20K1500E (1)	652-pin BGA, 1,020-pin FineLine BGA

注：  
(1) Quartusソフトウェアのバージョン2000.05は、PLL内蔵デバイス、およびPLLなしのデバイスをサポートしています。

表 11 Quartusがサポートするオペレーティング・システム	
プラットフォーム	オペレーティング・システム
PC	Windows 98, Windows NT
UNIX	Solaris 2.6, HP-UX 10.20

MAX+PLUS II のバージョン 9.6 を出荷中

MAX+PLUS IIソフトウェアのバージョン9.6がアルテラのサブスクリプション・プログラムに登録されているすべてのユーザーに出荷されており、この新バージョンは新たにACEX 1Kデバイス・ファミリをサポートしています。ACEX 1Kファミリは、ルック・アップ・テーブル (LUT) をベースにしたアルテラの新しい中集積度のPLDファミリで、価格要求の厳しいコミュニケーション関連のアプリケーションで要求される高い性能と低価格化を実現します。MAX+PLUS IIのバージョン9.6で新たにサポートされたデバイスが、表12に示されています。

MAX+PLUS II のバージョン9.62 をアルテラの web サイトを通じて提供

PCプラットフォーム用MAX+PLUS IIのバージョン9.62により、表13に示されているデバイスのフル・サポートおよびピン配置機能に対する先行サポートが提供されています。また、このアップデート・バージョンでは、Quartus フィッタの改善、タイミング・モデルの変更が実施されており、EPM7128BとEPM7256Bに対するプログラミング・サポートも追加されています。このアップデート・バージョンは、アルテラのwebサイトの左側にあるメニューから「Software Tools」を開き、「MAX+PLUS II Update」を選択することによって、ダウンロードが可能になります。

MAX+PLUS II BASELINE または E+MAX™ の開発システムを使用しているユーザーは、最新のバージョン9.62を使用することができます。MAX+PLUS II BASELINE および E+MAX のバージョン9.62は、すでに入手可能になっています。

表 12 MAX+PLUS II のバージョン 9.6 で新たにサポートされたデバイス

サポート範囲	デバイス名	パッケージ
コンパイル、シミュレーション、プログラミングをフル・サポート	EPM7128B	100-pin FineLine BGA, 256-pin FineLine BGA
	EPM7256B	100-pin TQFP, 144-pin TQFP, 208-pin PQFP, 256-pin FineLine BGA
	EP1K30	144-pin TQFP, 208-pin PQFP, 256-pin FineLine BGA
	EP1K50	144-pin TQFP, 208-pin PQFP, 256-pin FineLine BGA, 484-pin FineLine BGA
	EP1K100	208-pin PQFP, 256-pin FineLine BGA, 484-pin FineLine BGA
コンパイル、シミュレーション、ピン配置のみをサポート	EPM7128B	49-pin Ultra FineLine BGA, 169-pin Ultra FineLine BGA
	EPM7256B	169-pin Ultra FineLine BGA
	EPM7512B	169-pin Ultra FineLine BGA
	EPM7064AE	49-pin Ultra FineLine BGA
	EPM7128AE	169-pin Ultra FineLine BGA

表 13 MAX+PLUS II のバージョン 9.62 で新たにサポートされたデバイス

サポート範囲	デバイス名
フル・サポート	EPM7128BFC256, EPM7256BFC256, EPM7512BQC208
ピン配置の先行サポート	EP1K10TC100, EP1K10TC144, EP1K10QC208, EP1K10FC256, EPM7032BUC49, EPM7064BUC49

## サブスクリプション契約の更新について

アルテラは革新的な新パッケージ、スピード、温度範囲を改善した新たなグレード品を含む製品の開発と供給を継続的に行っています。また、開発ツールの性能改善と新しい機能の追加も定期的に行っています。これらの最新デバイスと開発ツールの最新機能を活用するためには、常に最新バージョンの開発ソフトウェアが必要です。

アルテラは、開発ツール製品の使用ライセンスを提供するサブスクリプション契約に関して、契約期間の終了前でも契約の更新を受け付けております。この契約終了日前に契約を更新した場合でも、新たな契約期間は現在の契約終了日から 12ヶ月となり、実際の契約期間が短縮されることはありません。アルテラは、常に最新デバイスと開発ツールの最新機能を活用できるようにするため、現在締結されているサブスクリプション契約の終了日を確認され、その終了日前に契約を新たに更新されることをお奨めします。

契約を新たに更新することによって、現在の契約の終了日から、さらに 12ヶ月間にわたって新たにリリースされる Quartus および MAX+PLUS II 開発ソフトウェアの最新バージョンを受領することができます。また、現在では、サブスクリプション契約を更新することによって、ワールド・クラスの合成ツールとシミュレーション・ツールを入手することもできます。この契約更新によって提供される合成ツールには、シノプシスの FPGA Express のアルテラ・バージョンと、エグゼンプラ・ロジックの LeonardoSpectrum のアルテラ・バージョンが含まれています。また、ビヘイビア HDL シミュレーションとテスト・ベンチをサポートしているモデル・テクノロジーの、Model Sim のアルテラ・バージョンを入手することもできます。

契約期間の終了前に契約を更新することによって、Quartus と MAX+PLUS II の最新バージョンを途切れなく受領することが保証され、常にアルテラの最新デバイスを使用したデザインを実現することができます。また、上記のワールド・クラスの合成ツールとシミュレーション・ツールの入手も可能になります。

サブスクリプション契約の更新方法については、日本アルテラの販売代理店へお問い合わせください。

( 14 ページに続く )

## デバイス&amp;ツール (13 ページからの続き)

OEM 供給されるワールド・クラスの合成ツールとシミュレーション・ツール用のライセンス・ファイルが入手可能

アルテラはシノプシス社、メンター・グラフィック社およびモデル・テクノロジー社と OEM 供給契約を締結し、アルテラのユーザにワールド・クラスの合成ツールとシミュレーション・ツールを供給しています。

アルテラはシノプシス社、メンター・グラフィック社およびモデル・テクノロジー社と OEM 供給契約を締結し、アルテラのユーザにワールド・クラスの合成ツールとシミュレーション・ツールを供給しています。アルテラは、サブスクリプション・プログラムに登録されているすべてのユーザに対して、シノプシスの FPGA Express バージョン 3.4 と、エグゼンプラ・ロジックの LeonardoSpectrum Level-1 バージョン 1999.1j の合成ツールを出荷中です。また、モデル・テクノロジーの ModelSim アルテラバージョンも近く出荷される予定です。

これらすべての OEM ソフトウェア・ツール、またはその他のツールの使用を可能にするライセンス・ファイルを手に入れるときは、アルテラの web サイトにアクセスしてください。これらの合成ツールおよびシミュレーション・ツールをアルテラのソフトウェアと共に使用することを可能にするライセンス・ファイルが電子メールを通じて送付されるようになっています。FPGA Express は PC プラットフォーム用の製品のみが供給されており、FIXEDPC および FLOATPC の製品と共に動作します。LeonardoSpectrum と ModelSim のアルテラバージョンについては、PC および UNIX ワークステーション用の双方が供給されており、固定およびフローティング・ノードの構成で使用することができます。

シノプシス社のアルテラ用 FPGA Express は VHDL と Verilog HDL が混在したデザインの HDL 合成をサポートしています。アルテラが出荷している FPGA Express の機能は、FPGA Express の標準製品と全く同一です。ただし、アルテラから OEM 供給される FPGA Express は、アルテラ・デバイスのみをターゲットにした製品となっています。

LeonardoSpectrum 用のライセンス・ファイルは、アルテラのサブスクリプション契約ごとに、VHDL

または Verilog 用のいずれかを要求することができますが、同時に双方を要求することはできません。これは、サブスクリプション契約ごとに 1 種類のみ HDL サポートを入手できることを意味します。アルテラ用の LeonardoSpectrum Level-1 と Level-2 のソフトウェア・ツールは 2 種類の HDL が混在したデザインの合成をサポートしていません。アルテラから供給される LeonardoSpectrum Level-1 合成ツールには、LeonardoSpectrum Level-2 の構成で実現されているすべての機能が含まれていますが、アルテラのデバイスのみをターゲットにした製品となっています。

アルテラ用 ModelSim ソフトウェアでは、標準 HDL のデバッグ環境やゲート・レベルのシミュレーションにおいて、アルテラのライブラリをサポートしている Tcl スクリプティング機能を含む ModelSim PE の GUI 機能を利用することができます。ModelSim は、アルテラのサブスクリプション契約ごとに、VHDL または Verilog HDL 用のいずれかを要求することができますが、同時に双方を要求することはできません。また、ModelSim のアルテラバージョンで、2 種類の HDL が混在したデザインのシミュレーションはサポートされていません。

サブスクリプション・プログラムの契約期間内に受領したアルテラ用 FPGA Express ソフトウェアは問題なく使用することができますが、アルテラとのサブスクリプション契約の終了後にリリースされた FPGA Express の新バージョンを使用することはできません。この使用可能期間は、MAX+PLUS II および Quartus ソフトウェアの使用ライセンス期間と同一です。

アルテラから供給されるエグゼンプラ・ロジックの LeonardoSpectrum とモデル・テクノロジーの ModelSim に対するライセンス・ファイルはライセンスの要求日から 15 ヶ月で無効となります。この失効日以降はこれらの製品を動作させることはできませんが、アルテラのサブスクリプション契約が有効になっている限り、新たなライセンスを要求して、ライセンスの期間をさらに 15 ヶ月延長させることができます。

## Quartus でデザイン性能を改善する方法

Quartus™ソフトウェアのバージョン2000.02以降では、コア部分とI/Oの性能をさらに高めるための新しい改良されたタイミング・ドリブンのコンパイル・アルゴリズムが導入されており、またクリークの指定に関しても多くの新しい機能が追加されています。ほとんど場合、Quartusのプッシュ・ボタン形式の処理により、要求される $f_{MAX}$ とI/Oタイミングを達成することができます。また、QuartusソフトウェアによるAPEX™デバイスのデザインで、下記に示す追加テクニックを使用することによって、さらに高い性能を実現することが可能になります。

- タイミング・ドリブンのコンパイル
- クリークおよび他のロジック・オプションの指定
- バック・アノテーションとマニュアル配置

### タイミング・ドリブンのコンパイル

Quartusソフトウェアは非常に高い柔軟性を備えており、多数のオプション設定がサポートされています。Quartusでは、デザイン全体をターゲットにしたタイミング・ドリブンのコンパイルの設定や、各クロック・ドメインごとのデザイン部分をターゲットにしたタイミング・ドリブンのコンパイルの設定を行うことができます（デザイン内に複数のクロック・ドメインが存在する場合）。一般的には、各クロック・ドメインごとの設定を行うことによって、より高い $f_{MAX}$ を得ることができます（ただし、マルチプル・クロック・ドメイン解析とホールド・タイム違反の検証が必要）。最適な結果を得るためには、グローバル(global)と個別(Individual)の双方の設定で、実験してみる必要があります。

Quartusソフトウェアのバージョン2000.02以降では、「Normal compilation」または「Extra effort」のいずれかの選択が可能になっています。一般的には、「Extra effort」の設定で高い $f_{MAX}$ が得られますが、コンパイル時間は増加します（最大で2倍）。どちらの場合でも、ターゲットの $f_{MAX}$ は要求される値よりも約10%高く設定し、最高の結果が得られるまでこの値を変化させます。この場合、ターゲットの値が高すぎると、Quartusソフトウェアに過剰なコンストレイントが与えられ、むしろ遅い結果が生成されることもあります。

### クリークおよび他のロジック・オプションの指定

Quartusソフトウェアに提供されているクリーク、Speed vs. Area、Auto-Global Memory Control

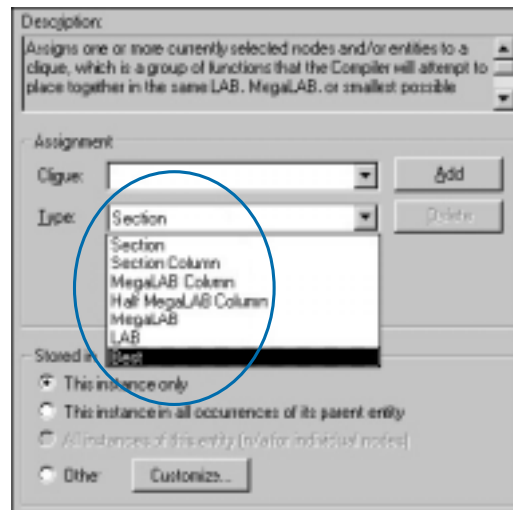
Signalsなどのオプションや設定条件を活用して結果を改善することもできます。

### クリーク (Cliques)

Quartusソフトウェアのバージョン2000.02以降では、クリークの指定を複数のターゲット・サイズで行うことができ、ロジックをどの程度の範囲でタイトにパッキングするかをコントロールすることが可能です。この場合、ターゲットにするエリアは、最小で1個のロジック・アレイ・ブロック(LAB)を、最大でデバイス全体の半分までを指定することができます。

クリークの指定は、タイミング・ドリブンのコンパイルを「オン」または「オフ」にした状態で行うことができます。アルテラは、作成したデザインを理解した上で、タイミング・ドリブンのコンパイルをイネーブルにし、階層ベースのクリークを指定することを推奨します。すべてのクリーク（図1に示した「Best」の場合を除く）の指定に応じたハードウェア上のアサインメントが考慮されますが、場合によっては実現不可能な複雑な指定になってしまうことがあります。多くのロジックを非常に狭いエリアに配置することを指定した場合、フィッティングできない結果になることがあります（例：12個のロジック・セルを1個のLABに配置する設定など）。クリークを指定するロジックのサイズが不明確なときは、クリークの種類を「Best」に設定してください。これによって、Quartusソフト

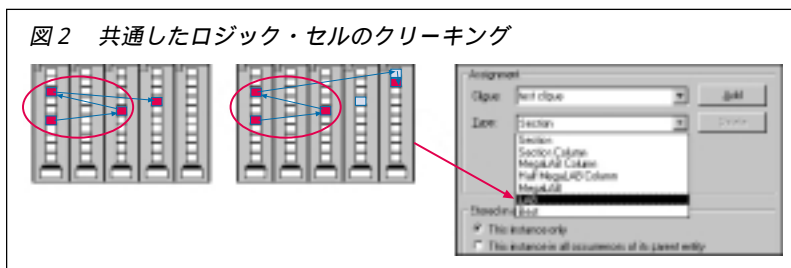
図1 アサインメント・オーガナイザでのクリークの種類



(16 ページに続く)



Quartus でデザイン性能を改善する方法  
(15 ページからの続き)



ウェアがターゲットにするクリークのサイズを必要に応じて変更できるようになります。

タイミング・ドリブ・コンパイルを「オン」にして階層のクリークを指定した最初のコンパイル結果が得られると、クリティカル・パスを解析することができます。この場合、複数のクリティカル・パス間に共通するロジックがあれば、これらのロジック・セルが相互に接近した位置に配置されるようにする新たなクリークの指定が可能になります(図2を参照)。

クリークの追加指定は、デザイン性能が要求されている値よりも非常に低くなっている場合にのみ適用される必要があります。これは、ロジック・セルが同じサイズの複数のクリークに配置されていないことを検証しないまま、ロジックに対して複数のクリークが指定されることを防ぐためです。また、クリークの追加指定によって、オリジナルのクリーク部分にさらにロジックが追加され、フィッティングが不可能になることもあります。

#### ロジック・オプションの設定

Quartusソフトウェアのロジック・オプションの設定も性能の結果に影響を与えます。もっとも重要な設定は次の2つです。

- Speed vs. Area: Option & Parameter Settings (Projectメニュー)のOptimization Technique オプションを「Speed」に設定してデザインを性能に対して最適化するか(タイトな配線で、ファンアウトが冗長なロジックを実現)、「Area」に設定してデバイス・スペースに対して最適化するか(ルーズな配線で、最小の最適化されたロジックを実現)の選択を行うことができます。この設定はアルテラ・ハードウェア記述言語(AHDL)によるテキスト・デザイン・ファイル(.tdf)とブロック・デザイン・ファイル(.bdf)に対してもっとも効果的ですが、すべてのHDLデザイン・ファイルにも適用することができます。Verilog HDLとVHDLのデザインはサード・パーティの合成ツールで論理合成する必要があります。

- Auto-Global Memory Control Signals: このオプションを「オフ」に設定することによって、デザインの性能が改善されることがあります。デフォルト設定では、このオプションがイネーブルになっており、メモリ・コントロール信号に可能な限りグローバル・コントロール・インタコネクト・ラインを使用することがQuartusソフトウェアに対して指示されます。ただし、内部生成のコントロール信号がグローバルなコントロール・ラインを使用しないとメモリ・ブロックをダイレクトにドライブできないようになっていると、この設定でメモリ性能が低下することがあります。これは、メモリ・ブロックと接続されるコントロール信号の配線にグローバル・コントロール・ラインが使用されることによって、追加の遅延時間が発生するためです。

#### バック・アノテーションとマニュアル配置

タイミング・ドリブ・コンパイルのターゲット、クリーク、およびオプションの設定によってデザイン性能が要求される仕様に近くなっても、まだ不十分なことがあります。このような場合は、デザイン結果と配置をバック・アノテートし、ロジックの位置をマニュアルで移動させてデザインのスピードを向上させることができます。バック・アノテーションは以下の理由から強力な性能改善方法となります。

- Quartusソフトウェアのあるバージョンで得られたフィッティング結果を他の新しい、または古いQuartusのバージョンでも維持することができる。
- Quartusソフトウェアがロジックの配置に消費する時間が短くなるため、フィッティング時間の改善が可能(時間単位から分単位に)。
- デザインの特定部分が固定され、その部分のスピードが維持される。

唯一の欠点は、デザインの変更が大規模となった場合にバック・アノテートされたアサインメントの一部または大部分が再合成や内部ノード名の変更で失われる可能性があることです。

デザインをバック・アノテートすべきかどうかの判断を行うときは、次の指標が参考になります。

- デザインは安定しているか(さらにコードの変更があるか)?
- パスへの依存性(複数のクリティカル・パスに対して共通になっているロジックがあるか?)
- 目標の性能を達成していないパスの数はわずかか?
- コンパイル時間は長いのか?

デザインをバック・アノテートするときは、いくつかのガイドラインを考慮しておく必要があります。デザインのリソース使用率が高い場合は(60%以



上のとき、ロジック・セルを変更した後での2回目のフィッティングが確実に行われるようにするため、ロジック・セルではなくロジック・アレイ・ブロック (LAB) にバック・アノテートする必要があります。この場合、アサインメントを MegaLAB™ ブロックに変更する必要性が生じることがあります。その他のガイドラインは、次の通りです。

- デザインをバック・アノテートするときは、常にクリークを無視するか、ディセーブルする。新しいアサインメントがクリークより優先されます。
- これまで得られた最高のコンパイル結果を記録しておくか、バックアップしておく。変更後の2回目のコンパイル結果がそれまでの最高だった  $f_{MAX}$  よりも低速になった場合は、最高の結果が得られたファイルに戻す必要があります。ファイルが保存されていれば、これは簡単に実行できます。

目標はバスの配線遅延を最小に抑えることであり(図3を参照) これは可能な限りロジックを特定の範囲内にまとめることを意味します。クリティカル・バスがどこでLABまたはMegaLABのバウンダリを越えているかを特定し、バウンダリを越えた位置に配置されているロジック・セルを同じLABまたはMegaLABに移動させます。Quartusソフトウェアは有効な配置になっているかを判断して、配線を行います。

どのセルを移動させるかを判断するときは、ファン・インとファン・アウトが最小になっているセルに注目します。他のクリティカル・バスに与える影響が最小になるようなセルが存在するはずですが、あるクリティカル・バスの問題を解決するためにロジック・セルを移動させることによって、他のクリティカル・バスの条件を悪化させることは避けなければなりません。ただし、場合によっては、あるクリティカル・バスを修正するときに、特定のバスの遅延を増加させても問題がないときには、そのバスの遅延を増加させることが良い解決策になることがあります。十分にタイミング・マージンがある短いバス(例:隣接したレジスタ間の接続)は、遅延時間のバランスを取る上で、変更する良い候補になります(図4を参照)。

複数のクリティカル・バスに共通したロジックをマニュアルで配置を変更することによって、問題を解決することができます。効率の高い配置は、複数のバスに現れるロジック・セルを移動させることによって実現できます(例:イネーブル信号やアドレス・デコーダ、その他の大きなファン・アウトになるコントロール信号など)。図5は、あるひとつのバスを修正することによって、他の複数のバスも修正される例を示しています。

クリティカル・バスは、できるだけカラム方向のMegaLABを通るようにすることが重要です(ロ

ウ・インタコネクトの使用を避ける)。MAX+PLUS IIを使用したFLEXデバイスのデザインでは、バスを同じロウに維持することによって性能が改善されます。ただし、この手法はAPEXとQuartusソフトウェアには適用できません。APEXデバイスのMegaLABブロックとカラムMegaLABは、FLEXデバイスのLABとロウLABと等価になります。これは、大きなブロックのロジックにクリークを指定するときにも適用されます。

#### まとめ

Quartusソフトウェアのバージョン2000.02以降では、多様な方法で目標の性能を達成させることができる機能が提供されています。プッシュ・ボタンによるタイミング・ドリブン・コンパイルで要求される性能が達成されなかった場合でも、クリークの組み合わせ、オプションの設定、バック・アノテーション、マニュアルによる配置などによって、APEXデバイスのデザインに要求される性能を実現できることが多くあります。Quartusソフトウェアで目標の性能を達成するための最高の方法は、ひとつだけではないことを認識しておくことが重要です。最高の結果を引き出すオプションはデザインごとに異なりますが、この記事に示されている手法が性能の改善に役立つはずですが、

図3 LABを基準にして位置の指定を行う

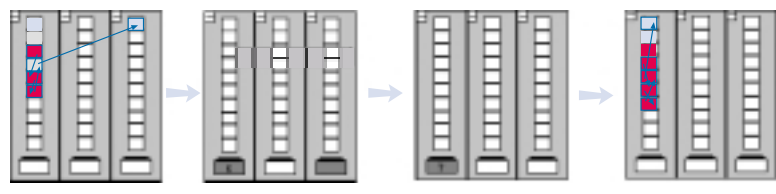


図4 バス-Aの遅延を増加させることでバス-Bのタイミングを改善

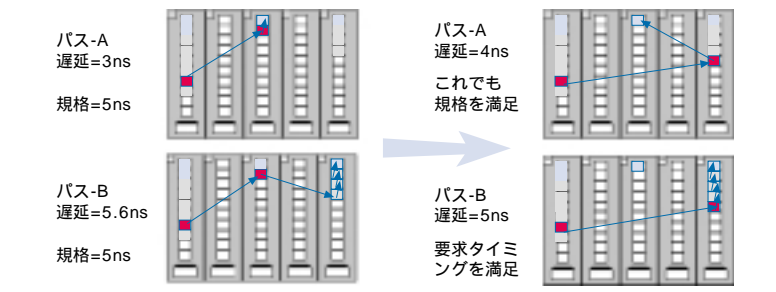
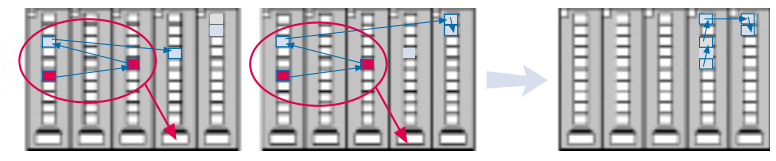


図5 共通のロジック・セルを同じLABにアサイン



## ギャップをブリッジ : dataBLIZZARD と Reliaspan

テレコム業界では、新世代の通信インタフェース規格が相次いで制定されており、最高の性能、高い利便性、そして汎用性の3つの要素が各製品に求められています。SBS Technologies社のConnectivity Products部門は、これらの要求に対応した2種類の画期的な新製品、dataBLIZZARD™とReliaspanを開発しました。

dataBLIZZARD製品ファミリーはPCI、PCIメザニン・カード(PMC) CompactPCIフォーマットを含んでおり、医療・イメージング、テレコミュニケーション、およびその他の工業用アプリケーションに使用できます。

dataBLIZZARDソフトウェアは高性能な「point-to-point」のコミュニケーション・インタフェースを実現しており、ソフトウェアの負担が最小、またはなしの状態、2つのコンピュータによるハードウェア・レベルでのデータ共有を可能にします(図1を参照)。このデータ共有を可能にしているdataBLIZZARDのPCI(Peripheral Component Interconnect)インタフェースは柔軟性の高い構成となっており、PCIバスによる最高の性能を実現しています。内蔵のDMA(Direct Memory Access)エンジンにより、80Mバイト/秒の持続転送レートでシステム間のデータ転送がサポートされています。プログラムされているI/Oの処理は2ms以内でリンクを完了させ、最長500mまでの距離をサポートしているdataBLIZZARDのギガビット・トランシーバを通じてデータの転送を行うことができます。dataBLIZZARD製品ファミリーはPCI、PCIメザニン・カード(PMC) CompactPCIフォーマットを含んでおり、医療・イメージング、テレコミュニケーション、およびその他の工業用アプリケーションに使用できます。

一方、SBS社のReliaspanは、これまでにない高速度と高スループットを実現するPCIおよびCompactPCIコンピュータ用の64ビット拡張システムであり、サーバに7個のPCIまたはCompactPCIのスロットを追加するI/Oの拡張機能を実現します。このReliaspanを採用することによって、ホスト・サーバにPCIまたはCompactPCIの追加スロットを必要に応じて設けることができるため、システムを簡単に拡張することが可能です。幅広く利用されているテレコム、コンピュータ・テレフォニ関連のアプリケーションでは、これらのシステムが設置されたときにホスト側でサポートでき

るカードの枚数に制限があったため、この拡張機能はこれらのアプリケーションに特に有効です。

これまで、SBS社はPCIバス・インタフェースを自社で設計していましたが、このdataBLIZZARDソフトウェアとReliaspanについては、IP(Intellectual Property)を採用して64ビット、66MHzのPCI仕様を実現する手法を選択しました。プログラマブル・ロジック・デバイス(PLD)とPCIファンクションのIPを採用することで、SBS社はデザインの柔軟性を失うことなく、製品を短期間で市場に投入することができました。

SBS社はプログラマブル・ロジックのベンダ、6社から提供されているコアを徹底的に評価しました。同社は、各社のコアに対して、フレキシビリティ、安定性、ドキュメント、デザイン再利用の許容性などを評価基準にしました。この評価作業の結果、SBS社は、64ビット、66MHzのPCIファンクションのデザインを提供していた6社の中からアルテラのFLEX 10Kファミリーを選択し、dataBLIZZARDとReliaspanの両製品に採用しました。アルテラのコアが採用されたのは、アルテラのコアだけが4個以上のベース・アドレス・レジスタを内蔵していたため、これは以前の製品用に書かれたソフトウェア・ドライバとの互換性を維持する上で重要なファクタでした。

SBS社Connectivity Products部門のWilliam Molyneux技術担当副社長は「ReliaspanとdataBLIZZARDソフトウェアはSBSにとって非常に大きなブレークスルーをもたらした。両製品は大量に出荷され、非常に長い製品ライフ・サイクルを実現することになるだろう。」と述べています。また、Molyneux副社長は「アルテラは、コアを使用したPCIブリッジに関して十分な経験を有している唯一のベンダであった。また、アルテラのコアによって、当社のリスクは大幅に軽減された。現在、アルテラは当社のベンダではなく、パートナーとなっている。アルテラはエンジニアリング・リソースを動員して、当社の開発にきめ細かなサポートを提供した。」とコメントしています。

Reliaspan CompactPCI拡張システムは3月に開催された「Computer Telephony Exposition」で発表されました。また、dataBLIZZARDファミリは5月末に開催されたインテル社の「Applied Computing Expo」で発表されました。dataBLIZZARDとReliaspanの両製品は、すでに複数の大手OEMプロジェクトへの採用が決定しています。

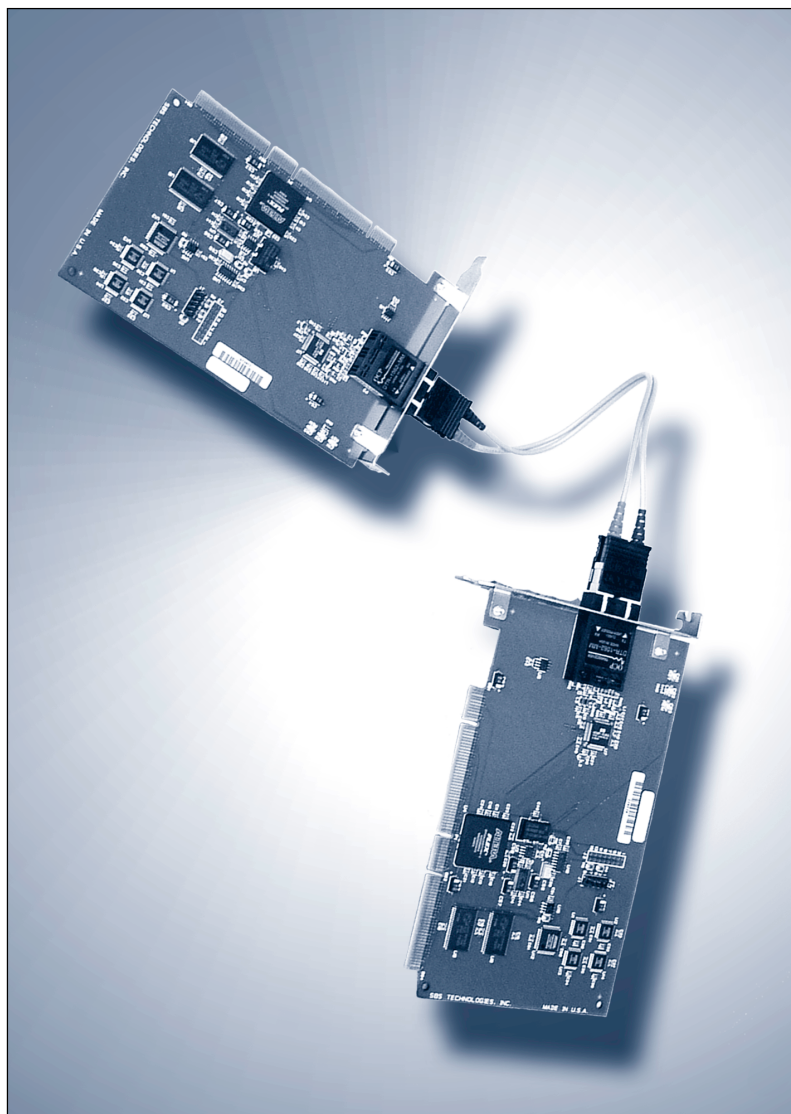
SBS Technologies社のConnectivity Products部門は、要求されるほとんどのアプリケーションで動作するように設計されたバス・ブリッジ、バス拡張ユニットなどを含む高性能、高信頼性のバス接続製品を供給しているトップ・メーカです。

SBS Technologies社は、VME、CompactPCI、エンベデッドPCI、およびカスタムのスタンドアロン・アプリケーションに対応した標準バスのエンベデッド・コンピュータ・コンポーネツを生産する業界のリーダ企業です。SBS社の製品群には、CPU (PentiumおよびPowerPC)ボード、入出力(I/O)モジュール、アビオニクス・モジュールとアナライザ、バス・アダプタ製品、拡張ユニット、リアル・タイム・ネットワークス、テレメンタリ・ボード、データ・アグイジション・ソフトウェア、DINレイル・エンベデッドPC、工業用コンピュータなどが含まれています。SBS Technologies社のエンベデッド・コンピュータ・コンポーネツは、一般民生市場および航空宇宙産業市場において、コミュニケーション、メディカル・イメージング、インダストリアル・コントロール、航空計測などの幅広いアプリケーションに採用されています。

SBS Connectivity Products  
1284 Corporate Center Drive,  
St. Paul, MN 55121-1245  
(651) 905-4700  
<http://www.sbs-cp.com>

日本での連絡先：  
株式会社ソリトンシステムズ  
〒160-0022  
東京都新宿区新宿 2-4-3  
TEL:03-5360-3811  
FAX:03-3356-6354  
<http://www.soliton.co.jp>

図1 dataBLIZZARDによる接続



## Nios アーキテクチャとカスタマイゼーション

### Nios エンベデッド・プロセッサの内部

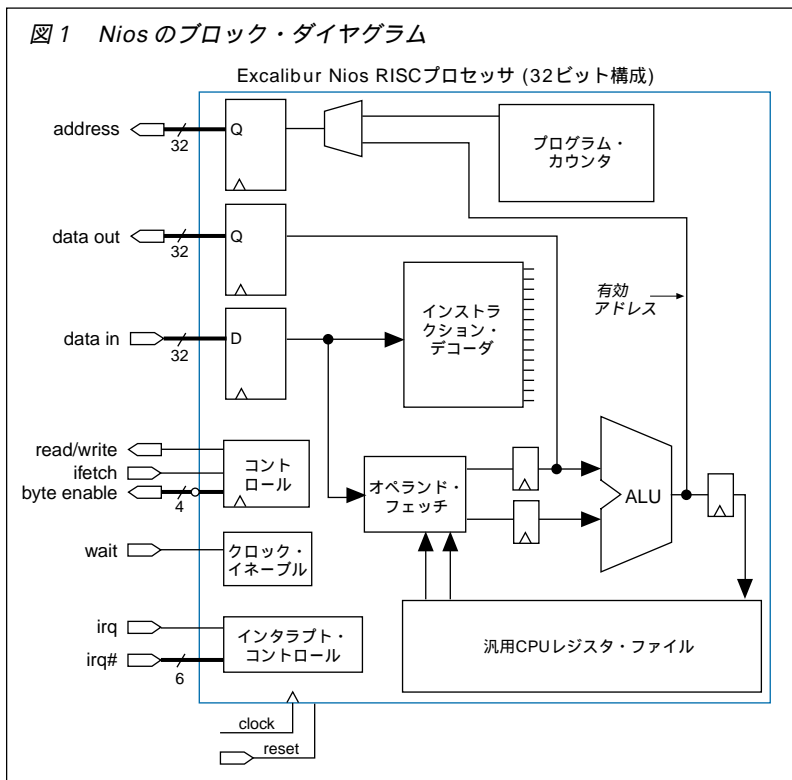
プログラマブル・ロジックをターゲットにして開発された業界初のRISCプロセッサ、Nios™ソフト・コア・エンベデッド・プロセッサには、幅広いニーズに対応できるように、多数のコンフィギュラブル・エレメントが組み込まれています。図1は、Nios エンベデッド・プロセッサの基本構成要素をブロック図で示しています。アドレスとデータ・バスの幅は、最大32ビットにコンフィギュレーションすることができます。エンベデッド・システム・ブロック(ESB)に構成されるレジスタ・ファイルは、32ビットのデータ幅で最大512ワードの深さまで設定することができます。また、Nios プロセッサのインタラプト・コントローラは、最大64までの内部または外部ソースをサポートしています。

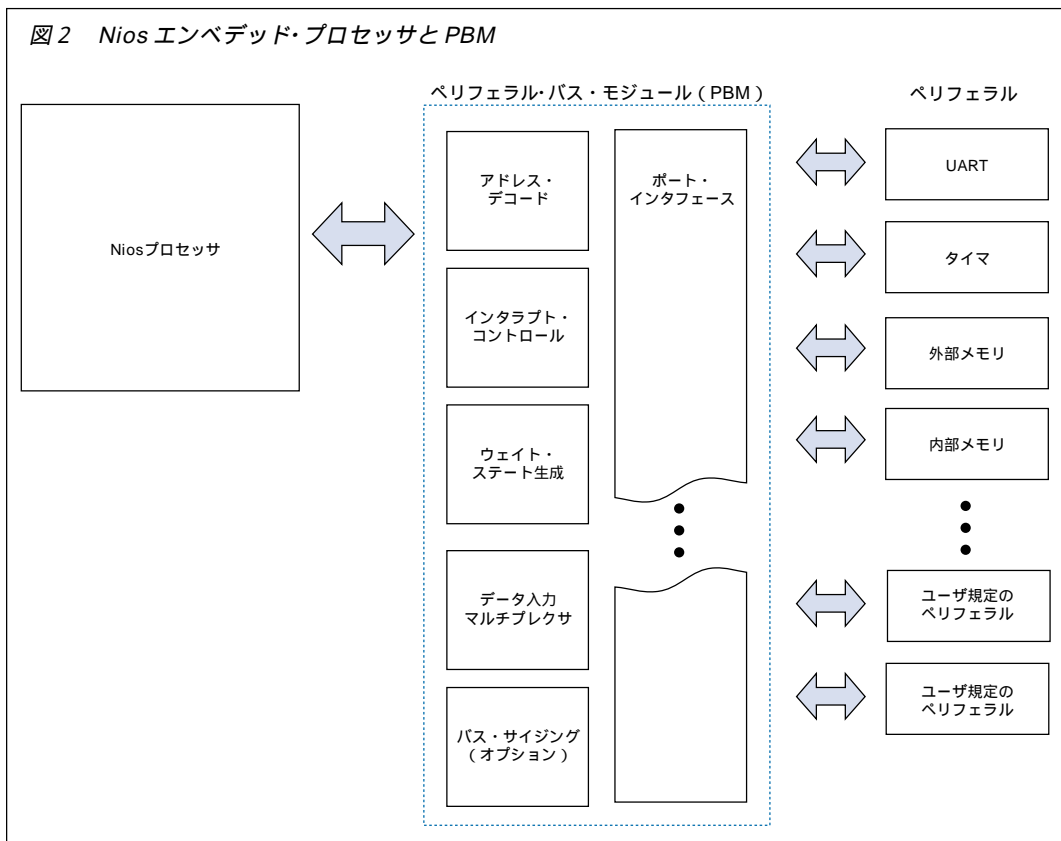
### Nios ペリフェラルの使用

Nios エンベデッド・プロセッサ用のExcalibur™開発キットには、UART(Universal Asynchronous Receiver/Transmitter)、カウンタ/タイマ、メモ

リ・コントローラ、パラレル/O(PIO)接続モジュールを含む複数のNios ファミリー用のペリフェラル・ファンクションが含まれています。SDRAMコントローラやSPI、PWM、10/100イーサネットMAC、IDEディスク・コントローラなどの他のペリフェラル・ファンクションも今年後半にリリースされる予定です。また、この開発キットにはMegaWizard® Plug-In Managerも含まれており、これらのNios ペリフェラルをコンフィギュレーションしてNios エンベデッド・プロセッサに接続する機能を提供しています。図2に示すように、ウェイト・ステート、インタラプト・コントロール、可変バス・サイズ、アドレス・デコーダは、すべてMegaWizard Plug-In Managerによってペリフェラル・バス・モジュール(PBM)内に自動的に生成されます。例えば、MegaWizard Plug-In Managerを使用してどのペリフェラルがNios エンベデッド・プロセッサに割り込みを与えるかを規定することができます。MegaWizard Plug-In Managerは割り込みを発生させるペリフェラルごとにインタラプト用のルック・アップ・テーブル(LUT)内にそのアドレスを自動的にアサインし、対応するインタラプト・コントロール・ロジックを生成します。また、各ペリフェラルが必要とするウェイト・ステート数を選択することができます。ペリフェラル自身がNios エンベデッド・プロセッサに対するウェイト信号を生成する指定を行うこともできます。どちらの場合でも、MegaWizard Plug-In Managerは、要求に応じたウェイト・ステート・ジェネレータを生成します。また、MegaWizard Plug-In Managerでは、必要に応じて、バス・サイズ・コンバータを使用して32ビットのペリフェラルを16ビットにコンフィギュレーションしたNios プロセッサに適合させることもできます。さらに、MegaWizard Plug-In Managerを使用してPBM内にアドレス・デコーダを構成し、要求されるチップ・セレクト信号を生成させることもできます。

PBMの生成に加え、MegaWizard Plug-In Managerでは、Nios エンベデッド・プロセッサとPBM間の接続、PBMとペリフェラル間の接続を定義することもできます。MegaWizard Plug-In Managerは、これらの接続情報、PBM、Nios プロセッサの設計情報を含んだVerilog HDLのファイルを出力します。Quartus™ソフトウェアを使用して、これらのデザイン・ファイルからAPEX™ 20KデバイスにNios エンベデッド・プロセッサのシステムを簡単に実現することができます。





Nios エンベデッド・プロセッサのカスタマイズ  
 ユーザ選択のパラメータによるカスタマイゼーションに加え、ユーザが独自のペリフェラルをデザインして Nios エンベデッド・プロセッサの機能を補完することもできます。これらのペリフェラルは APEX デバイスのリソースでサポート可能な範囲であれば、カスタムのメモリ・コントローラ、フィルタや FFT のような DSP ファンクション、エンコーダ/デコーダ、特定のインタフェースなど、あらゆる

タイプの実現可能です。ユーザ規定のペリフェラルは、アルテラのペリフェラルと同じように取り扱うことができます。これらに対しても MegaWizard Plug-In Manager を使用してインタラプトとウェイト・ステートを指定することができ、MegaWizard Plug-In Manager が自動的に要求されるロジックと接続用のファイルを生成します (ユーザが独自の接続を作成する選択も可能)。

## 現在のソフトウェア・バージョン

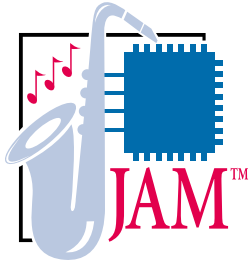
下記のオペレーティング・システムに対応した Quartus™ ソフトウェアの最新版、バージョン 2000.05 が入手可能になっています。

- Microsoft Windows 98
- Microsoft Windows NT
- Sun Solaris バージョン 2.6
- HP-UX バージョン 10.20 以降  
 ただし、バージョン 11.0 以降の HP-UX は、まだサポートされていません。

下記のオペレーティング・システムに対応した MAX + PLUS® II ソフトウェアの最新版、バージョン 9.6 が入手可能となっています。

- Microsoft Windows 95、Windows 98
- Microsoft Windows NT バージョン 3.51 以降
- Sun Solaris バージョン 2.5 以降
- HP-UX バージョン 10.20 以降  
 ただし、バージョン 11.0 以降の HP-UX は、まだサポートされていません。
- AIX バージョン 4.1 以降

## イン・システム・プログラミングの実現方法



アルテラは、IEEE Std. 1149.1 のJTAG (Joint Test Action Group)仕様に準拠したデバイスに対して、プラットフォームやベンダに依存しないプログラミングを可能にしたJam™ STAPL (Standard Test and Programming Language)フォーマットをサポートしています。イン・システム・プログラマビリティ(ISP)の機能は、4本の信号で構成されるJTAGインタフェースによって実現されます。また、Jam STAPLはPCまたはワークステーション上、ネットワークを通じた環境、あるいはエンベデッド・システムなど、あらゆる環境でプログラミング・ソフトウェアの実行を可能にしており、ソフトウェアの作成を簡略化します。

トラブルの発生しないISPを実現するためには、製品開発の段階で以下の点を考慮しておく必要があります。

- ボードのレイアウト JTAG チェインとの接続 TCK信号は、クロックの配線パターンとして扱う必要があります。エンベデッド・システムでは、TCKがプロセッサの汎用I/Oピンから供給されるため、この点が見逃されがちです。この配線パターン上での不完全な信号波形が、プログラミング・エラーの原因になっていることが多く見受けられます。
- エンベデッド・メモリの容量 フィールドでのアップグレード  
エンベデッド・システムの中でJam STAPL Byte-Codeソフトウェアを使用するときは、JTAGチェーン内のデバイスをプログラムするためのメモリ領域が必要になります。フィールドでのアップグレードに使用されるプロセッサとメモリを選択する前に、この点を十分に考慮しておくことが重要です。

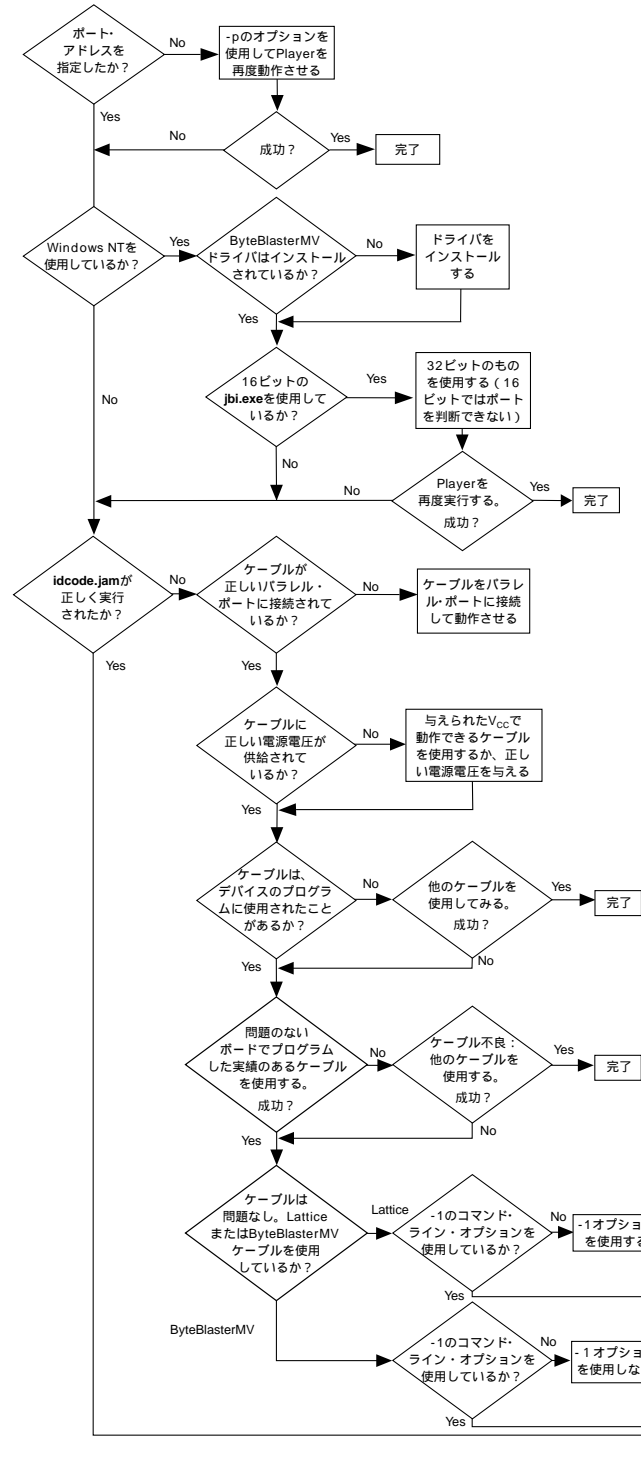
これらの詳細については、アプリケーション・ノート、AN 100 (*In-System Programmability Guidelines*) および AN 122 (*Using Jam STAPL for ISP & ICR via an Embedded Processor* 日本語版発行予定)を参照してください。

アプリケーション・ノート、AN 100とAN 122に記載された手順に従うことによって、ISPによるコストの低減と製品品質の向上を実現することができます。プログラミング時にエラーが発生した場合は、図1に示したフロー・チャートを活用することで、問題の発生原因を判断することができます。

アルテラのFTPサイト、ftp:\ftp.altera.com\pub\miscからJam STAPLファイル、idcode.jamをダウンロードすることができます。アルテラ・デバイスのJTAG IDCODEを読み出すときは、このファイルを使用します。IDCODEを読み出すことができない場合は、信号波形が正常になっていない状態や、JTAG信号の接続に問題があることが考えられます。このようなときは、図1のフロー・チャートを活用して、問題がどこで発生しているかを判断してください。

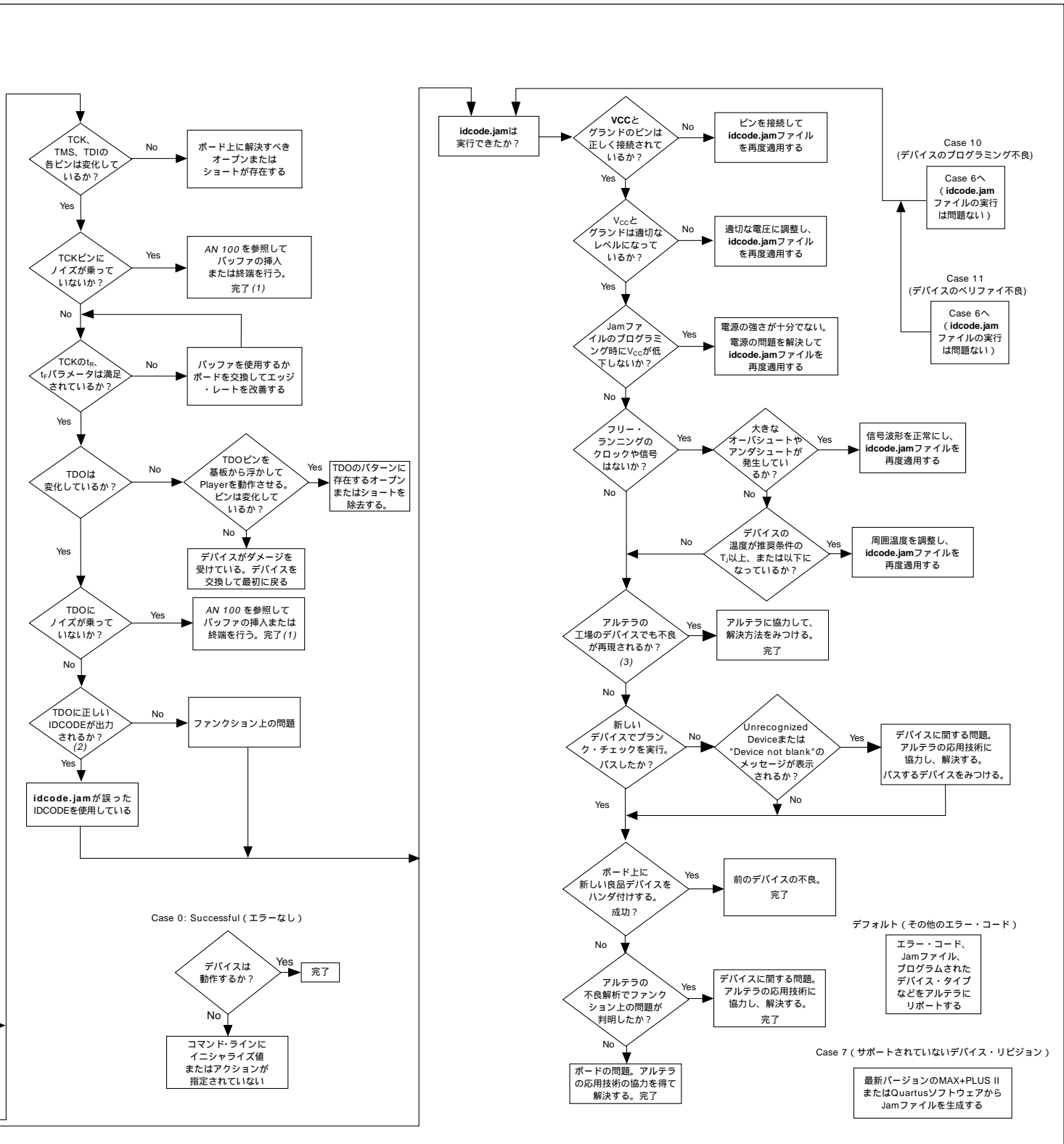
図1 Jam エラー・フロー・チャート

Case 6 - Unrecognized Device



注:

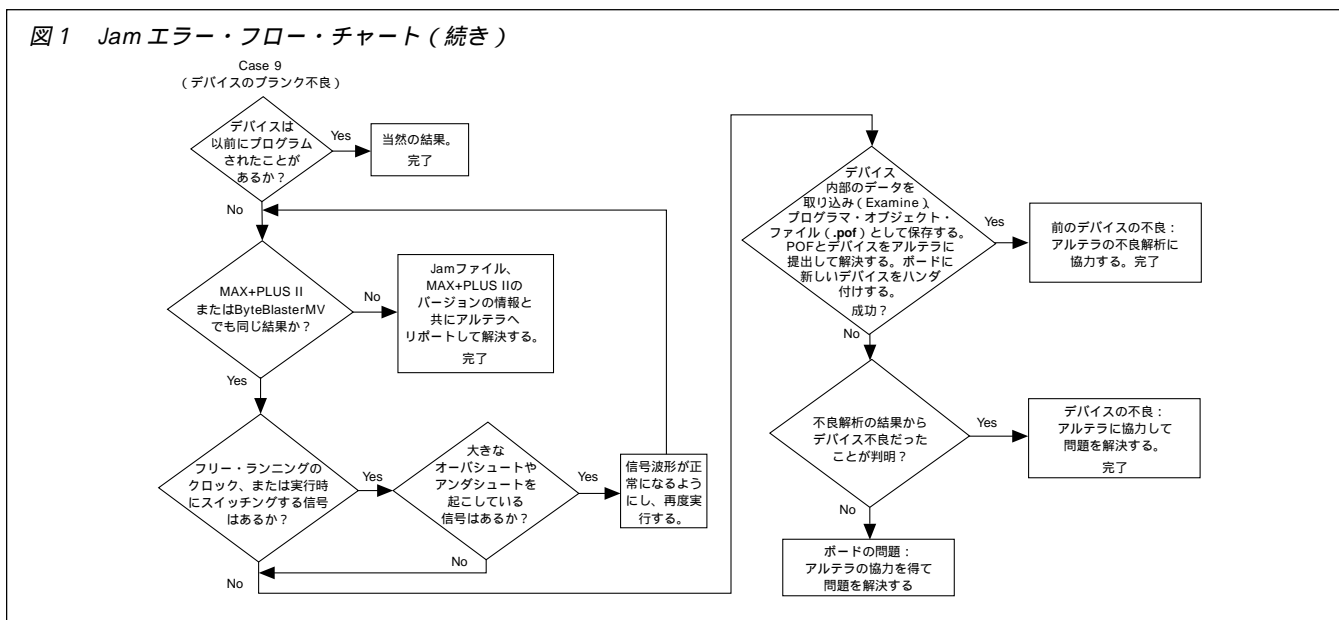
(1) アプリケーション・ノート、AN 100(*In-System Programmability Guidelines*)



(2) IDCODEについては、各デバイスのデータシートを参照。

(3) 日本アルテラまたは販売代理店のFAEに相談する。

イン・システム・プログラミングの実現方法  
(23 ページからの続き)



# Altera News

## ロー・コストのプログラマブル・ロジックが求められる コミュニケーション市場のニーズに対応した ACEX デバイス

通信機器の市場は、急速、そしてダイナミックな成長を続けています。デザイン・サイクルの短縮と業界標準規格の継続的な改定によって、高い柔軟性と「Time-to-Market」への要求がさらに高まっています。プログラマブル・ロジックは、このような急激な変化を続ける市場の製品を実現する上で、非常に重要な役割を果たします。しかし、大量生産されるアプリケーションでは、低価格化が要求されるため、プログラマブル・ロジック・デバイス (PLD) の採用がこれまで制限される傾向がありました。

現在、プログラマブルな機能が待望されていた低コストの通信関連アプリケーションに、魅力的な低価格ソリューションが実現されています。

アルテラは、新しい ACEX™ ファミリーを登場させ、このようなコスト上の障害を取り除きました。現在、プログラマブルな機能が待望されていた低コストの通信関連アプリケーションに、ACEX デバイスによる魅力的な低価格ソリューションが実現されています。さらに、ACEX デバイスは性能を犠牲にすることなく、コミュニケーション・システムに求められる多くの機能を実現することができます。ACEX デバイスはローコストで高性能なソリューションとなっており、コミュニケーション・システ

ムに使用されている ASIC や特定用途向け標準 IC (ASSP) の理想的な代替デバイスとなっています。

### ACEX デバイスのアプリケーション

コミュニケーション市場では、ネットワークやテレコミュニケーション分野の爆発的な成長によって価格競争の激しいアプリケーションが増大しており、これに伴って、量産にも対応できるローコストのプログラマブル・ロジック・ソリューションへのニーズが急速に高まっています。xDSL モデムやケーブル・モデムの成長率は、インターネットの普及によって驚異的な数字となっており、Dataquest社はこれらのモデムの年間平均成長率 (CAGR) が 141%にも達すると予想しています。ACEX デバイスはこれらのアプリケーションに完全にフィットした製品であり、これまで ASIC や ASSP で実現されていたプロトコル処理やトランシーバ・モジュールなどのブロックを置き換えることができます。サテライト・オフィスに対する高速通信チャネルへの要求が高まっているため、リモート・アクセス・コン



セントレータやアクセス・ルータなども、ACEX デバイスの採用が最適となるアプリケーションです。レーザ・プリンタ、パソコン周辺機器、ローコスト・スイッチなども、コミュニケーション関連の数多くのアプリケーションの中で ACEX デバイスの利点が発揮されるほんの数例にすぎません。

ACEX デバイスの価格は ASIC に匹敵するレベルになっており、設計者を ASIC の実現に消費される貴重な時間や費用から解放します。さらに、ACEX デバイスは迅速な「Time-to-Market」や柔軟性に富んだデザインの実現、リプログラマビリティ、最新の PLD 開発ツール、「ドロップ・イン」感覚で使用できる IP (Intellectual Property) など、PLD が ASIC よりも優れている他のすべての利点も実現しています。ACEX デバイスは、デザインを ASIC に変換するときに発生する初期開発費用 (NRE)、仕様変更や設計ミスによって ASIC を再設計するリスク、これらの変換作業や設計に要する時間も解消します。また、ACEX デバイスに内蔵されている最新の幅広い機能によって、デザイン内に柔軟性に欠ける特殊な ASSP を使用する必要性も解消されます。ACEX デバイスの内部には、PLL (Phase-Locked Loop)、FIFO (First-In First-Out)、RAM、PCI (Peripheral Component Interconnect) およびその他の最新標準バス・インタフェースなどを構成することができます。

#### ACEX デバイス・ファミリ

ACEX ファミリは幅広いデバイスで構成され、これらのデバイスによって多様な使用環境と新世代の製造プロセスに対応したプログラマブル・ソリューションが実現されます。ACEX ファミリの製品は継続的にリリースされる予定になっており、最初に 2.5V 動作の ACEX 1K ファミリが現在出荷中となっています。次に、1.8V 動作の ACEX 2K ファミリが、今年後半にリリースされる予定です。ACEX ファミリは常に最新のプロセスで製造され、多様な動作電圧をカバーする予定であり、さらに微細な製造プロセスの採用により、コストと消費電力を低減しながら、性能を向上させていきます。ACEX ファミリは、今後も多様なアーキテクチャを採用し、多様な機能を実現していきます。

#### ACEX 1K デバイス

ACEX 1K デバイスは現在入手可能になっています。このローコストな 2.5 V デバイス・ファミリでは、価格、性能、そして機能が最適化された形で組み合わせられています。低価格に加え、ACEX 1K デバイスの大きな特長のひとつが、0.22 ミクロン・プロセスのトランジスタと 0.18 ミクロンのメタル・レイヤ・インタコネクタを融合させたハイブリッド・プロセスの採用です。この組み合わせを採用するこ

とによって、ダイ・サイズを標準的な 0.22 ミクロン・プロセスの場合よりも縮小しながら、要求される 2.5V の動作電圧が維持されています。ダイ・サイズの縮小は、ウェハーあたりのダイの数を増加させることによるコストの低減と、一定の欠陥密度での歩留まりの改善という、大きな 2 つの利点をもたらします。さらに、アルテラが特許を保有するレダクション回路技術によって、不純物による影響を受けたダイを修復して、完全動作するように再生することができるため、歩留まりがさらに改善され、コストが低減されます。

4 種類のデバイスで構成されている ACEX 1K ファミリは、10,000 ~ 100,000 標準ゲート (56,000 ~ 257,000 最大システム・ゲート) までの範囲の集積度をカバーしており、115MHz を超える標準システム・スピードの高い性能を実現します。ACEX 1K デバイスは、64 ビット / 66MHz の PCI 仕様に準拠するように設計されています。これによって、オープン・システムのデファクト・スタンダードとなり、またエンベデッド・システムの標準 I/O としても急速に採用が進んでいる PCI バス・インタフェースを採用した高性能コミュニケーション・システムとの互換性が確保されます。ACEX デバイスには、エンベデッド PLL が内蔵されています。この PLL によって実現される ClockLock 回路と ClockBoost 回路から複数のクロック信号を同時に生成することができるため、オン・チップで複数のクロック・ドメインを作成することや、デバイス使用効率の改善、ボード全体でのクロック・マネージメントが実現可能になります。エンベデッドのデュアル・ポート・メモリ・ブロックも大幅に強化されており、高速で効率的な RAM、ROM、デュアル・ポート RAM、FIFO を非常に簡単に構成することができます。

EP1K30、EP1K50、EP1K100 の各デバイスは、薄型クワッド・フラット・パック (TQFP)、FineLine BGA™ パッケージを含む幅広い最新パッケージで現在出荷中となっています。また、EP1K10 は今年第 3 四半期 (7-9 月期) から出荷が開始され、大量の発注には \$3.5 ドルの単価が適用される予定です。

#### ACEX 2K デバイス

ACEX 2K デバイスは、2000 年後半に入手可能になる予定です。これらのデバイスは最新の 0.18 ミクロン・プロセスで製造される予定になっており、アルテラの最新プロセス・テクノロジの採用による高い歩留まりと 1.8V の動作電圧での低価格化が実現されます。ACEX 2K デバイスは 20,000 ~ 150,000 標準ゲート (75,000 ~ 400,000 最大システム・ゲート) までの範囲の集積度をカバーし、最新の標準 I/O 規格や、さらに高い機能の PLL を含む豊富な機能をサポートする予定です。

## アルテラの新しいSignalTap Plus が チップ内部と外部の同時デバッグ機能を実現



ディジタル・デザインが問題なく完了したかどうかは、システム全体の動作で判断されます。ただし、プログラブル・ロジック・デバイス (PLD) がさらに高集積化、高速化されるに伴って、回路がさらに複雑になり、デバッグが困難になるという課題が発生してきました。アルテラが新たに開発した SignalTap™ Plus システム・アナライザは、こうした課題に対応した新しい解析ツールです。PLD とボード・レベルの信号との間の境界を越えた解析機能を実現した SignalTap Plus システム・アナライザは、信号の動作をシステム全体で捕らえ、デバッグに要する時間を短縮します。図 1 は、SignalTap Plus アナライザとテストされるシステムとの関係を示しています。

SignalTap Plus システム・アナライザは次世代の PLD 用デバッグ・ツールとなっており、オン・チップのデバッグ機能に 32 チャンネルの外部ロジック・アナライザを付加したシステム・レベルのシグナル・アキュイジション機能を実現しています。この新しいシステム・アナライザは PLD の内部ノードからの信号とボード・レベルの外部ノードからの信号を同時にキャプチャすることができ、双方の信号を時間相関のとれた単独のディスプレイ上に表示することができます。

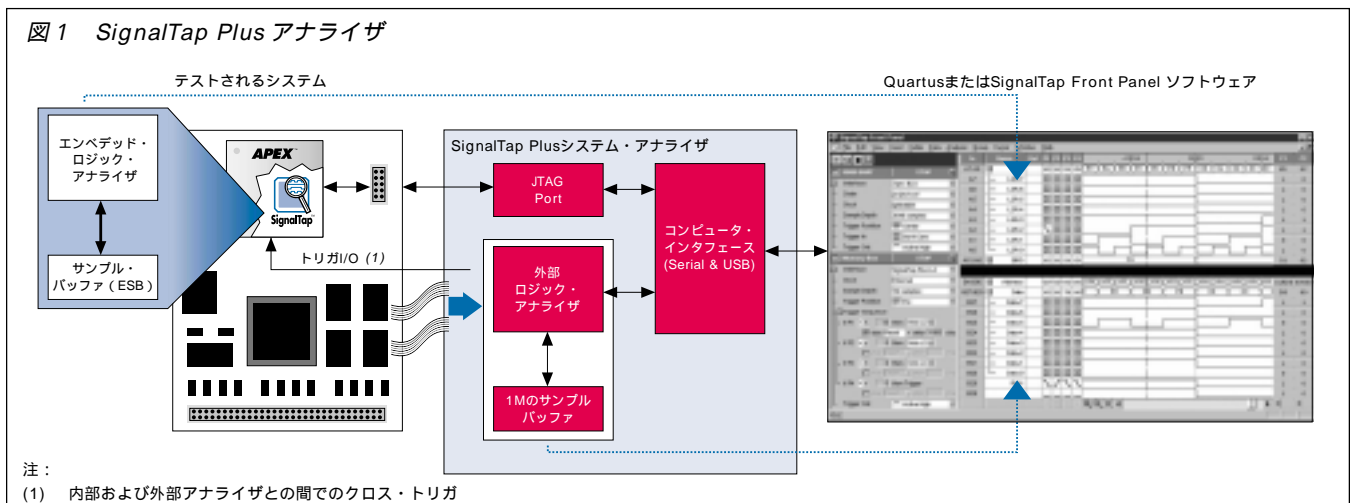
### 内部および外部ロジック・アナライザを統合

これまで、数千ドル・クラスのベンチ・トップ型ロジック・アナライザには内部 (PLD) と外部 (ボード・レベル) の双方に対するロジック解析を結合させたシームレスなインタフェース機能は提供されて

おらず、双方のデータを共通の時間相関のとれた画面上で表示する機能も提供されていませんでした。SignalTap Plus システム・アナライザは 2 個の強力なロジック・アナライザで構成され、そのひとつは PLD の内部にエンベデッドに実現され、もう一方はボード・レベルの信号と接続された形で実現されます。これによって、一方のアナライザでキャプチャした信号の動きに応じてもう一方のアナライザにトリガを与えることが可能になり、トラブルの発生要因の追跡やシステム・レベルでの解析を効率的に行うことができます。

PLD の内部信号へのアクセスは、1999 年の 6 月に発表され、現在の Quartus™ 開発システムの中に含まれている SignalTap エンベデッド・ロジック・アナライザによって行われます。このエンベデッド・ロジック・アナライザは、システム上でデバイスを実スピードで動作させながら、PLD の内部ノードからの信号をキャプチャします。キャプチャされたデータはエンベデッド・システム・ブロック (ESB) にストアされ、デバイスをコンフィギュレーションするときにも使用される JTAG ポートを通じてチップの外部に送出されます。このエンベデッド・ロジック・アナライザのデザインへの追加は、キャプチャするノードをリストから選択し、コンパイルするだけの簡単な作業で完了します。この場合、ハードウェア記述言語 (HDL) のソース・コードを変更する必要はなく、Quartus ソフトウェアがキャプチャする信号が選択されているデザインをコンパイルするときに自動的にエンベデッド・ロジック・アナライザをデバイス内部に構成します。

図 1 SignalTap Plus アナライザ



## 新しいベンチ・トップ解析機能

SignalTap Plus システム・アナライザは32チャンネルの外部ロジック解析機能を備えており、多くのベンチ・トップ型ロジック・アナライザと同等の性能を最小のコストで実現しています。

SignalTap Plus システム・アナライザは166MHzの同期および非同期のサンプル・レートをサポートしており、高速信号のキャプチャにも十分に対応できるスピードとなっています。イベント・カウント、パターン持続期間やトリガ・タイムアウトの検出機能を内蔵した強力な4レベルのトリガ・シーケンスにより、イベント・シーケンスに対応した条件でアナライザをトリガすることができます。キャプチャされる信号には、チャンネルあたり1Mバイトのサンプル・バッファが設けられているため、コミュニケーションの信号解析で重要な長い期間にわたる信号の観測も可能です。

## SignalTap Front Panelソフトウェア

新たに開発されたSignalTap Front Panelソフトウェアは、内部および外部ロジック・アナライザの双方をサポートしています。この新しいソフトウェアはQuartus開発システムのバージョン2000.05に組み込まれており、完全な開発環境とデバッグ環境を提供しています。SignalTap Plus アナライザのデバッグ機能だけが必要なときは、Windows 95/98、またはWindows NT のオペレーティング・システムのPCまたはラップトップ・コンピュータでSignalTap Front Panelソフトウェアをスタンドアロンのアプリケーションとして動作させることができます。

SignalTap Front Panelソフトウェアは、内部および外部ロジック・アナライザのコントロール機能とデータ表示機能を持っています。トリガ条件、サンプルの深さ、サンプル・レートの設定は、双方のアナライザに対して行うことができます。サンプリングされたデータは波形またはタブラ形式のリストで観測することができ、信号は共通のトリガ・ポイント、または共通のクロックを基準にした時間的な相関がとれた状態で表示されます。ロジック・アナライザのトリガ条件を指定するとき、または指定したデータの位置を特定してハイライトするときには、4種類の専用トリガ・パターンが使用可能です。

SignalTap Plus システム・アナライザに取り込まれたデータはe-mailを通じて複数の技術者で共有することもでき、アキュイジション用ハードウェアなしの状態でもSignalTap Front Panel ソフトウェアを使用したオフライン解析を実行することができます。SignalTap Front Panelソフトウェアは、アルテラのwebサイト、<http://www.altera.com>から無償でダウンロードすることができます。

SignalTap ソリューションを活用することで、デバッグのデバッグと解析が容易になります。SignalTap Plus システム・アナライザはSignalTap エンベデッド・ロジック・アナライザのすべての機能を実現しているだけでなく、ボード・レベルの信号の観測も可能にしています。SignalTap Front Panelソフトウェアを使用することによって、エンベデッド・ロジック・アナライザと外部ロジック・アナライザの双方をコントロールすることができます。SignalTap Plus システム・アナライザは、システムのデバッグ時間と製品の市場投入までの期間を短縮するパワフルな解析ツールです。

*SignalTap Plus システム・アナライザに取り込まれたデータはe-mailを通じて複数の技術者で共有することもでき、アキュイジション用ハードウェアなしの状態でもSignalTap Front Panelソフトウェアを使用したオフライン解析を実行することができます。*

## 製造中止品最新情報

アルテラは製造中止品に関する情報を記載したアルテラ連絡通知書 (ADV: Altera Distributes Advisories) と製造中止連絡書 (PDN: Product Discontinuance Notices) を発行しています。特定デバイスのADVまたはPDNの入手が必要なときは、日本アルテラの販売代理店へご連絡ください。一部のPDNとADV、および全製造中止品のリストは、アルテラのwebサイト、<http://www.altera.com>からも入手することができます。

ます。各半導体メーカーの製造中止品を専門に供給しているロチェスタ・エレクトロニクス社は、多数のアルテラの製造中止品を供給しています。詳細については、ロチェスタ・エレクトロニクス社のwebサイト、<http://www.rocelec.com>をご覧ください。同社の日本代理店、小松エレクトロニクス(株)(電話: 03-3573-6828)へお問い合わせください。

## DCM Technologies 社の CoreX-V10: さらに高い性能の仕様に対応した高速メガファンクション



PCI (Peripheral Component Interconnect) ローカル・バスの規格は、プロセッサとそのペリフェラル・デバイスとの間のデータのフローを高速化することによってサーバの性能を改善する手段として、1992年に制定されました。それ以来、ペリフェラル・デバイスに要求されるバンド幅は継続して増大してきています。Gigaビット・イーサネット、ファイバ・チャネル、Ultra-3 SCSIなどの高速I/Oテクノロジーには、さらに高速のインタコネク・バスが要求されます。PCI-Xアーキテクチャは、このような重要な要求に対応するために設計されました。PCI-Xは64ビット・バス上で133MHzのスピードで動作し、レジスタ・レジスタ・プロトコルを含む多くの機能をサポートしています。これらの機能はシステム・バスの性能を強化し、要求される内部タイミングを通常のPCIよりも簡単に達成させます。

DCM Technologies社はPCI-Xアーキテクチャを実現しているリーダ企業であり、一般市場向けのPCI-Xファンクションのコア、CoreX-V10を他社に先駆けて供給しています。DCM Technologies社は、コミュニケーションやネットワーク用の多くのアプリケーションと共に、プログラマブル・ロジック・デバイス(PLD)をターゲットにしたPCI-Xファンクションを開発しました。

### 市場の要求に対応したPCI-Xの性能

CoreX-V10ファンクションは最初のPCI-Xソリューションとなっており、高速アプリケーションに対して最高1.0Gバイト/秒までのスピードとPCI-Xバスとアプリケーション・インタフェース間に柔軟性に富んだインタフェースを実現する133MHz、64ビットのPCI-Xバスのイニシエータ/ターゲット・ファンクションとなっています。CoreX-V10は同期型のアプリケーション・インタフェースで32ビット、および64ビットのバス幅をサポートします。このファンクションはアルテラのAPEX 20KEデバイスに最適化されており、コンフィギュレーション、メモリ、I/Oの各トランザクションをサポートしています。このPCI-Xファンクションは、アルテラのAPEX 20KEデバイス上で66MHzのスピードで動作します。

DCM Technologies社は、CoreX-V10ファンクションがPCI-X仕様のrevision 1.0およびPCI Local Bus Specification, Revision 2.2に準拠することを保証するため、厳密なテストを実施しました。また、このコアにはテスト環境もバンドルされており、ファンクションの適格性とプロトコル違反をチェックすることができます。このCoreX-V10ファンクションについては、PCI-XとPCIに精通した同社の30名の技術者によるサポートが提供されます。

IPコア・デザインのリーダとして、DCM社はこのファンクションを数多くのユーティリティとテスト環境と共に供給しています。このCoreX-V10ファンクションには、以下のものが含まれています。

- CoreX-V10 (ネットリスト、またはPLDアプリケーション用のソース)
- 下記で構成されるセルフ・チェックPCI-Xテスト・ベンチ
  - 自動テスト・ケース・ジェネレータ (TCG)
  - PCI-X モニタ、アービタ
  - バス・ファンクショナル・モデル (BFM)
- セットアップ、合成、検証、ドキュメント用 CoreX-V10 wizard
- 3日間のオン・サイト・トレーニングおよびサポートと、電話および電子メールによる継続サポート

このファンクションを現在開発中のプロジェクトや将来開発予定の製品に採用される場合は、DCM Technologies社に連絡して迅速なサービスとサポートを受けてください。

DCM Technologies  
39675 Cedar Blvd., #220  
Newark, CA 94560  
(510) 623-8826  
<http://www.dcmtech.com>

日本での連絡先  
ジャスディック・パーク株式会社  
〒102-0075 東京都千代田区三番町 5-24  
山路三番町ビル4F  
電話 : 03-5214-3351  
Fax : 03-5214-3352

### CoreX-V10の特長

CoreX-V10には、以下のような特長があります。

- 特定のペリフェラルの要求に対するカスタマイズが可能な柔軟性の高い汎用インタフェース
- PCI-X revision 1.0 および *PCI Local Bus Specification, Revision 2.2*に完全準拠
- APEX 20K アーキテクチャに最適化
- イニシエータおよびターゲットとして、1Gbyte/sec.までのバースト・モード・スピードをフル・サポート
- アルテラのpci\_cファンクションに類似した柔軟性の高い汎用インタフェース
- 完全同期設計

### イニシエータの機能

イニシエータは以下の機能を備えています。

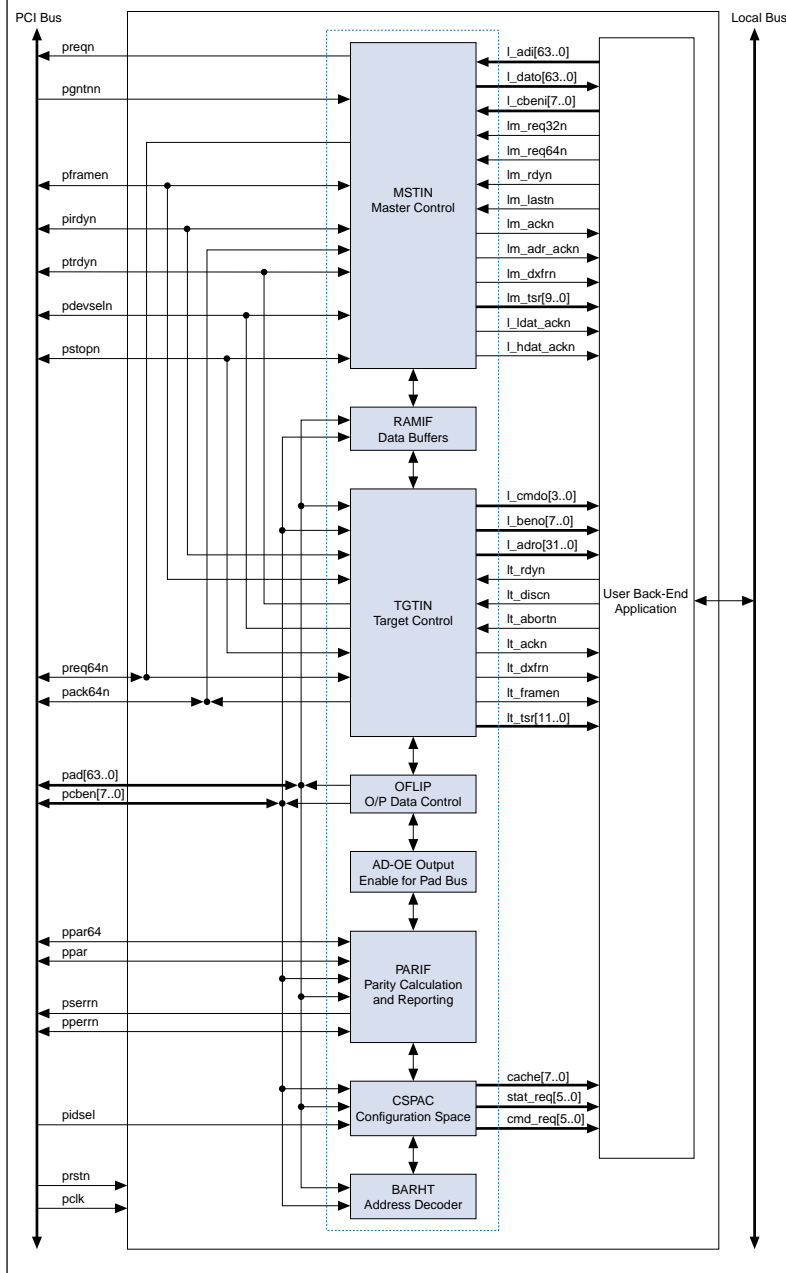
- コンフィギュレーション・リード/ライト、メモリ・リード/ライト・ブロック、スプリット・コンプリッション(完了) I/Oリード/ライトを含むPCI-Xコマンドの発行
- コンフィギュレーション・リード/ライト、メモリ・リード/ライト、I/Oリード/ライト、メモリ・ライト・アンド・インバリデイト(MWI)、メモリ・リード・ライン(MRL)を含むPCIコマンドの発行
- 32ビットまたは64ビット・サイクルの開始
- デュアル・アドレス・サイクル(DAC)を使用した64ビット・アドレッシングの開始
- PCIバス・パーキング
- PCI-Xモードのコンフィギュレーション・サイクルに対するアドレス・ステッピング
- パリティの生成とチェック

### ターゲットの機能

ターゲット・コントロール部は以下の機能を備えています。

- タイプ「ゼロ」のコンフィギュレーション・スペース
- PCI-Xでの"B"のデコードとPCIモードでの低速化
- リスト・ポインタ機能のサポート
- パリティ・エラー検出
- メモリのサイズとタイプの調整機能(64ビットのメモリBARと32ビットのI/O BAR)のある最大6個までのベース・アドレス・レジスタ(BAR)
- リトライ、ディスコネクト、アボートのリクエストが可能なユーザ・ロジック・インタフェース

図1 CoreX-V10のブロック図



- 32ビットおよび64ビットのトランザクションに応答
- 64ビットのアドレッシング機能
- スプリット・サイクルの完了時およびイニシエータ・ルールに従ってイニシエータ(マスタ)に変化

## True-LVDS ソリューションが 840Mbps のデータ転送レートを実現



次世代のコミュニケーション・システムのデザインに要求される帯域幅と I/O 性能は、増加の一途をたどっています。これらのニーズに対応する方法としては、アルテラの APEX™ 20KE デバイスに実現される True-LVDS™ ソリューションと、他のプログラマブル・ロジック・デバイス (PLD) で実現される LVDS (Low-Voltage Differential Signaling) をエミュレーションするソリューションとがあります。LVDS の標準 I/O 規格は、その高い雑音余裕度と性能、そして低消費電力特性からコミュニケーション関連のアプリケーションへの採用が急速に進展しています。

この記事は、アルテラの APEX 20KE デバイスに内蔵されている専用回路による True-LVDS ソリューションと、他社のプログラマブル・ロジック・デバイス (PLD) で実現される LVDS 標準 I/O 規格を比較した結果をまとめたものです。APEX 20KE デバイスはプログラマブル・ロジックの市場でもっとも強力な LVDS ソリューションを実現しており、下記のような優れた特長を備えています。

- チャンネルあたり 840M ビットの帯域幅
- 専用の LVDS 回路を内蔵
- Quartus™ ソフトウェアのプッシュ・ボタン操作によるコンパイル・サポート
- 慎重な評価結果に基づいて決定されたオン・チップ LVDS ピンの配置
- スキュー除去回路を内蔵
- 大幅な低消費電力化を実現
- ボード・レベルでのデザインを簡略化

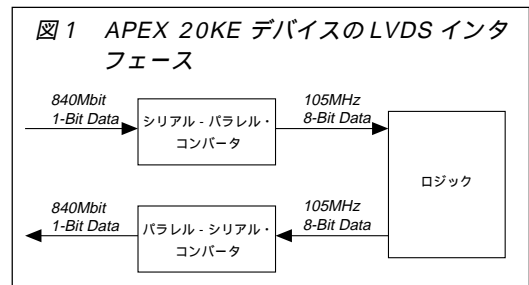
### LVDS の比較

APEX 20KE デバイスに構成される True-LVDS ソリューションは、PLD 業界の中で唯一、専用の LVDS 回路を使用して実現されています。この専用回路は LVDS インタフェースの実現に多岐に役立ち、デバイス・レベルで発生する複雑なタイミング問題も最小のデザイン・ワークで処理することができます。

例えば、APEX 20KE デバイスには LVDS 専用のトランスミッタとレシーバ回路が内蔵されており、これらは複数のチャンネルをサポートするように設計されています。これらの専用回路によって、LVDS のタイミング規格への準拠が確実に実現され、適切な差動信号が生成されます。また、内蔵の専用回路に

よって、高速の LVDS 信号を規定されたデータ・レートに変換するために必要なシリアル - パラレル変換とパラレル - シリアル変換も実行され、これらの機能がデバイス上で簡単に実現されます。他の PLD はこのような専用の LVDS トランスミッタやレシーバ回路を内蔵していないため、ロジックと RAM を使用してこれらの回路機能をエミュレートする必要があり、これによってユーザ・デザイン部の構成に必要なデバイス内部の貴重なリソースがすぐに消費され、使用可能なメモリの容量も大幅に減少してしまいます。さらに、専用の回路を使用しない場合は、データの高速スループットを達成することも困難になります。

APEX 20KE デバイスに内蔵されている PLL (Phase-Locked Loop) は、多様な LVDS をサポートしており、APEX 20KE デバイスには、LVDS の標準 I/O 規格を 1 x、4 x、7 x、8 x のデータ転送モードで実現することができます。APEX デバイスには、図 1 に示されているような、840Mbps (Megabits per second) のスピードをサポートする複数の LVDS チャンネルを簡単に実現することができます。



高速の LVDS インタフェースは、DWDM (Dense Wave Division Multiplexing) システムのような、複雑なコミュニケーション関連のアプリケーションで重要な役割を果たします。最近の DWDM では、チャンネルあたり 622Mbps での高品質伝送を維持するためにオプティカル・コンポーネントの使用が必要になっています。アルテラは、ローコストのオプティカル・コンポーネントの使用によって発生するエラーを修正するためのリード・ソロモン・フォワード・エラー・コレクション (FEC) の IP (Intellectual Property) ファランクションも供給しており、このような IP の活用によるシステム全体のコストを低減するソリューションも提供しています。

このIPファンクションは、FECデータをSONET OC-12のデータに加えますが、これによってLVDSに必要な帯域幅は666Mbpsまで増加します。APEX 20KEデバイスによるTrue-LVDSソリューションは、この帯域幅の追加要求も簡単にサポートすることができます。これによって、アルテラのTrue-LVDSソリューションは、テラ・ビット対応のルータ、スイッチ網、企業向けストレージ・ネットワーク装置などのコミュニケーション関連のアプリケーションに対しても最適な価格と最高の性能を実現します。

APEX 20KEデバイスにはスキューの除去機能を実現する専用回路も内蔵されており、ボード・レベルのスキューの補正とデータの正確なキャプチャが行われます。この専用回路の追加により、アルテラのTrue-LVDSソリューションはさらに強力なものになっています。

他のPLDにはこのような専用回路が内蔵されていないため、設計者がプリント基板(PCB)上の配線パターンを長さを調整してクロックとデータ・チャンネルのタイミングを合わせる必要が生じることがあり、このような場合には非常に煩雑で困難な作業が要求されます。

#### True-LVDSの実現

APEX 20KEデバイスによるTrue-LVDSソリューションは、Quartus開発ツールでサポートされているプッシュ・ボタン操作によって簡単に実現することができます。Quartusソフトウェアは、altlvds\_rxとaltlvds\_txの2つのメガファンクションを使用して、LVDSのトランスミッタとレシーバをダイレクトに構成します。これらのメガファンクションをデザイン内に組み込むことによって、LVDSインタフェースのプッシュ・ボタン形式でのコンパイルが可能になり、840Mbpsまでの周波数をサポートした複数のLVDSチャンネルを構成することができます。そして、APEX 20KEデバイスに内蔵されたLVDSの専用回路によって、データ転送に要求されるすべてのタイミングが適切に実現されます。

他のPLDでは、要求されるすべてのタイミングを満足させるために長い時間とかなりの努力が必要になります。LVDSの機能をエミュレーションした回路の実現は非常に困難な作業であり、他社のFPGA (Filed-Programmable Gate Arrays) ではデバイス内部のトランスミッタとレシーバの配線をマニュアルで行う必要が生じることもあります。さらに、トランスミッタとレシーバは関連するクロックとデータ・チャンネルに発生する伝播遅延時間によって大きな影響を受けます。このため、これらの遅延時間がすべてのプロセス、電圧、温度(PVT)の変動に対しても確実に適合するようになっていなければなりません。

#### ボード・レベルの問題

APEX 20KE デバイスは、16チャンネルの各LVDS出力に純粋な差動出力ドライバ回路を内蔵しています。この専用ドライバ回路の内蔵によって、低消費電力と低EMI (Electro Magnetic Interference) 特性、そして高い雑音余裕度という利点が得られます。このような専用の出力ドライバ回路を内蔵していない他社のPLDでは、消費電力が増大し、ノイズやEMIが減少せず、むしろ増加する結果となります。

ピンの配置によっては、ボード・レベルのデザインでさらに困難な問題が発生します。APEX 20KEデバイスでは、32ページの図2に示されているように、各LVDSチャンネルに対応した2本のピンがデバイス・パッケージの外側のエッジ部分に隣接した位置に配置されています。このようなピン配置によって、2本のチャンネル信号で配線パターンの長さが等しくなっていないときに発生するボード・レベルのスキューが最小に抑えられ、配線パターンのレイアウトを簡単に行えるようになります。他社のPLDでは、このような要因が考慮されていない場合があり、同じチャンネルの2本ピンが遠く離れた位置に配置されることがあります。このように2本のピン間に距離があると、ボード・レベルのスキューの発生によって大きな差動インピーダンスが生成される可能性があります。このような場合、ボードの設計者が長さの等しくなっていない配線パターンをマニュアルで補正する必要に迫られます。

ピンの配置が不適切になっていると、同相雑音除去比(CMRR)が低下して、LVDSインタフェースの性能を劣化させます。LVDS信号はLVDSピン上の不平衡ノイズに敏感であるため、このような現象は非連続的に発生します。したがって、2本の信号配線パターンが同じ長さになっていないと、十分な雑音余裕度が得られない結果となります。

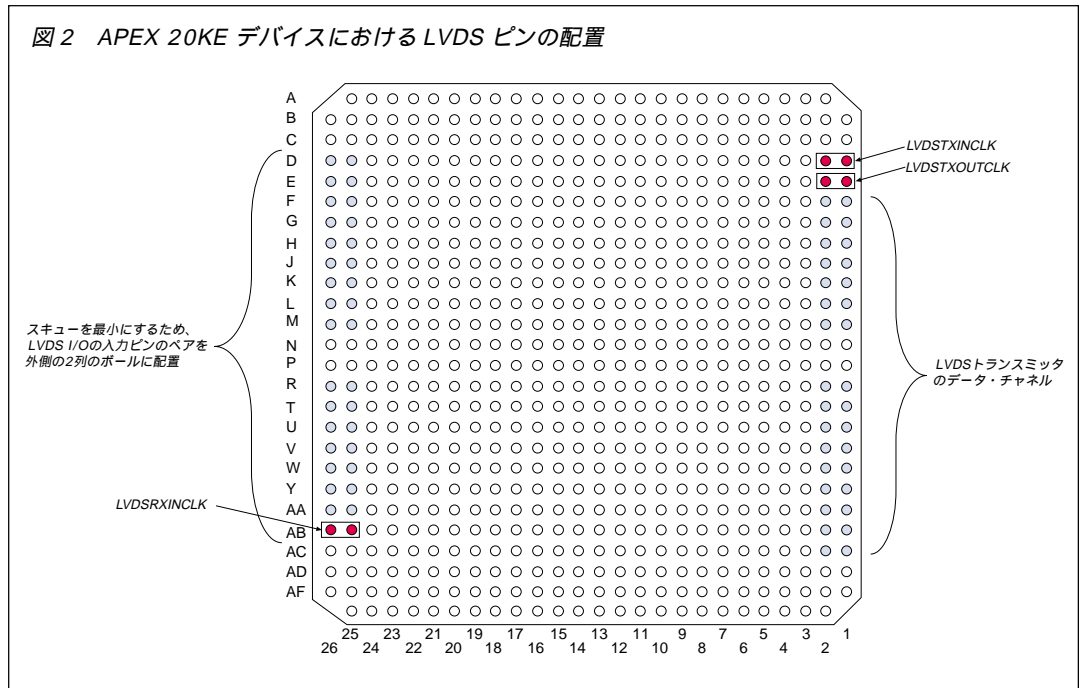
#### まとめ

APEX 20KE デバイスはLVDSの標準I/O規格に対する包括的なTrue-LVDSソリューションを実現しており、LVDSインタフェースを高速に、効率的に、またシンプルに実現します。他社のデバイスでもLVDSソリューションの提供が主張されていますが、その実現には複雑で困難な作業が伴います。APEX 20KE デバイスで実現されるTrue-LVDSソリューションは、より高い性能、LVDS専用回路、低消費電力などの利点を備えているため、簡単にまた効率的にLVDSを使用することができます。

APEX 20KE デバイスによるTrue-LVDSソリューションは、Quartus 開発ツールでサポートされているプッシュ・ボタン操作によって簡単に実現することができます。

(32 ページに続く)

True-LVDS ソリューションが 840Mbps のデータ転送レートを実現 (31 ページからの続き)



## 高速 3G ワイヤレス・アプリケーションの技術革新を推進する アルテラのターボ・エンコーダとデコーダ

リード・ソロモン・コアのような APEX ファミリのデバイスに最適化されているアルテラの Turbo MegaCore ファンクションは、リード・ソロモン・コアと同様にエンコーダとデコーダが分離された形で供給されています。

アルテラは、データ訂正機能を実現する Forward Error Correction (フォワード・エラー・コレクション) MegaCore® ファンクションの製品群に第3世代 (3G) のワイヤレス・アプリケーションで幅広く使用されるファンクションを新たに追加しました。リード・ソロモンおよびビタビ用のコアに加え、これらのファミリに追加された最新の MegaCore ファンクションが、Turbo Encoder (ターボ・エンコーダ、注文コード: PLSM-TURBO/ENC) と Turbo Decoder (ターボ・デコーダ、注文コード: PLSM-TURBO/DEC) です。

Turbo MegaCore ファンクションは、データの高速度性と正確性が求められる 3G ワイヤレス・アプリケーション、サテライト・コミュニケーション、デジタル・ビデオ放送、潜水艦のデータ転送などをターゲットにした製品です。

APEX™ ファミリのデバイスに最適化されているアルテラの Turbo MegaCore ファンクションは、図1に示されているように、リード・ソロモン・コア

と同様にエンコーダとデコーダが分離された形で供給されています。これらのファンクションは、2Mbps (Megabits per second) までの高速データ・サービスのエラー訂正に使用される Third-Generation Partnership Project (3GPP) の仕様に準拠しています。

3GPP の仕様は短期間に制定され、改訂されているため、最新の 3GPP の仕様に準拠している標準 IC (ASSP) や ASIC はまだ存在していません。また、200Kbps (Kbits per second) 程度の処理能力に留まっているデジタル・シグナル・プロセッサでは、アルテラのプログラマブル・ロジック・デバイス (PLD) で実現されるような高いスループットを達成することはできません。

Turbo Encoder ファンクションはストリーム・ドリブンの動作を行い、ブロック・ベースのコーディング手法を採用しています。2個のインタリーブ・コンポーネンショナル・エンコーダが、P1 と P2 のパリティ出力ストリームを生成します。これらのス



トリームには、帯域幅を減少させるためのパンクチュア処理が可能です。パンクチュア処理を実施しない場合の3GPPのコード・レートは1/3となり、パンクチュアを行った場合は1/2となります。

受信データに対するパンクチュア処理を行った後、情報とP1パリティがデコーダ1に入力されます。ここで、イコライザ(図1に表示されていない)が受信された値の確率をデコーダ1に伝送します。これによって、デコーダ1には受信されたビットの値と各ビット値の信頼度レベルが入力されたことになります。デコーダ1はこれらの値を評価して、これにP1の確率(パリティ・ビット)を付加して、インフォメーション・ビットとP2パリティと共にデコーダ2に入力します。あらかじめ規定された回数の処理が実行されると、デコーダの処理が完了し、出力が得られます。

インタリービング処理を行う目的は、バースト・エラーへの対策です。コンボリューショナル・コードはランダム・エラーに対する優れた防止策になります。ただし、エラーは連続して発生することがあるため(バースト・エラー)インタリーバが壊れているデータを分散させ、データの訂正を容易にします。3GPPで規定されているターボ・デコーダ・インタリーバは初期数値をベースにして実現される厳格なインタリーバです。この機能の実現には多くの労力を必要とするため、アルテラのTurbo Decoderファンクションは非常に重要なコンポーネントとなります。

アルテラのTurbo Decoderは、LogMAP(Logarithmic Maximal a-Posteriori)アルゴリズムの利点を活用しています(max-logMAP、図2を参照)。このアルゴリズムには多数の計算機能が必要になり、AlphaメモリとParityメモリの2つのメモリ・バンクが使用されます。アルテラのTurbo MegaCoreファンクションでは、ユーザがMegaWizard® Plug-In Managerを使用してメモリの構成を柔軟に設定できるようになっています(表1を参照)。

ソフト・ビット数	Alphaメモリ	Parityメモリ	ESB使用数	最適デバイス
3	On-chip	On-chip	70	EP20K300E
4	Off-chip	On-chip	46	EP20K200
5	Off-chip	Off-chip	32	EP20K200
5	Off-chip	On-chip	58	EP20K300E
5	On-chip	On-chip	138	EP20K600E
8	Off-chip	Off-chip	46	EP20K200
8	Off-chip	On-chip	86	EP20K400

図1 Turbo CODECのブロック図

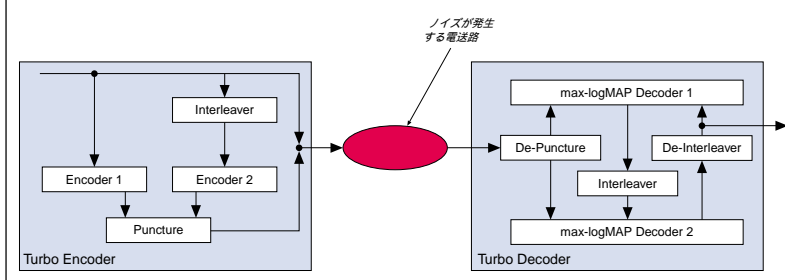
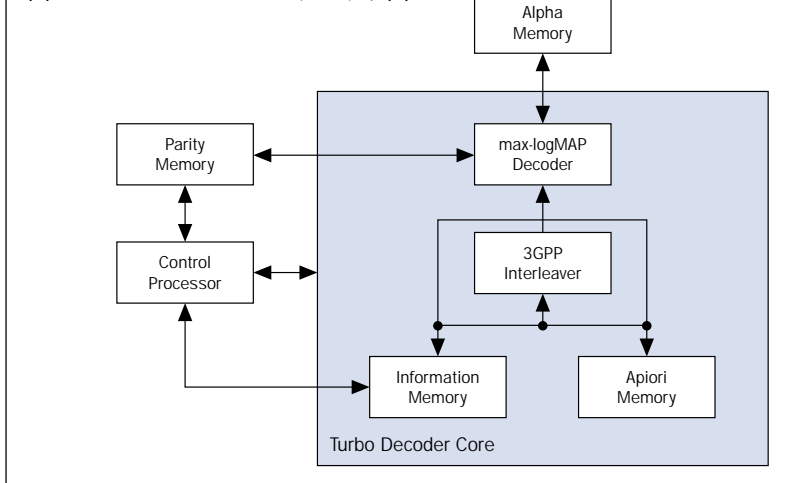


図2 Turbo Decoderのブロック図



max-logMAPデコーダには、インフォメーション・ビットあたり2クロック・サイクルが必要です。デコーダは2個あるため、1ビットの1回の処理には4クロック・サイクルが必要です。5回の処理を繰り返すためには、1ビットあたり20クロック・サイクルと、さらにデータの入力と取り出しに約5クロック・サイクルが必要です。このデコーダは-1スピード・グレードのAPEX 20KEデバイスで約50MHzのスピードで動作することができ、2Mbpsのデータ転送レートを実現します。

アルテラのTurbo CODECでは、EncoderとDecoderの双方のファンクションに対してOpenCore™評価機能が提供されており、MegaWizard Plug-Inによるカスタマイズも容易に行うことができます。また、このMegaCoreファンクションには、デザインの検証用のVHDLとVerilog HDLのシミュレーション・モデル、およびビット・エラー・レート(BER)シミュレーション用のCモデルが含まれており、リファレンス・デザインのVHDLソース・コードも併せて提供されています。急速に立ち上がってきた3Gワイヤレス・アプリケーションには、ASSPやASICによるソリューションがなく、アルテラのTurbo CODEC MegaCoreファンクションはFECの要求に適合した貴重な存在となっています。

**Q** Windows 2000 のプラットフォームでアルテラのデバイスをコンフィギュレーションまたはプログラムすることは可能でしょうか？

**A** readme.txtファイルにリストされているオペレーティング・システムに加え、Quartus™のバージョン2000.03とMAX+PLUS® IIのバージョン9.6のソフトウェアは、Windows 2000 上でのデバイス・プログラミングとコンフィギュレーションをサポートしています。

Windows 2000のプラットフォーム上にプログラミング・ハードウェアをインストールするための新しいINFファイルがあります。このファイルは、Quartusソフトウェアのバージョン2000.03およびMAX+PLUS IIソフトウェアのバージョン9.6で、<system>\drivers\win2000のディレクトリに存在しています。インストールは以下の手順で行います。

1. コントロール・パネルをオープンします(スタートメニュー->設定->コントロール・パネル)
2. 「ハードウェアの追加と削除」のアイコンをダブル・クリックし、「ハードウェアの追加と削除のウィザード」と起動し、「次へ」をクリックします。
3. 「ハードウェアに関する作業の選択」のパネルで、「デバイスの追加/トラブルシューティング」を選択し、「次へ」をクリックします。Windows 2000は新しい「プラグ・アンド・プレイ」のハードウェアをサーチします(「新しいハードウェアの検出」のウィンドウ)
4. 「ハードウェア・デバイスの選択」のウィンドウで「新しいデバイスの追加」を選択し、「次へ」をクリックします。
5. 「新しいハードウェアの検索」のウィンドウで「いいえ、一覧からハードウェアを選択します」を選択し、「次へ」をクリックします。
6. 「ハードウェアの種類」のウィンドウで、「サウンド、ビデオ、およびゲームコントローラ」を選択し、「次へ」をクリックします。
7. 「デバイス・ドライバの選択」のウィンドウで、「ディスク使用」を選択します。
8. Win2000.infのファイルに対する完全なディレクトリ・パスを指定し(例: < MAX+PLUS IIのディレクトリ > \drivers\win2000) OK をクリックします。
9. 「デジタル署名が見つかりません」のワーニング・ダイアログ・ボックスで「はい」をクリックしてインストールを継続します。
10. 「デバイス・ドライバの選択」のウィンドウでインストールするハードウェアを選択し、「次へ」をクリックします。
11. 「ハードウェア・インストールの開始」のウィンドウにインストールされているハードウェアが表示されます。「次へ」をクリックします。

複数のPCIファンクションを1個のデバイスにフィッティングさせることができます。制限を発生させる要因は、メガファンクションのサイズとターゲット・デバイスで使用可能なリソースだけです。

12. 「デジタル署名が見つかりません」のワーニング・ダイアログ・ボックスで「はい」を選択して、インストールを継続します。
13. 「ハードウェアの追加/削除ウィザード」のウィンドウで完了をクリックします。

システムのダイアログ・ボックスに「新しい設定を有効にするには、再起動が必要です。」という内容のメッセージが表示されます。

**Q** 1個のデバイスに複数のPCI (Peripheral Component Interconnect) ファンクションをフィッティングさせることは可能でしょうか？

**A** はい。複数のPCI ファンクションを1個のデバイス上にフィッティングさせることができます。制限を発生させる要因は、メガファンクションのサイズとターゲット・デバイスで使用可能なリソースだけです。例えば、PCI/MT64ファンクションには1個のFLEX® 10Kデバイスで約1,500個のロジック・エレメント (LE) が使用されます。したがって、EPF10K100E (4,992個のLEを内蔵) またはそれより集積度の高いデバイスには2個のPCI/MT64ファンクションをフィッティングさせることができます。

1個のデバイスに複数のPCI ファンクションをフィッティングさせるときに考慮しなければならないのがタイミングの問題です。各メガファンクションに対してアルテラから供給される Assignment & Configuration ファイル(.acf)は、1個のみのファンクションを実現するように設計されています。このため、1個のデバイスに複数個のファンクションをフィッティングさせたいときは、PCIに関連したすべてのタイミング要求に適合するようにACFを修正する必要が生じることがあります。

**Q** ユーザ・モードにおいて、PLL (Phase-Locked Loop) の入力クロックをディセーブルした場合、PLLの出力はどのような状態になりますか？

**A** 入力クロックを除去すると、clock0とclock1の出力を使用しているかどうかに応じて、PLLの出力はKまたはVで分周される電圧制御発振器(VCO)の発振周波数の下限(通常は200MHz)までドリフトします。ここで、VとKの値は2本のPLL出力、clock0とclock1に対するデバイダの分周比です。また、PLLがロックしたことを示すロック・ピンがLowレベルになります。クロックの供給が再開されると、PLLはその入力に再度ロックします。

VCOの下限周波数は、プロセス、電圧、温度の条件によって、200MHz以下になる可能性があります。

シミュレーションにおいては、シミュレータが周波数のドリフトをモデリングできないため、PLLの出力が

GNDとして表示されます。また、ロックした状態を示す信号もこのときにはLowになり、有効なクロックが出力されていることを確認するときは、このピンの信号をモニタする必要があります。入力クロックの供給が再開されると、シミュレーション上でもクロック出力が現れるようになります。シミュレータはロックの表示までに一定の遅延があることを想定しています。

**Q** Error: "The project has more than one chip. Multi Chip designs are not supported in this version" (プロジェクトに2個以上のチップがある。このバージョンでは、マルチ・チップ・デザインはサポートされない)というエラー・メッセージが表示されました。どのような原因が考えられますか？

**A** プロジェクトのCompiler Settings File(.csf)に2つ以上のCHIP記述があったために、このようなエラー・メッセージが表示された可能性があります。例えば、CSFに下記のようなコードが存在すると、エラーが発生します。

```
...
CHIP(Block1)
{
    DEVICE = AUTO;
}
CHIP(Block2)
{
    DEVICE = AUTO;
}
...
```

コンパイラはこれをマルチ・デバイスのデザインとして理解します。この問題を解決するときは、2つ目のCHIPセクションを除去し、プロジェクトを再ロードしてください。

**Q** アルテラの各デバイスは、出力信号に対してどのような「低速スリュー・レート・コントロール」機能を持っているのでしょうか？

**A** アルテラのAPEX™ 20K、APEX 20KE、ACEX™ 1K、FLEX 10K、FLEX 10KA、FLEX 10KE、FLEX 6000、MAX® 7000E、MAX 7000S、MAX 7000A、MAX 7000AE、およびMAX 3000Aファミリの各デバイスはスリュー・レートのオプションをサポートしており、ユーザが各I/Oピンに対して低速のスリュー・レートを選択できるようになっています。

ACEX 1K、FLEX 10K、FLEX 10KA、FLEX 10KE、FLEX 6000、およびMAX 7000Eファミリの各デバイスでは、このオプションを設定すると、信号の立ち下りエッジのスリュー・レートが低速化され、立ち上がりエッジはこのオプションの影響を受けません。

APEX 20K、APEX 20KE、MAX 7000S、MAX 7000A、MAX 7000AE、およびMAX 7000Bファミリのデバイスでは、このオプションによって立ち下りエッジと立ち上がりの双方が影響を受けるようになっています。

**Q** Error: "Bounds of non-constant index address - ing array reach beyond the bounds of the array"(非定数によるアレイのアドレッシングの境界がアレイの境界を超えている)というエラー・メッセージが表示されました。どのような原因が考えられますか？

**A** このエラー・メッセージは、アレイのインデックスを指定するときに範囲が制限されていない変数を使用した場合に発生します。このエラーを防ぐためには、変数の宣言時に範囲を制限する指定を行う必要があります。

例えば、次のようなコードが記述されていると、MAX+PLUS IIソフトウェアは、上記のエラー・メッセージを表示します。

```
architecture a of test is
    signal my_array :
        std_logic_vector(7 downto 0);
    signal bitpos :
        std_logic_vector(2 downto 0);
begin
    P1 : process (my_array)
        variable i : integer;
    begin
        i := conv_integer(bitpos);
        if my_array(i) = '1'then
            ...
```

上記の記述を下記のように変更すれば、エラー・メッセージは表示されません。

```
architecture a of test is
    signal my_array :
        std_logic_vector(7 downto 0);
    signal bitpos :
        std_logic_vector(2 downto 0);
begin
    P1 : process (my_array)
        variable i : integer range 0
            to 7;
    begin
        i := conv_integer(bitpos);
        if my_array(i) = '1'then
            ...
```

( 36 ページに続く )

Questions & Answers ( 35 ページからの続き )

**Q** MAXデバイスのデザインで、MAX+PLUS IIソフトウェアがデータシートで示されている値よりも低い $f_{MAX}$ をレポートします。何故でしょうか？

**A** MAX+PLUS IIソフトウェアによってレポートされる $f_{MAX}$ の値は、デザイン全体の中でもっとも遅くなっているレジスタ間のパス（もっとも長いレジスタ間パス）に対する最高クロック周波数です。

各デバイスのデータシートで示されている $f_{MAX}$ のパラメータは、ある入力ピンから1個のレジスタを通して出力ピンに接続されているデータ・パスに対してグローバル・クロックが動作できる最高周波数を表しています。したがって、このデータシートの値の計算方法は、MAX+PLUS IIソフトウェアによってレポートされる $f_{MAX}$ とは異なります。

その代わりに、MAXデバイスのデータシートでは、MAX+PLUS IIソフトウェアによってレポートされる $f_{MAX}$ を表しているfcntのパラメータが採用されており、データシート上で各スピード・グレードごとにもっとも高速に動作できるfcntの値が表示されています。この場合、fcntのパラメータはもっとも高速なレジスタ間のパス（あるロジック・アレイ・ブロック(LAB)内のレジスタが同じLAB内の2番目のレジスタをドライブしている状態）に対するクロック周波数を示しています。

MAXデバイスのデータシートでは、従来のTTL (Transistor-to-Transistor Logic)で定義される $f_{MAX}$ が採用されています。ただし、現在では、EPLDの変革によって、レジスタ間の性能を表す視点から、fcntのほうがデバイス性能を示す、より有効な表現方法になっています。この結果、データシートでは、この情報がfcntの形でも提供されるようになっています。

## アルテラの新規刊行資料



アルテラから下記の新しい資料が刊行されています。各資料はアルテラのwebサイト、<http://www.altera.com>からダウンロードすることができます。なお、\*印のある資料は日本語版も発行、または発行が予定されています。カッコ内の記号は、アルテラのドキュメント番号です。

- *Altera Digital Library CD-ROM, May 2000* (P-CD-ADL2000-03)
- *Component Selector Guide* (M-SG-COMP-08)\*
- *Development Tools Selector Guide* (M-SG-TOOLS-16)\*
- *Intellectual Property Selector Guide* (M-SG-MEGAFCTN-03)
- *ACEX 1K Programmable Logic Device Family Data Sheet* (A-DS-ACEX-01.01)\*
- *Excalibur Development Kit with the Nios Embedded Processor Data Sheet* (A-DS-ACEX-01.01)
- *Nios Soft Core Embedded Processor Data Sheet* (A-DS-EXCNIOS-01)
- *SignalTap Plus System Analyzer Data Sheet* (A-DS-SIGTPPLUS-01)
- *AN 115: Using the ClockLock & ClockBoost Features in APEX Devices* (A-AN-115-02)\*
- *AN 122: Using Jam STAPL for ISP & ICR via an Embedded Processor* (A-AN-122-01)\*
- *AN 125: Evaluating AMPP & MegaCore Functions* (A-AN-125-01)
- *SB 47: System-on-a-Programmable Chip (SOPC) Development Board* (A-SB-047-01)\*
- *TB 64: New Features of the Quartus Software Version 2000.02* (M-TB-64-01)
- *TB 65: Design Fitting: MAX 7000AE vs. ispLSI 2000VE Devices* (M-TB-065-01)
- *TB 67: Advanced Synthesis with LeonardoSpectrum* (M-TB-067-01)
- *TB 68: Advanced Synthesis with FPGA Express* (M-TB-068-01)
- *TB 69: HDL Simulation with the ModelSim-Altera Software* (M-TB-069-01)
- *5.0-V Tolerance in APEX 20KE Devices White Paper* (A-WP-APEX5V-01.01)
- *Using APEX 20KE CAM with the Quartus Software Design Tool White Paper* (M-WP-CAM-01)\*
- *Using LVDS in the Quartus Software White Paper* (A-WP-LVDSQUARTUS-01)\*
- *Serial Viterbi Decoders White Paper* (M-WP-HCORES-VSERAB-01)

## アルテラのプログラミング・ハードウェアのサポート状況

### プログラミング・ハードウェアのサポート状況

下記の表1には、アルテラのMAX® 9000、MAX 7000、MAX 3000ファミリの各デバイス、およびコンフィギュレーション・デバイスに対応するプログラミング・アダプタの最新情報が示されています。正しいプログラミングを行うためには、21ページの「現在のソフトウェア・バージョン」を使用する必要があります。

デバイス名	パッケージ	アダプタ
EPC1064 (2) EPC1064V (2) EPC1441 (3)	DIP, J-lead TQFP	PLMJ1213 PLMT1064
EPC1 (3) EPC1213 (2)	DIP, J-lead	PLMJ1213
EPC2 (4)	J-lead TQFP	PLMJ1213 PLMT1064
EPM9320	J-lead (84-pin) RQFP (208-pin) PGA (280-pin)	PLMJ9320-84 PLMR9000-208 PLMG9000-280
EPM9320A	J-lead (84-pin) RQFP (208-pin)	PLMJ9320-84 PLMR9000-208NC (5)
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560	RQFP (208-pin) RQFP (240-pin) PGA (280-pin) RQFP (304-pin)	PLMR9000-208 PLMR9000-240 PLMG9000-280 PLMR9000-304
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC (5) PLMR9000-240NC (5)
EPM7032	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7032S EPM7032AE EPM7032B	J-lead (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMT7000-44
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100

デバイス名	パッケージ	アダプタ
EPM7064S	J-lead (44-pin) J-lead (84-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMJ7000-84 PLMT7000-44 PLMT7000-100NC (5)
EPM7064AE EPM7064B	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin) FineLine BGA (100-pin)	PLMJ7000-44 PLMT7000-44 PLMT7000-100NC (5) PLMF7000-100
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7128A EPM7128AE EPM7128B EPM7128S	J-lead (84-pin) PQFP (100-pin) TQFP (100-pin) TQFP (144-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (5) PLMT7000-100NC (5) PLMT7000-144NC (5) PLMQ7128/7160-160NC (5)
	FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMF7000-100 PLMF7000-256
EPM7160E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7160S	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (5) PLMQ7128/7160-160NC (5)
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/7256-160
EPM7192S	PQFP (160-pin)	PLMQ7192/7256-160NC (5)

( 38 ページに続く )

アルテラのプログラミング・ハードウェアのサポート  
状況 (37 ページからの続き)

表1 アルテラのプログラミング・アダプタ  
(3/3) 注(1)

デバイス名	パッケージ	アダプタ
EPM7256E	PQFP (160-pin) PGA (192-pin) PQFP (208-pin) RQFP (208-pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208 PLMR7256-208
EPM7256A EPM7256S EPM7256AE EPM7256B	TQFP (100-pin) TQFP (144-pin) PQFP (208-pin) RQFP (208-pin) FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMT7000-100NC (5) PLMT7000-144NC (5) PLMT7256-208NC (5) PLMT7256-208NC (5) PLMF7000-100 PLMF7000-256
EPM7512AE EPM7512B	TQFP (144-pin) PQFP (208-pin) BGA (256-pin) FineLine BGA (256-pin)	PLMT7000-144NC (5) PLMR7256-208NC (5) PLMB7000-256 PLMF7000-256
EPM3032A	J-lead (44-pin) TQFP (44-pin)	PLMJ3000-44 PLMT3000-44
EPM3064A	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ3000-44 PLMT3000-44 PLMT3000-100NC (5)
EPM3128A	TQFP (100-pin) TQFP (144-pin)	PLMT3000-100NC (5) PLMT3000-144NC (5)
EPM3256A	TQFP (144-pin) PQFP (208-pin)	PLMT3000-144NC (5) PLMR3256-208NC (5)

- 注:
- (1) Classic™ デバイス用アダプタの詳細については、「Altera Programming Hardware」のデータシートをご覧ください。
  - (2) FLEX® 8000用のコンフィギュレーション・デバイスです。
  - (3) FLEX 10K、FLEX 8000、FLEX 6000用のコンフィギュレーション・デバイスです。
  - (4) APEX™ 20K、FLEX 10K、FLEX 6000用のコンフィギュレーション・デバイスです。
  - (5) これらのデバイスはキャリア付きで出荷されません。

サード・パーティ・ベンダによるプログラミング・サポート

Data I/O 社、BP Microsystems、System Generalの各社は、アルテラのデバイスをサポートしたプログラミング・ハードウェアを供給しています。各デバイスのプログラミング・アルゴリズムが各社の web サイト、( <http://www.data-io.com>、<http://www.bpmicro.com>、<http://www.sg.com.tw> ) を通じて提供されています。コンフィギュレーション・デバイス、および MAX 9000ファミリと MAX 7000ファミリ各デバイスに対するサポート状況は下記の表2の通りです。

表2 サード・パーティ・ベンダのプログラミング・ハードウェアによるサポート

デバイス名	Data I/O (1)	BP Microsystems (2)	System General (3)
EPC1064	✓	✓	✓ (4)
EPC1213	✓	✓	✓ (4)
EPC1	✓	✓	✓ (4)
EPC1441	✓	✓	✓ (4)
EPC2	✓	✓	✓ (4)
EPM3032A	✓	✓	✓ (4)
EPM3064A	✓	✓	✓ (4)
EPM3128A	(5)	✓	✓ (4)
EPM3256A	(5)	(5)	✓ (4)
EPM7032	✓	✓	✓ (4)
EPM7032AE	✓	✓	✓ (4)
EPM7032S	✓	✓	✓ (4)
EPM7064	✓	✓	✓ (4)
EPM7064AE	✓	✓	✓ (4)
EPM7064S	✓	✓	✓ (4)
EPM7096	✓	✓	✓ (4)
EPM7128A	✓	✓	✓ (4)
EPM7128S	✓	✓	✓ (4)
EPM7128AE	(5)	✓	✓ (4)
EPM7128E	✓	✓	✓ (4)
EPM7160E	✓	✓	✓ (4)
EPM7192S	✓	✓	✓ (4)
EPM7192E	✓	✓	✓ (4)
EPM7256A	(5)	✓	✓ (4)
EPM7256AE	(5)	(5)	✓ (4)
EPM7256S	✓	✓	✓ (4)
EPM7256E	✓	✓	✓ (4)
EPM7512AE	(5)	✓ (6)	✓ (4)、(5)
EPM9320	✓	✓	✓ (4)
EPM9320A	✓	✓	✓ (4)
EPM9400	✓	✓	✓ (4)
EPM9480	✓	✓	✓ (4)
EPM9560	✓	✓	✓ (4)
EPM9560A	✓	✓	✓ (4)、(5)

## 表2の注:

- (1) これらのデバイスはData I/O 社 UniSite 用ソフトウェア、バージョン 6.3 でサポートされています。
- (2) これらのデバイスはBP Microsystems 社のプログラマ用ソフトウェア、バージョン 3.49A でサポートされています。
- (3) これらのデバイスはSystem General社のバージョン 1.03 でサポートされています。
- (4) これらのデバイスは現在サポートされていませんが、アルテラは現在これらのプログラミング・ハードウェア・サポートに関する検証作業を行っています。
- (5) これらのデバイスに対するサポート予定については、各ベンダにお問い合わせください。
- (6) 256ピンのBGA (ボール・グリッド・アレイ) およびFineLine BGA™パッケージに対するサポート状況については、各ベンダにお問い合わせください。

## ダウンロード・ケーブル

表3はアルテラのMasterBlaster™シリアル/USB (Universal Serial Bus)ポート通信ケーブル、BitBlaster™シリアル・ポート・ダウンロード・ケーブル、およびByteBlasterMV™パラレル・ポート・ダウンロード・ケーブルでプログラムまたはコンフィギュレーションできるデバイスを示したものです (ByteBlaster™ダウンロード・ケーブルはByteBlasterMVケーブルで代替されています)。

表3 ダウンロード・ケーブルの対応表

デバイス名	MasterBlaster (1)	ByteBlasterMV	BitBlaster (2)
APEX 20K	✓	✓ (3)	
APEX 20KE	✓	✓ (3)	
ACEX 1K	✓	✓	✓
FLEX 10K	✓	✓	✓
FLEX 10KA	✓	✓	✓
FLEX 10KE	✓	✓	✓
FLEX 8000	✓	✓	✓
FLEX 6000	✓	✓	✓
MAX 9000	✓	✓	✓
MAX 9000A	✓	✓	✓
MAX 7000S	✓	✓	✓
MAX 7000A	✓	✓	✓
MAX 7000B	✓	✓ (3)	
MAX 3000A	✓	✓	✓

## 注:

- (1) MasterBlaster通信ケーブルとQuartusソフトウェアを使用することにより、デバイスへのダウンロード、SignalTap™によるロジック解析を実行することができます。また、MAX+PLUS IIのバージョン9.3以降との併用により、デバイスへのダウンロードを行うことができます。
- (2) BitBlasterダウンロード・ケーブルは、5.0Vで動作させる必要があります。
- (3) このデバイスに対しては、ByteBlasterMVダウンロード・ケーブルが3.3Vで動作する必要があります。VCCIOピンは、2.5Vまたは3.3Vのいずれかに接続してください。

## アルテラへのコンタクト方法

アルテラからの情報やサービスが従来よりも迅速に行えるようになっています。お問い合わせの内容や要求されるサービスに応じて、下記へご連絡ください。

	情報提供元	連絡先
資料のご請求 (1)	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-939-6113 06-6307-7670
	株式会社パルテック	045-477-2009 06-6369-4070
	World-Wide web	英語 <a href="http://www.altera.com">http://www.altera.com</a> 日本語 <a href="http://www.altera.com/japan">http://www.altera.com/japan</a>
価格・納期等について	株式会社アルティマ	045-939-6113 06-6307-7670
	株式会社パルテック	045-477-2009 06-6369-4070
技術的なご質問	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-939-6113 06-6307-7670
	株式会社パルテック	052-202-1024 028-637-4488
	E-mail (日本アルテラ)	<a href="mailto:japan@altera.com">japan@altera.com</a>
	FTP Site (US)	<a href="ftp.altera.com">ftp.altera.com</a>
製品案内	World-Wide web	<a href="http://www.altera.com/japan">http://www.altera.com/japan</a>

## 注:

- (1) MAX+PLUS Getting Started and Quartus Tutorial Manualはアルテラのwebサイトから入手可能です。他のQuartus™とMAX+PLUS®のマニュアルについては、販売代理店または日本アルテラへお問い合わせください。

## アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドには、アルテラの APEX™ 20K、ACEX™ 1K、FLEX® 10K、FLEX 6000、MAX® 9000、MAX 7000、MAX 3000 およびコンフィギュレーション・デバイス・ファミリの製品がまとめられています。他のアルテラ製品に関する情報は、「コンポーネント・セレクト・ガイド」(日本語版)に記載されています。最新の情報については、アルテラのwebサイト、<http://www.altera.com> で確認してください。なお、ここに掲載された製品の一部はまだ供給されていません。各デバイスの最新の供給状況については、販売代理店へお問い合わせください。

APEX 20K デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション <sup>1</sup>	I/Oピン数 <sup>1</sup>	電源電圧	ロジック・エレメント数	RAMビット数	マクロセル数
EP20K30E	30,000	144-Pin TQFP, 144-Pin BGA <sup>2</sup> , 208-Pin PQFP, 324-Pin BGA <sup>2</sup>	92, 108, 128, 128	1.8 V	1,200	24,576	192
EP20K60E	60,000	144-Pin TQFP, 144-Pin BGA <sup>2</sup> , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA <sup>2</sup> , 356-Pin BGA	92, 108, 151, 183, 204, 204	1.8 V	2,560	32,768	256
EP20K100	100,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA <sup>2</sup> , 356-Pin BGA	101, 159, 189, 252, 252	2.5 V	4,160	53,248	416
EP20K100E	100,000	144-Pin TQFP, 144-Pin BGA <sup>2</sup> , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA <sup>2</sup> , 356-Pin BGA	92, 108, 151, 183, 246, 246	1.8 V	4,160	53,248	416
EP20K160E	160,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup>	87, 143, 175, 273, 324	1.8 V	6,400	81,920	640
EP20K200	200,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup>	144, 174, 279, 382	2.5 V	8,320	106,496	832
EP20K200E	200,000	208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup> , 652-Pin BGA, 672-Pin BGA <sup>2</sup>	136, 168, 273, 376, 376, 376	1.8 V	8,320	106,496	832
EP20K300E	300,000	240-Pin RQFP, 652-Pin BGA, 672-Pin BGA <sup>2</sup>	152, 408, 408	1.8 V	11,520	147,456	1,152
EP20K400	400,000	652-Pin BGA, 655-Pin PGA, 672-Pin BGA <sup>2</sup>	502, 502, 502	2.5 V	16,640	212,992	1,664
EP20K400E	400,000	652-Pin BGA, 672-Pin BGA <sup>2</sup>	488, 488	1.8 V	16,640	212,992	1,664
EP20K600E	600,000	652-Pin BGA, 672-Pin BGA <sup>2</sup> , 1,020-Pin BGA <sup>2</sup>	488, 508, 588	1.8 V	24,320	311,296	2,432
EP20K1000E	1,000,000	652-Pin BGA, 672-Pin BGA <sup>2</sup> , 1,020-Pin BGA <sup>2</sup>	488, 508, 708	1.8 V	38,400	327,680	2,560
EP20K1500E	1,500,000	652-Pin BGA, 1,020-Pin BGA <sup>2</sup>	488, 808	1.8 V	51,840	442,368	3,456

ACEX 1K デバイス						
デバイス名	ゲート数	ピン数 / パッケージ・オプション <sup>1</sup>	I/Oピン数 <sup>1</sup>	電源電圧	ロジック・エレメント数	RAMビット数
EP1K10	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	66, 102, 130, 130	2.5 V	576	12,288
EP1K30	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	102, 147, 171	2.5 V	1,728	24,576
EP1K50	50,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 484-Pin BGA <sup>2</sup>	102, 147, 186, 249	2.5 V	2,880	40,960
EP1K100	100,000	208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 484-Pin BGA <sup>2</sup>	147, 186, 333	2.5 V	4,992	49,152



FLEX 10K デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	ロジック・エレメント数	RAMビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	59, 102, 134	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	66, 102, 134, 150	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin RQFP	102, 147, 189	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	147, 189, 246	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>2</sup> , 356-Pin BGA, 484-Pin BGA <sup>2</sup>	102, 147, 189, 191, 246, 246	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 484-Pin BGA <sup>2</sup>	102, 147, 176, 220	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	147, 189	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA, 403-Pin PGA	189, 274, 310	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup>	189, 274, 291	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>2</sup> , 484-Pin BGA <sup>2</sup>	102, 147, 189, 191, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K50S	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>2</sup> , 356-Pin BGA, 484-Pin BGA <sup>2</sup>	102, 147, 189, 191, 220, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	189, 358	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100	100,000	503-Pin PGA	406	5.0 V	-3, -4	4,992	24,576
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup> , 600-Pin BGA	189, 274, 369, 406	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100B	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>2</sup>	147, 189, 191	2.5 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>2</sup> , 356-Pin BGA, 484-Pin BGA <sup>2</sup>	147, 189, 191, 274, 338	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup> , 600-Pin BGA, 672-Pin BGA <sup>2</sup>	186, 274, 369, 424, 413	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	599-Pin PGA, 600-Pin BGA, 672-Pin BGA <sup>2</sup>	470, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K200S	200,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup> , 600-Pin BGA, 672-Pin BGA <sup>2</sup>	182, 274, 369, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-1, -2, -3	12,160	40,960

FLEX 6000 デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	フリップ・フロップ数	ロジック・エレメント数
EPF6010A	10,000	100-Pin TQFP, 144-Pin TQFP	71, 102	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 100-Pin BGA <sup>2</sup> , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	81, 81, 117, 171, 171	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin BGA <sup>2</sup>	117, 171, 199, 218, 218	3.3 V	-1, -2, -3	1,960	1,960

APEXおよびFLEXデバイス用コンフィギュレーション・デバイス			
デバイス名	ピン数 / パッケージ・オプション	電源電圧	説明
EPC1064	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	5.0 V	FLEX 8000デバイス用64Kビット シリアル・コンフィギュレーション・デバイス
EPC1064V	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3 V	FLEX 8000デバイス用64Kビット シリアル・コンフィギュレーション・デバイス
EPC1213	8-Pin PDIP, 20-Pin PLCC	5.0 V	FLEX 8000デバイス用213Kビット シリアル・コンフィギュレーション・デバイス
EPC1441 <sup>3</sup>	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	FLEXデバイス用441Kビット シリアル・コンフィギュレーション・デバイス
EPC1 <sup>3</sup>	8-Pin PDIP, 20-Pin PLCC	3.3/5.0 V	FLEXおよびAPEXデバイス用1Mビット シリアル・コンフィギュレーション・デバイス
EPC2 <sup>3</sup>	20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	APEX, FLEX 10K, FLEX 10KE, FLEX 6000デバイス用2Mビット シリアル・コンフィギュレーション・デバイス
EPC4E <sup>4</sup>	44-Pin TQFP, 84-Pin BGA <sup>5</sup>	2.5/3.3 V	すべてのAPEXおよびFLEX 10Kデバイス用4Mビット シリアル/パラレル・コンフィギュレーション・デバイス

( 42 ページに続く )

アルテラ・デバイス・セレクション・ガイド  
(41 ページからの続き)

MAX 7000 デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-5, -6, -7, -10
EPM7032AE	32	44-Pin PLCC/TQFP	36	3.3 V	-4, -7, -10
EPM7032B	32	44-Pin PLCC/TQFP, 48-Pin TQFP	36, 36	2.5 V	-3, -5, -7
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 52, 68, 68	5.0 V	-5, -6, -7, -10
EPM7064AE	64	44-Pin PLCC/TQFP, 49-Pin BGA <sup>5</sup> , 100-Pin TQFP, 100-Pin BGA <sup>2</sup>	38, 40, 40, 68	3.3 V	-4, -7, -10
EPM7064B	64	44-Pin PLCC/TQFP, 48-pin TQFP, 49-Pin BGA <sup>1</sup> , 100-Pin TQFP, 100-Pin BGA <sup>2</sup>	38, 40, 40, 68, 68	2.5 V	-3, -5, -7
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA <sup>2</sup> , 144-Pin TQFP, 256-Pin BGA <sup>2</sup>	68, 84, 84, 100, 100	3.3 V	-6, -7, -10, -12
EPM7128AE	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA <sup>2</sup> , 144-Pin TQFP, 169-Pin BGA <sup>5</sup> , 256-Pin BGA <sup>2</sup>	68, 84, 84, 100, 100, 100	3.3 V	-5, -7, -10
EPM7128B	128	49-Pin BGA <sup>5</sup> , 100-Pin TQFP, 100-Pin BGA <sup>2</sup> , 144-Pin TQFP, 169-Pin BGA <sup>5</sup> , 256-Pin BGA <sup>2</sup>	40, 84, 84, 100, 100, 100	2.5 V	-4, -7, -10
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-7, -10, -15
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7256S	256	208-Pin PQFP	164	5.0 V	-7, -10, -15
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	84, 120, 164, 164	3.3 V	-7, -10, -12
EPM7256AE	256	100-Pin TQFP, 100-Pin BGA <sup>2</sup> , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	84, 84, 120, 164, 164	3.3 V	-5, -7, -10
EPM7256B	256	100-Pin TQFP, 144-Pin TQFP, 169-Pin BGA <sup>5</sup> , 208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 256-Pin BGA	84, 120, 140, 164, 164, 164	2.5 V	-5, -7, -10
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 256-Pin BGA	120, 176, 212, 212	3.3 V	-5, -7, -10, -12
EPM7512B	512	100-Pin TQFP, 144-Pin TQFP, 169-Pin BGA <sup>5</sup> , 208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 256-Pin BGA	84, 120, 140, 212, 212, 212	2.5 V	-5, -6, -7, -10

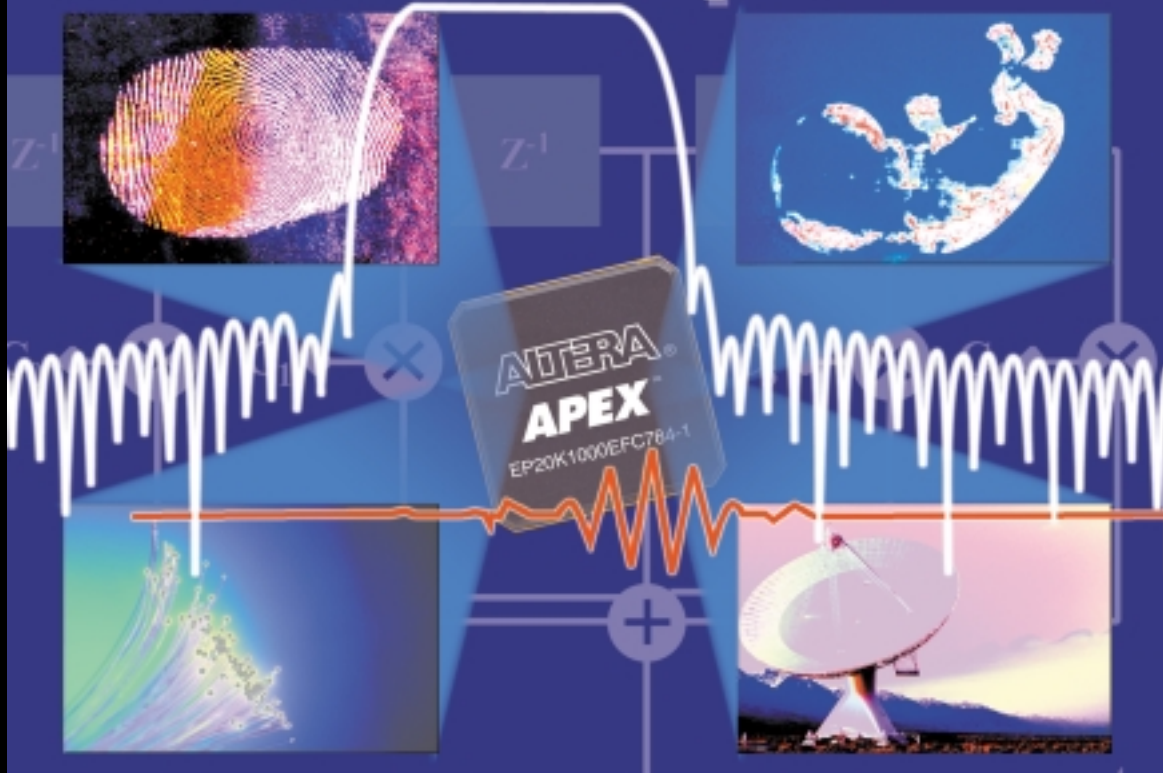
MAX 3000 デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM3032A	32	44-Pin PLCC, 44-Pin TQFP	34, 34	3.3 V	-4, -7, -10
EPM3064A	64	44-Pin PLCC, 44-Pin TQFP, 100-Pin TQFP	34, 34, 66	3.3 V	-4, -7, -10
EPM3128A	128	100-Pin TQFP, 144-Pin PQFP	80, 96	3.3 V	-5, -7, -10
EPM3256A	256	144-Pin TQFP, 208-Pin PQFP	116, 158	3.3 V	-6, -7, -10

MAX 9000 デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	5.0 V	-10
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	5.0 V	-15, -20
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	5.0 V	-15, -20
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-15, -20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-10
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-15, -20

表中の注：

- (1) 暫定仕様です。最新情報については、日本アルテラへお問い合わせください。
- (2) これらのパッケージは、実装スペースを削減する FineLine BGAパッケージです。
- (3) これらのデバイスは、3.3Vまたは5.0Vのいずれかの電源電圧で動作するようにプログラムすることができます。
- (4) このデバイスは、2.5Vまたは3.3Vのいずれかの電源電圧で動作するようにプログラムすることができます。
- (5) このパッケージは、アルテラが開発した実装スペースを削減する0.8ミリ・ピッチの最新パッケージ、Ultra FineLine BGAパッケージです。

# FIR Filter Compiler



## プログラマブル・ロジックでDSPソリューションの時間を節約

アルテラの FIR ( Finite Impulse Response ) フィルタ・コンパイラ MegaCore™ ファンクションを使えば、6週間必要だった高性能 FIR フィルタの設計時間を 1 日以内に短縮できます。

## コスト削減

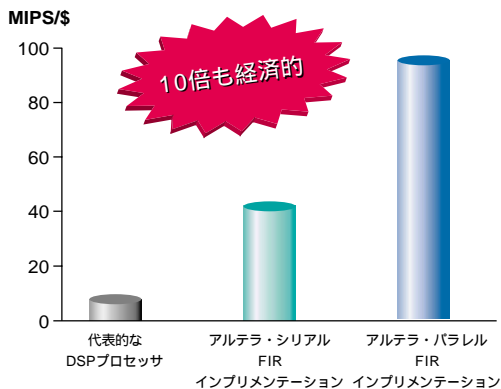
アルテラの FIR フィルタ・コンパイラを使用した場合、標準的な DSP プロセッサを使用した場合に比べ、コストを 1/10 以下に抑えることができます。

## そして仕事が楽に！

アルテラのフレキシブルで使いやすいグラフィカル・コンパイラなら、設計に必要なデータ幅やデータのタイプ、タップ数そしてインタポレーション、あるいはデシメーション因数を指定できます。また、MATLAB や Simulink などのサードパーティのシステム・レベル DSP ツールや VHDL や Verilog HDL のシミュレーション・ツールもサポートしています。

## アルテラの FIR フィルタ・コンパイラを無料でお試してください。

IP MegaStore™ サイト ( <http://www.altera.com/IPmegastore> ) からダウンロードして、アルテラの FIR フィルタ・コンパイラを無料でお試しください。設計にかかる時間とコストをどれだけ簡単に削減できるか、ご自身でお確かめください。



このベンチマークは、アルテラの EP20K100 APEX™ デバイスと TI 社製 TMS320C54x (50MHz) DSP プロセッサをターゲットにして対称型 FIR フィルタ (50 タップ、8 ビット・データ、12 ビット係数のソリューション) を実現したときのものです。

# ALTERA®

The Programmable Solutions Company®

# ASICが できること、



**ASICs [eisiks]** 1 NREコストが高いカスタム・チップ。2 大量の最低発注数量が必要なチップ。3 開発に数ヶ月の期間が必要で変更が不可能なチップ：Our ASICs take forever to design and verify. 我社のASICは設計と検証に永遠に時間がかかる。((cf. inflexibleを参照))

# ACEXなら、 もっとできる。



**ACEX [eisiks]** 1 ユーザが自由にプログラムでき、NREコストが不要な標準デバイス・ファミリ。2 最低発注数量の制約が無いチップ・ファミリ。3 低価格で開発時間が短い量産向けのPLDファミリ：The company's products were consistently first to market because they used ACEX devices. 当社の製品はACEXデバイスを使用していたので、常にマーケットに最初に参入することができた。((cf. time-to-marketを参照、low costを参照))

ACEX.どの意味においても優れています。

アルテラの新しいACEX™プログラマブル・デバイスの詳細については、  
<http://www.altera.com/lowcost>をご覧ください。

**ALTERA**®

The Programmable Solutions Company®

<http://www.altera.com/lowcost>

© 2000 Altera Corporation. Altera, ACEXおよびThe Programmable Solutions Company は米国およびその他の国におけるアルテラ社の商標またはサービスマークです。その他のブランドまたは商品は各社の商標です。製品の仕様は予告なく変更されることがありますのでご了承ください。版權所有。不許複製。

**ALTERA**® 日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1  
新宿アイランドタワー32F 私書箱1594号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
<http://www.altera.com/japan>  
E-mail: [japan@altera.com](mailto:japan@altera.com)

本社 **Altera Corporation**  
101 Innovation Drive, San Jose, CA 95134  
TEL : (408) 544-7000  
<http://www.altera.com>

NEWS & VIEWS はユーザの皆様へアルテラの最新情報をお届けするため、年4回発行されております。ここに記載されている内容に起因した第三者の損害に対して当社は一切の責務を負うものではなく、また記載されている回路などの特許、特許使用権を許諾するものではありません。