

News & Views

2000 年秋季号

アルテラ・ユーザのためのニュース・レター

新たなテクノロジーとイノベーションを採用した MAX 7000B デバイスが業界トップの性能と機能を実現

アルテラは、業界でもっとも高速なプロダクト・タームのデバイス・ファミリ、MAX® 7000B デバイスを登場させました。最新の 0.22 ミクロン CMOS テクノロジーで製造されている MAX 7000B デバイスは、3.5ns までの伝播遅延時間と 200MHz を超えるカウンタ・スピードを実現しています。また、MAX 7000B デバイスはプログラマブル・ロジック・デバイス (PLD) 業界でもっとも豊富な機能を内蔵しているプロダクト・ターム・ベースの製品です。

MAX 7000B デバイスには、特に多数のマクロセルを使用するデザイン (256 および 512 マクロセル) において、これまでにない高い性能を発揮する特長があります。表 1 に示されているように、MAX 7000B デバイスはさらに高速の伝播遅延時間を実現しており、アルテラの業界におけるリーダーシップの地位が維持されています。

高性能アプリケーションでのローパワー・リーダー

MAX 7000B デバイスは、高性能アプリケーションにおいても最低の消費電力を実現します。デバイスで消費される電力は、動作コア電圧と動作電流の関数になります (消費電力 = 電圧 × 電流)。MAX

7000B デバイスのコア部分は 2.5V で動作するため、3.3V で動作する他のアルテラの CPLD より 30% もローパワーです。

MAX 7000B デバイスにはプログラマブルなパワー・セービング・モードが内蔵されており、わずかなタイミング遅延を追加するだけで、1 個または複数のマクロセルを通常の 50% 以下の消費電力で動作させる設定を行うことができます。この機能を活用することによって、デザイン内の各部分に対してスピードとパワーのトレードオフのインテリジェントな指定を行うことができます。MAX 7000B デバイスは高い動作周波数においても低消費電力を実現しており、ローパワーの実現に関しても業界のリーダーとなっています。

最新の標準 I/O 規格をサポート

アルテラの MAX 7000B デバイスは、最新の標準 I/O 規格のサポートに関しても、業界のリーダーです。これらのデバイスは、GTL+、SSTL-3、SSTL-2 の規格をサポートしている業界唯一のプロダクト・ターム・アーキテクチャの製品です。

(4 ページに続く)

表 1 標準伝播遅延時間

マクロセル数の 範囲	伝播遅延時間(ns)			
	MAX 7000B (1)	XC9500XL (1)	CoolRunner (1)	ispLSI2000VE (2)
32 ~ 36	3.5	5.0	5.0	4.5
64 ~ 72	3.5	5.0	6.0	5.0
128 ~ 144	4.0	5.0	6.0	6.0
192 ~ 288	5.0	7.5	7.5	7.0
512以上	5.5	—	—	—

注:

(1) t_{PD} の値は、各社のデバイス資料から入手しました。(2) この t_{PD} は、5 本のプロダクト・ターム・エレメントと「output routing pool」で構成される標準的なロジック・パスでの値です。

2.5-V ISP
Now Shipping



本号の内容

- 840Mbps のデータ・レートを実現する APEX 20KE デバイスの True-LVDS ソリューション P. 5
- 性能を 40% まで向上させる シンプリシティのフィジカル・シンセシス P. 32

限界点に達したら、

あなたにはAPEXが必要です。

集積度のバリアを解消

最大の集積度と最速の性能を必要とするような、製品設計上もっとも困難な問題さえもアルテラのAPEX™ デバイス・ファミリなら解決できます。APEXのMultiCore™アーキテクチャはデュアル・ポートRAM、高速CAMが一体となり、最大200MHzまでのコア性能のニーズにお応えします。最大20Gビット/秒をサポートするエンベデッドLVDS回路と他の高速I/Oインタフェースとの組み合わせにより、デバイス全体で250Gビット/秒以上の帯域幅が得られます。最大150万ゲート（システムゲート最大250万ゲート）をカバーする10種類のAPEX デバイスは、完璧なシステム・レベルのインテグレーション system-on-a-programmable-chip（SOPC）をもたらします。

デザインの制約を排除

アルテラのQuartus™ 開発ソフトウェアは生産性を向上させ、設計サイクルを短縮します。APEX アーキテクチャ用に最適化されたさまざまなMegaCore™ およびAMPP™ のIP（intellectual property）メガファンクションで、開発効率がさらに向上します。



制約条件なし

まず、必要な速度と集積度を見つけてください。アルテラの system-on-a-programmable-chip solution APEXソリューション が、次の設計に必要な集積度と性能にどのように役立つか、アルテラのweb サイト <http://www.altera.com/rope> でお確かめください。

APEX デバイスの特長

- 3万～150万ゲートをカバーする10種類のデバイス
- CAM、デュアル・ポートRAM、FIFO、ROMなどのフレキシブルなメモリ機能
- それぞれ840Mbpsの帯域幅を持つ複数のLVDSチャンネル
- タイミングを改善する複数のPLL
- 省スペースFineLine BGA™パッケージ

The Programmable Solutions Company®
<http://www.altera.com/rope>

© 2000 Altera Corporation, Altera, APEX, MegaCore, MultiCore, AMPP, FineLine BGA, Quartus, The Programmable Solutions Company および特定の名称は米国およびその他の国におけるアルテラ社の登録商標、商標またはサービスマークです。その他のブランドまたは商品は各社の登録商標または商標です。製品の仕様は予告なく変更されることがありますのでご了承ください。版權所有。不許複製。

The System-on-a-Programmable-Chip Solution.

Table of Contents

特集記事			
新たなテクノロジーとイノベーションを採用した MAX 7000B デバイスが 業界トップの性能と機能を実現 1		MAX 7000S デバイス	11
840Mbps のデータ・レートを実現する APEX 20KE デバイスの True-LVDS ソリューション	5	MAX 3000A デバイス	12
ターナリ CAM の使用法	15	高集積コンフィギュレーション・ デバイスが近く登場	12
LGIC 社がブロードバンド CDMA WLL システムの開発に FLEX デバイスを採用	19	Quartus のバージョン 2000.09 を出荷	12
JTAG Technologies 社が、オン・ボード・ プログラミング・ソフトウェアに Jam STAPL のサポートを追加	21	PowerFit フィッタが、 f_{MAX} と コンパイル時間を大幅に改善	12
アルテラ・ニュース		新しいデバイス・データベース	12
メンター・グラフィックス社のソフトウェアの OEM ライセンスを取得する方法	18	さらに強力になったタイミング解析機能	13
サード・パーティの合成ツールによる IP (Intellectual Property) の使用法	28	Windows 2000 のサポート	13
アルテラと HelloBrain.com がインターネットを 活用したユーザとパートナーの取引市場を開設 ..	31	サード・パーティのシミュレーション・ ツールとタイミング解析ツールに対する サポートを改善	13
性能を 40% まで向上させるシンプリシティの フィジカル・シンセシス	32	サード・パーティの EDA ツールによる ブロック・レベル・デザインに対する サポートを強化	13
APEX 20KE PLL の性能仕様を改善	34	APEX デバイスのパッケージ・サポートを拡張 ...	13
APEX のエンベデッド CAM による ATM の実現 ..	36	Quartus ソフトウェアのバージョン 2000.05 サービス・パック 1 をリリース	14
		MAX+PLUS II ソフトウェアが ACEX デバイスの新製品をサポート	14
		ワールド・クラスの合成ツールと シミュレーション・ツールを出荷中	14
		製造中止品最新情報	20
		技術論文	
		汎用 I/O ピンで LVDS インタフェースを 実現する方法	23
		ModelSim-Altera の使用法 : FAQ (Frequently Asked Questions)	25
		Questions & Answers	38
		定期掲載情報	
デバイス & ツール		現在のソフトウェア・バージョン	40
APEX EP20K1500E を出荷中	8	アルテラの新規刊行資料	40
APEX 20KE デバイスが 最新の標準 I/O 規格をサポート	8	アルテラのプログラミング・ ハードウェアのサポート状況	41
5.0V 対応の APEX 20K および APEX 20KE デバイス	8	アルテラのコンタクト方法	43
APEX 20K デバイスの新プロセスへの移行	9	アルテラ・デバイス・セレクション・ガイド	44
ACEX 1K デバイスを出荷中	9		
すべての FLEX 10KE デバイスが入手可能	9		
FLEX 10K デバイスの新プロセスへの移行	9		
FLEX 10KE デバイスの工業用温度範囲品	10		
MAX 7000A デバイス	11		
MAX 7000B デバイス	11		

Altera, ACCESS Program, ACEX, ACEX 1K, ACEX 2K, AMPP, APEX, APEX 20K, APEX 20KE, Atlas, BitBlaster, ByteBlaster, ByteBlasterMV, Classic, ClockBoost, ClockLock, ClockShift, CoreSyn, E+MAX, EPC2, Excalibur, FastTrack, FineLine BGA, FLEX, FLEX 10K, FLEX 10KE, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, Jam, MasterBlaster, MAX, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX 7000S, MAX 7000A, MAX 7000AE, MAX 7000B, MAX 3000, MAX 3000A, MAX+PLUS, MAX+PLUS II, MegaCore, MegaLAB, MegaWizard, MultiCore, MultiVolt, NativeLink, Nios, nSTEP, OpenCore, OptiFLEX, PowerFit, Quartus, SignalTap, SignalTap Plus, True-LVDS, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Adobe and Acrobat are registered trademarks of Adobe Systems Incorporated. BP Microsystems is a registered trademark of BP Microsystems. Data I/O and UniSite are registered trademarks of Data I/O Corporation. HelloBrain.com is a trademark of HelloBrain.com. HP-UX is a trademark of Hewlett-Packard Company. JTAG Technologies is a registered trademark of JTAG Technologies B.V. LG Information & Communications (LGIC) is a registered trademark of LG Information & Communications, Ltd. Mentor Graphics is a registered trademark and LeonardoSpectrum and ModelSim are trademarks of Mentor Graphics. Microsoft, Windows, Windows 98, and Windows NT are registered trademarks of Microsoft Corporation. ObjectStore is a registered trademark of ObjectDesign. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Sun is a registered trademark and Solaris is a trademark of Sun Microsystems, Inc. Synplicity is a registered trademark and Amplify and Physical Optimizer are trademarks of Synplicity, Inc. Synopsys is a registered trademark and FPGA Express is a trademark of Synopsys, Inc. System General is a registered trademark of System General. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader.

ご質問、ご意見などがありましたら、お知らせください。

日本アルテラ株式会社
〒163-1332
東京都新宿区西新宿 6-5-1
新宿アイランドタワー 32F
私書箱 1594号
電話 : 03-3340-9480
FAX : 03-3340-9487
E-mail : japan@altera.com



新たなテクノロジーとイノベーションを採用した MAX 7000B デバイスが業界トップの性能と機能を実現 (1 ページからの続き)

表 2 は、MAX 7000B と他社のデバイスがサポートしている標準 I/O 規格を比較したものです。

標準 I/O 規格	MAX 7000B	XC9500XV (2.5 V)	ispLSI2000VL (2.5 V)	CoolRunner (XPLA3-XL)
GTL+	✓			
SSTL-2 class I および II	✓			
SSTL-3 class I および II	✓			
LVTTTL	✓	✓	✓	✓
LVC MOS	✓	✓	✓	✓
2.5 V	✓	✓	✓	
1.8 V	✓	✓	✓	
64-bit、66-MHz PCI	✓			

MAX 7000B は、これらの最新の標準 I/O 規格 (GTL+、SSTL-2、および SSTL-3) をサポートしているため、プロセッサ・インタフェース、バックプレーン・ドライバ、SDRAM メモリ・インタフェースなどの高速アプリケーションに採用することができます。

プログラム時間でもリーダー

現在までの評価結果から、MAX 7000B のプログラム時間は MAX 7000AE デバイスと同等であることが確認されています。量産時においては、プログラム時間の短縮が全体のコストの大幅な低減を実現します。製造工程においては、プログラミングに要する作業によって、1 秒あたり約 0.10 ドルから 0.25 ドルの費用がシステム・コストに追加されます。表 3 に示すように、MAX 7000B デバイスは、Xilinx

社の XC9500XL のプログラムに要する時間と比較して、その数分の 1 の時間でプログラムすることができます。

デバイス名	2MHz の TCK レートでのプログラム時間
EPM7128B (イレーズ、プログラム、ペリファイ)	2.2 秒
XC95144XL (イレーズ、プログラム、ペリファイ)	1.6 分
XC95144XL (イレーズ、プログラム、ペリファイ)	1.5 分

MAX 7000B の代わりに Xilinx の CPLD を使用した場合は、プログラミング・コストだけでも 9.40 ドルから 23.50 ドルの費用が追加される可能性があります。

MAX 7000B の高い汎用性

MAX 7000B デバイスは 32 マクロセルから 512 マクロセルの範囲をカバーしており、1.0mm ピッチの FineLine BGA™、0.8mm ピッチの Ultra FineLine BGA パッケージを含む幅広いパッケージ・オプションで供給されています。

MAX 7000B デバイスはデバイス間のパーティクル・マイグレーション機能を実現しています (表 4 を参照)。FineLine BGA と Ultra FineLine BGA のパッケージには SameFrame™ ピン配置機能が提供されているため、パッケージの変更が必要になった場合でもボード・デザインの変更が不要になる高い柔軟性が実現されます。

幅広い集積度、パッケージ、そしてスピード・グレード・オプションを実現している MAX 7000B デバイスは、現在の高性能デザインに対する理想的なソリューションとなっています。

デバイス名	パッケージ									
	44-Pin PLCC	44-Pin TQFP	49-Pin Ultra FineLine BGA	100-Pin TQFP	100-Pin FineLine BGA	144-Pin TQFP	169-Pin Ultra FineLine BGA	208-Pin PQFP	256-Pin BGA	256-Pin FineLine BGA
EPM7032B	✓	✓	✓							
EPM7064B	✓	✓	✓	✓	✓					
EPM7128B			✓	✓	✓	✓	✓			✓
EPM7256B				✓		✓	✓	✓		✓
EPM7512B						✓	✓	✓	✓	✓

840Mbps のデータ・レートを実現する APEX 20KE デバイスの True-LVDS ソリューション

次世代通信システムの進展に伴って、さらに広い帯域幅と高いI/O性能に対する要求が飛躍的に高まっています。このような要求の高まりは、LVDSのような新たな業界標準規格の制定によってサポートされるようになってきました。LVDSは、その高い性能と雑音余裕度、そして低消費電力特性から、コミュニケーション関連のアプリケーションに対する最高のソリューションとなっています。

アルテラは、これらのLVDSの利点と、プログラマブル・ロジック・デバイス(PLD)が提供する高い柔軟性や「Time-to-Market」の短縮などの利点を結合させるため、APEX™ 20KEファミリのデバイス内にTrue-LVDS™と呼ばれる専用回路を内蔵させました。APEX 20KE デバイス内に実現されたこのTrue-LVDSは、チャンネルあたり840Mbps (Megabits per second) までのデータ転送レートをサポートする業界初のsystem-on-a-programmable-chip (SOPC) ソリューションです。

この記事は、以下に示すような特長を実現しているAPEX 20KE デバイスのTrue-LVDS回路の強力な性能について解説します。

- チャンネルあたり840Mbpsまでの高速データ転送レート
- LVDSトランスミッタ、LVDSレシーバなどのLVDS専用回路を内蔵

- 高品質のツール・ディファレンシャルI/Oドライバ
- Quartus™ ソフトウェアによる簡単なデザイン・フロー
- スキュー除去回路を内蔵
- 低消費電力
- ボード設計を簡略化

True-LVDS ソリューション

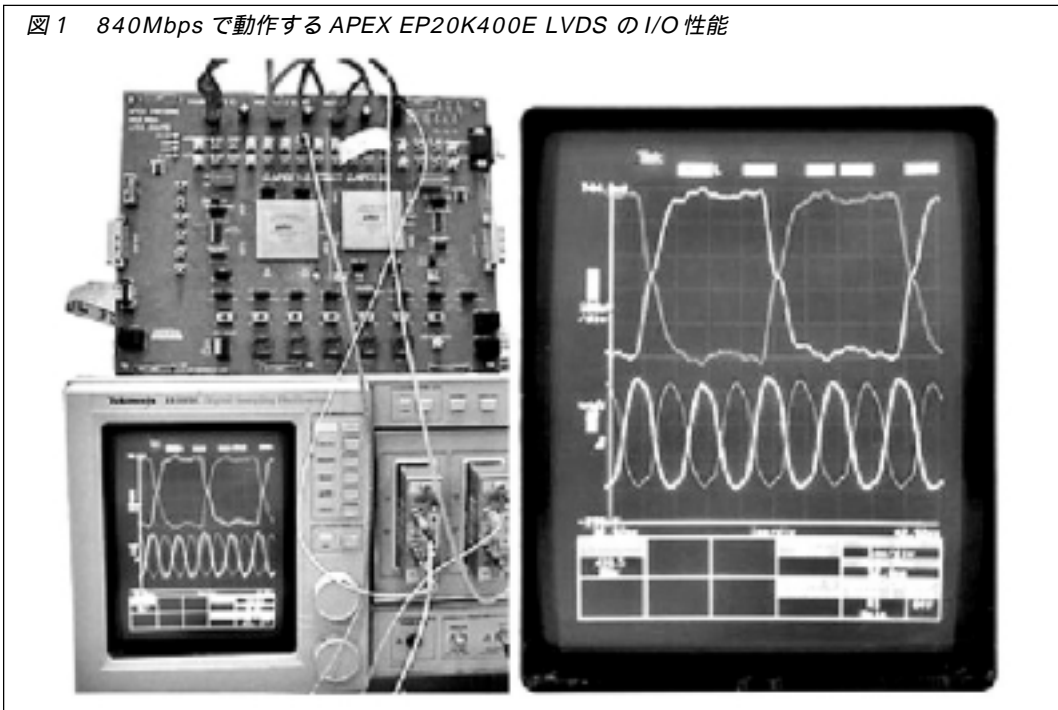
APEX 20KE デバイスのTrue-LVDSソリューションは、チャンネルあたり840Mbpsまでの高速データ転送レートを実現するだけでなく、高い雑音余裕度、低消費電力、低EMI (electromagnetic interference) など、高速コミュニケーションのアプリケーションで使用されるとき多くの利点も実現しています。このTrue-LVDSソリューションは、次のような革新的なテクノロジーの採用によって実現されています。

- シリアル - > パラレル、およびパラレル - > シリアルのデータ変換を実行する専用のレシーバおよびトランスミッタ回路によって、高速のトグル・レート (840Mbps) をサポート。

(6 ページに続く)



図1 840Mbps で動作する APEX EP20K400E LVDS の I/O 性能



840Mbpsのデータ・レートを実現するAPEX 20KE
デバイスのTrue-LVDSソリューション
(5 ページからの続き)

- 入力クロックを内部で8 倍して840MHzに
するオン・チップPLL(Phase-Locked Loop)
回路
- 専用のスキュー除去回路により、データとク
ロック間の確実なタイミングを実現
- トゥルー・ディファレンシャルI/O ドライバに
よって実現される高い雑音余裕度、低消費電
力、および低 EMI 特性

APEX 20KE デバイスの
True-LVDSソリューション
は、Quartusソフトウェア
・ツールがサポートし
ているプッシュ・ボタン
・コンパイル機能
により、非常に簡単に実
現することができます。

True-LVDS の性能

APEX 20KE デバイスの True-LVDS の高い性能
は、ワースト・ケースの条件の下でチャンネルあたり
840Mbpsのレートで動作させることによって検証
されており、APEX 20KE の True-LVDS の機能が
非常に強力であることが確認されています。5 ペ
ージの図 1 は、840Mbpsで動作しているTrue-LVDS
の性能を示したものです。

LVDSのI/O性能を解析する場合には、出力ピンで
のチャンネル・スキューや入力の最大スキュー・マ
ージンなどの規格を考慮しておくことが重要です。
これらの規格は、LVDSのシステム性能を決定する
ときに必要になります。また、これらの規格は、特
定のチャンネルでキャプチャされたデータが正しいか
どうかについても影響を与えます。表 1 は、APEX
20KE デバイスの LVDS が 840Mbpsで動作したと
きの、これらの規格を示したものです。

表 1 APEX 20KE True-LVDS の規格		
規格	定義	APEX 20KE True-LVDS の値
f _{LVDSDR}	LVDSデータの最高転送レート	840 Mbps
TCCS	トランスミッタのチャンネル間 スキュー	400 ps
SW	サンプリング・ウィンドウ： LVDSレシーバがデータを キャプチャするときに、デー タが安定していなければなら ない期間	440 ps
RSKM	レシーバ入力スキュー・マ ージン：ボード上で許容される スキュー・マージンで、これは スキュー除去機能付きの状態 で規定される。	473 ps

True-LVDS の品質

LVDS I/O 全体の品質は、一般的にデータ・サン
プリング・オシロスコープで生成される「アイ・ダイ
アグラム」(eye diagram、アイ・パターンとも呼ば
れる) を使用して測定されます。この「アイ・ダイ
アグラム」はLVDS出力信号のジッタと出力ドライ
バ品質を視覚的に表示したものです。このデータ
は、LVDSチャンネルに擬似ランダム・データを送出
し、サンプリング・オシロスコープを使用して正確
な測定を行うことによって得られます。この測定で
は、伝送されたデータが長時間にわたってキャ
プチャされ、プロットされます。目(アイ)に相当す
る部分が水平側で狭くなっているのはジッタの影響
によるものであり、垂直側で狭くなっているのは信
号の減衰またはノイズの影響によるものです。した
がって、より大きな目がより高いドライバ品質を表
します。図 3 は、APEX EP20K400E デバイスが
840Mbpsで動作したときの「アイ・ダイアグラム」
を示しています。

True-LVDS に対するソフトウェア・サポート

APEX 20KE デバイスの True-LVDS ソリューシ
ョンは、Quartus™ ソフトウェア・ツールがサポート
しているプッシュ・ボタン・コンパイル機能
により、非常に簡単に実現することができます。
Quartus ソフトウェアには、図 2 に示されてい
る altlvds_tx と altlvds_rx メガファンクシ
ョンが提供されており、これらをデザイン内にドロ
ップ・インすることで、LVDS のトランスミッタ
とレシーバを構成することができます。ユーザは、
これらのメガファンクシ
ョンのチャンネル数、動作周波数、データ
転送モードをカスタマイズすることができるため、
デザインの柔軟性が大幅に向上します。

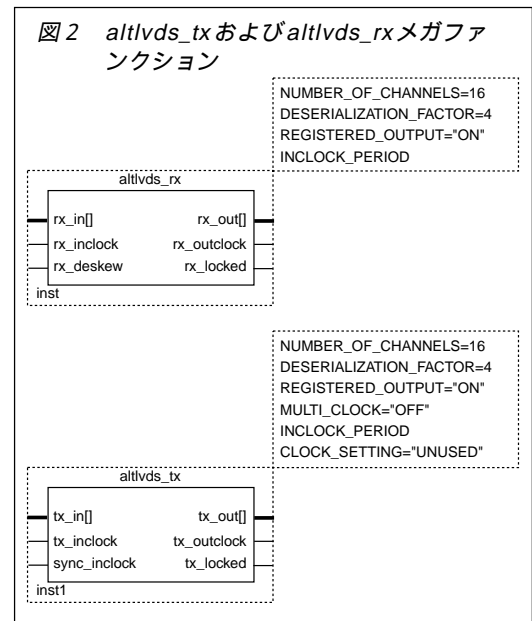
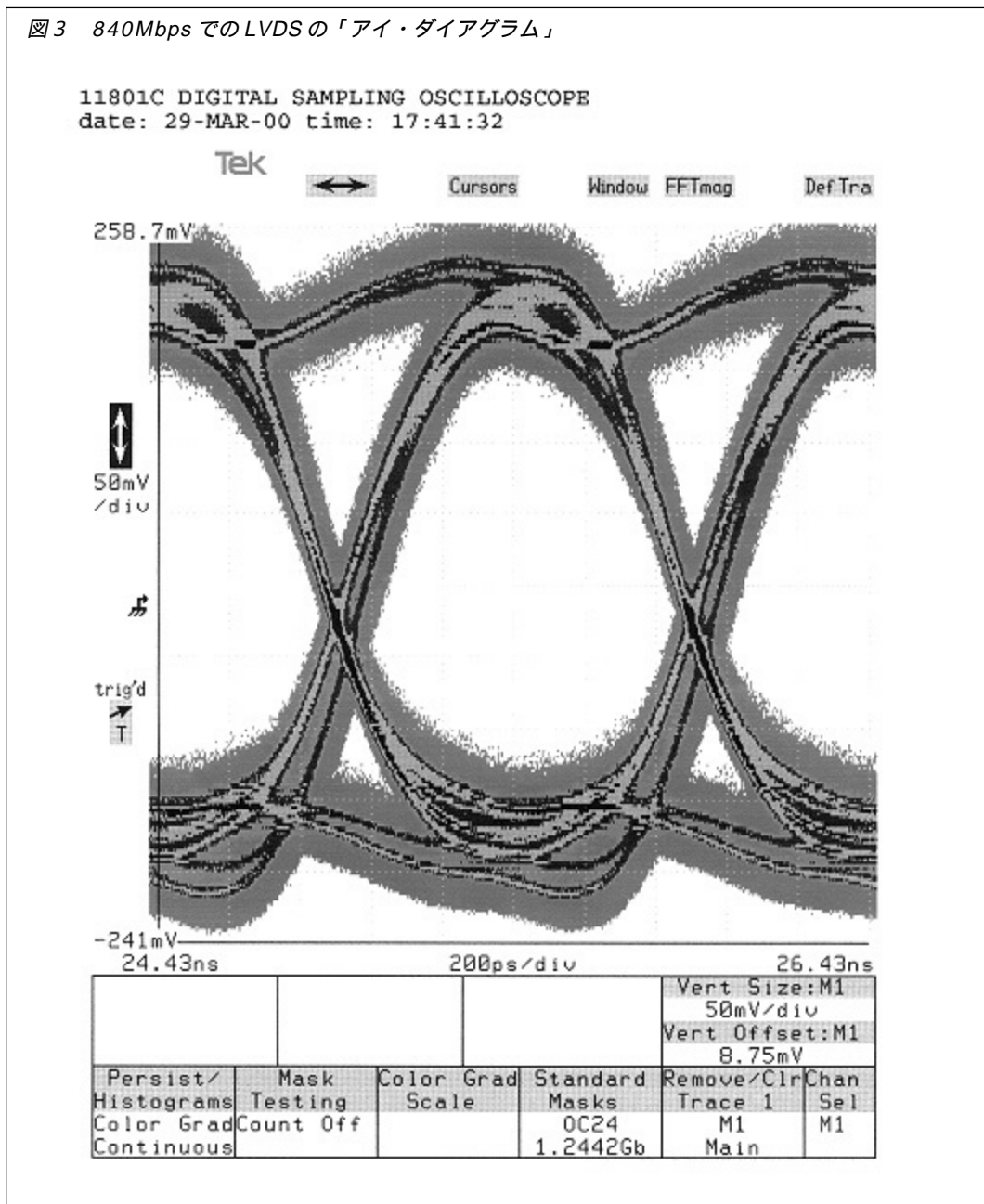


図3 840MbpsでのLVDSの「アイ・ダイアグラム」



APEX 20KEのTrue-LVDSソリューションは、テレコミュニケーション、データ・コミュニケーション、およびコンピュータ関連のアプリケーションに最適です。

APEX 20KEのTrue-LVDSは1x、4x、7x、8xのデータ転送モードをサポートしているため、7xのモードをサポートしているナショナル・セミコンダクター社のLVDSチップなどのような業界標準になっている他のLVDSデバイスとインターフェースすることができます。

True-LVDSのアプリケーション

APEX 20KEのTrue-LVDSソリューションは、テレコミュニケーション、データ・コミュニケーション、およびコンピュータ関連のアプリケーションに最適です。840Mbpsの転送レートを実現したことによって、チャンネルあたり666Mbpsで動作する

リード・ソロモンのフォワード・エラー・コレクション・エンコーディング付きのOC-12データを送受信するDWDM(Dense Wave Division Multiplexing: 高密度波長分割多重)システムへの使用もフル・サポートされます。

LVDSをサポートしているAPEX 20KEデバイスは、高速データ伝送のデザインに最高の性能、最大の帯域幅、最低の消費電力を実現するsystem-on-a-programmable-chipソリューションとなっています。

APEX

APEX EP20K1500E を出荷中

もっとも高集積なAPEX™ 20KEデバイス、APEX EP20K1500Eが出荷中となっています。最大240万システム・ゲート、51,840個のロジック・エレメント(LE)、416KバイトのRAM、808本のユーザI/Oを内蔵しているこのデバイスは、system-on-a-programmable-chip(SOPC)のアプリケーションに対応することができます。



APEX 20KE ファミリでは、EP20K60E、EP20K100E、EP20K160E、EP20K200E、EP20K300E、EP20K400E、EP20K600E、EP20K1000E、EP20K1500Eが出荷中となり、これで予定されていた全10種類のデバイスのうち、9種類のデバイスが入手可能となりました。もっとも集積度の低いAPEX 20KEデバイス、EP20K30Eは2000年第4四半期に入手可能になる予定です。これらのデバイスは、FineLine BGA™パッケージを含む複数のパッケージで供給されています。

APEX 20KE デバイスが最新の標準I/O規格をサポート

APEX 20KE デバイスは、LVDSを含む多数の最新業界標準 I/O 規格をサポートしています。APEX 20KE デバイスの True-LVDS™ 専用回路はチャンネルあたり840Mbpsまでのデータ転送レートを実現しているため、高速のテレコミュニケーション、データ・コミュニケーション、およびコンピュータ関連のアプリケーションに最適です。また、APEX 20KE デバイスは、LVPECL (Low-Voltage Positive Emitter Coupled Logic) の標準規格もサポートしており、高性能のクロック分配、バックプレーン、オプティカル・トランシーバ、高速ネットワーク、およびハイ・エンドのビデオ関連アプリケーションに使用することが可能です。

5.0V 対応の APEX 20K および APEX 20KE デバイス

APEX 20K ファミリの I/O バッファが 5.0V 信号にも対応できるように強化され、5.0V の PCI 仕様にも完全に準拠するようになっています。これらの 5.0V トレラント・デバイスは現在出荷中となっており、これらのデバイスのオーダ・コードの末尾には "V" のサフィックスが付加されます (例: EP20K400BC652-1V)。

表1 APEX 20KE デバイスのパッケージ・オプションと Quartus ソフトウェアのサポート状況

デバイス名	パッケージ・オプション	ソフトウェア・サポート状況/予定
EP20K30E	144-pin TQFP (1) 144-pin FineLine BGA 208-pin PQFP (1) 324-pin FineLine BGA	2000年Q3 2000年Q3 2000年Q3 2000年Q3
EP20K60E	144-pin TQFP 144-pin FineLine BGA 208-pin PQFP 240-pin PQFP 324-pin FineLine BGA 356-pin BGA (1)	サポート済み サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K100E	144-pin TQFP 144-pin FineLine BGA 208-pin PQFP 240-pin PQFP 324-pin FineLine BGA 356-pin BGA	サポート済み サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K160E	144-pin TQFP 208-pin PQFP 240-pin PQFP 356-pin BGA 484-pin FineLine BGA	サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K200E	208-pin PQFP 240-pin PQFP 356-pin BGA 484-pin FineLine BGA 652-pin BGA 672-pin FineLine BGA	サポート済み サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K300E	240-pin PQFP 652-pin BGA 672-pin FineLine BGA	サポート済み サポート済み サポート済み
EP20K400E	652-pin BGA 672-pin FineLine BGA	サポート済み サポート済み
EP20K600E	652-pin BGA 672-pin FineLine BGA 1,020-pin FineLine BGA	サポート済み サポート済み サポート済み
EP20K1000E	652-pin BGA 672-pin FineLine BGA 1,020-pin FineLine BGA	サポート済み サポート済み サポート済み
EP20K1500E	652-pin BGA 1,020-pin FineLine BGA	サポート済み サポート済み

注:

- (1) TQFP: 薄型クワッド・フラット・バック
PQFP: プラスチック・クワッド・フラット・バック
BGA: ボール・グリッド・アレイ

APEX 20KE デバイスは、外部に1本の抵抗を接続することによって、5.0V対応デバイスとなるため、システム・デザインの柔軟性がさらに向上します。この5.0Vへの対応方法についての技術情報が、アルテラのWhite Paper、「5.0V Tolerance in APEX 20KE Devices」で解説されています。

APEX 20K デバイスの新プロセスへの移行

アルテラは2.5V動作のEP20K400の製造プロセスを0.25ミクロンから0.22ミクロンのプロセスに移行させています。この移行に関する情報が記載されたアルテラのプロセス変更通知書、PCN-0005がアルテラのwebサイト、<http://www.altera.com>に掲載されています。

ACEX

ACEX 1K デバイスを出荷中

30,000、50,000、および100,000ゲートの集積度のACEX™ 1Kデバイスが、すべてのパッケージ・オプションで出荷中となっています(表2を参照)。コストに対して最適化されているACEX 1Kデバイスは、特にロー・コストで高性能が要求されるコミュニケーション関連のアプリケーションに最適であり、もっとも低価格のプログラマブル・ロジック・デバイスが要求される量産製品のデザインに採用することができます。

デバイス名	パッケージ・オプション	供給状況 / 予定
EP1K10	100-pin TQFP	サポート済み
	144-pin TQFP	サポート済み
	208-pin PQFP	サポート済み
	256-pin FineLine BGA	サポート済み
EP1K30	144-pin TQFP	サポート済み
	208-pin PQFP	サポート済み
	256-pin FineLine BGA	サポート済み
EP1K50	144-pin TQFP	サポート済み
	208-pin PQFP	サポート済み
	256-pin FineLine BGA	サポート済み
	484-pin FineLine BGA	サポート済み
EP1K100	208-pin PQFP	サポート済み
	256-pin FineLine BGA	サポート済み
	484-pin FineLine BGA	サポート済み

ACEX 1Kデバイスは、-1および-2スピード・グレードの製品でClockLock™とClockBoost™の機能を実現するPLL (Phase-Locked Loop) を、また全スピード・グレードの製品でエンベデッド・デュアル・ポートRAMをサポートしており、64ビット/66MHzのPCI仕様に完全準拠しています。革新的

な0.22/0.18ミクロンのハイブリッド・プロセスの開発と2.5Vのコア動作電圧により、ACEX 1K デバイスではコスト、性能、そして機能の3つの要素が理想的に組み合わせられています。

ACEX 1Kデバイスのデザインは、MAX+PLUS® IIソフトウェアのバージョン10.0でフル・サポートされています。また、ACEXデバイスに最適化された幅広いIP (Intellectual Property) ファンクションもアルテラのオンライン・ストア、MegaStore™を通じて提供されています。

FLEX

すべてのFLEX 10KE デバイスが入手可能

EPF10K30E、EPF10K50S、EPF10K100E、EPF10K130E、EPF10K200Sの各デバイスが、-1、-2、-3のスピード・グレードで出荷中となっています。これらのデバイスは0.22ミクロン・プロセスで製造されており、64ビット/66MHzのPCI仕様に完全準拠させるプログラマブルな入力バッファを内蔵しています。

-1および-2スピード・グレードのFLEX® 10KEデバイスには、クロック・スキューの低減とクロック周波数の通信機能を実現するPLL回路が内蔵されています。これら製品のオーダ・コードの末尾には、「X」のサフィックスが付加されます(例: EPF10K100EQC208-1X)。FLEX 10KEデバイスのデザインに使用されるMAX+PLUS IIソフトウェアでは、すべてのパッケージ・オプションがすでにサポートされています。10ページの表3は、2.5V動作のFLEX 10KEデバイスに提供されているパッケージ・オプションとスピード・グレードを示しています。

FLEX 10K デバイスの新プロセスへの移行

2.5Vで動作するEPF10K50EとEPF10K200Eの製造プロセスが0.25ミクロンから0.22ミクロンに移行されています。その他のFLEX 10KEファミリの製品は、すでに0.22ミクロン・プロセスで製造されています。また、EPF10K50Vの製造プロセスが、2000年9月から0.3ミクロンの3層メタル・プロセスから0.3ミクロンの4層メタル・プロセスに移行されています。EPF10K40とEPF10K70の両デバイスは、それぞれ10月と12月に0.5ミクロンから0.42ミクロンの製造プロセスに移行されます。10ページの表4は、これらデバイスの新プロセスへの移行時期と関連する参考資料をまとめたものです。これらの参考資料はアルテラのwebサイト、<http://www.altera.com>のCustomer Notificationsのページからダウンロードすることができます。

30,000、50,000、および100,000ゲートの集積度のACEX 1Kデバイスが、すべてのパッケージ・オプションで出荷中となっています。

(10 ページに続く)



デバイス&ツール (9 ページからの続き)

表3 FLEX 10KE のデバイス・オプション

デバイス名	パッケージ・オプション	スピード・グレード
EPF10K30E	144-pin TQFP	-1, -2, -3
	208-pin PQFP	-1, -2, -3
	256-pin FineLine BGA	-1, -2, -3
	484-pin FineLine BGA	-1, -2, -3
	PLL (全パッケージ)	-1X, -2X
EPF10K50S	144-pin TQFP	-1, -2, -3
	208-pin PQFP	-1, -2, -3
	240-pin PQFP	-1, -2, -3
	256-pin FineLine BGA	-1, -2, -3
	356-pin BGA	-1, -2, -3
	484-pin FineLine BGA	-1, -2, -3
PLL (全パッケージ)	-1X, -2X	
EPF10K100E	208-pin PQFP	-1, -2, -3
	240-pin PQFP	-1, -2, -3
	256-pin FineLine BGA	-1, -2, -3
	356-pin BGA	-1, -2, -3
	484-pin FineLine BGA	-1, -2, -3
PLL (全パッケージ)	-1X, -2X	
EPF10K130E	240-pin PQFP	-1, -2, -3
	356-pin BGA	-1, -2, -3
	484-pin FineLine BGA	-1, -2, -3
	600-pin BGA	-1, -2, -3
	672-pin FineLine BGA	-1, -2, -3
PLL (全パッケージ)	-1X, -2X	
EPF10K200S	240-pin RQFP (1)	-1, -2, -3
	356-pin BGA	-1, -2, -3
	484-pin FineLine BGA	-1, -2, -3
	600-pin BGA	-1, -2, -3
	672-pin FineLine BGA	-1, -2, -3
PLL (全パッケージ)	-1X, -2X	

すべての FLEX 10KE デバイスが工業用温度範囲のグレードでも入手可能になっています。

注：
(1) RQFP:パワー・クワッド・フラット・バック

FLEX 10KE デバイスの工業用温度範囲品

すべての FLEX 10KE デバイスが工業用温度範囲のグレードでも入手可能になっています。表 5 には、これらの工業用温度範囲品がまとめられています。

表4 FLEX 10K デバイスの新プロセスへの移行

デバイス名	コア電源電圧 (V)	移行時期	参照資料	移行後のプロセス (μm)
EPF10K10A	3.3	完了	PCN 9810	0.30
EPF10K30A	3.3	完了	PCN 9810	0.30
EPF10K50V	3.3	完了	PCN 9810	0.30 (1)
		完了	PCN 9915	0.30 (2)
EPF10K100A	3.3	完了	PCN 9810	0.30
EPF10K10	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K20	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K30	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K40	5.0	2000年 10月	PCN 9901 ADV 9909	0.42
EPF10K50	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K70	5.0	2000年 12月	PCN 9901 ADV 9909	0.42
EPF10K50E	2.5	完了	PCN 9911	0.22
EPF10K200E	2.5	完了	PCN 9911	0.22

注：
(1) 3層メタル・プロセス
(2) 4層メタル・プロセス

表5 FLEX 10KE、工業用温度範囲品の供給状況 / 予定

デバイス名	供給状況 / 予定
EPF10K30EQI208-2	供給中
EPF10K30EFI256-2	供給中
EPF10K50ETI144-2	供給中
EPF10K50EQI240-2	供給中
EPF10K50EFI256-2	供給中
EPF10K50SQI208-2	供給中
EPF10K50SFI484-2	供給中
EPF10K100EQI208-2	供給中
EPF10K100EFI256-2	供給中
EPF10K100EFI484-2	供給中
EPF10K130EQI240-2	供給中
EPF10K130EBI356-2	供給中
EPF10K130EFI484-2	供給中
EPF10K200EBI600-2	供給中
EPF10K200SBI356-2	供給中
EPF10K200SFI672-2	供給中

MAX

MAX 7000A デバイス

多くの機能を内蔵しているMAX[®] 7000Aデバイスは、さらに強化されたイン・システム・プログラマビリティ(ISP)、MultiVolt[™] I/Oピン、活線挿抜(Hot-Socketing)をサポートしており、業界標準になっているMAX 7000デバイスとピン互換となっています。3.3Vで動作するMAX 7000AEデバイスは32から512マクロセルまでの範囲の集積度をカバーしており、4.5nsまでのピン間遅延時間を実現しています。現在、すべてのMAX 7000AEデバイスが工業用温度範囲のグレードでも供給されています。表6は、MAX 7000AEデバイスの一般用温度範囲品に提供されているパッケージ・オプションとスピード・グレードをまとめたものです。

MAX 7000B デバイス

2.5Vで動作するMAX 7000Bデバイスは32から512マクロセルまでの範囲の集積度をカバーしており、3.5nsまでのピン間遅延時間を実現しています。また、MAX 7000Bデバイスは、さらに強化さ

デバイス名	パッケージ・オプション	スピード・グレード
EPM7032AE	44-pin PLCC (1) 44-pin TQFP	-4, -7, -10 -4, -7, -10
EPM7064AE	44-pin PLCC 44-pin TQFP 49-pin Ultra FineLine BGA (2)	-4, -7, -10 -4, -7, -10 -4, -7, -10 -4, -7, -10
EPM7128AE	100-pin TQFP 100-pin FineLine BGA	-4, -7, -10 -4, -7, -10
EPM7128AE	84-pin PLCC 100-pin TQFP 100-pin PQFP 144-pin TQFP 169-pin Ultra FineLine BGA	-5, -7, -10 -5, -7, -10 -5, -7, -10 -5, -7, -10 -5, -7, -10 -5, -7, -10
EPM7256AE	256-pin FineLine BGA	-5, -7, -10
EPM7256AE	100-pin TQFP 100-pin FineLine BGA 144-pin TQFP 208-pin PQFP 256-pin FineLine BGA	-5, -7, -10 -5, -7, -10 -5, -7, -10 -5, -7, -10 -5, -7, -10
EPM7512AE	256-pin FineLine BGA	-5, -7, -10
EPM7512AE	144-pin TQFP 208-pin PQFP 256-pin BGA 256-pin FineLine BGA	-7, -10, -12 -7, -10, -12 -7, -10, -12 -7, -10, -12

注:

- (1) PLCC: プラスチックJ-リード・チップ・キャリア
(2) アルテラが開発した0.8mmピッチのUltra FineLine BGA[™]パッケージです。

れたISP機能、MultiVolt[™] I/Oピン、業界標準のMAX 7000デバイスとのピン互換性など、多くの特長を備えています。表7はMAX 7000Bの一般用温度範囲品のパッケージ・オプションとスピード・グレードを示しています。これらの製品はすべて入手可能となっています。また、2000年10月までにMAX 7000Bの工業用温度範囲品のほとんどが入手可能になる予定です。各製品の供給状況については、販売代理店にお問い合わせください。MAX 7000Bデバイスに関する詳細については、1ページの「新たなテクノロジーとイノベーションを採用したMAX 7000Bデバイスが業界トップの性能と機能を実現」をご覧ください。

MAX 7000S デバイス

5.0Vで動作するMAX 7000Sデバイスは、5nsのスピード・グレード、イン・システム・プログラマビリティ(ISP)機能、オープン・ドレイン出力オプションをサポートしており、128マクロセル以上

MAX[®]

表7 MAX 7000B、一般用温度範囲品のパッケージ・オプションとスピード・グレード

デバイス名	パッケージ・オプション	スピード・グレード
EPM7032B	44-pin PLCC 44-pin TQFP 49-pin Ultra FineLine BGA	-3, -5, -7 -3, -5, -7 -3, -5, -7
EPM7064B	44-pin PLCC 44-pin TQFP 49-pin Ultra FineLine BGA 100-pin TQFP 100-pin FineLine BGA	-3, -5, -7 -3, -5, -7 -3, -5, -7 -3, -5, -7 -3, -5, -7
EPM7128B	49-pin Ultra FineLine BGA 100-pin TQFP 100-pin FineLine BGA 144-pin TQFP 169-pin Ultra FineLine BGA 256-pin FineLine BGA	-4, -7, -10 -4, -7, -10 -4, -7, -10 -4, -7, -10 -4, -7, -10 -4, -7, -10
EPM7256B	100-pin TQFP 144-pin TQFP 169-pin Ultra FineLine BGA 208-pin PQFP 256-pin FineLine BGA	-5, -7, -10 -5, -7, -10 -5, -7, -10 -5, -7, -10 -5, -7, -10
EPM7512B	144-pin TQFP 169-pin Ultra FineLine BGA 208-pin PQFP 256-pin BGA 256-pin FineLine BGA	-5, -7, -10 -5, -7, -10 -5, -7, -10 -5, -7, -10 -5, -7, -10

MAX 7000Bデバイスは、さらに強化されたISP機能、MultiVolt[™] I/Oピン、業界標準のMAX 7000デバイスとのピン互換性など、多くの特長を備えています。

(12 ページに続く)

デバイス&ツール (11 ページからの続き)

のデバイスにはIEEE Std. 1149.1 のJTAG (Joint Test Action Group) バウンダリ・スキャン・テスト (BST) 回路が内蔵されています。また、すべてのMAX 7000Sデバイスには、工業用温度範囲の製品も提供されています。表 8 には、一般用温度範囲品として供給されている MAX 7000S デバイスのパッケージ・オプションとスピード・グレードが示されています。

表 8 MAX 7000S デバイス、一般用温度範囲品のパッケージ・オプションとスピード・グレード

デバイス名	パッケージ	スピード・グレード
EPM7032S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
EPM7064S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
	84-pin PLCC	-5, -6, -7, -10
	100-pin TQFP	-5, -6, -7, -10
EPM7128S	84-pin PLCC	-6, -7, -10, -15
	100-pin TQFP	-6, -7, -10, -15
	100-pin PQFP	-6, -7, -10, -15
	160-pin PQFP	-6, -7, -10, -15
EPM7160S	84-pin PLCC	-6, -7, -10
	100-pin TQFP	-6, -7, -10
	160-pin PQFP	-6, -7, -10
EPM7192S	160-pin PQFP	-7, -10, -15
EPM7256S	208-pin PQFP	-7, -10, -15

MAX 3000A デバイス

MAX 3000A デバイスは、高い性能を最低のマクロセルあたりの価格で必要としているユーザに対する理想的なロー・コストのISPソリューションとなっています。MAX 3000A は 3.3V で動作するプロダクト・ターム・ベースのデバイスで、ロー・コストで大量生産されるデザインをターゲットにした製品です。MAX 3000A デバイスは強化されたISP機能をサポートしており、32 から 256 マクロセルまでの集積度、4.5ns までのピン間遅延時間を実現しています (表 9 を参照)。

表 9 MAX 3000A デバイスのパッケージ・オプションとスピード・グレード

デバイス名	パッケージ	スピード・グレード
EPM3032A	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
EPM3064A	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
	100-pin TQFP	-4, -7, -10
EPM3128A	100-pin TQFP	-5, -7, -10
	144-pin PQFP	-5, -7, -10
EPM3256A	144-pin TQFP	-7, -10
	208-pin PQFP	-7, -10



CONFIGURATION

高集積コンフィギュレーション・デバイスが近く登場

新しい 4M ビットと 16M ビットのコンフィギュレーション・デバイス、EPC4E と EPC16F が 2000 年 12 月にリリースされる予定です。これらの新しいデバイスでは、高速のコンフィギュレーション時間、パラレル・コンフィギュレーション、リプログラマビリティなどを含む多くの新しい機能が実現される予定です。また、1 個のデバイスで複数の APEX デバイスまたは FLEX デバイスを並列にコンフィギュレーションすることが可能になるため、コンフィギュレーション時間がさらに短縮され、ボード・スペースが縮小されます。

さらに、新たに提供されるデータ圧縮のオプションにより、1 個の EPC16F で 150 万ゲートの集積度を持つ EP20K1500E を 2 個、コンフィギュレーションすることができます。

TOOLS

Quartus のバージョン 2000.09 を出荷

PowerFit™ フィッタが組み込まれた Quartus™ ソフトウェアのバージョン 2000.09 が、サブスクリプション契約が有効になっているすべてのユーザに対して 10 月から出荷されています。

PowerFit フィッタが、 f_{MAX} とコンパイル時間を大幅に改善

Quartus ソフトウェアのバージョン 2000.09 には、高集積 PLD デザインでの配置とフィッティングを最適化する第 2 世代の PowerFit フィッタが組み込まれています。実施されたベンチマークの結果では、 f_{MAX} の大幅な改善と共に、APEX EP20K600E およびこれより高集積のデバイスをターゲットにしたデザインでのコンパイル時間が短縮されることが確認されています。この PowerFit フィッタは、サブスクリプション契約が有効になっているすべてのユーザに対して 10 月から出荷されています。

新しいデバイス・データベース

アルテラが新たに開発したデータベース技術によって、ObjectStore のデータベースが置換えられます。この新しいテクノロジーは UNIX 環境でのインストール・フローを改善し、UNIX ベースでのコンパイル時間を短縮します。

さらに強力になったタイミング解析機能

Quartusソフトウェアのバージョン2000.09では、表 10 に示される機能を含め、新たに多くのタイミング解析のオプションがサポートされています。

Quartusソフトウェアのバージョン2000.09のタイミング・アナライザは、組み合わせロジックを使用して特定のクロックから別のクロックがドライブされるような複雑なクロック構造の回路も正確に解析することができます。また、その他のタイミング解析機能の改良によって、マルチサイクル・パスの関係もさらに簡単に指定できるようになっています。これらの機能を解説した資料が近く、発行される予定です。

Windows 2000 のサポート

Quartusソフトウェアのバージョン2000.09とMAX+PLUS IIソフトウェアのバージョン10.0は、Windows 2000 オペレーティング・システム上で動作することが認証されています。これによって、現在 Quartus および MAX+PLUS II 開発システムによってサポートされるオペレーティング・システムは、表 11 に示す通りとなりました。

アサインメント	説明
NOT_CLOCK	クロックとして取り扱うべきでない信号を規定
INVERTED_CLOCK	複雑なロジックから生成されたクロックの反転を規定
MIN_TPD_REQUIREMENT	2つのレジスタ間にある組み合わせ回路に要求される最小遅延時間を規定
HOLD_MULTICYCLE SRC_MULTICYCLE SRC_HOLD_MULTICYCLE	マルチサイクル・タイミング解析のサポートを拡張した機能

ソフトウェア	サポートされるオペレーティング・システム
Quartus version 2000.09	Windows 2000、Windows 98、Windows NT バージョン 4.0 以降、Sun Solaris 2.6 および 2.7、HP-UX 10.2x
MAX+PLUS II version 10.0	Windows 2000、Windows 98、Windows NT バージョン 4.0 以降、Sun Solaris 2.5 および 2.6、HP-UX 10.2x、AIX バージョン 4.1 以降

サード・パーティのシミュレーション・ツールとタイミング解析ツールに対するサポートを改善

それぞれ異なる方法で検証用のネットリストを処理する各EDAツールに対応するため、ターゲットになるEDAツールに応じた検証用のネットリスト出力ファイルがQuartusソフトウェアから生成されるようになりました。例えば、ModelSim-Alteraソフトウェアがシミュレーション・ツールとして、PrimeTimeソフトウェアがタイミング解析ツールとして選択された場合は、独立したVHDLまたはVerilog HDL ネットリスト・ファイルとスタンダード・ディレイ・フォーマット出力ファイル(.sdo)が、それぞれModelSimとPrimeTimeのフォルダにストアされます。この手法がサポートされたことによって、すべてのサード・パーティのシミュレーション・ツールとタイミング解析ツールを使用した場合でも、正確な結果を得られるようになります。

サード・パーティのEDAツールによるブロック・レベル・デザインに対するサポートを強化

Create HDL Design File for Current Fileのオプション(Toolsメニュー)を使用して、Quartusソフトウェアで作成されたトップ・レベルのブロック・デザイン・ファイル(.bdf)をVHDLまたはVerilog HDLの出力ファイルに変換することができます。この出力ファイルの合成には、サード・パーティのHDL 合成ツールを使用します。

APEX デバイスのパッケージ・サポートを拡張

Quartusソフトウェアのバージョン2000.09は、表 12 に示されている新しいデバイスとパッケージをサポートしています。

サポート範囲	デバイス名	パッケージ
コンパイルーション、シミュレーション、プログラミングをフル・サポート	EP20K60E	144-pin FineLine BGA, 324-pin FineLine BGA, 356-pin BGA
	EP20K100E	144-pin FineLine BGA
	EP20K160E	144-pin TQFP, 208-pin RQFP, 240-pin PQFP, 356-pin BGA, 484-pin FineLine BGA
	EP20K600E	1,020-pin FineLine BGA
	EP20K1500E	652-pin BGA, 1,020-pin FineLine BGA
コンパイルーションとシミュレーションをサポート	EP20K30E	144-pin TQFP, 144-pin FineLine BGA, 208-pin RQFP, 324-pin FineLine BGA, 356-pin BGA

(14 ページに続く)

新たに ACEX 1K デバイス・ファミリをサポートしている MAX+PLUS II ソフトウェアのバージョン 10.0 がサブスクリプション契約が有効になっているすべてのユーザに出荷されています。

デバイス&ツール (13 ページからの続き)

Quartus ソフトウェアのバージョン 2000.05 サービス・パック 1 をリリース

Quartus ソフトウェア、バージョン 2000.05 サービス・パック 1 が 2000 年 7 月にリリースされました。このサービス・パックは、すでに出荷済みの Quartus ソフトウェアのバージョン 2000.05 と共に使用する必要があります。このサービス・パック 1 は、Windows 2000 の認証を得た Quartus 最初のバージョンであり、652 ピン BGA パッケージの EP20K1500E、652 ピン BGA および 1,020 ピン FineLine BGA パッケージの EP20K1000E-X を含む、23 種類の新しい APEX 20K および APEX 20KE デバイスをフル・サポートしています (表 13 を参照)。サブスクリプション契約が有効になっているユーザは、このアップデート版をアルテラの web サイト、<http://websupport.altera.com> からダウンロードすることができます。



MAX+PLUS II ソフトウェアが ACEX デバイスの新製品をサポート

MAX+PLUS II ソフトウェアのバージョン 10.0 がシングル・アップグレード・パッケージとして、Quartus ソフトウェアのバージョン 2000.09 と共に

表 13 Quartus ソフトウェア、バージョン 2000.05 サービス・パック 1 でフル・サポートされた新製品

デバイス名	パッケージ
EP20K60E	144-pin TQFP (1) 208-pin RQFP (1) 240-pin RQFP (1)
EP20K100	144-pin TQFP (2) 208-pin PQFP (2) 240-pin PQFP (2) 324-pin FineLine BGA (2) 356-pin BGA (2)
EP20K200E	356-pin BGA (1)
EP20K300E	672-pin FineLine BGA (1)
EP20K400	652-pin BGA (2) 672-pin FineLine BGA (2)
EP20K1000E	652-pin BGA (2) 672-pin FineLine BGA (1) 1,020-pin FineLine BGA (1)
EP20K1500E	652-pin BGA (3)

注:

- (1) これらのパッケージでは、PLL 内蔵デバイスまたは非内蔵デバイスの双方がサポートされます。
- (2) これらのパッケージでは、PLL 内蔵デバイスのみがサポートされます。
- (3) このパッケージでは、PLL を内蔵しないデバイスのみがサポートされます。

表 14 MAX+PLUS II ソフトウェアのバージョン 10.0 でフル・サポートされる新製品

デバイス名	パッケージ
EPM7032B	44-pin TQFP 49-pin Ultra FineLine BGA
EPM7064B	49-pin Ultra FineLine BGA 100-pin FineLine BGA
EPM7064AE	49-pin Ultra FineLine BGA
EPM7128B	49-pin Ultra FineLine BGA
EPM7256B	169-pin Ultra FineLine BGA
EPM7512B	144-pin TQFP 256-pin BGA 256-pin FineLine BGA 169-pin Ultra FineLine BGA
EP1K10	100-pin TQFP 144-pin TQFP 208-pin PQFP 256-pin BGA

に 2000 年 10 月から出荷されています。このリリース・バージョンでは、多数の MAX 7000B デバイスとパッケージ、および ACEX EP1K10 デバイスを含む新製品がサポートされています (表 14 を参照)。

ワールド・クラスの合成ツールとシミュレーション・ツールを出荷中

シノプシスの FPGA Express-Altera (バージョン 3.4、エグゼンプラ・ロジックの Leonardo Spectrum-Altera (バージョン 1999)、モデル・テクノロジーの Model Sim-Altera (バージョン 5.3) の各製品が、アルテラのサブスクリプション・プログラムに登録されているすべてのユーザに出荷されています。これらの製品が出荷されたことによって、サブスクリプション契約が有効になっているすべてのユーザがワールド・クラスの HDL 合成ツールとシミュレーション・ツールを活用できるようになりました。これらのツールの詳細、およびライセンスの取得方法については、アルテラの web サイト、<http://www.altera.com> でご確認ください。

ターナリ CAM の使用法

アルテラのAPEX™ 20KEデバイスには、多様な構成のデザインをサポートするエンベデッドCAM (Content Addressable Memory)が内蔵されています。APEX 20KEのCAMは、ユーザが0、1、または「ドント・ケア」のビットをストアすることができるターナリ(3値)動作をサポートしています。「ドント・ケア」のビットでは、入力が1、または0であっても、CAMから一致信号が出力されるため、インターネット・プロトコルのアドレスの特定フィールドをマスキングする用途など、多くのアプリケーションに使用することができます。この「ドント・ケア」ビットのサポートは非常に柔軟性に富んだ機能であり、この機能は他のプログラマブル・ロジック・ベンダではサポートされていません。「ドント・ケア」の値は次の3種類の方法でAPEX 20KEデバイスに書き込むことができます。

- メモリ・イニシャライゼーション・ファイル (.mif) でイニシャライズする方法
- wrxポートを使用する方法
- patternポートを使用する方法

MIFでイニシャライズする方法

「ドント・ケア」の値をCAMにストアするもっとも簡単な方法は、MIFによるCAMのイニシャライズです。MIFを使用して、「ドント・ケア」の値と通常のパターン値の双方をCAMに書き込むことができます。図1はMIFの1例と、「ドント・ケア」の値でCAMブロックがどのようにイニシャライズされているかを示したものです。

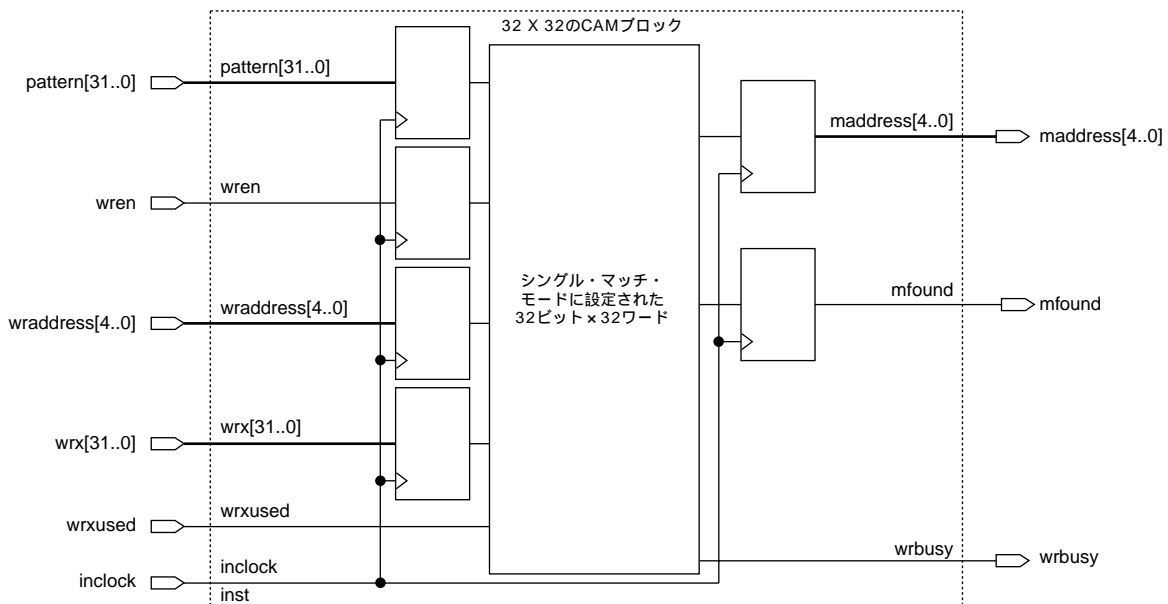
図1で示されるMIFには、Xで表されている「ドント・ケア」の値が含まれています。

(16 ページに続く)

図1 MIFの例

Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	00000001	00000002	00000003	00000004	00000005	00000006	00000007	00000008
8	00000008	0000000A	0000000B	0000000C	0000000D	0000000E	0000000F	00000010
16	00000011	00000012	00000013	00000014	00000015	00000016	00000017	00000018
24	00000019	0000001A	0000001B	0000001C	0000001D	0000001F	00001000	XXXXXXXX

図2 wrxポートを使用した32ワードのCAM



ターナリ CAM の使用法 (15 ページからの続き)

図 1 では、「ドント・ケア」のビットを含む XXXXFFFF のデータが、アドレス-24 に書き込まれています。このため、0000FFFF から FFFFFFFF までの任意のパターンが与えられたときに、アドレス-24 で一致信号が出力されます。

wrx ポートを使用する方法

ほとんどのデザインでは、デバイスのコンフィギュレーション後に、システムが CAM の内容をアップデートする必要があります。CAM 用の MegaWizard® Plug-In を使用することによって、デバイスのコンフィギュレーション後に「ドント・ケア」の値を CAM ブロックに書き込むための wrx ポートと wrxused ポートを生成することができます。図 2 は、MegaWizard Plug-In で生成された 32 ワードの CAM ブロックを示しています。この CAM ブロックでは、wrx ポートと wrxused ポートを使用して「ドント・ケア」の値が書き込まれます。

wrx ポートを使用するようにコンフィギュレーションされている CAM ブロックでは、「ドント・ケア」の値の書き込みに 3 クロック・サイクルが必要です。通常の値がストアされるビットへの書き込みはパターン・バスを通じて行われ、「ドント・ケア」の値にコンフィギュレーションされるビットへの書き込みは wrx バスを High に設定して実行します。例えば、CAM に BX の値を書き込むときは、パターン・バスを B0 にし、wrx バスを 0F に設定します。図 3 は、000000BX の値をアドレス-7 の位置に書き込む方法を示しています。

wrx ポートを使用する方法で、「ドント・ケア」の値を簡単に CAM へ書き込むことができます。「ドント・ケア」

に設定されるビットは、wrx バスで 1 が設定されます。図 2 に示されている 32 ワードの CAM ブロックは、100MHz までのスピードで動作することができます。このスピードは、多くのデザインに対応できますが、100MHz を超える周波数で動作する CAM が要求されるデザインには次に述べる pattern ポートを使用する方法を適用してください。

Pattern ポートを使用する方法

「ドント・ケア」の値は、pattern ポートを使用する方法でも書き込むことができます。この pattern ポートを使用する方法は、要求されるロジックが wrx ポートを使用する方法よりも少なくすみ、より高いクロック周波数で動作することができます。ただし、この方法で「ドント・ケア」のビットを書き込むプロセスは、少し複雑になります。図 4 は MegaWizard Plug-In によってインスタンス化された 32 ワードの CAM ブロックを示しており、この CAM には wrx ポートや wrxused ポートが使用されていません。

図 4 に示されている CAM には、「ドント・ケア」の値を 3 クロック・サイクルで書き込むことができます。通常の値がストアされるビットには、最初のクロック・サイクルで 0 または 1 を、また 3 番目のクロック・サイクルで同じ 0、または 1 を CAM に書き込みます。「ドント・ケア」に設定されるビットには、1 番目のクロック・サイクルで 0 を、そして 3 番目のクロック・サイクルで 1 を書き込みます。表 1 は、CAM のアドレス-7 に 000000BX を書き込む方法を示したものです。

17 ページの表 1 で、[3..0] のビットは「ドント・ケア」に設定される必要があるため、これらのビットの位置には最初のクロック・サイクルで 0 が書き込まれ、3 番目のクロック・サイクルで 1 が書き込ま

図 3 wrx ポートを使用して CAM に「ドント・ケア」の値を書き込む方法

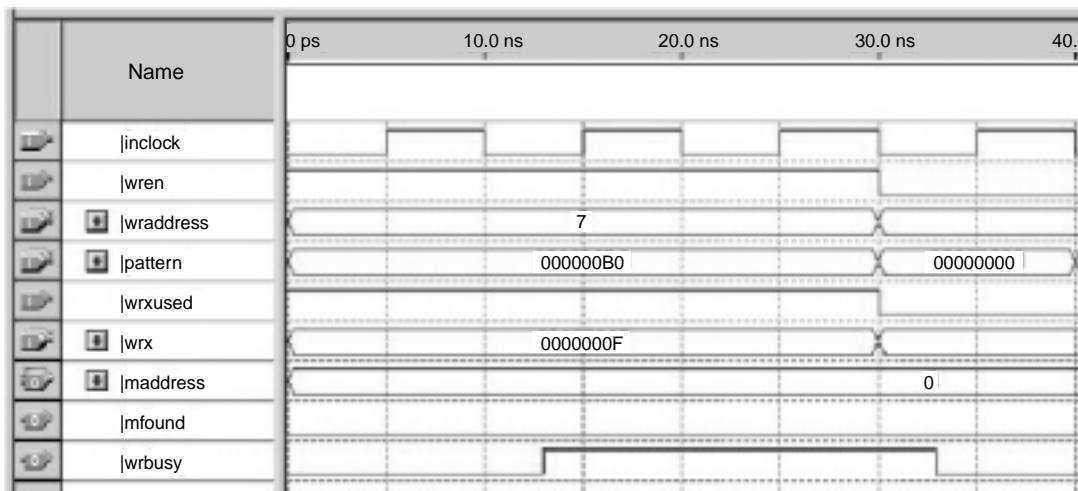


表1 CAMへの書き込みプロセス

ポート	クロック・サイクル - 1	クロック・サイクル - 2	クロック・サイクル - 3
wren	1	0	1
pattern	0000000B0	UUUUUUUU(1)	000000BF
wraddress	7	7	7

注:

- (1) 2番目のクロック・サイクルのパターンは、CAMに書き込まれません。したがって、このクロック・サイクルでは、任意のデータ値をパターン・バスに与えることができます。

れています。[7..4]のビットにはBの値が設定される必要があるため、最初のクロック・サイクルと3番目のクロック・サイクルでこれらのビットにBが書き込まれています。また、[31..8]のビットは、すべて0に設定される必要があるため、最初のクロック・サイクルと3番目のクロック・サイクルでこれらすべてのビットに0が書き込まれています。

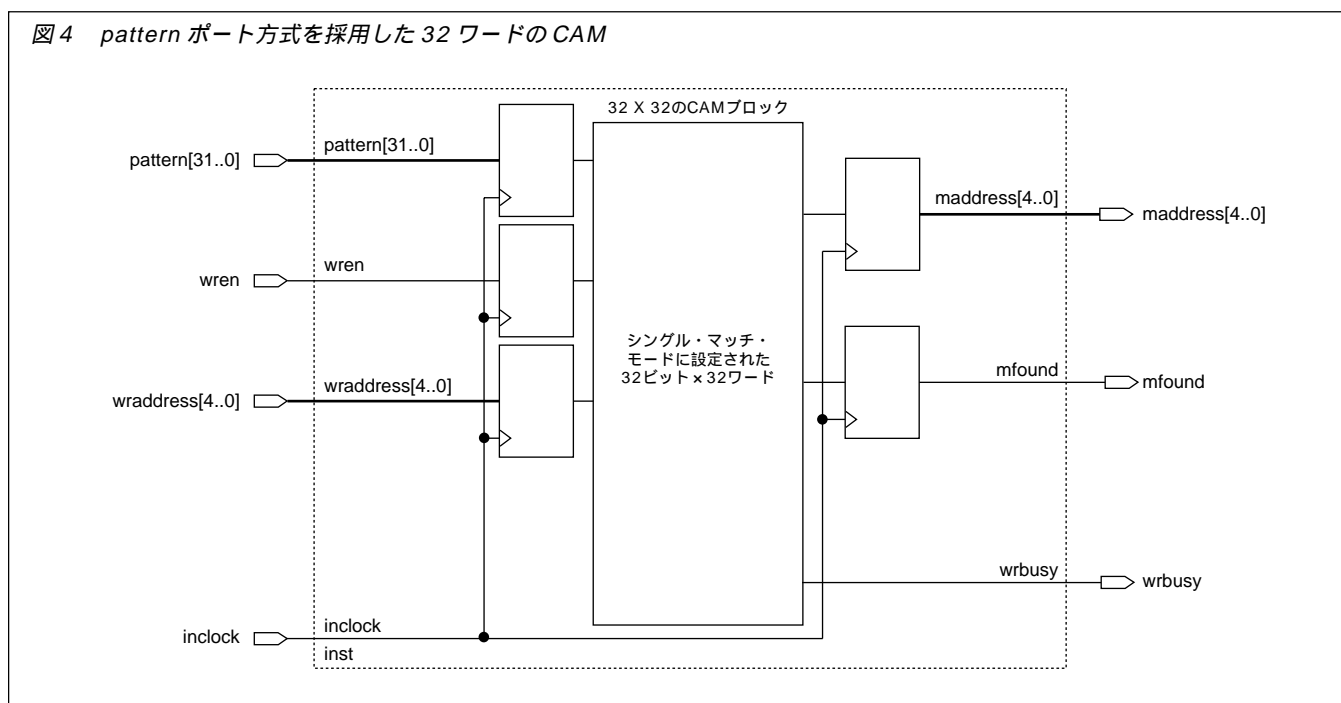
このように、patternポートを使用してCAMに「ドント・ケア」の値を書き込む方法は、wrxポートを使用する方法よりも少し複雑なプロセスになります。ただし、このpatternポートを使用する方法を採用することによって、CAMの全体的な性能が大幅に向上します。patternポートを使用する方法では、wrxポートで生じるクリティカル・パスが解消され、性能が向上します。図2のCAMが100MHzで動作するのに対して、図4に示されている32×32構成のCAMは160MHzで動作することができます。

「ドント・ケア」の値の書き込みは、各デザインに最適な方法を選択して行ってください。「ドント・ケア」の値を簡単な方法で書き込む必要があるデザインには、wrxポートを使用する方法を採用してください。この方法では、「ドント・ケア」ビットの書き込みに必要となるデコード回路の規模は最小となり、簡単なシーケンスで実現できます。一方、スピードがクリティカルになるデザインには、patternポート方式の採用を考慮する必要があります。patternポート方式には、より複雑なユーザ・ロジックが必要になりますが、CAM全体の性能は大幅に向上します。

まとめ

APEX 20KE デバイスには、多様なアプリケーションに使用できるCAMが内蔵されています。アルテラのCAMには3種類の異なる方法で「ドント・ケア」の値を書き込むことができ、これらの方法にはそれぞれ異なる利点があります。MIFでイニシャライズする方法は、もっとも簡単に実現されます。デバイスのコンフィギュレーション後にCAMへ「ドント・ケア」を書き込む必要がある場合は、wrxポートを通じた書き込み方法が、さらに高い動作周波数が要求されるデザインにはpatternポートを通じた書き込み方法が使用できます。

図4 patternポート方式を採用した32ワードのCAM



メンター・グラフィックス社のソフトウェアの OEM ライセンスを取得する方法

アルテラはメンター・グラフィックス社と OEM 契約を締結し、アルテラのユーザにワールド・クラスの合成ツールとシミュレーション・ツールを提供しています。

アルテラのサブスクリプション・プログラムに登録されているすべてのユーザには、アルテラのソフトウェア製品と共に、LeonardoSpectrum のアルテラ・バージョンと ModelSim-Altera ソフトウェアが出荷されています。これらのツールを使用可能にするライセンス・ファイルは、アルテラの web サイト (<http://www.altera.com>) を通じてリクエストすることができます。

メンター・グラフィックスのソフトウェア製品に対するライセンスは、有効になっているアルテラのサブスクリプション契約ごとに 1 種類の HDL (VHDL または Verilog HDL) がサポートされます。例えば、有効になっているひとつのサブスクリプション契約で、LeonardoSpectrum ソフトウェアによる VHDL 合成と、ModelSim-Altera ソフトウェアによる Verilog HDL シミュレーションのライセンスを得ることはできませんが、同じサブスクリプションで LeonardoSpectrum による Verilog HDL の合成サポートと ModelSim-Altera による VHDL シミュレーション・サポートを同時に得ることはできません。ただし、FLOATNET または FLOATPC のサブスクリプション契約を締結しているユーザは、アクティブ・シートの数を超えない範囲の累積数で、

VHDL と Verilog HDL のライセンスを要求することができます。

メンター・グラフィックスのソフトウェア製品用ライセンス・ファイルの FEATURE ラインは、アルテラおよびシノプシスの OEM 製品用の FEATURE ラインとは異なります。メンター・グラフィックスのソフトウェア製品のソフトウェア・ライセンスはライセンスを要求した日、または以前のアルテラのサブスクリプション契約が失効した日から 15ヶ月で無効になります。したがって、アルテラとのサブスクリプション契約を更新することによって契約が有効になっている限り、メンター・グラフィックスのソフトウェアに対するライセンス・ファイルを継続して受け取ることができます。

図 1 は、アルテラ用 LeonardoSpectrum の VHDL 合成サポートと ModelSim-Altera ソフトウェアの Verilog シミュレーション・サポートを可能にするアルテラ・ソフトウェア・ガード用のライセンス・ファイルの例です。メンター・グラフィックス社のソフトウェア製品は、alterad のライセンス・ディモンではなく、mgcld のライセンス・ディモンで管理されていることに留意してください。

図 1 ライセンス・ファイルの例

```
FEATURE maxplus2 alterad 2000.06 permanent uncounted 66C915DD65AE \
  HOSTID=GUARD_ID=T0000ABCDE
FEATURE quartus alterad 2000.06 permanent uncounted 03390A577AFE \
  HOSTID=GUARD_ID=T0000ABCDE
FEATURE altera_fpgaexpress alterad 2000.06 permanent uncounted \
  2519310F6E7A HOSTID=GUARD_ID=T0000ABCDE

FEATURE leospecls1 mgcld 2000.06 14-sep-2001 uncounted \
  8C08EA3E061C00DA0A6F VENDOR_STRING=9F4E552B \
  HOSTID=GUARD_ID=T0000ABCDE SUPERSEDE ISSUER=Alterav1.0
FEATURE leospecls1alt mgcld 2000.06 14-sep-2001 uncounted \
  ACB81A2EBF530DC69313 VENDOR_STRING=51B30168 \
  HOSTID=GUARD_ID=T0000ABCDE SUPERSEDE ISSUER=Alterav1.0
FEATURE leospecls1vhdl mgcld 2000.06 14-sep-2001 uncounted \
  9CA82A3E9A5E01B4AC86 VENDOR_STRING=A639B072 \
  HOSTID=GUARD_ID=T0000ABCDE SUPERSEDE ISSUER=Alterav1.0
FEATURE alteramtivlog mgcld 2000.06 14-sep-2001 uncounted \
  4C589ADEF140EB9D8F2C VENDOR_STRING=A066BEE0 \
  HOSTID=GUARD_ID=T0000ABCDE SUPERSEDE ISSUER=Alterav1.0
```

LGIC 社がブロードバンド CDMA WLL システムの開発に FLEX デバイスを採用

ワイヤレス通信の世界では、最新の情報サービスに対する需要が増加しています。高速のインターネット・アクセスが可能になっている地域では、単なる音声と低速のデータ・サービスではすでに不十分になっています。最近のトレンドは、ユーザへ柔軟性に富んだマルチメディア・インフォメーション・サービスがオン・デマンドで、どこでも、いつでも提供されるグローバル・インフォメーション・ネットワークの方向に向かっています。このような非常に広帯域のマルチメディア・サービスの実現にあたっては、携帯電話 / 移動体通信システムとネットワークの構築に新たに困難な問題が発生します。

新しい標準規格にはフレキシブルなソリューションが必要

LG Information & Communications, Ltd. (LGIC) は、韓国最大の携帯電話 / 移動体通信運用サービス会社に CDMA (Code Division Multiple Access) 方式のインフラ機器を供給している最大手ベンダであり、また同時に Bell Atlantic Mobile、Airtouch、Sprint、Telesp などの主要な携帯電話 / 移動体通信サービス会社に携帯端末を供給している最大手のサプライヤです。1997年に LGIC 社を含む 5 社が Hanaro Telecom 社向けのワイヤレス・ローカル・ループ (WLL) サービス用のワイドバンド CDMA

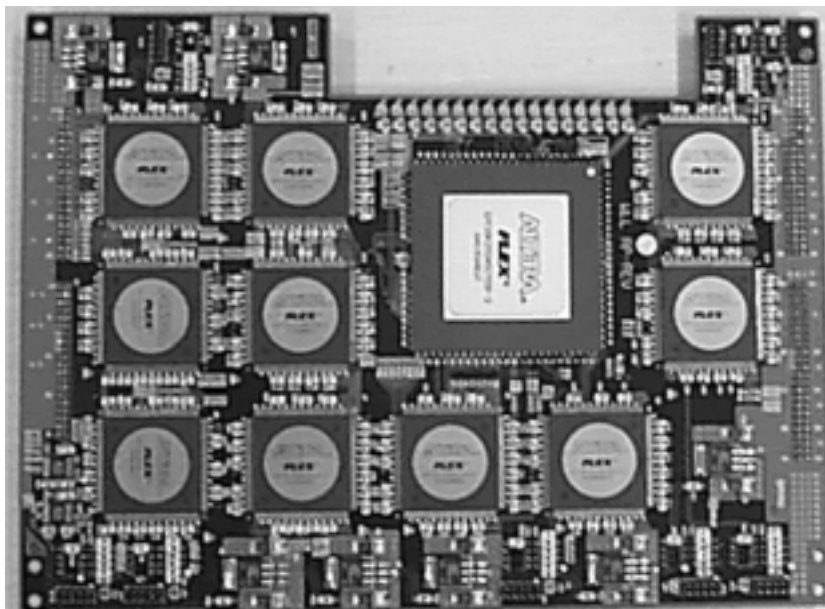
(W-CDMA) モデムの開発に着手しました。このサービスの規格はまだ制定途中にあったため、LGIC 社はアルテラの FLEX[®] 10K デバイスを使用して、プロトタイプ・システムを開発することを決定しました。他の 4 社は ASIC の採用を決定しました。

LGIC 社の最初のプロトタイプには、各モデムに 4 個の EPF10K100GC503-3 が使用されました。このモデムは非常に複雑であり、また規格が制定途中であったため、同社の技術者はデザインのファイン・チューニングを慎重に行う必要がありました。残念ながら、ファイン・チューニングの結果をコンピュータ・シミュレーションでテストすることはできませんでしたが、このデザインはイン・システムでテストされました。アルテラのデバイスはリコンフィギュラブルであったため、LGIC 社の技術者はデザインの変更とその結果の確認を迅速に行うことができました。これに対して、ASIC を採用した他の競合会社は多くの問題を抱え、ASIC を数回にわたって再製作することになったため、多くの時間と費用を無駄にする結果となりました。

LGIC 社の 2 番目のプロトタイプにはいくつかの機能が追加され、基地局と端末の双方に EPF10K100A と EPF10K250A が採用されました。

(20 ページに続く)

図1 基地局用モデムのプロトタイプ・ボード



LGIC社がブロードバンドCDMA WLLシステムの開発にFLEXデバイスを採用(19ページからの続き)

動作周波数は60MHz以上となり、これらのアルテラのデバイスで、サーチャ、フィンガ、ピタビ・デコーダ、コンバイナ、FIRフィルタなどのモデムの重要な機能が実現されました。

LGIC社のKim Youn Hwan、シニア・リサーチ・デザイナーは「デバイスのリソース使用率は90%以上となったが、我々はデザインを適切に管理することができた。当社がこのような困難な仕事を達成できたのは、画期的なことであった。また、MAX+PLUS IIソフトウェアは非常に良好な性能を提供し、しかも非常に使いやすかったため、当社はVHDLの合成にサード・パーティのツールを使用しなかった。」と述べています。

LGIC社の技術者は、Hanaro Telecom社のフィールド・テストに数千個のFLEX 10Kデバイスを使用しました。フィールド・テストが無事完了した後、LGIC社は量産用のASICを作成しました。LGIC社製システムの性能と安定度が非常に高かったため、Hanaro Telecom社は韓国のWLLシステムと加入者機器の供給ベンダとして、LGIC社を選択しました。

現在、LGIC社はシステム・デザインのアップグレードを行っており、次のリビジョンにはアルテラのAPEX™デバイスが採用される予定です。

次世代への展望：IMT-2000

ITU(International Telecommunications Union : 国際電気通信連合)はIMT-2000という名称で次世代の移動体通信システムの標準化を進めており、第3世代のワイヤレス通信に新たに要求される機能に対応した規格が制定されつつあります。ただし、これらの規格は、新たなサービスや技術が実用化されるのに伴って、今後も継続的に改定されることが予想されます。したがって、これらの標準規格を実現するシステムは簡単に変更できるような高い柔軟性を備えている必要があります。LGIC社は韓国のW-CDMA WLLで大きな成功を収めているため、IMT-2000のような3世代のワイヤレス・コミュニケーションのサポートでも、非常に有利な立場にあります。

LGIC社はシステム・デザインのアップグレードを行っており、次のリビジョンにはアルテラのAPEX™デバイスが採用される予定です。Kim Youn Hwan氏は「当社はAPEX 20Kデバイスの高い性能がシステム性能の改善に役立つものと期待しており、パワフルなQuartus™ソフトウェアの性能にも満足している。私は、APEX/Quartusの組み合わせが最適な選択だと確信している。」と述べています。

製造中止品最新情報

アルテラは製造中止品に関する情報を記載したアルテラ連絡通知書(ADV: Altera Distributes Advisories)と製造中止連絡書(PDN: Product Discontinuance Notices)を発行しています。特定デバイスのADVまたはPDNの入手が必要なときは、日本アルテラの販売代理店へご連絡ください。一部のPDNとADV、および全製造中止品のリストは、アルテラのwebサイト、<http://www.altera.com>から入手することもできま

す。各半導体メーカーの製造中止品を専門に供給しているロチェスタ・エレクトロニクス社は、多数のアルテラの製造中止品を供給しています。詳細については、ロチェスタ・エレクトロニクス社のwebサイト、<http://www.rocelec.com>をご覧ください。同社の日本代理店、小松エレクトロニクス(株)(電話: 03-3573-6828)へお問い合わせください。

JTAG Technologies 社が、オン・ボード・プログラミング・ソフトウェアに Jam STAPL のサポートを追加

JTAG Technologies 社は、アルテラのプログラミング・ロジック・デバイス (PLD) に対する同社のオン・ボード・プログラミング・ソリューション、PLDPROG に Jam™ を使用したプログラミングおよびテスト用言語、Jam STAPL (Standard Test and Programming Language) のサポートを追加しました。JTAG Technologies 社が製品群を拡張したことによって、バウンダリ・スキャン・デザインの複雑さがどのようなレベルであっても、ユーザはポピュラーな PLD のプログラミング・フォーマットを任意に選択できるようにしました。

PLD Programming Development

現在、JTAG Technologies 社は、以前の JEDEC およびシリアル・ベクタ・ファイル (.svf) のフォーマットに加え、Jam STAPL の標準フォーマットによる PLD プログラミングをサポートしています。その結果、JTAG Technologies 社の製品によって、アルテラの MAX® 7000A、MAX 7000B、MAX 7000S、MAX 9000、MAX 3000A ファミリの全デバイスと EPC2 のイン・システム・プログラマビリティ (ISP) がサポートされるようになりました。使用されるデバイス・タイプやフォーマットとは関係なく、ユーザに共通のシステム・インタフェースが提供されるため、各ベンダのツールごとに固有のインタフェースを用意する必要が解消されています。このシステムを使用することによって、デバイスのイレーズ、ブランク・チェック、プログラミング、ベリフィケーション、セキュリティ・ヒューズ・プログラミング、ユーザ・コードのリードバックを含む、オン・ボードでのすべてのデバイス動作を実行するためのファイルを短時間で作成することができます。JTAG Technologies 社のツールは、ACEX™ 1K、APEX™ 20K、APEX 20KE、FLEX® 10K、および FLEX 10KE デバイスに対する JTAG ベースのイン・サーキット・リコンフィギュラビリティ (ICR) もサポートしています。

PLDPROG システムは、シンプルな単独のチェーン構造から、マルチ・チェーンやマルチ・レベルの階層を持ったスキャン構造に至るまで、幅広いチェーンの構成に対応することができます。PLD のプログラミング時には、任意の長さのチェーンがサポートされ、ボードのコンフィギュレーションが自動的にまた安全に実行されます。ユーザは、このソフトウェアの GUI (Graphical User Interface) 画面にしたがって、BSDL (Boundary-Scan Description Language) ファイルの検証、ボードのバウンダリ・

スキャン・チェーンのテスト、およびプログラミング・ファンクションを実行することができます。

生産ラインでの使用もサポート

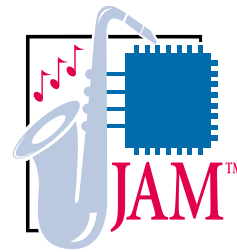
PLD のプログラミングを実行するアプリケーションは、多様な動作環境で、広範囲な完全互換のハードウェア・コントローラ上で動作します。インタフェースとしては、PCI (Peripheral Component Interconnect)、ISA、USB (Universal Serial Bus)、VXI、PC パラレル・ポートが用意されています。生産ラインの動作環境としては、以下の構成がサポートされています。

- 要求される動作のシーケンスをコントロールする便利な GUI が使用できるスタンドアロンの PC またはワークステーション
- DLL (Delay-Locked Loop) ベースのアプリケーションを通じた、ファンクション・テストなどを実行する既存の工程へのフル・インテグレーション
- National Instruments 社の LabWindows/CVI または LabView プラットフォーム内での PLD プログラミングのサポート
- バウンダリ・スキャン・ソフトウェアとハードウェアが単独のコンピュータまたはネットワークを通じてコントロールされるクライアント/サーバ動作

JTAG Technologies 社のツールを使用することによって、他のパワフルなバウンダリ・スキャン・テストのアプリケーション、ボードのテスト、イン・システムのフラッシュ・プログラミングなどと共に、PLD のプログラミングをユーザ独自のシーケンスで実行することができます。また、システムを使用する作業員、ラインの管理者、技術者に対するマルチ・レベルの認証機能も提供されています。ほとんどの動作は単独のボタン操作で実行ことができ、実行結果をまとめたりレポートが出力されるため、生産ラインの担当者はシステムのコントロールを簡単に、また迅速に行うことができます。

JTAG Technologies 社について

JTAG Technologies 社は 1993 年に設立されており、エレクトロニクス製造メカ向けに強力な経済的なバウンダリ・スキャン・ソリューションを提供するための研究、開発を行っています。同社の本社



(22 ページに続く)



JTAG Technologies 社が、オン・ボード・プログラミング・ソフトウェアに Jam STAPL のサポートを追加 (21 ページからの続き)

はオランダのアインドーベンにあり、米国のメリーランド州スティーブンスビルには US カスタマ・サポート・センタを、英国には支社を設置しています。同社は開発技術者やユーザのニーズをサポートする応用技術者を含む経験の深いスタッフを抱えており、日本を含む世界各国に代理店を持っています。

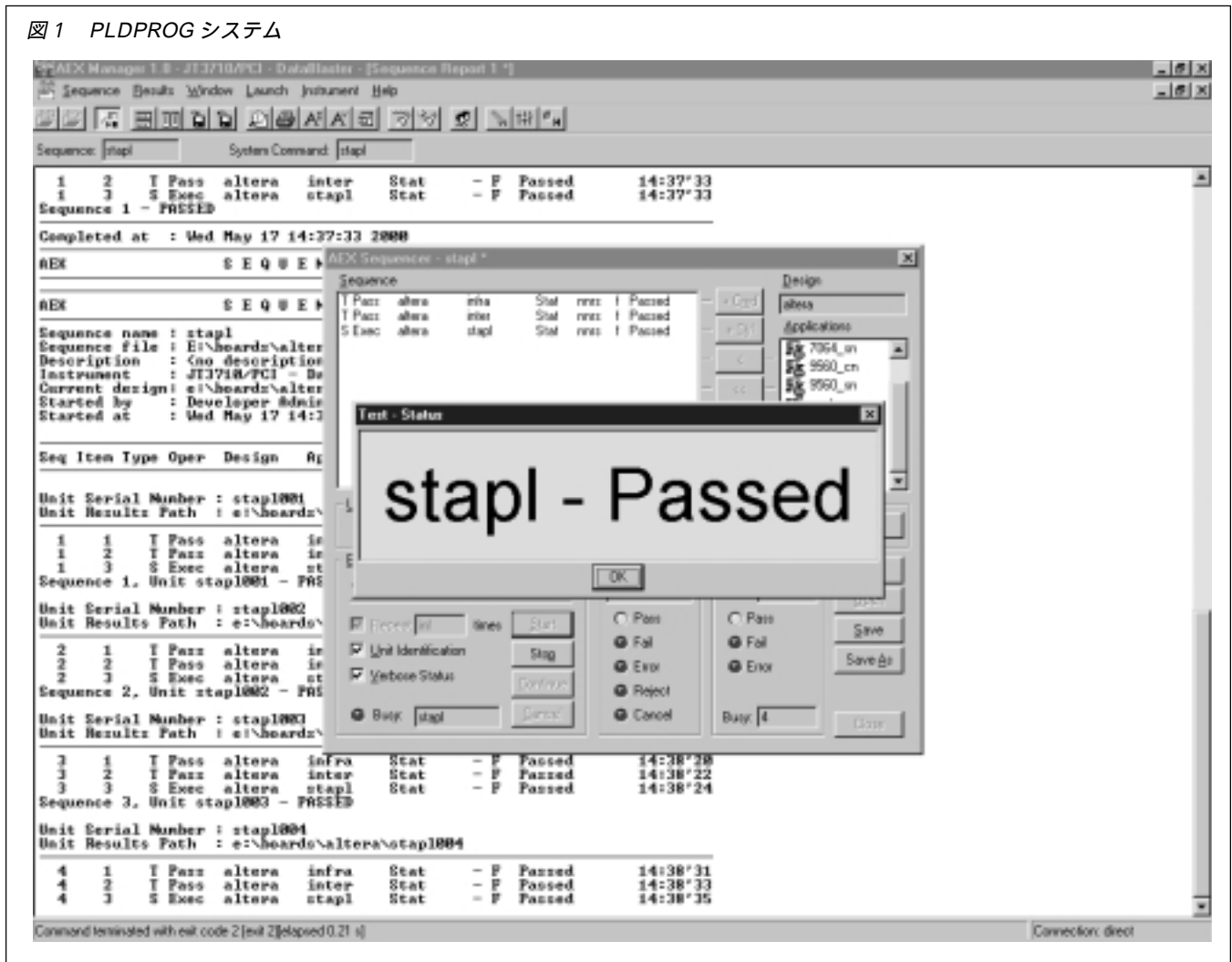
JTAG Technologies 社の製品は、世界各国で 1,200 システム以上が稼動しています。

JTAG Technologies

本社：オランダ
電話：31-40-295-0870
<http://www.jtag.com>

日本代理店：アンドールシステムサポート (株)
電話：03-3450-8101 (本社)
<http://www.sys-andor.co.jp>

図 1 PLDPROG システム



汎用 I/O ピンで LVDS インタフェースを実現する方法

プログラマブル・ロジック・デバイス (PLD) の集積度が増大したことによって、デザイン内にさらに多くの機能を内蔵させることが可能になっています。PLD は、そのデバイス機能の改良によって、デバイス、ボード、隣接システム間のデータ転送で重要な役割を果たすようになっており、PLD にとって多様な業界標準規格に対応した I/O バッファを実現できることが重要な機能となっています。

アルテラの APEX™ デバイスには多様な I/O バッファを構成することができ、LVTTTL、LVCMOS、SSTL-3、SSTL-2、CTT、GTL+ バッファとのインタフェースを実現することができます。これらの I/O バッファの中で、もっとも革新的なインタフェースが、LVDS です。

LVDS は、TIA/EIA-644、IEEE 1596.3 で規定されているデータ・インタフェースの業界標準規格です。LVDS の規格は広範囲のアプリケーションに採用されており、業界全体に幅広く普及しています。LVDS はフラット・パネル・ディスプレイからハイエンドおよびロー・パワー・スイッチのアプリケーションまで幅広く採用されており、その優れたテクノロジーがすでに実証されています。この LVDS には高い雑音余裕度を実現するディファレンシャル (差動) 方式による信号伝送が採用されており、低電圧振幅のデータ転送によって高速のデータ転送と低消費電力を実現しています。

アルテラの APEX デバイス・ファミリには、内蔵のエンベデッド・シリアライザ/デシリアライザと PLL (Phase-Locked Loop) を使用して 16 本の入力と出力による専用の True-LVDS™ チャンネルを構成することができます。この専用 True-LVDS チャンネルは、最高 840Mbps (Megabits per second) までの転送レートを非常に低いチャンネルあたりの低消費電力と価格で実現します。LVDS では、パラレルの TTL/CMOS 信号をマルチプレクスすることによって、同じ伝送帯域を維持しながら、接続されるバスの幅を縮小します。

ほとんどのアプリケーションのニーズには 16 チャンネルの LVDS で対応可能ですが、アプリケーションによっては、さらに多くのチャンネル数が要求されることがあります。APEX デバイスでは、汎用 I/O ピンを使用して他の LVDS デバイスと 155Mbps までのスピードで通信することができるため、このようなニーズにも対応可能です。

この記事は APEX デバイスの汎用 I/O ピンを使用して他の LVDS とのインタフェースを実現する方法について解説したものです。

APEX デバイスの I/O バンク

アルテラの APEX ファミリのデバイスには、多くの I/O テクノロジーをサポートしている 8 個の I/O バンクが内蔵されています。このうち、6 個の I/O バンクは、LVTTTL、LVCMOS、1.8V、2.5V、3.3V PCI、3.3V AGP、CTT、SSTL-2 Class I または II、SSTL-3 Class I または II、GTL+ をサポートしています。また、残り 2 個の I/O バンクは、これらすべての標準 I/O 規格と、LVDS の I/O インタフェースをサポートしています。これらの I/O バンクには、バンクごとにそれぞれ異なる V_{REF} レベルを使用できるユニークな特長があります。この機能を活用することによって、バンクの I/O ピンを低速の LVDS I/O ピンとして使用することができます。

LVDS 信号を任意の I/O バンクにドライブする方法

各 I/O バンクごとに個別の V_{REF} が使用できることが、APEX デバイスの特長のひとつとなっています。 V_{REF} を使用してオフセット電圧をコントロールすることによって、8 個の I/O バンクで LVDS ドライバからデータを受信することができます。

低速 (155Mbps) の LVDS 信号を汎用 I/O ピンで受信するときは、I/O バッファを SSTL-2 Class II のバッファ・タイプにコンフィギュレーションし、LVDS チャンネルを 2 個の 50Ω の抵抗でターミネーションします。そして、VREF ピンを LVDS のコモン・モード電圧となる 2 個のターミネーション抵抗のセンタに接続します (図 1 を参照)。そして、VREF ピンをデザイン内で指定します。

標準 I/O 規格と VREF ピンの設定方法については、AN 117 (*Using Selectable I/O Standards in Altera Devices*) と White Paper 「*Using I/O Standards in the Quartus Software*」を参照してください。

複数の LVDS チャンネルが同じ I/O バンクに接続される場合は、一方のチャンネルを 2 個の 50Ω 抵抗で終端する必要はありません。この場合は、標準的な 100Ω の抵抗でのターミネーションが適切です (最初のチャンネルで LVDS のコモン・モード電圧が設定される)。



V_{REF} を使用してオフセットをコントロールすることで、8 個の I/O バンクで任意の LVDS ドライバからのデータを受信することができます。

(24 ページに続く)

汎用 I/O ピンで LVDS インタフェースを実現する方法
(23 ページからの続き)

SPICE シミュレーション : LVDS から TTL

回路設計の検証には、SPICEシミュレーションを使用することもできます。アルテラは、LVDSとSSTL Class IIのSPICEモデルを使用したシミュレーションを実行しました。対象になる伝送路(メディア)は、プリント基板(PCB)上のパターンで実現された6インチの差動マイクロストリップ・ラインのペアです。図1は、この設定を表した回路図です。標準的な155MHzのTTL信号をLVDSのドライバに与え、信号をドライバの出力とレシーバの入力および出力でモニタしました。V_{REF}はLVDSのコモン・モード電圧に接続され、出力のオフセット電圧、V_{OS}が確保されています。このシミュレーションでは、155Mbpsまでのレート、またそれ以上のレートでもデータ転送が問題なく実行されることが確認されました。

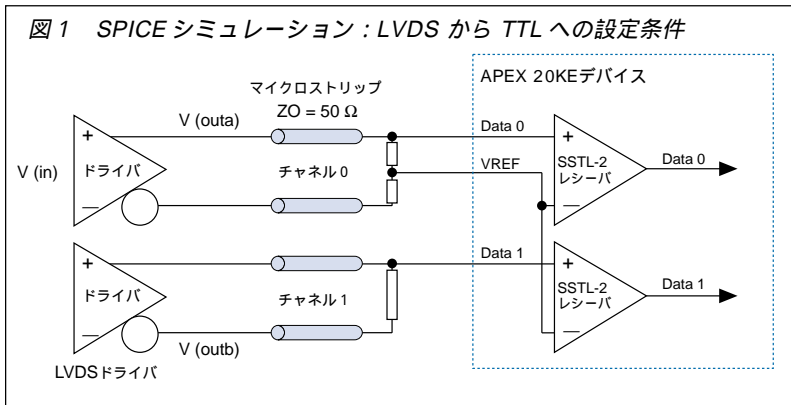


図1 SPICEシミュレーション : LVDS から TTL への設定条件

APEX SSTL-2 Class II バッファから LVDS へのインタフェース

LVDS 専用となっていない I/O バッファから LVDS レシーバ・バッファへのインタフェースは、抵抗のネットワークによって実現されます。抵抗でドライバ出力の振幅を LVDS 信号と同じになるように減衰させることによって、LVDS のレシーバがこの出力

を認識できるようになります。この方法を、APEX SSTL-2 Class II ドライバと LVDS レシーバの SPICE モデルを使用して、シミュレーションしました。

SPICEシミュレーション: 2.5V TTL から LVDS へ

このシミュレーションは、前の実験と同じモデルを使用して行いました。伝送路は、同じ PCB 上のパターンで実現された6インチの差動マイクロストリップ・ラインのペアです。図2は、この設定条件を表した回路図です。相互に極性反転された155MHzの2本の信号をドライバに与え、回路内の各位置で信号をモニタしました。その結果、このシミュレーションでも、155Mbpsまでのレートで、またそれ以上のレートでもデータ転送が問題なく実行されることが確認されました。

LVDS 出力ピンの選択

LVDS 出力ピンは、ディファレンシャル・ペアになっている正と負の信号の間でスキューが最小になる位置に選択されている必要があります。ダイ上で隣接している I/O ピンのペアを LVDS の出力ピンに設定してください。また、I/O セル・レジスタも LVDS 信号間でのスキューが最小になる状態で使用される必要があります。

まとめ

16 本の入力と出力が提供されるアルテラの True-LVDS チャネルは、840Mbps でデータの送信と受信をサポートしているため、多くのアプリケーションに対応することができます。さらに多数の LVDS I/O ピンが必要な場合や、選択したデバイスに True-LVDS I/O ピンが提供されていない場合は、汎用の I/O ピンに外部抵抗のネットワークを接続することによって、APEX デバイスと LVDS 信号のインタフェースを実現することができます。

APEX 20KE デバイスでサポートされている他の標準 I/O 規格の詳細については、AN 117 (Using Selectable I/O Standard in Altera Devices) と White Paper「Using I/O Standards in the Quartus Software」を参照してください。

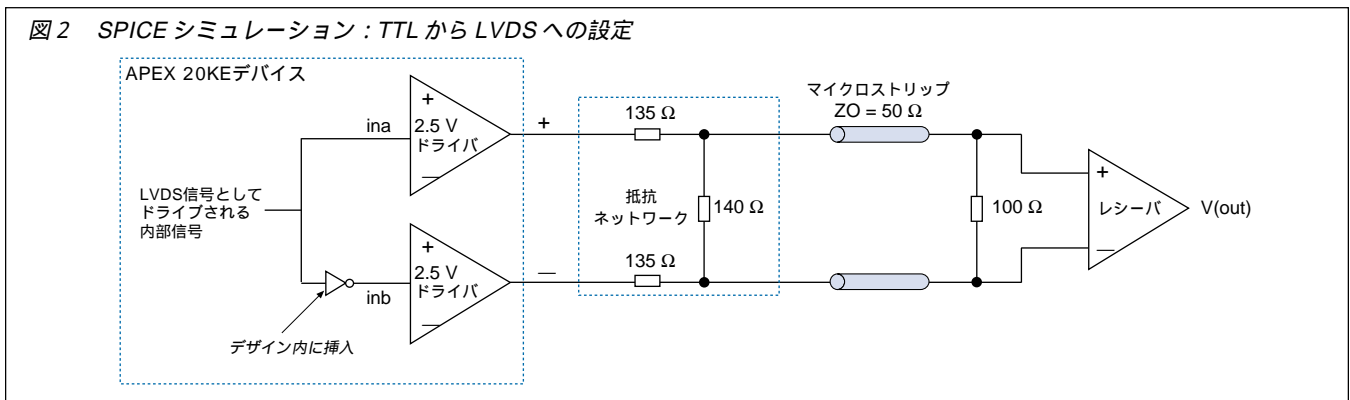


図2 SPICEシミュレーション : TTL から LVDS への設定

ModelSim-Altera の使用法 : FAQ (Frequently Asked Questions)

モデル・テクノロジー社の ModelSim-Altera シミュレーション・ソフトウェアが、アルテラのサブスクリプション・プログラムに登録されているすべてのユーザに提供されています。以下に示されているのは、この ModelSim-Altera ソフトウェアに関してユーザからよく質問を受ける内容を FAQ (Frequently Asked Questions) の形でまとめたものです。

Q: ModelSim-Altera ではどのオペレーティング・システムがサポートされていますか？

ModelSim-Altera は、Windows 98、Windows NT 4.0、Solaris および HP-UX の各オペレーティング・システムでサポートされています。

Q: ModelSim-Altera ソフトウェアにコンパイル済みのライブラリが提供されているのは何故ですか？

ModelSim-Altera ソフトウェアを配置配線後のシミュレーションに使用するときには、シミュレーション性能の低下を避けるために、あらかじめコンパイルされたライブラリ (プリコンパイルド・ライブラリ) を使用する必要があります。これらのライブラリは、ModelSim-Altera バージョンによるシミュレーション時間を短縮するために特別に提供されています。プリコンパイルド・ライブラリが使用されないと、シミュレーション時間が大幅に増加したり、エラー・メッセージやワーニング・メッセージが表示される結果になります。

Q: VHDL および Verilog HDL 用のプリコンパイルド・ライブラリは、どこに存在しますか？

プリコンパイルド・ライブラリは、ModelSim-Altera ソフトウェアがインストールされている以下のディレクトリに存在します。

```
< ModelSim のディレクトリ > \Altera\Verilog\
< ModelSim のディレクトリ > \Altera\VHDL\
```

UNIX システムでは、ライブラリが以下のディレクトリに存在します。

```
< インストール・ディレクトリ > /modeltech/
altera/verilog/
< インストール・ディレクトリ > /modeltech/
altera/vhdl/
```

Verilog HDL と VHDL のライブラリについては、表 1 と表 2 の説明を参照してください。

ライブラリ	説明
APEX20K	APEX 20K デザイン用のプリコンパイルド atom ライブラリ
APEX20KE	APEX 20KE のデザイン用のプリコンパイルド atom ライブラリ
ALT_VER	MAX および FLEX デザイン用のプリコンパイルド・プリミティブ・ライブラリ
SRC	Verilog HDL ソース・コードのディレクトリ

ライブラリ	説明
APEX20K	APEX 20K デザイン用のプリコンパイルド VITAL atom ライブラリ
APEX20KE	APEX 20KE のデザイン用のプリコンパイルド VITAL atom ライブラリ
ALT_VTL	MAX および FLEX デザイン用のプリコンパイルド VITAL ライブラリ
ALT	プリコンパイルド・コンポーネント・ライブラリ
SRC	VHDL ソース・コードのディレクトリ

Q: Verilog HDL と VHDL のコードをシミュレーションするとき ModelSim-Altera ソフトウェアはプリコンパイルド・ライブラリをどのようにアクセスするのですか？

タイミング・シミュレーションを実行するときには、プリコンパイルド・ライブラリを指定しなければなりません。

Verilog HDL: シミュレーションをするために、Load Design のダイアログ・ボックスから GUI (Graphical User Interface) を使用してデザインをロードするときは、Verilog のタブを開き、対応するプリコンパイルド・ライブラリの完全なパスを指定してください (図 1 を参照) 。

デザインをコマンド・ライン・モードでロードする場合でも、vsim コマンドを使用してプリコンパイルド・ライブラリを指定することができます。下記にその一般的な例を示します。

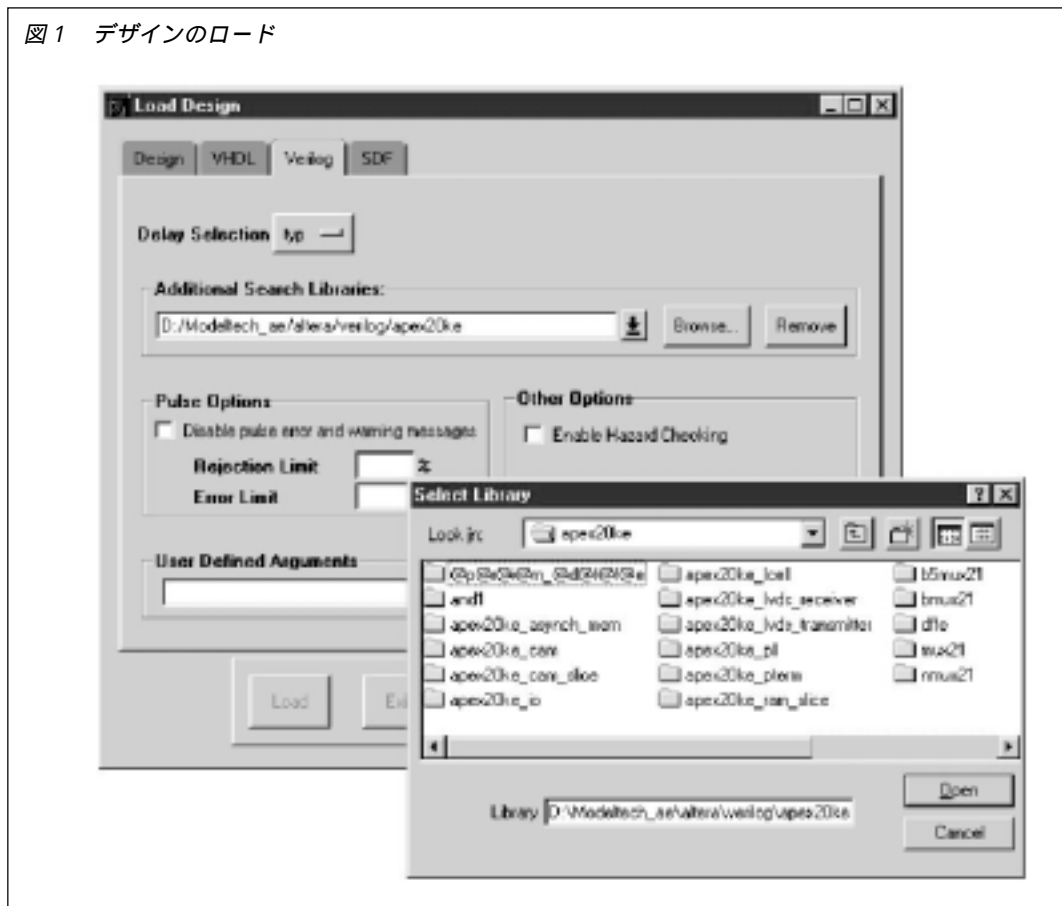
```
vsim -L <プリコンパイルド・ライブラリへの完全なパス> -sdftyp /= < Standard Delay Format Output File ( .sdo ) 名 > work. < デザイン・モジュール名 >
```

(26 ページに続く)

モデル・テクノロジー社の ModelSim-Altera シミュレーション・ソフトウェアが、アルテラのサブスクリプション・プログラムに登録されているすべてのユーザに提供されています。

ModelSim-Alteraの使用法: FAQ (Frequently Asked Questions) (25 ページからの続き)

図1 デザインのロード



コマンド・ライン・モードでマッピングするときは、`vmap alt_vtl C:/Modeltech_ae/altera/vhdl/apex20ke` のコマンドを使用します。

VHDL: VHDLのデザインに対しては、対応するプリコンパイルド・ライブラリがALT_VTLライブラリにマッピングされている必要があります。このマッピングは、GUIを通じてCreate a New Libraryコマンド(Designメニュー)を使用して行うことができます。このときは、"map to an existing library" のオプションをONに設定し、ライブラリ名をALT_VTLとして指定して、プリコンパイルド・ライブラリに対する正確なパスを選択します(図2を参照)。

コマンド・ライン・モードでマッピングするときは、下記のコマンドを使用します。

```
vmap alt_vtl c :/Modeltech_ae/altera/vhdl/apex20ke
```

Q: LPM (Library of Parameterized Modules) ファンクションやAPEX™メガファンクションのライブラリに対するファンクショナル・シミュレーション・モデルは、どこに存在しますか？

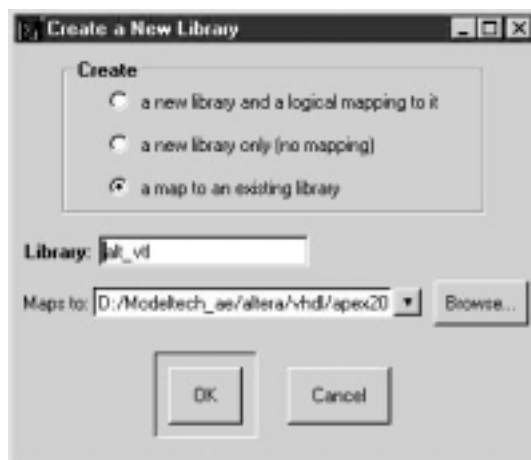
LPM ファンクションとAPEXメガファンクションのファンクショナル・シミュレーション・モデルは、Quartus™のインストール・ディレクトリに存在します。このディレクトリには、VHDL と Verilog HDL の双方のモデルが存在します。

PC 環境では、`C:\Quartus\eda\sim_lib\`

UNIX 環境では、`<インストール・ディレクトリ> /quartus/eda/sim_lib/ <スペース>ハイフン<スペース>`

これらのシミュレーション・モデルは、LPM コンポーネントやAPEXメガファンクションが含まれているRTL (Register Transfer Level) コードがシミュレーションされるときに使用されます。

図2 新しいライブラリの作成



プリコンパイルド・ライブラリは、ModelSim-Alteraソフトウェアの次のバージョンが出荷されるときにアップデートされます。

Q: Quartus ソフトウェアから APEX 20K と APEX 20KE デバイス用 atom ファイルの最新バージョンを ModelSim-Altera のプリコンパイルド・ライブラリにダイレクトにコンパイルすることはできますか？

いいえ、プリコンパイルド・ライブラリを新しいバージョンの atom ファイルでオーバライトすることは避けてください。オーバライトを行うと、ModelSim-Altera ソフトウェアで APEX 20K および APEX 20KE デバイスのデザインのシミュレーションを実行できなくなります。プリコンパイルド・ライブラリは、ModelSim-Altera ソフトウェアの次のバージョンが出荷されるときにアップデートされます。

Q: ひとつの PC に複数の ModelSim-Altera ソフトウェア(異なるバージョンの製品)をインストールすることはできますか？

はい、各インストールで異なる登録情報が設定されるため、ひとつの PC 内に複数の ModelSim-Altera ソフトウェアをインストールすることができます。

Q: Solaris と HP-UX では、ModelSim-Altera ソフトウェアに対してどのような環境変数を設定する必要がありますか？

ModelSim-Altera ソフトウェアを Solaris または HP-UX のオペレーティング・システム上で動作させるためには、LM_LICENSE_FILE と MGLS_HOME の環境変数を設定する必要があります。Solaris と HP-UX の LM_LICENSE_FILE の変数を対応する port@hostname に設定してください。MGLS_HOME は下記のように設定してください。

Solaris: < インストール・ディレクトリ >
/modeltech/sunos5aloem/mgls.ss5

HP-UX: < インストール・ディレクトリ >
/modeltech/hp700aloem/mgls.hpux

インストールおよびライセンス方法の詳細については、ModelSim-Altera ソフトウェアの CD に収納されている readme ファイルを参照してください。さらに詳しい情報が、アルテラの web サイト、<http://www.altera.com/html/tools/oem/ms.html> に掲載されています。

サード・パーティの合成ツールによる IP (Intellectual Property) の使用法

プログラマブル・ロジック・デバイス (PLD) は、「Time-to-Market」の期間の短縮や高い柔軟性を実現するという利点を提供してきました。最近になって、PLDの性能と集積度の向上がさらに進展し、コストも低減されているため、PLDはASICデバイスの重要な代替デバイスにもなっています。アルテラのデバイスの集積度は百万ユーザブル・ゲートを超えるようになっており、既存のシステムのロジックを簡単に集積化して、さらに高いシステム性能と信頼性、そしてシステム・コストの低減を実現することができます。アルテラは、IP (Intellectual Property: 設計資産) とデザインの適切なマッピングを実現する最先端の開発ツールを融合させたトータル・デザイン・ソリューションを提供しています。IPを活用することによって、標準的なファンクションを再設計する必要がなくなり、設計者はより多くの時間とエネルギーをシステム・レベル機能の改良と製品の差別化に注ぐことができます。

アルテラは合成ツールを供給しているサード・パーティのパートナー企業と緊密な提携関係を結び、IPを使用した既存のデザイン・フローをさらに強化しました。従来のデザイン・フローとは異なり、現在で

はアルテラのパートナー企業から供給されている合成ツールの多くがアルテラの IP ブロックを合成できるようになり、ユーザはこれまでのIPを使用したデザイン・フローを改善した新たな手法を使用して、各ツールが提供する最高の合成機能を活用できるようになりました。この記事はサード・パーティの合成ツールによるIPの合成方法について解説し、IPを活用した新しいデザイン・フローと従来の制限に対する対応方法を説明したものです。

これまでの IP デザイン・フロー

これまでのデザインのフロー (図1を参照) では、ユーザがIPプロバイダから暗号化 (プロテクト) されたIPファンクションをライセンスし、このIPファンクションを合成ツールの中で「ブラック・ボックス」として扱っていました。サード・パーティの合成ツールでIPファンクションのプロテクトを解除することはできないため、ユーザはデザインを合成するときにIPを除外する他ありませんでした。このような従来のIPデザイン・フローでは、サード・パーティの合成ツールの利点をフルに活用することはできません。このような問題には、特定のデバイス・アーキテクチャにあらかじめ最適化されたサード・

図1 これまでのIPデザイン・フロー

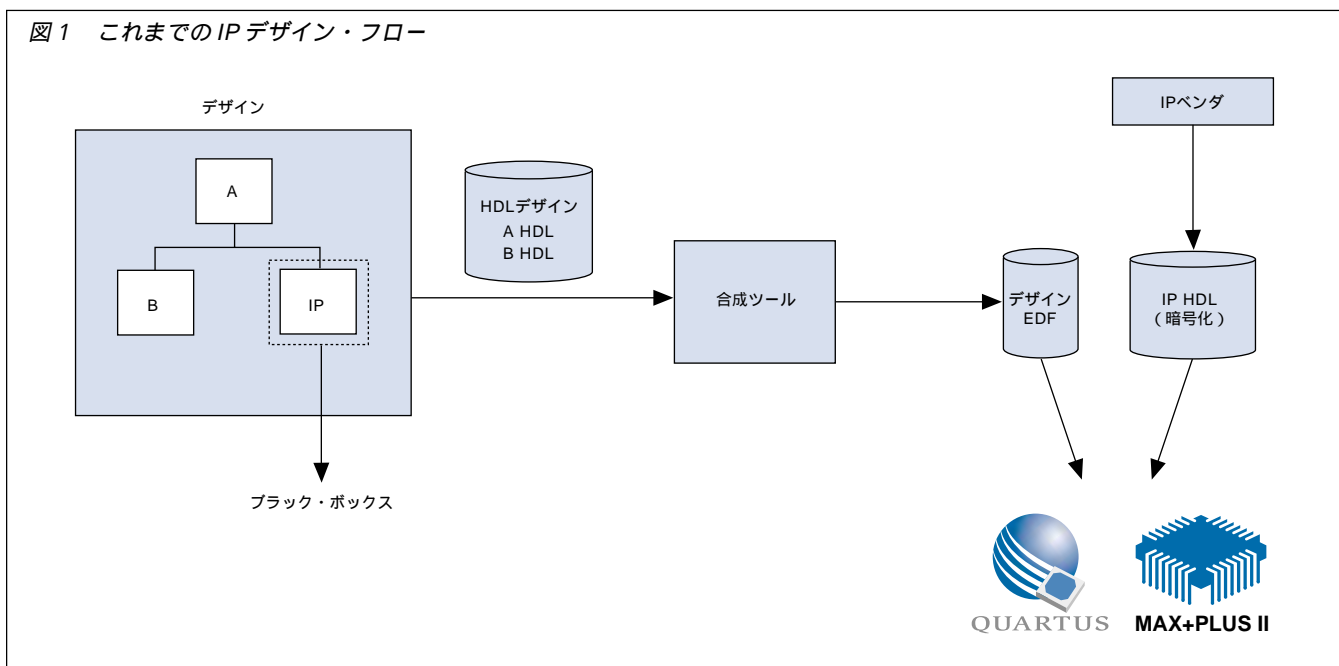
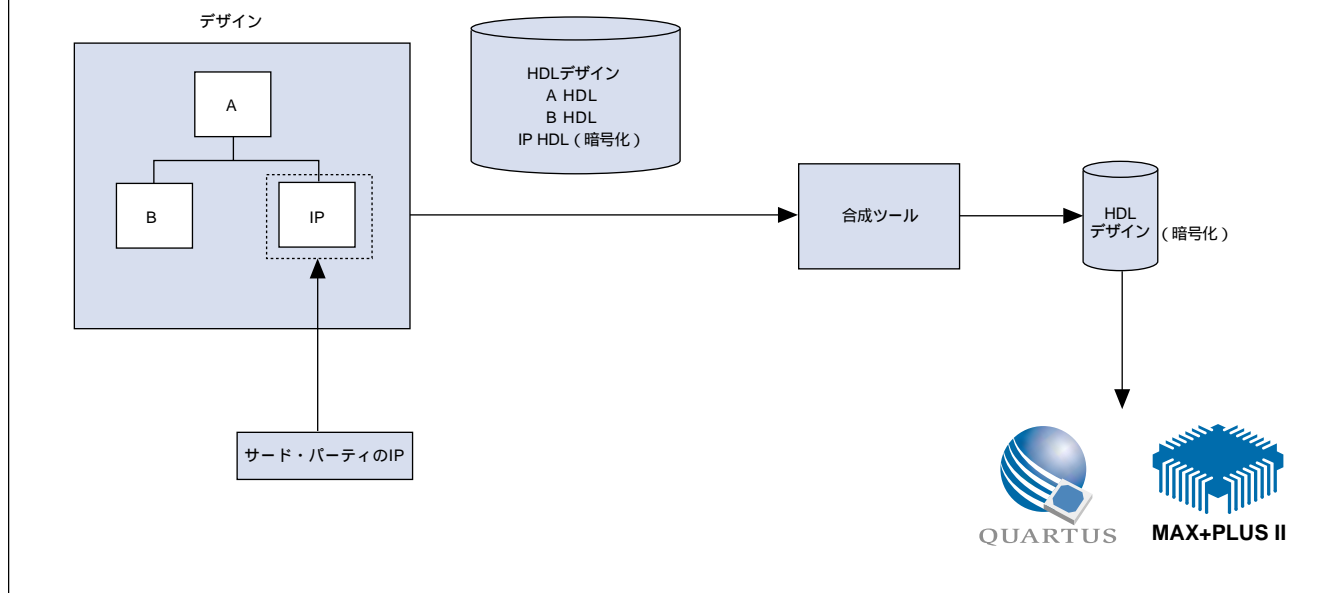


図2 完全に暗号化されたIPのデザイン・フロー



パーティのIPを使用することで対応できますが、この方法にも限界があり、設計者が暗号化されたデザインの内部を見ることは制限されます。

新しいソリューション

前述のように、IPを使用したデザインではサード・パーティの合成ツールの能力をフルに活用することができません。アルテラはこの問題を解決するため、サード・パーティの合成ツール・ベンダと提携関係を結びました。アルテラのIPをライセンスすると、ライセンス・キーが供給されます。このライセンス・キーを使用することによって、サード・パーティの合成ツールによるIPファンクションの暗号の解除と合成が可能になり、さらにIPファンクションを再度暗号化した出力が生成されて、ファンクションの完全性が維持されます（図2を参照）。

これによって、完全に暗号化されたデザイン・フローと、1部分をブラック・ボックス化したデザイン・フローの2種類のデザイン・フローが実現可能になります。

完全に暗号化されたデザイン・フロー

完全に暗号化されたデザイン・フローでは、暗号化されたIPファンクションが他のデザイン・ファイルと共に合成ツールに入力されます（図2に示すような形）。これによって、サード・パーティの合成ツールは、IPを残りのデザイン部分と共に合成できるようになります。ただし、合成ツールはデザイン全体のネットリストを暗号化された形で出力する必要があるため、合成ツールにとっては、IP暗号を維持し

た形で出力のネットリストを生成することが新たな課題となります。また、このデザイン・フローでは、設計者がデザイン・ファイルの内部を見るのが大幅に制限されます。

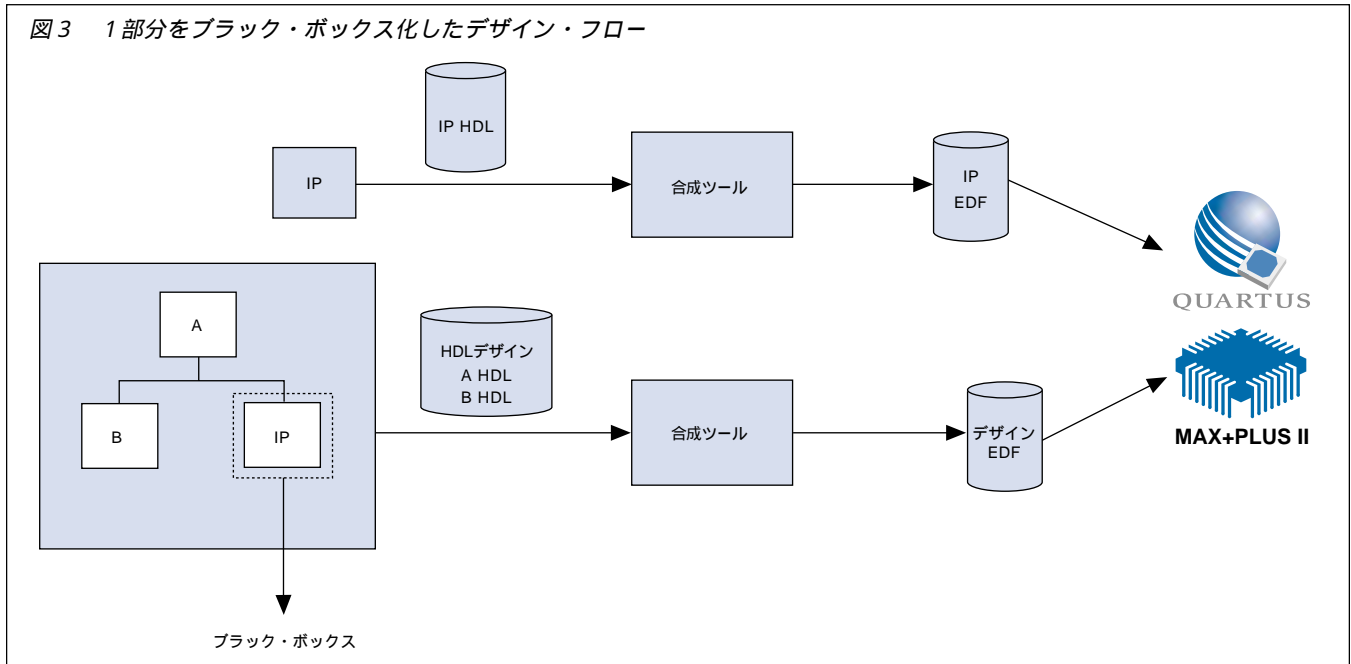
1部分をブラック・ボックス化したデザイン・フロー

1部分をブラック・ボックス化したデザイン・フロー（図3を参照）は、従来の部分的なボトムアップを行うデザイン・フローに類似しています。この部分的なボトムアップを実行するデザイン・フローでは、IPブロックが個別に合成されると同時に、他のコンポーネントが階層バウンダリを超えて合成され、これらが配置配線ツールのトップ・レベルに受け渡されて、すべてがトップ・レベルにリコンパイルされます。新しいフローでは、従来のIPデザイン・フローと同じ手法を使用してIPがブラック・ボックス化されます。ただし、このフローでは、暗号化されたIPの合成を、配置配線ツールではなく、サード・パーティの合成ツールで行うことができます。

IPブロックは、デザインの制約条件と共にサード・パーティの合成ツールによって個別に読み込まれ、コンパイルされます。そして、各IPデザインのコンポーネントに対応した暗号化されたEDIFのネットリストが生成されます。このプロセスは、必要に応じて、個別のIPコンポーネントがデザインの制約条件に適合するまで、インタラクティブに実行することができます。暗号化されたEDIFのネットリストは、オリジナル・デザイン内で合成のためにブラック・ボックス化されます。

（30 ページに続く）

サード・パーティの合成ツールによるIP(Intellectual Property) の使用法 (29 ページからの続き)



これによって、デザインが暗号化されたIPコンポーネントから解放された形となり、EDIF が暗号化されていないために、完全に暗号化されたデザイン・フローの場合よりもデザイン内部が見やすくなります。合成ツールから出力されたEDIFとIPブロックを表したEDIFをQuartus™またはMAX+PLUS® IIソフトウェアで読み込み、コンパイルを実行することができます。したがって、このデザイン・フローでは、サード・パーティの合成ツールが合成可能なIPに対して実現している最高クラスの機能が活用されます。

アルテラ的设计環境への統合

ACEX™、FLEX®, またはMAX® デバイスのアーキテクチャをターゲットにしているデザインの場合は、サード・パーティの合成ツールを使用してEDIFのネットリストを生成し、アルテラのMAX+PLUS IIデザイン・ソフトウェアで配置配線を行うことができます。合成ツールは、配置配線ツールにタイミング・コンストレイントをフォワード・アノテートするためのコンストレイント・ファイルを生成します。

APEXデバイスのアーキテクチャをターゲットにしたデザインの場合は、サード・パーティの合成ツールがテクノロジー・マッピングされたEDIFのネットリストを生成し、アルテラのQuartus 開発ソフトウェアを起動してAPEXアーキテクチャをターゲッ

トにした配置配線を実行させることができます。アルテラのNativeLink™ EDA インテグレーション・テクノロジーによって、多くのサード・パーティの合成ツールをQuartusソフトウェアにシームレスに統合し、配置配線ツールをバックグラウンドで動作させることができます。

結論

これまで、IPファンクションを使用したデザインではIPが暗号化されているために、デザイン・フロー内で合成ツールの利点を活用することができませんでした。アルテラは、最高クラスの合成結果を実現する合成ツールの利点をフルに活用することができ、IPのコンパイルを設定されたコンストレイントに適合させることを可能にしたデザイン・フローを実現して、この問題を解決しました。この新しいデザイン・フローが実現されたことによって、「Time-to-Market」の期間を短縮するアルテラのデザイン・ソリューションの利点を活用したいシステム設計者は、サード・パーティのデザイン・ツールとIPの特長をフルに生かしながら、デザインのシームレスな再利用を実現することができます。アルテラはサード・パーティの合成ツール・ベンダと緊密な協力関係を維持しながら作業を進めており、このデザイン・フローを今年末までにサポートする予定です。

アルテラとHelloBrain.comがインターネットを活用した ユーザとパートナーの取引市場を開設

プログラマブル・ロジック・デバイス(PLD)の設計者は、常に最終製品を市場に投入するまでの期間(Time-to-Market)を短縮する方法を求めています。アルテラが推進している AMPPSM (Altera Megafunction Partners Program) と ACAP[®] (Altera Consultants Alliance Program) はユーザに高品質の IP (Intellectual Property) ファンクションと優れたデザイン・サービスをタイムリに提供しており、複雑なデザインを完成させる上で重要な役割を果たしてきました。これらのプログラムに参加するパートナー企業数はこれまでに高く割合で増加しているため、もっとも適切なパートナー企業を選択するプロセスを自動化するリソースが提供されれば、これはアルテラのユーザにとって非常に便利な機能となります。アルテラはこのプロセスの自動化を実現するため、HelloBrain.comと提携してアルテラ・デバイスのユーザとパートナー企業のみを対象にした IP とデザイン・サービスに関する web ベースの取引市場 (Intellectual Capital Exchange for Altera) を実現しました。

HelloBrain.com はアルテラのユーザとパートナー企業が IP とデザイン・サービスに関する取引情報を簡単に交換できる効率的な手法を開発し、これらの設計資産を取引する業界初の web ベースの取引市場を開設しました(図1を参照)。このアルテラ専用の新たな取引市場は <http://www.altera.com/ipmegastore> のページにあるパズル・ピースのアイコンをクリックすることでアクセスでき、この web サイトに PLD の設計者とアルテラの AMPP および ACAP パートナー企業によるグローバルなネットワークが形成されています。

このプライベートな取引市場では、アルテラのユーザが、問題になっている重要プロジェクトとその技術的な内容、必要なソリューションについての投稿を行うことができます。アルテラの世界中のパートナー企業は投稿された内容を確認して、問題の解決方法と見積りを提出します。HelloBrain.com が実現したパブリックおよびプライベートなディスカッション・ツールを使用することにより、アルテラのユーザは特定の企業に確約を与えることなく、匿名のまま提示された複数のソリューションを評価して、そのプロジェクトに最適なソリューション・プロバイダを選択することができます。設計者はこの短時間でパートナー企業を選択できる手法を活用することによって、最終製品を市場に投入するまでの貴重な時間を節約することができます。

HelloBrain.com は各取引プロセスを標準化した環境を提供しているため、プロジェクトをアウトソーシングするときに発生する取引条件などに関する面倒な交渉が不要になります。このようなオンラインでの評価、発注/納品、支払いのシステムが確立されているため、アルテラのユーザとパートナー企業は、ペーパーワークなどに時間を浪費することなく、技術的なソリューションの実現だけに注力することができます。

<http://www.altera.com/ipmegastore> のページにあるジグソ・パズル・ピースのアイコンをクリックして、設計サービスと IP に関するアルテラ専用の設計資産取引市場をアクセスし、すでに実行されたいくつかのプロジェクトを確認してみてください。



図1 アルテラ専用の設計資産取引を実現した web サイト



性能を 40% まで向上させるシンプリシティのフィジカル・シンセシス

Amplify Physical Optimizerは、これまで数週間を要していたタイミング問題の解決を数時間で実現する純粋なタイミング・ドリブンのフィジカル・シンセシス・ツールです。

プログラマブル・ロジック・デバイス (PLD) は、数年前では考えられなかったような非常に広範囲のアプリケーションに対応できる集積度と性能を実現しています。現在、数百万ゲートの集積度と 200MHz を超える性能を達成しているプログラマブル・ロジックは、これまで ASIC だけで実現可能だった多くのアプリケーションにも採用されるようになってきました。ただし、このようなデバイスの集積度と性能の急速な増加に伴って、デザインの高い生産性と迅速な「Time-to-Market」の実現などのプログラマブル・ロジックに期待される特長を維持するためには、解決しなければならないいくつかの問題が浮上してきました。シンプリシティ社は、フィジカル・シンセシスというプログラマブル・ロジック用の新たなクラスの合成ツールを開発して、これらの重要な課題に対応しています。

Amplify Physical Optimizer が最高のデバイス性能を実現

数百万ゲートのデバイスをデザインするときの大きな問題のひとつが、合成時にデバイスの物理的な配線構造を考慮しなければならない点です。デバイスのプロセス・テクノロジーがさらに微細化されるのに伴って、回路全体の遅延はロジックの遅延よりも配線の遅延で決定されるようになってきました。このような理由から、シンプリシティ社は、Amplify Physical Optimizer と呼ばれるプログラマブル・ロジック用合成ツールの新製品を発表しました。

この Amplify Physical Optimizer は、回路性能を限界まで引き上げ、これまで数週間を要していたタイミング問題を数時間で解決するタイミング・ドリブンのフィジカル・シンセシス・ツールです。Amplify Physical Optimizer を使用した場合、従来の合成手法に比較して回路性能が最高で 45% まで改善されることが確認されています。一般的に、この性能改善の割合は、小規模なデザインよりも、より大規模なデザインでさらに高くなります。したがって、より集積度の高いデバイスに対して Amplify Physical Optimizer を使用した場合に、より高い効果を期待することができます。表 1 は、実際にあったユーザのデザインを Amplify Physical Optimizer を使用したデザイン・フローで実現したときの結果を示したものです。これらの例では、Amplify Physical Optimizer を使用した場合のタイミング性能が、従来の合成手法に比較して 27% も高速化されることが示されています。

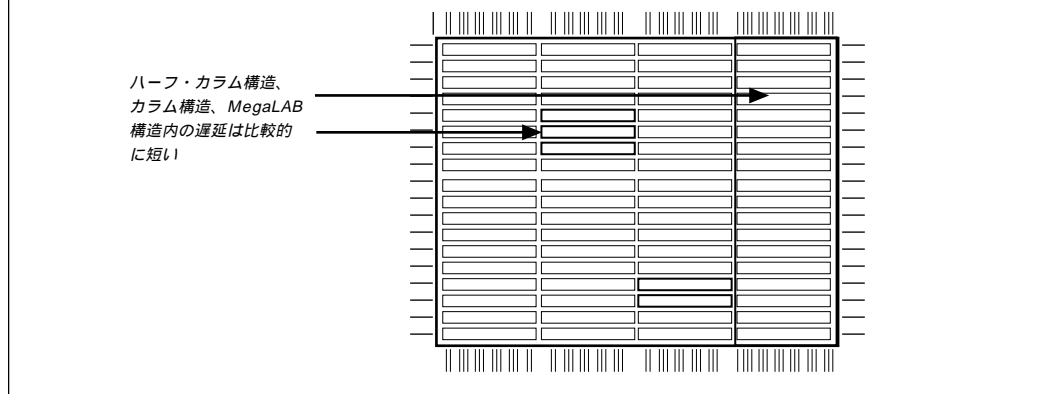
表 1 Amplifyを使用したデザイン性能の改善

デザインの番号	デバイス名	改善の割合 (%)
1	EPF10K100	15.8
2	EPF10K100	10.1
3	EPF10K100	16.0
4	EPF10K130	27.3
5	EPF10K130	31.1
6	EP20K100E	11.0
7	EP20K100E	18.0
8	EP20K100E	24.6
9	EP20K200E	45.8
10	EP20K200E	36.0
11	EP20K400E	37.6
12	EP20K400E	33.0
13	EP20K400E	34.0

フィジカル・シンセシスとは？

合成と配置を同時に実行するフィジカル・シンセシスでは、合成のプロセスで通常のタイミング上の制約条件 (タイミング・コンストレイント) と物理的な制約条件 (フィジカル・コンストレイント) の双方が適用され (フィジカル・コンストレイントとは、RTL (Register Transfer Level) でのフロアプランのこと) 図 1 に示されるように非常に高いレベルに最適化されたデザインが生成されます。フィジカル・シンセシスによって合成されたデザインまたはネットリストは、フィジカル・シンセシスを使用しない場合とは大きく異なります。フィジカル・シンセシスを実行した場合は、設定された条件に問題がない限り、ほとんどのデザインで大幅な性能の改善が実現されます。さらに、フィジカル・シンセシスでは、デバイス上でのロジックの配置が、タイミング・コンストレイントとフィジカル・コンストレイントとを組み合わせる条件をベースにして実行されます。Amplify Physical Optimizer は単に遅延情報をアノテートして、改善された遅延時間を推定してロジックの配置を再合成するのではなく、クリティカル・パスを特定の領域に制限した上で、多様な物理的な最適化を行います。このツールは、ロジックがデバイス内の特定の領域に構成されることが判明している場合のみ、これらの動作を実行することができます。Amplify Physical Optimizer を使用することによって、フロント・エンドでタイミング問題の発生を避けることができるため、長い時間をかけてバックアノテートと再合成を繰り返して問題の解決をはかる必要がなくなります。

図2 フィジカル・シンセシス・ツール製品で最適化されたデザイン



クリティカル・パスを特定のMegaLAB™に指定する(RTLの段階で)コンストレイントを簡単に与えることができるため、遅延の推定値がより正確となり、下記のような方法でさらに高いレベルでの回路の最適化を行うことができます。

- **Logic Tunneling** (ロジック・トンネリング) タイミング・コンストレイントが満足されるようにレジスタを配置したり、または物理的境界を越えて移動させることができる機能で、レジスタをI/Oブロックに移動させ、クリティカル・パスがデバイスのI/Oピンから出力されるように設定することもサポートされています。
- **Logic Replication** (ロジックの複製) 通常の論理合成時に実行されるロジックの複製(リプリケーション)機能に加え、ユーザが指定した物理的な領域に関するコンストレイントをベースにした追加のリプリケーションを実行することができます。また、Amplify Physical Optimizerには、HDLのソース・コードを変更せずにロジックを複製する機能が提供されています。
- **Structure Decomposition** (構造の分割) マルチプライヤなどのような回路の場合は、大きな(ビット幅が広い)構造を複数の小さな構造に分割することによって、要求される性能を達成できることがあります。マルチプライヤを複数の小規模な構造に分解してデバイス内の異なる領域に配置することによって性能が改善される場合は、Amplify Physical OptimizerがHDLのソース・コードを変更することなく、このような構造の分割を自動的に実行します。

Amplify Physical Optimizerでは、独自に開発された物理的な最適化が追加実行されます。Amplify Physical Optimizerは純粋なタイミング・ドリブ

の動作を行うため、これらの追加の最適化はタイミング・コンストレイントを満足させる必要がある場合にのみ実行されます。

Amplify Physical OptimizerはRTLで動作するため(ゲート・レベルとは異なる)、ネットリスト・ベースのフロアプランニング・ツールよりも使いやすく、はるかに効率的です。例えば、ネットリスト・フロアプランニング・ツールでは、HDLのコードを変更するたびにフロアプランを作成する必要があるため、これが非常に面倒な作業になることがあります。Amplify Physical OptimizerはRTLの段階で動作するため、8ビットのアダーを10ビットのアダーに変更する場合や、ステート・マシンにひとつのステートを追加するような変更を行った場合でも、新たなフィジカル・コンストレイントを作成する必要はありません。コードを変更する前にアダーまたはステート・マシンが特定のMegaLABに構成されるようにしたコンストレイントが与えられている場合は、存在するそのフィジカル・コンストレイントが有効のまま維持されます。

フィジカル・コンストレイントをベースにしたデザインの最適化に加え、Amplify Physical Optimizerは配置情報を作成して、ロジックが期待した位置に実現されるように、この配置情報をQuartusソフトウェアに送ります。Amplifyが提供する、フィジカル合成アルゴリズム、配置、そして視覚的なユーザ・インタフェースのユニークな組み合わせによって、デザインを実現可能な性能レベルまで短時間で到達させることができます。

Amplify Physical Optimizerの詳細については、Synplicity社のwebサイト(<http://www.synplicity.com>)で確認してください。

*Amplify Physical Optimizer*は配置情報を作成して、ロジックが期待した位置に実現されるように、この配置情報をQuartusソフトウェアに送ります。

APEX 20KE PLL の性能仕様を改善



APEX™ 20KE デバイスは ClockLock™、ClockBoost™、そして外部クロック出力の各機能をサポートしており、これらはすべて汎用の PLL (Phase-Locked Loop) で実現されています。APEX 20KE デバイスの汎用 PLL に対する特性評価データの結果から、これら汎用 PLL の性能に関する規格が改定され、さらに高速化が実現されています。PLL の入力と出力の周波数が拡張されたことによって、さらに幅広いアプリケーションのサポートが可能になりました。

入力周波数

APEX 20KE デバイスの汎用 PLL に対する最高入力周波数の規格が、表 1 に示すように改定されています。この最高周波数は、選択した標準 I/O 規格に対応したクロック入力専用ピンの最高クロック入力周波数でのみ制限されます。クロック入力専用ピンは各標準 I/O 規格にセレクトラブルに対応できるため、複数の異なる I/O 規格がサポートされます。入力周波数の増加は PLL の入力動作範囲を拡大し、APEX 20KE デバイスの PLL の性能と汎用性をさらに高めています。

表 1 PLL のクロック入力周波数の規格

標準 I/O 規格	外部クロック入力周波数、 f_{MAX} (MHz)			
	-1 x		-2 x	
	最小	最大	最小	最大
3.3-V LVTTTL	1.5	290	1.5	257
2.5-V LVTTTL	1.5	281	1.5	250
1.8-V LVTTTL	1.5	272	1.5	243
GTL+	1.5	303	1.5	261
SSTL-2 class I	1.5	291	1.5	253
SSTL-2 class II	1.5	291	1.5	253
SSTL-3 class I	1.5	300	1.5	260
SSTL-3 class II	1.5	300	1.5	260
LVDS	1.5	420	1.5	350

VCO 周波数

PLL の電圧制御発振器 (VCO: Voltage Controlled Oscillator) の周波数範囲も拡張されています。この拡張された VCO の周波数範囲の規格では、APEX 20KE デバイスに内蔵されているすべての汎用 PLL で 200MHz から 500MHz に改定されています。VCO の周波数範囲が拡張されたことで、1 個の PLL から複数の周波数の出力を生成できる可能性がさらに高まりました。PLL から 2 種類の周波数出力を得るときは、これらの周波数の最小公倍数を VCO から出力して、これを分周することによって実現できます。例えば、70MHz と 60MHz の 2 本の出力が必要な場合は、VCO がこれらの最小公倍数となる 420MHz で動作する必要があります。VCO の動作周波数範囲が 500MHz までに拡張されていない場合は、この周波数の組み合わせの実現には 2 個の PLL が必要でした。

出力周波数

表 2 は、APEX 20KE デバイスの汎用 PLL からの最高出力周波数を示しています。PLL 出力から内部グローバル・クロックへの最高周波数は、-1 x スピード・グレードの製品では 335MHz、-2 x スピード・グレードの製品では 200MHz となっています。

表 2 デバイス内部での PLL の最高出力周波数

-1 x	-2 x
335 MHz	200 MHz

PLL のクロック出力専用ピン (CLKLK_OUT) からの最高出力周波数は、選択された標準 I/O 規格に応じて図 1 に示されている値になっています。

出力周波数が拡張されたことによって、APEX 20KE デバイスのグローバル・クロックに対するさらに高速のクロック合成が可能になりました。このような高速のクロック・レートが実現されたことによって、ダブル・データ・レート (DDR) のアプリケーションへの採用も可能になりました。

APEX 20KE デバイスでは、2 通倍されたクロックでデータをデバイスの内部および外部にドライブすることで DDR が実現されます。例えば、166MHz のクロックを DDR に使用する場合は、PLL から 333MHz のクロックを生成して 333Mbps の DDR を実現することができます。

まとめ

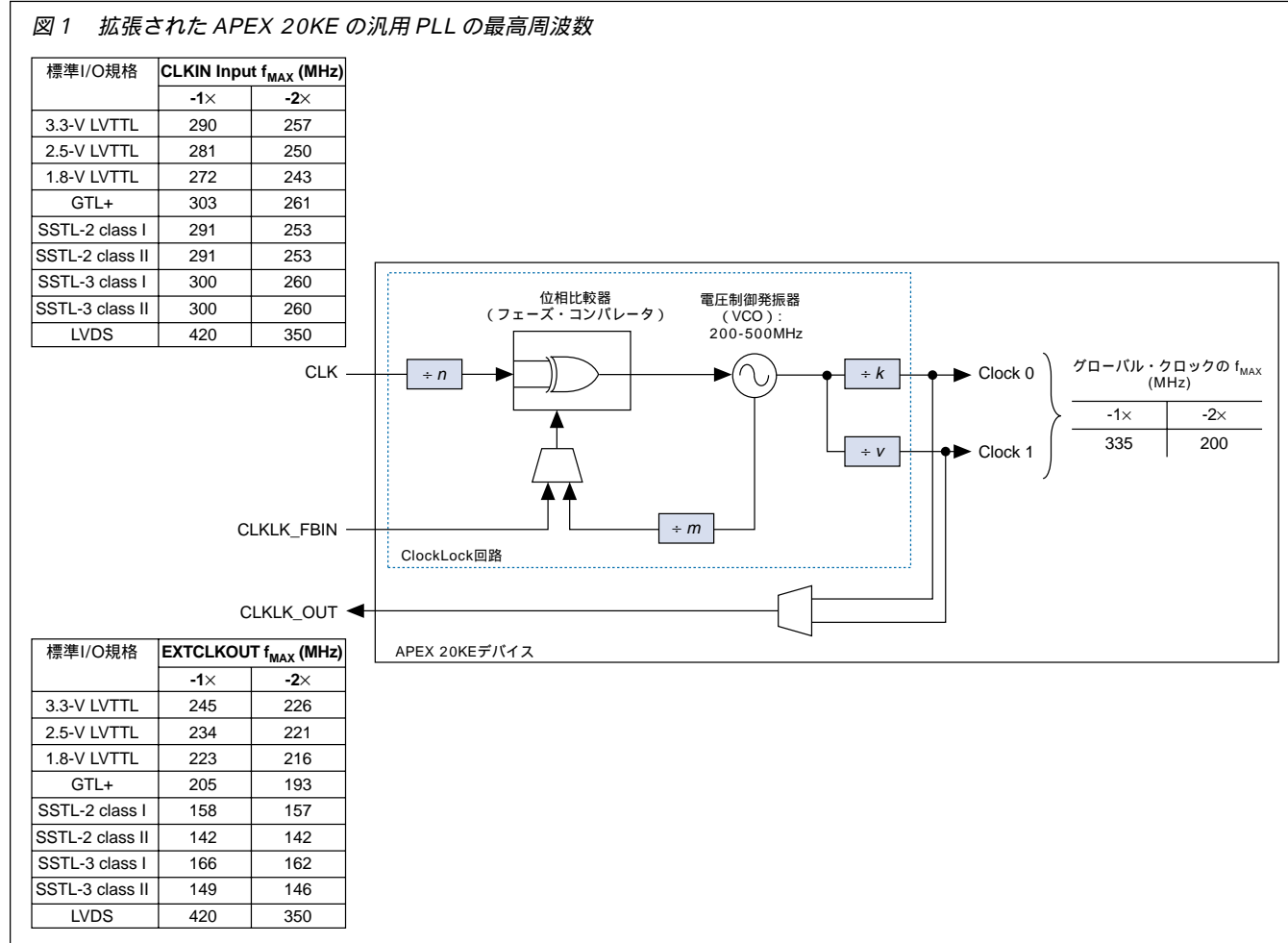
APEX 20KE デバイスの汎用 PLL に対する特性評価を行った結果、さらに高い性能と広い動作範囲が確認されました。これによって、PLL の入力、出力、そして VCO の各周波数規格が拡張されています。これらの規格がさらに拡張されたことで、APEX 20KE デバイスの汎用 PLL の汎用性がさらに高まり、使用されるアプリケーションの性能も強化されます。図 1 に、APEX 20KE デバイスの汎用 PLL で拡張された規格の最大値が示されています。

表 3 PLL のチップ外部へのクロック出力周波数の規格 注(1)

標準 I/O 規格	チップ外部への出力の周波数、 f_{MAX} (MHz)			
	-1 ×		-2 ×	
	最小	最大	最小	最大
3.3-V LVTTTL	1.5	245	1.5	226
2.5-V LVTTTL	1.5	234	1.5	221
1.8-V LVTTTL	1.5	223	1.5	216
GTL+	1.5	205	1.5	193
SSTL-2 class I	1.5	158	1.5	157
SSTL-2 class II	1.5	142	1.5	142
SSTL-3 class I	1.5	166	1.5	162
SSTL-3 class II	1.5	149	1.5	146
LVDS	1.5	420	1.5	350

注：
 (1) 最小値は altdclock (PLL) の clock0 出力に対するものです。clock1 出力ポートの最小値は 20MHz です。

図 1 拡張された APEX 20KE の汎用 PLL の最高周波数



APEXのエンベデッドCAMによるATMの実現

CAM(Content Addressable Memory)は、データベース、リスト、またはパターンに対する高速サーチを必要とするアプリケーションの性能の高速化を実現します。CAMのアプリケーションの一例としては、ATM(Asynchronous Transfer Mode:非同期転送モード)スイッチを挙げることができます。ATMスイッチのアプリケーションでは、CAMをATMスイッチング・ネットワークの仮想チャンネル識別子(virtual channel identifier)/仮想パス識別子(virtual path identifier)の変換テーブルとして使用することができます。

ATMスイッチ

ATMスイッチは公衆ネットワークにおいてパケット・スイッチングのテクニックを使用する高速デバイスで、データ、ビデオ、音声など多くのクラスのトラフィックをサポートすることができます。ATMのトラフィックは「セル」と呼ばれる固定長のパケットが連続した形で提供され、各セルが5バイトの固定長ヘッダと48バイトのペイロードで構成されます。

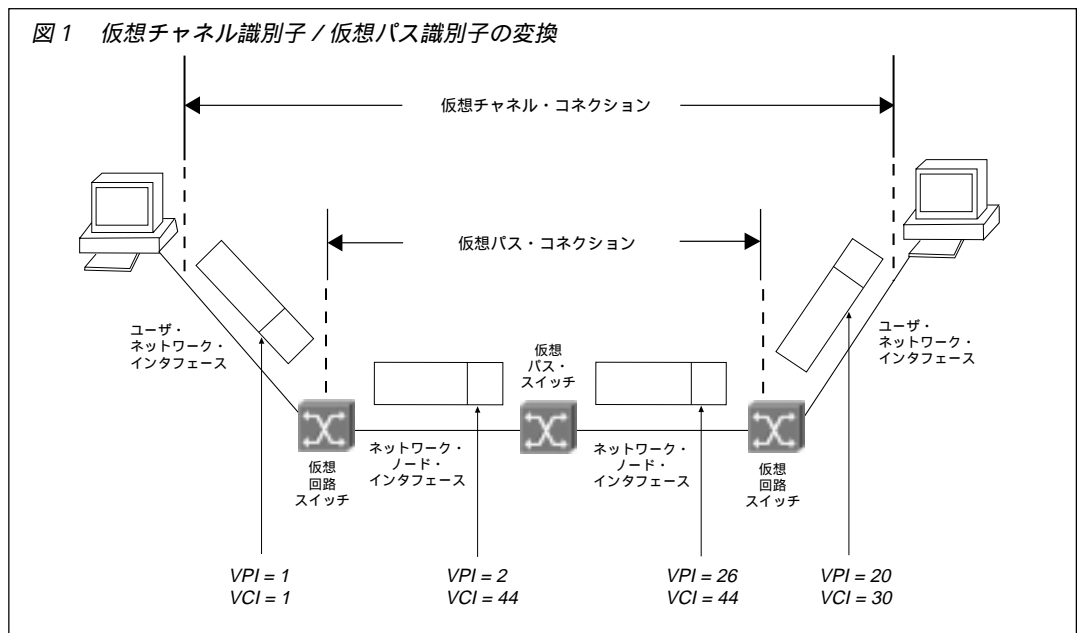
接続・オリエンテッドのATMネットワークでは、データ転送の実行前にネットワークに仮想回路を設定する必要があります。この仮想回路には、仮想パス識別子によって識別される仮想パス回路と、仮想チャンネル識別子によって識別される仮想チャンネルの2種類があります。

ATMネットワークにおける複数の仮想チャンネルを接続するときには仮想パス・コネクションが使用され、この仮想チャンネル・コネクションは、各レイヤ間でATMのトラフィックを双方向に転送します。

仮想チャンネル識別子/仮想パス識別子の値はローカライズされるため、コネクションの各セグメントには、個別の仮想チャンネル識別子/仮想パス識別子の組み合わせが与えられます。セルがユーザ・ネットワーク・インタフェースからスイッチを通じてネットワーク・ノード・インタフェースに転送されるとき、図1に示されるように、仮想チャンネル識別子/仮想パス識別子の値が仮想チャンネル識別子/仮想パス識別子の変換プロセスによって、次のコネクション・セグメントの値に変更されます。

図2は、仮想チャンネル識別子/仮想パス識別子の値が変換されるATMスイッチの機能を示しています。仮想チャンネル識別子/仮想パス識別子の値はインタフェースごとに異なる固有なものとなりますが、この値はネットワークで再使用することができます。例えば、図2において、仮想チャンネル識別子/仮想パス識別子の値、29が2つの異なるインタフェースに使用されています。

仮想チャンネル識別子/仮想パス識別子の値の変換に必要な時間は、ATMネットワークの性能を決定する重要な要素になります。



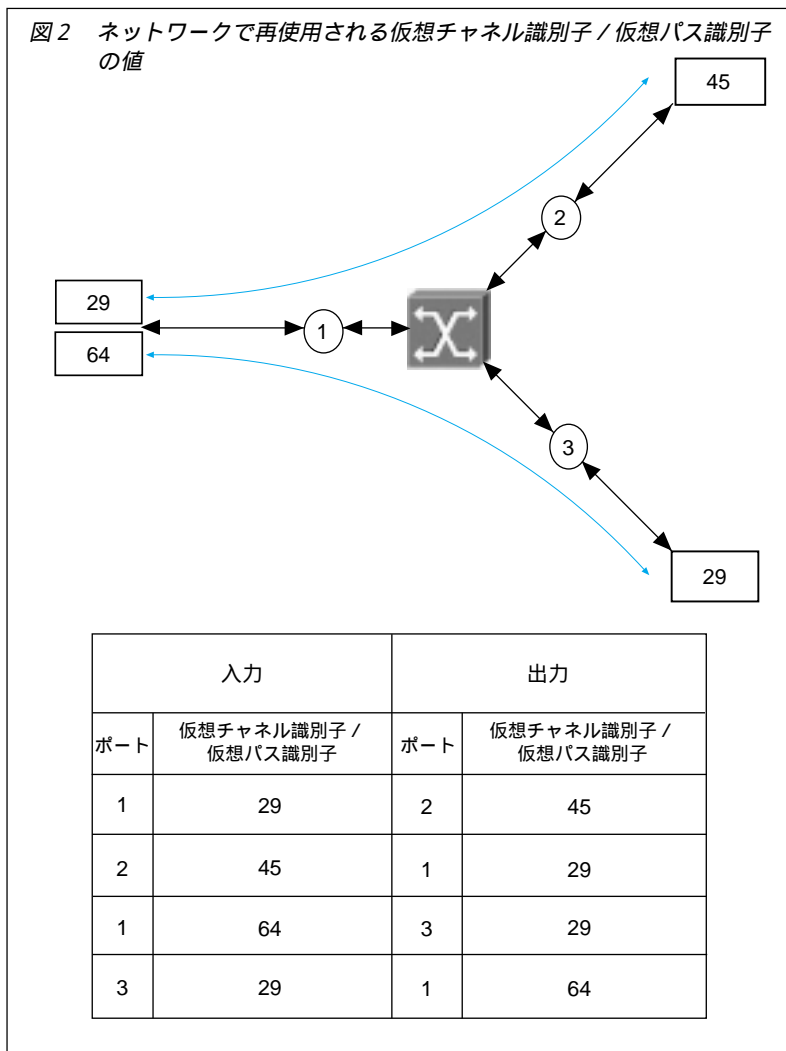
ATMスイッチにおけるCAM

仮想チャネル識別子 / 仮想パス識別子の値の変換に必要な時間は、ATMネットワークの性能を決定する重要な要素になります。CAMはATMスイッチにおいてルックアップ・テーブルによるアドレス・トランスレータとして動作することができ、仮想チャネル識別子 / 仮想パス識別子の変換を短時間で実行することができます。ATMコントローラからの仮想チャネル識別子 / 仮想パス識別子のフィールド(セル・ヘッダ)が、CAMの阵列にストアされている現在の接続のリストと比較されます。CAMはエンベデッドRAMをアクセスするためのアドレスを生成します。エンベデッドRAMには、仮想チャネル識別子 / 仮想パス識別子のマッピング・データとその他の接続情報がストアされます。図3に示されているように、RAMからの仮想チャネル識別子 / 仮想パス識別子のデータがセルに追加され、スイッチに送られます。

ATMのアプリケーションによっては、APEX™デバイスに内蔵されているよりも大きな容量のCAMが必要になることがあります。このような場合は、APEXのCAMを外部CAMに対するキャッシュとして使用します。外部CAMにすべての接続をストアし、より高速なAPEXデバイス内のCAMには頻繁にアクセスされる接続をストアします。最新の接続や頻繁にアクセスされる接続に対するキャッシュを設けることによって、システム性能が向上します。

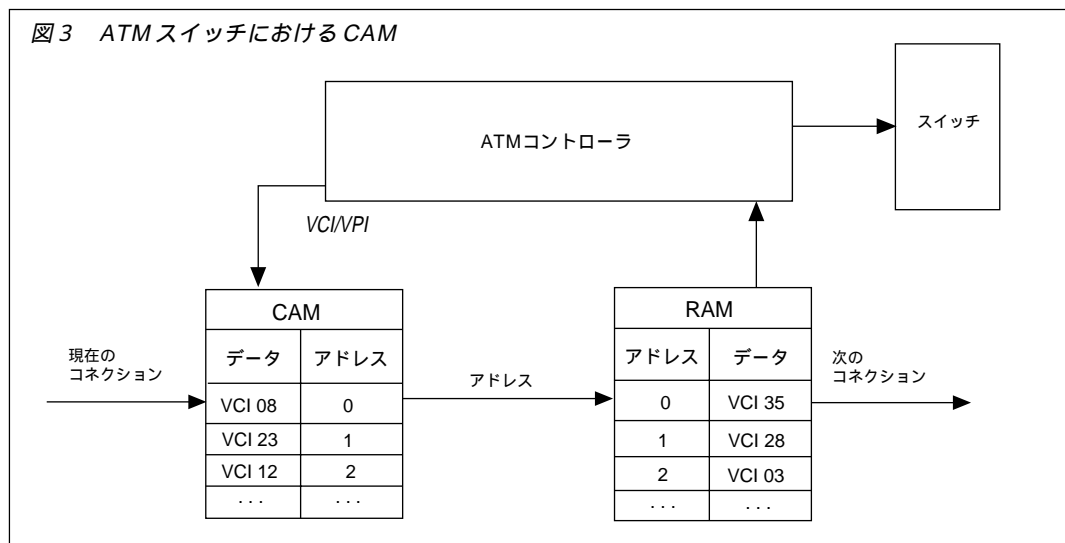
ATMスイッチの性能は、仮想チャネル識別子 / 仮想パス識別子の変換スピードによって決定されます。APEXデバイスのエンベデッドCAMはこの変換動作を最適化することができるため、システム性能を改善します。

図2 ネットワークで再使用される仮想チャネル識別子 / 仮想パス識別子の値



CAMをキャッシュに使用方法の詳細については、アルテラ発行のWhite Paper「APEX CAM as Cache for External CAM」を参照してください。

図3 ATMスイッチにおけるCAM



Q APEX™ 20K および APEX 20KE デバイスには、どのような BGA (ボール・グリッド・アレイ) パッケージが提供されていますか？

A APEX 20K および APEX 20KE デバイスには、表 1 に示されている 5 種類の BGA パッケージが提供されています。

表 1 APEX 20K および APEX 20KE デバイスの BGA パッケージ

パッケージ名	ボール・ピッチ・サイズ (mm)	ピン数	提供されているデバイス	パッケージの高さの最大値 (mm)	パッケージの特長
BGA	1.27	652	EP20K200E EP20K300E	2.3	リッドなしのプラスチック BGA パッケージ
Super BGA	1.27	356	EP20K60E EP20K100 EP20K100E EP20K160E EP20K200E	1.65	メタル・リッド付きのプラスチック BGA パッケージ
		652	EP20K400 EP20K400E EP20K600E		
Thermally-enhanced BGA	1.27	652	EP20K1000E EP20K1500E	3.5	セラミック・リッド付きのプラスチック・フリップ・チップ BGA パッケージ
FineLine BGA™	1.0	144	EP20K30E EP20K60E EP20K100E	2.1	リッドなしの FineLine BGA パッケージ
		324	EP20K30E EP20K60E EP20K100 EP20K100E		
		484	EP20K160E EP20K200 EP20K200E		
		672	EP20K200E EP20K300E		
Thermally-enhanced FineLine BGA	1.0	672	EP20K400 EP20K400E EP20K600E EP20K1000E	3.5	セラミック・リッド付きの FineLine フリップ・チップ BGA パッケージ
		1,020	EP20K1000E EP20K1500E		

Q アルテラから提供されている OEM の合成ツールは、ハード・ディスクのボリューム・シリアル・ナンバにロックされたライセンスを保有している MAX+PLUS® II BASELINE または E+MAX ソフトウェアを使用しているユーザも使用できますか？

A FPGA Express-Altera ソフトウェアはハード・ディスクのボリューム・シリアル・ナンバにロックされたライセンスを保有している MAX+PLUS II BASELINE または E+MAX ソフトウェアのユーザにも提供されています。

LeonardoSpectrum-Altera ソフトウェアも MAX+PLUS II BASELINE または E+MAX ソフトウェアのユーザに提供されていますが、この場合にはネットワーク・インタフェース・カード (NIC) の番号をベースにしたライセンスを要求する必要があります。エグゼンプラ / メンター・グラフィックス社はハード・ディスクのボリューム・シリアル・ナンバによるライセンスでのツールの使用を許可していません。NIC にロックされた新しいライセンスを取得すると、これが MAX+PLUS II と FPGA Express-Altera ソフトウェアにも有効になるため、2 つ以上のアクティブ・ライセンス・ファイルは必要ありません。

LeonardoSpectrum-Altera および FPGA Express-Altera の両ソフトウェアは、アルテラの web サイトからダウンロードすることができ、無償のライセンス・ファイルもアルテラの web サイトを通じて要求することができます。左側にある Development Tools のプルダウン・メニューから Free Software を選択し、該当するソフトウェアのボックスの中にある Download ボタンをクリックしてください。

メンター・グラフィックス / モデル・テクノロジー社の Model Sim-Altera ソフトウェアのシミュレーション・ツールは、MAX+PLUS II BASELINE または E+MAX ソフトウェア用には提供されておらず、ライセンスを取得しているアルテラのユーザに対してのみ提供されています。

Q バウンダリ・スキャン・テスト (BST) の実行中にデバイスの消費電力はどうなりますか？

A BST を実行しているデバイスは、ユーザ・モードで動作している場合とほとんど同じ電力を消費します。ユーザ・モードのときの消費電力はアプリケーション・ノート、AN 74 (Evaluating Power for Altera Devices) を活用して計算することができます。この値を BST 実行時の消費電力とすることができます。

BSTは、JTAG (Joint Test Action Group) コントローラとデータをデバイスに入出力するための専用レジスタを使用して実行されます。トグルするレジスタの最大数は、各デバイスに対してBSDL (Boundary Scan Description Language) ファイルで規定されるバウンダリ・スキャンの最大長と等しくなります。テスト・データをこれらのレジスタにシフトするときに消費される電力は、デバイス内の他の部分で消費される電力に比較して無視できるほど小さくなります。

BSTを実行しているときの消費電力は、内部のシフトレジスタよりもI/Oピンの負荷による影響のほうが大きくなります。

Q Jam™ STAPL (Standard Test and Programming Language) PlayerまたはJam STAPL Byte-Code Playerをポーティングしたバージョンを動作させたときに、「stack overflow」のエラーが発生します。どのような原因が考えられますか？

A 「stack overflow」のランタイム・エラーが発生したときは、Jam Playerのソース・コードのコンパイルに使用するコンパイラに対して要求されるスタックのサイズを指定する必要があります。Jam STAPL PlayerまたはJam STAPL Byte-Code Playerは、共にスタックへ最低50,000バイトをストアできるようになっている必要があります。コンパイラがデフォルトのスタック・サイズをこれより小さな値にしている場合は、必ずランタイム・エラーが発生します。

特定のプログラムの実行時に、システムは一定の物理的なメモリ容量を提供し、このメモリ容量の1部がスタックに割り当てられる必要があります。通常、このスタック・メモリは何種類かのプログラム変数のストアに使用されます。オペレーティング・システムによるスタック・メモリの分配は2種類の方法のいずれかで行われ、オペレーティング・システムはスタック・メモリを固定サイズとして扱うか、またはダイナミックに割り当てを行います。

通常、大容量のメモリが実装されているシステム (Windows NT/95/98/2000またはUNIX上で動作するシステムなど) では、システムがスタック用のメモリをダイナミックに割り当てます。したがって、スタックに割り当てられるメモリ容量を指定する必要はありません。

ただし、メモリ容量の小さなシステムでは (DOSやアドレス可能な領域が64Kバイト未満になっているエンベデッド・プロセッサのような場合)、オペレーティング・システムがメモリ領域を動作可能な範囲に制限します。したがって、このような場合は、スタックに割り当てられる物理的なメモリのサイズ

を定義しなければなりません。必要なスタックのサイズが規定されているため、スタックに必要なサイズのみを指定することで、制限されたメモリ空間の利用効率が高くなります。

Jam PlayerをPCおよびUNIXをベースにして32ビットで実現した場合は、スタック・メモリをダイナミックに割り当てることができます。PCベースの16ビット・バージョンのJam Playerの場合は、16ビットのDOSやWindows 3.xのオペレーティング・システムが要求に応じてアプリケーションのスタック領域を拡張できないため、あらかじめスタックのサイズを規定しておく必要があります。Jam STAPL PlayerまたはJam STAPL Byte Code Playerを特定のマイクロプロセッサにポーティングする場合は、適切なスタック・メモリを設定してコードをコンパイルしてください。

Q アルテラはシリアル・ベクタ・フォーマット (.svf) 仕様のどのリビジョンをサポートしていますか？

A MAX+PLUS IIソフトウェアは、SVFのリビジョン-Dと-Eに準拠したシンタックスを使用するSVFファイルを生成します。これらのリビジョンはSVF規格の最新版です。

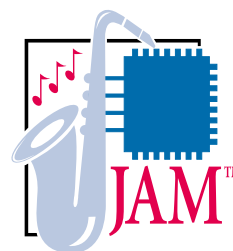
SVFの仕様については、Asset Intertechのwebサイト (<http://www.asset-intertech.com>) を参照してください。

Q Quartus™ソフトウェアでクロック・ピンに対する外部入力遅延を指定することはできますか？

A 外部入力遅延は、フィードバック・モードに設定されているAPEX 20KEデバイスのPLL (Phase-Locked Loop) のデータ・ピンと外部フィードバック・ピンに対してサポートされています。

フィードバック・クロックに外部入力遅延を指定するときは、最初にデザイン内にaltclklockメガファンクションがインスタンス化され、フィードバック・モードがイネーブルになっている必要があります。この状態になっていれば、Assignment Organizerを使用してクロック・ピンに遅延を指定することができ、同じようにデータ・ピンに外部入力遅延を指定することができます。この設定はCLKLK_FB信号に対して適用されます。

APEX 20KEデバイスのPLLとそのアプリケーションの詳細については、アプリケーション・ノート、AN 115 (*Using the ClockLock & ClockBoost PLL Features in APEX Devices*) を参照してください。



現在のソフトウェア・バージョン

Quartus™ソフトウェアはバージョン2000.05が最新のリリースとなっており、下記のオペレーティング・システムがサポートされています。

- Microsoft Windows 98
 - Microsoft Windows NT
 - Sun Solaris version 2.6
 - HP-UX version 10.20 以降
- なお、HP-UX version 11.0 以降はまだサポートされていません。

MAX+PLUS® IIソフトウェアはバージョン9.6が最新のリリースとなっており、下記のオペレーティング・システムがサポートされています。

- Microsoft Windows 95、およびWindows 98
 - Microsoft Windows NT version 3.51 以降
 - Sun Solaris version 2.5 以降
 - HP-UX version 10.20 以降
- なお、HP-UX version 11.0 以降はまだサポートされていません。
- AIX version 4.1 以降

アルテラの新規刊行資料



アルテラから下記の新しい資料が刊行されています。各資料はアルテラの web サイト、<http://www.altera.com>からダウンロードすることができます。なお、*印のある資料は日本語版も発行されています。カッコ内の記号は、アルテラのドキュメント番号です。

- Altera Digital Library CD-Rom, Version 4 (P-CD-ADL2000-04)
- APEX Devices Brochure (M-GB-APEX-20K-03) *
- Excalibur Brochure (M-GB-EXCALIBUR-01) *
- Quartus Brochure (M-GB-QUARTUS-03) *
- Installing the Visual IP Software User Guide (A-UG-VISINSTALL-01)
- PCI-X MegaCore Function User Guide (A-UG-IPPCIX-01)
- Simulating the a6402 Model with the Visual IP Software User Guide (A-UG-A6402VIS-01)
- Simulating the a8237 Model with the Visual IP Software User Guide (A-UG-A8237VIS-01)
- Simulating the a8251 Model with the Visual IP Software User Guide (A-UG-A8251VIS-01)
- Simulating the a8259 Model with the Visual IP Software User Guide (A-UG-A8259VIS-01)
- Altera Device Package Information Data Sheet, ver. 8.03 (A-DS-PKG-08.03)
- FLEX 10KE PCI Development Board Data Sheet, ver. 1.01 (A-DS-PCI-C-01.01)
- AN 116: Configuring APEX 20K, FLEX 10K, & FLEX 6000 Devices, ver. 1.03 (A-AN-116-1.03)
- AN 128: Implementing Voice Over Internet Protocol (A-AN-128-01)
- Board Design Guidelines for LVDS Systems White Paper (M-WP-DESLVDS-01)
- Implementing ATM Switch with APEX Embedded CAM White Paper (M-WP-APEXATM-01)
- Area Optimized Soft Decision Viterbi Decoder Functions White Paper
- PIB 29: LVDS Comparison: APEX 20KE vs. Virtex-E Devices (A-PIB-029-01)

アルテラのプログラミング・ハードウェアのサポート状況

プログラミング・ハードウェアのサポート状況

下記の表1には、アルテラの MAX[®] 9000、MAX 7000、MAX 3000ファミリの各デバイス、およびコンフィギュレーション・デバイスに対応するプログラミング・アダプタの最新情報が示されています。正しいプログラミングを行うためには、40ページの「現在のソフトウェア・バージョン」を使用する必要があります。

デバイス名	パッケージ	アダプタ
EPC1064 (2) EPC1064V (2) EPC1441 (3)	DIP, J-lead TQFP	PLMJ1213 PLMT1064
EPC1 (3) EPC1213 (2)	DIP, J-lead	PLMJ1213
EPC2 (4)	J-lead TQFP	PLMJ1213 PLMT1064
EPM9320	J-lead (84-pin) RQFP (208-pin) PGA (280-pin)	PLMJ9320-84 PLMR9000-208 PLMG9000-280
EPM9320A	J-lead (84-pin) RQFP (208-pin)	PLMJ9320-84 PLMR9000-208NC (5)
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560	RQFP (208-pin) RQFP (240-pin) PGA (280-pin) RQFP (304-pin)	PLMR9000-208 PLMR9000-240 PLMG9000-280 PLMR9000-304
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC (5) PLMR9000-240NC (5)
EPM7032	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7032S EPM7032AE EPM7032B	J-lead (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMT7000-44
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100

デバイス名	パッケージ	アダプタ
EPM7064S	J-lead (44-pin) J-lead (84-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMJ7000-84 PLMT7000-44 PLMT7000-100NC (5)
EPM7064AE EPM7064B	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin) FineLine BGA (100-pin)	PLMJ7000-44 PLMT7000-44 PLMT7000-100NC (5) PLMF7000-100
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7128A EPM7128AE EPM7128B EPM7128S	J-lead (84-pin) PQFP (100-pin) J-lead (84-pin) TQFP (100-pin) TQFP (144-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (5) PLMT7000-100NC (5) PLMT7000-144NC (5) PLMQ7128/7160-160NC (5) PLMF7000-100
	FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMF7000-256
EPM7160E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7160S	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (5) PLMQ7128/7160-160NC (5)
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/7256-160
EPM7192S	PQFP (160-pin)	PLMQ7192/7256-160NC (5)

(42 ページに続く)

アルテラのパログラミング・ハードウェアのサポート状況 (41 ページからの続き)

デバイス名	パッケージ	アダプタ
EPM7256E	PQFP (160-pin) PGA (192-pin) PQFP (208-pin) RQFP (208-pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208 PLMR7256-208
EPM7256A EPM7256S EPM7256AE EPM7256B	TQFP (100-pin) TQFP (144-pin) PQFP (208-pin) RQFP (208-pin) FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMT7000-100NC (5) PLMT7000-144NC (5) PLMR7256-208NC (5) PLMT7256-208NC (5) PLMF7000-100 PLMF7000-256
EPM7512AE EPM7512B	TQFP (144-pin) PQFP (208-pin) BGA (256-pin) FineLine BGA (256-pin)	PLMT7000-144NC (5) PLMR7256-208NC (5) PLMB7000-256 PLMF7000-256
EPM3032A	J-lead (44-pin) TQFP (44-pin)	PLMJ3000-44 PLMT3000-44
EPM3064A	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ3000-44 PLMT3000-44 PLMT3000-100NC (5)
EPM3128A	TQFP (100-pin) TQFP (144-pin)	PLMT3000-100NC (5) PLMT3000-144NC (5)
EPM3256A	TQFP (144-pin) PQFP (208-pin)	PLMT3000-144NC (5) PLMR3256-208NC (5)

- 注:
- (1) Classic™ デバイス用アダプタについては、「Altera Programming Hardware」のデータシートを参照してください。
 - (2) FLEX® 8000用のコンフィギュレーション・デバイスです。
 - (3) FLEX 10K、FLEX 8000、FLEX 6000用のコンフィギュレーション・デバイスです。
 - (4) APEX™ 20K、FLEX 10K、FLEX 6000用のコンフィギュレーション・デバイスです。
 - (5) これらのデバイスはキャリア付きで出荷されません。

サード・パーティ・ベンダによるパログラミング・サポート

Data I/O社、BP Microsystems、System Generalの各社は、アルテラのパデバイスをサポートしたパログラミング・ハードウェアを供給しています。各デバイスのパログラミング・アルゴリズムが各社のwebサイト、(<http://www.data-io.com>、<http://www.bpmicro.com>、<http://www.sg.com.tw>)を通じて提供されています。コンフィギュレーション・デバイス、およびMAX 9000ファミリとMAX 7000ファミリの各デバイスに対するサポート状況は、表2の通りです。

デバイス名	Data I/O (1)	BP Microsystems (2)	System General (3)
EPC1064	✓	✓	✓
EPC1213	✓	✓	✓
EPC1	✓	✓	✓
EPC1441	✓	✓	✓
EPC2	✓	✓	✓
EPM3032A	✓	✓	✓
EPM3064A	✓	✓	✓
EPM3128A	✓	✓	✓
EPM3256A	(4)	✓	✓
EPM7032	✓	✓	✓
EPM7032AE	✓	✓	✓
EPM7032S	✓	✓	✓
EPM7064	✓	✓	✓
EPM7064AE	✓	✓	✓
EPM7064S	✓	✓	✓
EPM7096	✓	✓	✓
EPM7128A	✓	✓	✓
EPM7128S	✓	✓	✓
EPM7128AE	✓	✓	✓
EPM7128E	✓	✓	✓
EPM7160E	✓	✓	✓
EPM7192S	✓	✓	✓
EPM7192E	✓	✓	✓
EPM7256A	(4)	✓	✓
EPM7256AE	(4)	(4)	✓
EPM7256S	✓	✓	✓
EPM7256E	✓	✓	✓
EPM7512AE	✓	✓	✓
EPM9320	✓	✓	✓
EPM9320A	✓	✓	✓
EPM9400	✓	✓	✓
EPM9480	✓	✓	✓
EPM9560	✓	✓	✓
EPM9560A	✓	✓	✓

- 注:
- (1) これらのデバイスはData I/O社UniSite用ソフトウェア、バージョン6.3でサポートされています。
 - (2) これらのデバイスはBP Microsystems社のパログラム用ソフトウェア、バージョン3.51Aでサポートされています。
 - (3) これらのデバイスはSystem General社のバージョン1.03のパログラムでサポートされています。
 - (4) これらのデバイスに対するサポート予定については、各ベンダにお問い合わせください。

ダウンロード・ケーブル

表3はアルテラの MasterBlaster™ シリアル / USB (Universal Serial Bus) ポート通信ケーブル、BitBlaster™ シリアル・ポート・ダウンロード・ケーブル、および ByteBlasterMV™ パラレル・ポート・ダウンロード・ケーブルでプログラムまたはコンフィギュレーションできるデバイスを示したものです (ByteBlaster™ ダウンロード・ケーブルは ByteBlasterMV ケーブルで代替されています)。

表3 ダウンロード・ケーブルの対応表

デバイス名	MasterBlaster (1)	ByteBlasterMV	BitBlaster (2)
APEX 20K	✓	✓ (3)	
APEX 20KE	✓	✓ (3)	
ACEX 1K	✓	✓	✓
FLEX 10K	✓	✓	✓
FLEX 10KA	✓	✓	✓
FLEX 10KE	✓	✓	✓
FLEX 8000	✓	✓	✓
FLEX 6000	✓	✓	✓
MAX 9000	✓	✓	✓
MAX 9000A	✓	✓	✓
MAX 7000S	✓	✓	✓
MAX 7000A	✓	✓	✓
MAX 7000B	✓	✓ (3)	
MAX 3000A	✓	✓	✓

注：

- (1) MasterBlaster通信ケーブルと Quartus ソフトウェアを使用することにより、デバイスへのダウンロード、SignalTap™ によるロジック解析を実行することができます。また、MAX+PLUS II のバージョン 9.3以降との併用により、デバイスへのダウンロードを行うことができます。
- (2) BitBlaster ダウンロード・ケーブルは、5.0V で動作させる必要があります。
- (3) このデバイスに対しては、ByteBlasterMV ダウンロード・ケーブルを 3.3V で動作させる必要があります。VCCIO ピンは、2.5V または 3.3V のいずれかに接続してください。

アルテラのコンタクト方法

アルテラからの情報やサービスが従来よりも迅速に行えるようになっていきます。お問い合わせの内容や要求されるサービスに応じて、下記へご連絡ください。

	情報提供元	連絡先
資料のご請求 (1)	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-939-6113 06-6307-7670
	株式会社パルテック	045-477-2009 06-6369-4070
	World-Wide web	英語 http://www.altera.com 日本語 http://www.altera.com/japan
価格・納期等について	株式会社アルティマ	045-939-6113 06-6307-7670
	株式会社パルテック	045-477-2009 06-6369-4070
技術的なご質問	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-939-6113 06-6307-7670 052-202-1024 028-637-4488
	株式会社パルテック	045-477-2009 06-6369-4070
	E-mail (日本アルテラ)	japan@altera.com
	FTP Site (US)	ftp.altera.com
製品案内	World-Wide web	http://www.altera.com/japan

注：

- (1) MAX+PLUS II Getting Started Manual および Quartus Tutorial Manual はアルテラの web サイトから入手できます。他の Quartus™ と MAX+PLUS® II のマニュアルについては、日本アルテラまたは販売代理店へお問い合わせください。

アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドには、アルテラの APEX™ 20K、ACEX™ 1K、FLEX® 10K、FLEX 6000、MAX® 9000、MAX 7000、MAX 3000およびコンフィギュレーション・デバイス・ファミリの製品がまとめられています。他のアルテラ製品に関する情報は、「コンポーネント・セレクタ・ガイド」

(日本語版)に記載されています。最新の情報については、アルテラのwebサイト、<http://www.altera.com>で確認してください。なお、ここに掲載された製品の一部はまだ供給されていません。各デバイスの最新の供給状況については、販売代理店へお問い合わせください。

APEX 20K デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション ¹	I/Oピン数 ¹	電源電圧	ロジック・エレメント数	RAMビット数	マクロセル数
EP20K30E	30,000	144-Pin TQFP, 144-Pin BGA ² , 208-Pin PQFP, 324-Pin BGA ²	92, 93, 128, 128	1.8 V	1,200	24,576	192
EP20K60E	60,000	144-Pin TQFP, 144-Pin BGA ² , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ² , 356-Pin BGA	92, 93, 148, 151, 196, 196	1.8 V	2,560	32,768	256
EP20K100	100,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ² , 356-Pin BGA	101, 159, 189, 252, 252	2.5 V	4,160	53,248	416
EP20K100E	100,000	144-Pin TQFP, 144-Pin BGA ² , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ² , 356-Pin BGA	92, 93, 151, 183, 246, 246	1.8 V	4,160	53,248	416
EP20K160E	160,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ²	88, 143, 175, 271, 316	1.8 V	6,400	81,920	640
EP20K200	200,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ²	144, 174, 277, 382	2.5 V	8,320	106,496	832
EP20K200E	200,000	208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ² , 652-Pin BGA, 672-Pin BGA ²	136, 168, 271, 376, 376, 376	1.8 V	8,320	106,496	832
EP20K300E	300,000	240-Pin RQFP, 652-Pin BGA, 672-Pin BGA ²	152, 408, 408	1.8 V	11,520	147,456	1,152
EP20K400	400,000	652-Pin BGA, 655-Pin PGA, 672-Pin BGA ²	502, 502, 502	2.5 V	16,640	212,992	1,664
EP20K400E	400,000	652-Pin BGA, 672-Pin BGA ²	488, 488	1.8 V	16,640	212,992	1,664
EP20K600E	600,000	652-Pin BGA, 672-Pin BGA ² , 1,020-Pin BGA ²	488, 508, 588	1.8 V	24,320	311,296	2,432
EP20K1000E	1,000,000	652-Pin BGA, 672-Pin BGA ² , 1,020-Pin BGA ²	488, 508, 708	1.8 V	38,400	327,680	2,560
EP20K1500E	1,500,000	652-Pin BGA, 1,020-Pin BGA ²	488, 808	1.8 V	51,840	442,368	3,456

ACEX 1K デバイス						
デバイス名	ゲート数	ピン数 / パッケージ・オプション ¹	I/Oピン数 ²	電源電圧	ロジック・エレメント数	RAMビット数
EP1K10	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	66, 102, 130, 130	2.5 V	576	12,288
EP1K30	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	102, 147, 171	2.5 V	1,728	24,576
EP1K50	50,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ² , 484-Pin BGA ²	102, 147, 186, 249	2.5 V	2,880	40,960
EP1K100	100,000	208-Pin PQFP, 256-Pin BGA ² , 484-Pin BGA ²	147, 186, 333	2.5 V	4,992	49,152

FLEX 10K デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	ロジック・エレメント数	RAMビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	59, 102, 134	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	66, 102, 134, 150	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin RQFP	102, 147, 189	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	147, 189, 246	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ² , 356-Pin BGA, 484-Pin BGA ²	102, 147, 189, 191, 246, 246	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ² , 484-Pin BGA ²	102, 147, 176, 220	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	147, 189	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA, 403-Pin PGA	189, 274, 310	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ²	189, 274, 291	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ² , 484-Pin BGA ²	102, 147, 189, 191, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K50S	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ² , 356-Pin BGA, 484-Pin BGA ²	102, 147, 189, 191, 220, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	189, 358	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100	100,000	503-Pin PGA	406	5.0 V	-3, -4	4,992	24,576
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ² , 600-Pin BGA	189, 274, 369, 406	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100B	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ²	147, 189, 191	2.5 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ² , 356-Pin BGA, 484-Pin BGA ²	147, 189, 191, 274, 338	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ² , 600-Pin BGA, 672-Pin BGA ²	186, 274, 369, 424, 413	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	599-Pin PGA, 600-Pin BGA, 672-Pin BGA ²	470, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K200S	200,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ² , 600-Pin BGA, 672-Pin BGA ²	182, 274, 369, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-1, -2, -3	12,160	40,960

FLEX 6000 デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	フリップ・フロップ数	ロジック・エレメント数
EPF6010A	10,000	100-Pin TQFP, 144-Pin TQFP	71, 102	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 100-Pin BGA ² , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	81, 81, 117, 171, 171	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin BGA ²	117, 171, 199, 218, 218	3.3 V	-1, -2, -3	1,960	1,960

APEXおよびFLEXデバイス用コンフィギュレーション・デバイス			
デバイス名	ピン数 / パッケージ・オプション	電源電圧	説明
EPC1064	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	5.0 V	FLEX 8000デバイス用64Kビット シリアル・コンフィギュレーション・デバイス
EPC1064V	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3 V	FLEX 8000デバイス用64Kビット シリアル・コンフィギュレーション・デバイス
EPC1213	8-Pin PDIP, 20-Pin PLCC	5.0 V	FLEX 8000デバイス用213Kビット シリアル・コンフィギュレーション・デバイス
EPC1441 ³	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	FLEXデバイス用441Kビット シリアル・コンフィギュレーション・デバイス
EPC1 ³	8-Pin PDIP, 20-Pin PLCC	3.3/5.0 V	FLEXおよびAPEXデバイス用1Mビット シリアル・コンフィギュレーション・デバイス
EPC2 ³	20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	APEX, FLEX 10K, FLEX 10KE, FLEX 6000デバイス用2Mビット シリアル・コンフィギュレーション・デバイス
EPC4E ⁴	44-Pin TQFP, 84-Pin BGA ⁵	1.8/2.5 V	APEXおよびFLEX 10Kデバイス用4Mビット シリアル/パラレル・コンフィギュレーション・デバイス

(46 ページに続く)

アルテラ・デバイス・セレクション・ガイド
(45 ページからの続き)

MAX 7000 デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-5, -6, -7, -10
EPM7032AE	32	44-Pin PLCC/TQFP	36	3.3 V	-4, -7, -10
EPM7032B	32	44-Pin PLCC/TQFP, 48-Pin TQFP	36, 36	2.5 V	-3, -5, -7
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 52, 68, 68	5.0 V	-5, -6, -7, -10
EPM7064AE	64	44-Pin PLCC/TQFP, 49-Pin BGA ⁵ , 100-Pin TQFP, 100-Pin BGA ²	38, 40, 40, 68	3.3 V	-4, -7, -10
EPM7064B	64	44-Pin PLCC/TQFP, 48-pin TQFP, 49-Pin BGA ¹ , 100-Pin TQFP, 100-Pin BGA ²	38, 40, 40, 68, 68	2.5 V	-3, -5, -7
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ² , 144-Pin TQFP, 256-Pin BGA ²	68, 84, 84, 100, 100	3.3 V	-6, -7, -10, -12
EPM7128AE	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ² , 144-Pin TQFP, 169-Pin BGA ⁵ , 256-Pin BGA ²	68, 84, 84, 100, 100, 100	3.3 V	-5, -7, -10
EPM7128B	128	49-Pin BGA ⁵ , 100-Pin TQFP, 100-Pin BGA ² , 144-Pin TQFP, 169-Pin BGA ⁵ , 256-Pin BGA ²	40, 84, 84, 100, 100, 100	2.5 V	-4, -7, -10
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-7, -10, -15
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7256S	256	208-Pin PQFP	164	5.0 V	-7, -10, -15
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	84, 120, 164, 164	3.3 V	-7, -10, -12
EPM7256AE	256	100-Pin TQFP, 100-Pin BGA ² , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	84, 84, 120, 164, 164	3.3 V	-5, -7, -10
EPM7256B	256	100-Pin TQFP, 144-Pin TQFP, 169-Pin BGA ⁵ , 208-Pin PQFP, 256-Pin BGA ² , 256-Pin BGA	84, 120, 140, 164, 164, 164	2.5 V	-5, -7, -10
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ² , 256-Pin BGA	120, 176, 212, 212	3.3 V	-5, -7, -10, -12
EPM7512B	512	100-Pin TQFP, 144-Pin TQFP, 169-Pin BGA ⁵ , 208-Pin PQFP, 256-Pin BGA ² , 256-Pin BGA	84, 120, 140, 212, 212, 212	2.5 V	-5, -6, -7, -10

MAX 3000 デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM3032A	32	44-Pin PLCC, 44-Pin TQFP	34, 34	3.3 V	-4, -7, -10
EPM3064A	64	44-Pin PLCC, 44-Pin TQFP, 100-Pin TQFP	34, 34, 66	3.3 V	-4, -7, -10
EPM3128A	128	100-Pin TQFP, 144-Pin PQFP	80, 96	3.3 V	-5, -7, -10
EPM3256A	256	144-Pin TQFP, 208-Pin PQFP	116, 158	3.3 V	-7, -10

MAX 9000 デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	5.0 V	-10
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	5.0 V	-15, -20
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	5.0 V	-15, -20
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-15, -20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-10
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-15, -20

表中の注:

- (1) 暫定仕様です。最新情報については、日本アルテラへお問い合わせください。
- (2) このパッケージは、実装スペースを削減する FineLine BGA パッケージです。
- (3) これらのデバイスは、3.3V または 5.0V のいずれかの電源電圧で動作するようにプログラムすることができます。
- (4) このデバイスは、1.8V または 2.5V のいずれかの電源電圧で動作するようにプログラムすることができます。
- (5) このパッケージは実装スペースを削減する Ultra FineLine BGA で、0.8 ミリ・ピッチの BGA パッケージです。

Nios を中心とした Excalibur 開発キット



最先端システムを実現する開発キット

アルテラが新たに開発した Excalibur™ エンベデッド・プロセッサ・ソリューション、Nios™ ソフト・コア・エンベデッド・プロセッサは、まさに system-on-a-programmable-chip (SOPC) デザインの開発に必要とされていたものです。



EXCALIBUR™

この新しい柔軟性に富んだエンベデッド・プロセッサ・ソリューションは、32ビットの構成、50MIPS までの性能をサポートし、量産時には5ドルに相当する価格を実現します。この開発キットはすでに供給中となっており、プロジェクトの開始にあたって必要なものがすべて含まれています。

完全なソリューションを提供

この Excalibur 開発キットには、以下のものが含まれています。

Nios コンフィギュラブル RISC エンベデッド・プロセッサ・コアとペリフェラル

Quartus™ プログラマブル・ロジック開発ソフトウェア

Cygnus®/Red Hat® 社の GNUPro® C/C++ コンパイラおよびデバッグ

ByteBlasterMV™ ダウンロード・ケーブル

APEX™ EP20K200E を搭載した開発用ボード

リファレンス・デザインと関連資料

無料ハンズ・オン・ワークショップ

日本アルテラ株式会社では、APEX デバイスで Nios ソフト・コア・エンベデッド・プロセッサを使用した SOPC デザインを作成する方法を解説するワークショップを 10 月より開催いたします。このワークショップでは、C コードでのプログラムの作成とコンパイル、開発ボード上での実行とトラブル・シューティングを体験することができます。また、Excalibur 開発キットに含まれている Cygnus/Red Hat 社の GNUPro コンパイラとデバッグについても学ぶことができます。

このワークショップの詳細、スケジュール等については、各販売代理店へお問い合わせください。

The ALTERA logo is the word 'ALTERA' in a bold, blue, sans-serif font with a registered trademark symbol.

The Programmable Solutions Company™

Excalibur.

PLD にプロセッサを組み込む



伝説を創り出すもの

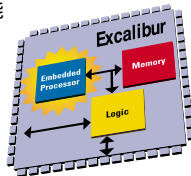
時間の制約と厳しい予算との戦いに勝利すること。アルテラの Excalibur™ エンベデッド・プロセッサ・ソリューションが、一つのプログラマブル・ロジック・デバイス (PLD) 上にロジック、メモリ、そしてエンベデッド・プロセッサを統合した system-on-a-programmable-chip (SOPC) 技術により、使いやすさと開発時間の短縮、そして低コストを実現します。



EXCALIBUR™

最大限の柔軟性を備えたソフト・コア・エンベデッド・プロセッサ

アルテラの Nios™ ソフト・コア・エンベデッド・プロセッサは、プログラマブル・ロジック専用で開発されています。高い柔軟性を備え、デザインの必要条件を容易に満たすことができ、また、インシステムでデザインを変更することさえ可能です。量産時には5ドルという低コストで提供されます。さらに、スケーラブルであるため、複数の Nios エンベデッド・プロセッサを1つのデバイスに組み込むことができ、条件が非常に厳しいアプリケーションについても高い設計性能を得ることができます。



最高の性能を引き出すハード・コア・エンベデッド・プロセッサ

プログラマビリティと共にスピードが必要なときには、Excalibur ハード・コア・ソリューションがお応えします。ARM® および MIPS-based™ のエンベデッド・プロセッサ PLD ファミリーは、プログラマブル・チップ上に 166MIPS 以上の比類のない性能を提供します。また、これらの ARM および MIPS-based のエンベデッド・プロセッサ PLD は、標準品として入手可能であり、最低発注数量の制約はありません。Excalibur プロセッサはいずれも、ロイヤリティや複雑なライセンス契約の必要はありません。



Excalibur の力を手に入れる

アルテラの Web サイト <http://www.altera.com/cuttingedge> で伝説を創り出すものを発見してください。



The Programmable Solutions Company®
<http://www.altera.com/cuttingedge>



© 2000 Altera Corporation. Altera, Excalibur, Nios, The Programmable Solutions Company および特定のデバイス名称は Altera Corporation の米国およびその他の国における商標またはサービスマークです。ARM および ARM Powered のロゴは ARM Limited の登録商標です。MIPS ベースおよび MIPS Technologies のロゴは MIPS Technologies, Inc. の商標です。その他記載されているブランド名または製品名は各社の商標です。製品の仕様は予告なく変更されることがありますのでご了承ください。禁無断転載。

ALTERA®

 日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1
新宿アイランドタワー32F 私書箱1594号
TEL: 03-3340-9480 FAX: 03-3340-9487
<http://www.altera.com/japan>
E-mail: japan@altera.com

本社 **Altera Corporation**
101 Innovation Drive, San Jose, CA 95134
TEL: (408) 544-7000
<http://www.altera.com>

NEWS & VIEWS はユーザーの皆様へアルテラの最新情報をお届けするため、年4回発行されており、ここに記載されている内容に起因した第三者の損害に対して当社は一切の責務を負うものではなく、また記載されている回路などの特許、特許使用権を許諾するものではありません。

The System-on-a-Programmable-Chip Solution.