

# News & Views

2001 年冬季号

アルテラ・ユーザのためのニュースレター

## Quartusのバージョン 2000.09 が $f_{MAX}$ とコンパイル時間を大幅に改善

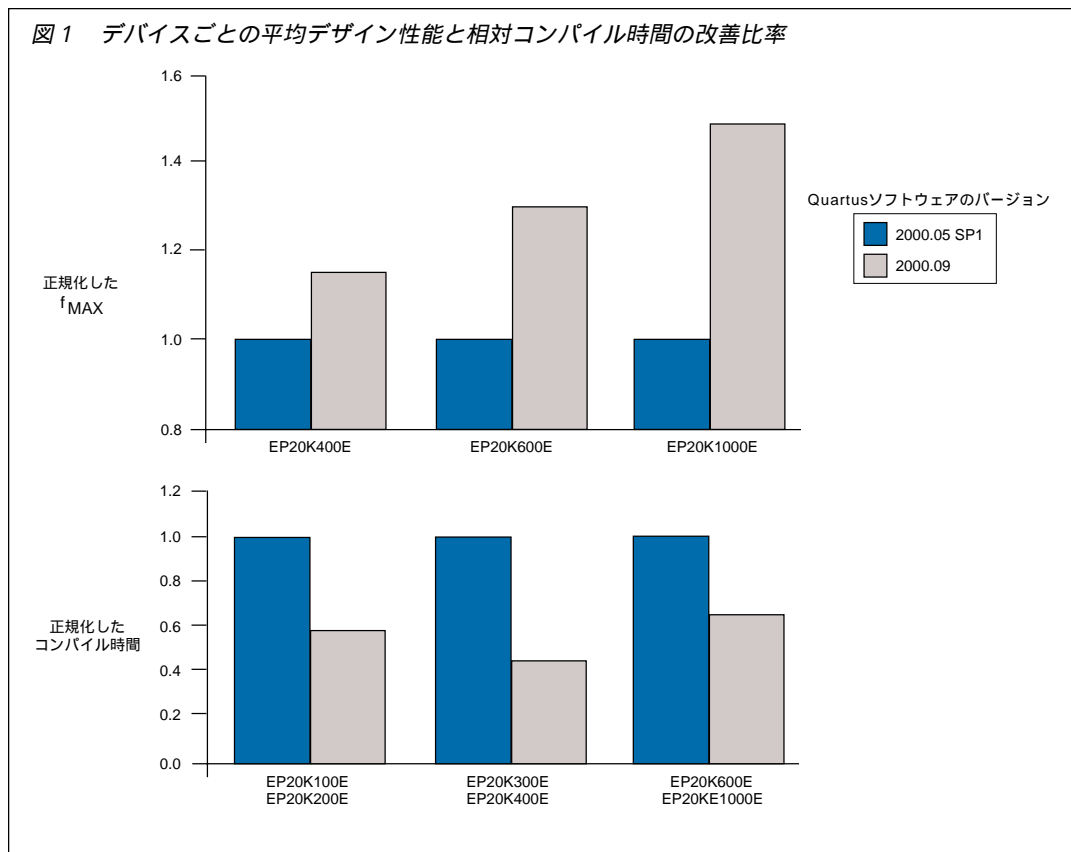
Quartus™ ソフトウェアのバージョン 2000.09 には、APEX™ EP20K400E、およびそれより高集積のデバイスをターゲットにしたデザインの  $f_{MAX}$  を平均で 15% から 45% も高速化し、さらにコンパイル時間を 2/3 から 1/3 にまで短縮する新しい PowerFit™ フィッタが組み込まれています。この新しい PowerFit フィッタのテクノロジーはユーザの指定したタイミング仕様をベースにしたデザインの最適化を実行するため、ユーザは最小の労力でデザインの要求に適合させることができます。

図 1 は、PowerFit テクノロジーによって達成される性能の改善とコンパイル時間の短縮の比率を示した

ものです。この図 1 のグラフは、Quartus ソフトウェアのバージョン 2000.05 Service Pack 1 とバージョン 2000.09 を使用してランダムなピン・アサインメントでデザインをコンパイルしたときに、両者のバージョンでどの程度の改善が達成されたかを示しています。

Quartus ソフトウェアでは、新しいバージョンがリリースされるごとに、コンパイル時間が継続的に短縮されています。4 ページの図 2 は、高集積デバイスをターゲットにしたデザインでのコンパイル時間が、どのように改善されてきたかを示しています。

( 4 ページに続く )



QUARTUS™ 2000.09

### 本号の内容

- 全層に銅配線を採用した APEX 20KC デバイスが内部性能を 25% から 35% も改善 5 ページ
- 業界最先端の性能と柔軟性を実現する ARM® および MIPS-Based™ Excalibur 製品 8 ページ

# True-LVDSの性能



## 840 Mbpsでの業界リーダー

### 真に革命的

従来のLVDS以上のものをご期待ください。アルテラの革命的な APEX™ デバイスは専用の True-LVDS™ 回路を備え、業界トップの I/O 性能をもたらし、同時にコストの節約とボード・スペースの効率化を最大限、図ることができます。



### True-LVDS

True-LVDS ソリューションは 1 チャンネルあたり 840 Mbps までの最高のデータ転送速度を、そして、近い将来には 1.25 Gbps の速度を提供します。これまでで最高の帯域幅となる 256 Gbps までのデバイス・スルーポットの設計が可能になります。このような高速データ転送レートや高帯域幅でも、True-LVDS 回路は標準 I/O のわずか 10% しか電力を消費しません。

### True-LVDS の違いを発見してください

アルテラの革命的な True-LVDS 回路についての詳細は <http://www.altera.com/lvds> をご覧ください。そして True-LVDS の性能が、あなたのためにできることを発見してください。

仕様	定義	APEX 20KE True-LVDS の性能	他の PLD メーカー
f <sub>LVDS</sub> DR	最大 LVDS データ転送レート	840 Mbps	622 Mbps を クレーム
TCCS	トランスミッタ・チャンネル間スキュー	400 ps	記録なし
SW	サンプリング・ウインドウ: LVDS レシーバがデータを取り込むために安定していなければならない時間	440 ps	記録なし
RSKM	レシーバ・インプット・スキュー・マージン: 許容できるボード・スキュー (スキュー削減機能を使用した場合)	473 ps	記録なし

The Programmable Solutions Company®  
<http://www.altera.com/lvds>

# Table of Contents

## 特集記事

Quartus のバージョン 2000.09 が $f_{MAX}$ と コンパイル時間を大幅に改善 .....	1
全層に銅配線を採用した APEX 20KC デバイスが 内部性能を 25% から 35% も改善 .....	5
業界最先端の性能と柔軟性を実現する ARM および MIPS-Based Excalibur 製品 .....	8
Nios エンベデッド・プロセッサ用 メモリ・マップド・ペリフェラルの設計方法 ..	15
オメガ・テクノロジー社： 信号処理アプリケーションの処理能力を 2 倍にした APEX デバイス .....	19
Amphion 社の APEX、ACEX、FLEX デバイス用 マルチ・チャネル、フル・デュプレックス ADPCM ソリューション .....	21

## アルテラ・ニュース

MAX 7000B：高速アプリケーションに 対応した標準 I/O 規格をサポート .....	27
競合デバイスを上回る MAX 7000B デバイスの性能 .....	28
MAX EPM7128 が 5 千万個の出荷を達成 .....	29

## デバイス & ツール

ソフトウェア・サポートと供給開始予定 .....	7
新製品、APEX 20KC デバイスを発表 .....	10
10 種類すべての APEX 20KE デバイスを出荷中 ..	10
工業用温度範囲のスピード・グレードでも LVDS と PLL をサポート .....	10
APEX 20KE デバイスの量産品 .....	10
5.0V 対応の APEX 20K および APEX 20KE デバイス .....	10

APEX 20K の新プロセスへの移行 .....	11
ACEX 1K デバイスを出荷中 .....	11
MAX デバイスに幅広い FineLine BGA パッケージを提供 .....	12
MAX 7000B デバイスの工業用温度範囲品 .....	12
MAX 7000AE デバイスの 最新プロセスへの移行 .....	12
大容量コンフィギュレーション・デバイスが 登場 .....	13
Quartus のバージョン 2000.09 と MAX+PLUS II のバージョン 10.0 を出荷中 .....	13
オペレーティング・システムに関する最新情報 .....	14
Quartus のロードマップ .....	14
MAX+PLUS II BASELINE、E+MAX および ASAP2 のバージョン 10.0 が入手可能 .....	14
最新の OEM 合成ツールおよび OEM シミュレーション・ツールのダウンロード .....	15

## 技術論文

APEX CAM を使用したスイッチとルータの設計 ...	22
LVDS のタイミング解析 .....	25
Questions & Answers .....	29

## 定期掲載情報

アルテラの新規刊行資料 .....	32
現在のソフトウェア・バージョン .....	32
アルテラのプログラミング・ハードウェアの サポート状況 .....	33
アルテラへのコンタクト方法 .....	35
アルテラ・デバイス・セレクション・ガイド .....	36

Altera, ACCESS, ACEX, ACEX 1K, AMPP, APEX, APEX 20K, APEX 20KC, APEX 20KE, Atlas, BitBlaster, ByteBlaster, ByteBlasterMV, Classic, ClockBoost, ClockLock, ClockShift, CoreSyn, E+MAX, Excalibur, FastTrack, FineLine BGA, FLEX, FLEX 10K, FLEX 10KE, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, IP MegaStore, Jam, MasterBlaster, MAX, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX 7000S, MAX 7000A, MAX 7000AE, MAX 7000B, MAX 3000, MAX 3000A, MAX+PLUS, MAX+PLUS II, MegaCore, MegaLAB, MegaStore, MegaWizard, MultiCore, MultiVolt, NativeLink, Nios, nSTEP, OpenCore, OptiFLEX, PowerFit, Quartus, SignalTap, SignalTap Plus, True-LVDS, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Adobe and Acrobat are registered trademarks of Adobe Systems Incorporated. AMBA, ARM, and the ARM Powered logo are registered trademarks of ARM Limited. BP Microsystems is a registered trademark of BP Microsystems. Data I/O and UniSite are registered trademarks of Data I/O Corporation. HP-UX is a trademark of Hewlett-Packard Company. Mentor Graphics is a registered trademark and LeonardoSpectrum and ModelSim are trademarks of Mentor Graphics. Microsoft, Windows, Windows 98, and Windows NT are registered trademarks of Microsoft Corporation. R4000, 4Kc, MIPS32, MIPS-based, and the MIPS Technologies logo are trademarks of MIPS Technologies, Inc. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Sun is a registered trademark and Solaris is a trademark of Sun Microsystems, Inc. Synplicity is a registered trademark and Amplify and Physical Optimizer are trademarks of Synplicity, Inc. Synopsys is a registered trademark and FPGAXpress is a trademark of Synopsys, Inc. System General is a registered trademark of System General. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader.

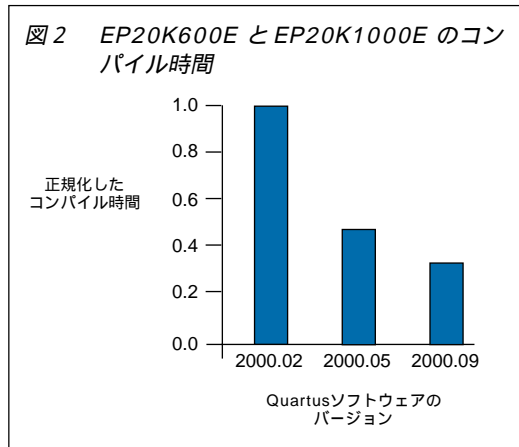
Copyright © 2000 Altera Corporation. All rights reserved.

ご質問、ご意見などがありましたら、お知らせください。

日本アルテラ株式会社  
〒163-1332  
東京都新宿区西新宿 6-5-1  
新宿アイランドタワー 32F  
私書箱 1594 号  
電話：03-3340-9480  
FAX：03-3340-9487  
E-mail：japan@altera.com



Quartus のバージョン 2000.09 が  $f_{MAX}$  とコンパイル時間を大幅に改善 (1 ページからの続き)



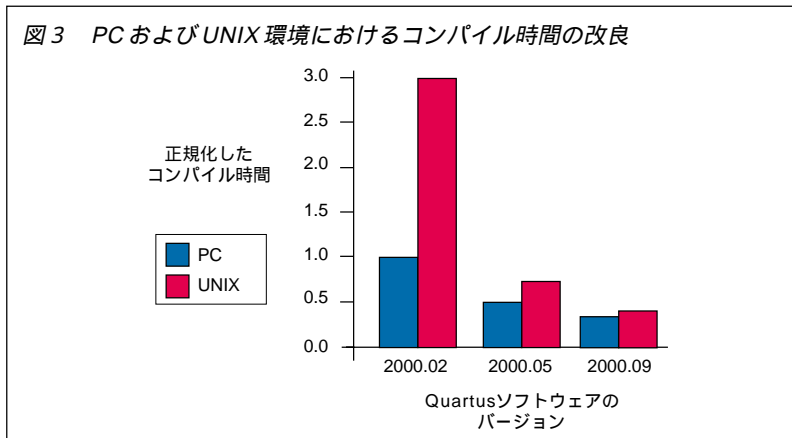
デバイス・フィッティング能力を向上させた PowerFit テクノロジ

PowerFit テクノロジは、特に高集積 APEX 20KE デバイスに対するデバイス・フィッティング機能とフィタの安定性を大幅に向上させます。これによって、さらに大規模なデザインを1個のAPEX デバイスにフィッティングさせることが可能となりました。

UNIXのインストレーションとコンパイル時間の改善

Quartusソフトウェアのバージョン2000.09には、PowerFit テクノロジによる改良に加え、アルテラが開発した新たなデータベース・テクノロジーが採用されています。このデータベース・テクノロジーは、UNIX環境へのインストレーション作業を簡略化し、UNIXに起因したコンパイル時間のボトルネックを解消しています。

図3のグラフは、PCとUNIXの環境でコンパイル時間がどのように改善されてきたかを示したものです。



Quartus ソフトウェアの以前のバージョンでは、Solaris のプラットフォーム上でのコンパイルに長い時間を必要としていました。Quartusソフトウェアのバージョン2000.09では、Solaris用コンパイラの最適化によって、この問題が解消されています。Solaris用Quartusソフトウェアのバージョン2000.09は、バージョン2000.02に比較してコンパイル時間が8倍以上も高速化されています。

Solaris用Quartusソフトウェアのバージョン2000.09では、コンパイル時間がPC用と比較して1.15倍長くなるだけです (SPECintにより、PCとUNIXをベースにしたアーキテクチャでの性能の差を正規化して算出)。

要求メモリの減少

Quartusソフトウェアのバージョン2000.09では、高集積APEXデバイスのコンパイルに必要な最小実装RAM容量も大幅に縮小されています。

Quartusソフトウェアのバージョン2000.05では、EP20K1000EやEP20K1500Eのような高集積デバイスのコンパイルに1,331MバイトのRAMを必要としていました。Quartusソフトウェアのバージョン2000.09では、高集積のAPEX 20KE デバイスをターゲットにしたデザインをコンパイルする場合でも大容量のメモリを必要とせず、標準的に使用されているWindows NT 搭載のPCによるコンパイルが可能になっています。表1は、Quartusソフトウェアのバージョン2000.09で要求されるメモリ容量を示しています。

デバイス名	最小実装RAM容量
EP20K30E EP20K60E EP20K100E EP20K160E EP20K200E	256 M バイト
EP20K300E EP20K400E EP20K600E	512 M バイト
EP20K1000E EP20K1500E	1,024 M バイト

HP-UX 11.0 対応製品を供給中

HP-UX 11.0および10.2のオペレーティング・システムに対応したQuartus開発ツールも入手可能になっています。QuartusのHP-UX対応製品は、アルテラの標準ソフトウェア製品の出荷には含まれておりません。FLOATNETのサブスクリプション契約が有効になっていて、HP-UX対応のQuartus開発ツールの入手を希望される方は、アルテラのweb

サイト、<http://www.altera.com/hpux>からオンラインのリクエスト・フォームに必要事項を記入して送信してください。HP-UX 対応の Quartus 開発ツールがアルテラから送付されます。

#### タイミング解析機能を強化

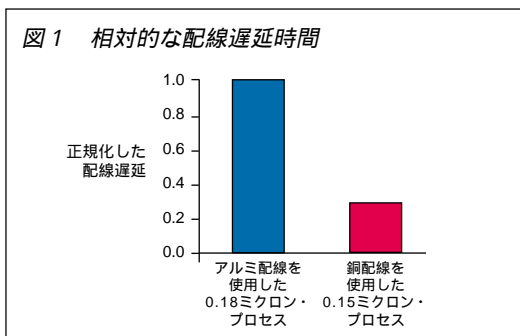
Quartus ソフトウェアのバージョン 2000.09 ではタイミング解析機能も強化されており、複雑なクロック構造になっている回路の解析や、マルチサイクル・パスの指定を簡単に行うことができます。Quartus ソフトウェアのバージョン 2000.09 はサード・パーティのシミュレーション・ツールやタイミング解析ツールに対するサポートについても最適化を実現しており、使用されるサード・パーティのツールをターゲットにした専用の VHDL または Verilog HDL ベリフィケーション・ネットリストおよび Standard Delay Format File (.sdo) を生成します。

#### サード・パーティ・ツールの統合化機能をさらに強化

Quartus ソフトウェアのバージョン 2000.09 を使用して、回路図によるトップ・レベルのブロック・デザインを VHDL または Verilog HDL のデザイン・ファイルに変換することが可能になりました。これによって、VHDL または Verilog HDL の出力ファイルをサード・パーティの合成ツールまたはシミュレーション・ツールで処理することができます。また、Quartus ソフトウェアのバージョン 2000.09 では、アルテラの暗号化された IP (Intellectual Property) である MegaCore<sup>®</sup> ファンクションへのサポートがさらに強化されており、サード・パーティのツールによる MegaCore ファンクションの論理合成で最適な結果を得ることができます。Quartus ソフトウェアのバージョン 2000.09 で実現された最先端機能の詳細については、アルテラの web サイト、<http://www.altera.com> で参照してください。

## 全層に銅配線を採用した APEX 20KC デバイスが 内部性能を 25% から 35% も改善

アルテラの新製品、APEX<sup>™</sup> 20KC デバイスは、全層に銅 (Cu) 配線を採用した業界初のプログラマブル・ロジック・デバイス (PLD) であり、従来のアルミ配線を使用した 0.18 ミクロン・プロセスのデバイスと比較して性能を 25% から 35% も向上させています (図 1 を参照)。



銅配線を使用することで配線遅延が相対的に減少するため、APEX 20KC デバイスは最近のコミュニケーション市場において制定されたネットワーク関連の業界標準規格で要求される広帯域のニーズにも対応することができます。

APEX 20KC デバイスは、CAM (Content-Addressable Memory)、True-LVDS<sup>™</sup> 回路、最新のクロック・マネージメント機能など、APEX 20KC デバイスで実現された機能をサポートしています。これら最新機能のサポートにより、APEX 20KC デバイスはハイ・エンドの system-on-a-programmable-chip (SOPC) ソリューションを実現した業界最先端の高集積デバイスとなっています。

#### 全層に銅配線を採用

これまで、半導体の性能向上に関するブレークスルーは主にトランジスタの製造方法によって達成されてきました。しかし、最先端の製造プロセスでは、チップ上の遅延時間の大部分がトランジスタではなく、配線構造による遅延で占められるようになっていきました。したがって、性能の大幅な改善はこれまで使用されてきたアルミ配線を電気的な導電性に優れた銅配線で置換することによってのみ達成可能となり、これによって配線遅延を減少させ、全体のシステム性能を向上させることができます。

全層に銅配線を採用した 0.15 ミクロン・プロセスによって製造される APEX 20KC デバイスはアルミ配線による 0.18 ミクロンのデバイスと比較して性能を 25% から 35% も向上させます。

( 6 ページに続く )

全層に銅配線を採用したAPEX 20KCデバイスが内部性能を25%から35%も改善(5ページからの続き)

線層が性能に影響を与える信号の配線層となっています。図3はこれらの配線構造を示した断面図です。

もっとも高集積のAPEX 20KCデバイスは、150万システム・ゲートの集積度と800本以上のユーザI/Oピンを実現しています。

配線層の材料に銅を採用する第1の利点は、内部性能が改善されることです。例えば、全層に銅配線の技術が採用されているAPEX 20KCデバイスは、アルミ配線を使用しているAPEX 20KEデバイスより性能が25%から35%も高くなります(図2を参照)。さらに高速の配線を実現することによって、デザインの動作周波数が高くなります。

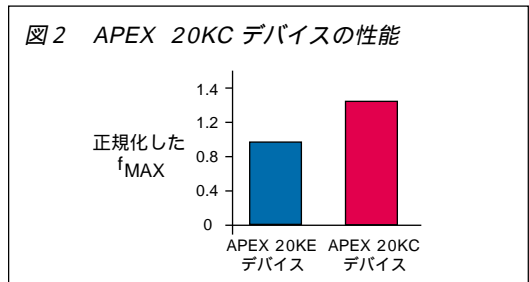
上部の配線層は電源の分配に使用されるため、これらのレイヤに銅が採用された場合でも、さしたる性能の向上は見込めません。そのため、上部の2層にのみ銅を使用しても性能の向上を実現することはできず、むしろシリコンと銅との関係に新たな課題が発生します。性能に影響を与える下部の配線層を含め、全配線層に銅を使用することによってのみ、大幅な性能向上を実現することができます。

#### 全層銅配線と部分銅配線の比較

#### APEX 20KCのプロセス・テクノロジー

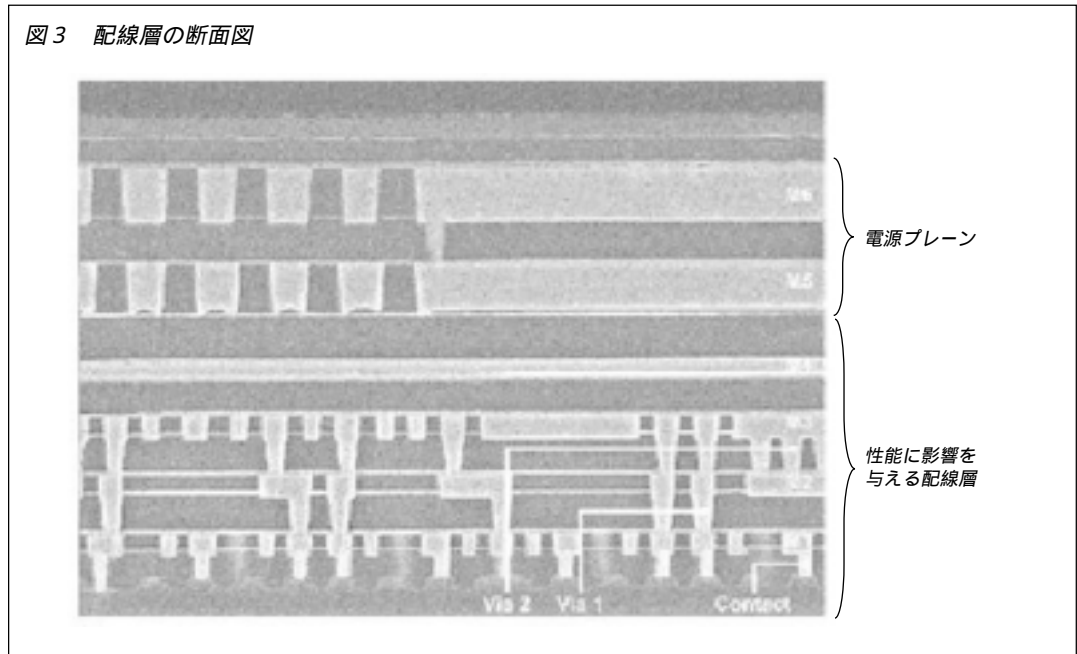
「All-layer copper interconnect」テクノロジーでは、すべての配線層に銅が使用されます。これに対して、上部の配線層にのみ銅配線を使用する「Partial copper interconnect」テクノロジーを採用したデバイスもあります。多層配線構造のデバイスでは、上部の配線層が電源プレーンとなっており、下部の配

APEX 20KC デバイスは、業界最先端となる、0.15ミクロンの銅配線を採用した8層メタル・プロセスで製造されます。このような最先端のプロセス・テクノロジーと全配線層に銅を採用することによって、APEX 20KE デバイスを超える非常に高い性能が実現されます。



#### APEX 20KC デバイスで実現される機能と特長

APEX 20KC デバイスは、集積度とユーザI/Oピン数の点でもアルテラの業界におけるリーダーの地位をさらに継続させます。もっとも高集積のAPEX 20KC デバイスは、150万システム・ゲートの集積度と800本以上のユーザI/Oピンを実現しています。表1は、各APEX 20KCデバイスの概要を示したものです。



APEX 20KC デバイスには、APEX 20KE デバイスと同じ True-LVDS 回路、CAM、PLL (Phase-Locked Loop)、最先端の標準 I/O 規格など、多くの機能が内蔵されています。

#### True-LVDS のサポート

APEX 20KC デバイスは 840Mbps (Megabits per second) までのレートで動作する True-LVDS 回路をサポートしているため、高速のデータ伝送レートが要求される最先端のネットワーク・プロトコルに対する理想的なソリューションとなっています。

#### CAM (Content Addressable Memory)

APEX 20KC デバイスは、エンベデッド・システム・ブロック (ESB) による CAM のアプリケーションをサポートします。APEX 20KC デバイスに採用される銅配線技術によって、CAM のアクセス・タイムがさらに高速化されるため、外部に CAM のチップを接続することなく、アルテラのデバイス内部に高速 CAM のアプリケーションを実現することができます。

#### Phase-Locked Loop

APEX 20KC の PLL は、APEX 20KE デバイスの PLL よりもさらに広い動作周波数範囲をサポートします。

#### 最先端の標準 I/O 規格への対応

APEX 20KC は、HSTL、GTL+、SSTL などを含む APEX 20KE デバイスでサポートされているすべての最先端標準 I/O 規格に対応しています。

最先端機能のサポート、高集積、高性能などの特長を備えている APEX 20KC デバイスは、SOPC のアプリケーションに最適なソリューションです。

#### ソフトウェア・サポートと供給開始予定

APEX 20KC デバイスのデザインは、アルテラの業界最先端開発ツール、Quartus™ によって昨年末からサポートされています。デバイスは、2001 年の前半に入手可能になる予定です。

APEX 20KC デバイスは、True-LVDS 回路、CAM、PLL (Phase-Locked Loop)、最先端標準 I/O 規格などをサポートします。

表 1 APEX 20KC デバイスの概要

デバイス名	最大システム・ゲート数	ロジック・エレメント (LE) 数	最大 RAM ビット数	PLL 数	スピード・グレード (1)
EP20K100C	263,000	4,160	53,248	2	-7, -8, -9
EP20K200C	526,000	8,320	106,496	2	-7, -8, -9
EP20K400C	1,052,000	16,640	212,992	4	-7, -8, -9
EP20K600C	1,537,000	24,320	311,296	4	-7, -8, -9
EP20K1000C	1,772,000	38,400	327,680	4	-7, -8, -9
EP20K1500C	2,392,000	51,840	442,368	4	-7, -8, -9

注：

(1) -7 が、最高速スピード・グレードです。

## 製造中止品最新情報

アルテラは製造中止品に関する情報を記載したアルテラ連絡通知書 (ADV: Altera Distributes Advisories) と製造中止連絡書 (PDN: Product Discontinuance Notices) を発行しています。特定デバイスの ADV または PDN の入手が必要なときは、日本アルテラの販売代理店へご連絡ください。1 部の PDN と ADV、および全製造中止品のリストは、アルテラの web サイト、<http://www.altera.com> から入手することもでき

ます。各半導体メーカーの製造中止品を専門に供給しているロチェスタ・エレクトロニクス社は、多数のアルテラの製造中止品を供給しています。詳細については、ロチェスタ・エレクトロニクス社の web サイト、<http://www.rocelec.com> をご覧になるか、同社の日本代理店、小松エレクトロニクス (株) (電話: 03-3573-6828) へお問い合わせください。

## 業界最先端の性能と柔軟性を実現する ARM および MIPS-Based Excalibur 製品



エンベデッド・マイクロプロセッサを内蔵したアルテラの Excalibur™ 製品は、柔軟性のあるデザインを実現するプログラマブル・ロジックと、高性能のエンベデッド・プロセッサ、大容量のオン・チップ SRAM アレイ、そしてシステム・レベルのデザインで要求される複数のペリフェラルを同一チップ上に集積した業界初の製品です。アルテラは MIPS® Technologies 社から MIPS32™ 4Kc™ プロセッサ・コアのライセンスを、また ARM® 社から ARM922 コアのライセンスを取得しました。これら 2 つのコアは、エンベデッド・システムの市場でもっとも幅広く使用されているインストラクション・セット・アーキテクチャとなっています。アルテラのユーザはこれらのプロセッサ・コアのライセンス費用や 1 個ごとの使用料 (ロイヤリティ) を支払う必要がなく、Excalibur 製品はアルテラの標準製品として出荷され、お客様は将来必要であるロイヤリティ契約にわずらわされることはありません。このため、アルテラのユーザはすぐにデザインを開始して、より迅速な市場参入 (faster time-to-market) を実現することができます。

ARM コアを内蔵したアルテラの Excalibur 製品は 2001 年の第 1 四半期に入手可能になり、MIPS-based™ コアを内蔵した製品は 2001 年の第 2 四半期に入手可能になる予定です。これら双方の Excalibur 製品には、各プロセッサが最高性能を達成するハードマクロとして内蔵され、プロセッサが 200MHz のクロック周波数で動作します。ARM および MIPS コアを内蔵した Excalibur 製品には、オン・チップのシングル・ポート・メモリ (最大 256K バイト) とデュアル・ポート・メモリ (最大 128K バイト) 外部フラッシュ・メモリ・サポート回路 (最大 32M バイト) 512M バイトまでの 133MHz

(PC133) 外部メモリまたは 256M バイトまでの 266MHz (PC266) DDR (Double Data Rate) 外部メモリに対応できる SDRAM コントローラが内蔵されています。

オン・チップのペリフェラルには、インタラプト・コントローラ、UART (Universal Asynchronous Receiver/Transmitter) 汎用タイマ、ウォッチドッグ・タイマ、ETM9 エンベデッド・トレース・モジュール、ARM922 ベースの製品をサポートする JTAG 回路、MIPS 4Kc ベースの製品をサポートする EJTAG 回路が含まれています。また、これらの Excalibur 製品には、アルテラの高性能 APEX™ 20KE アーキテクチャが内蔵されています。表 1 には、3 種類の ARM および MIPS-based Excalibur 製品の概要が示されています。

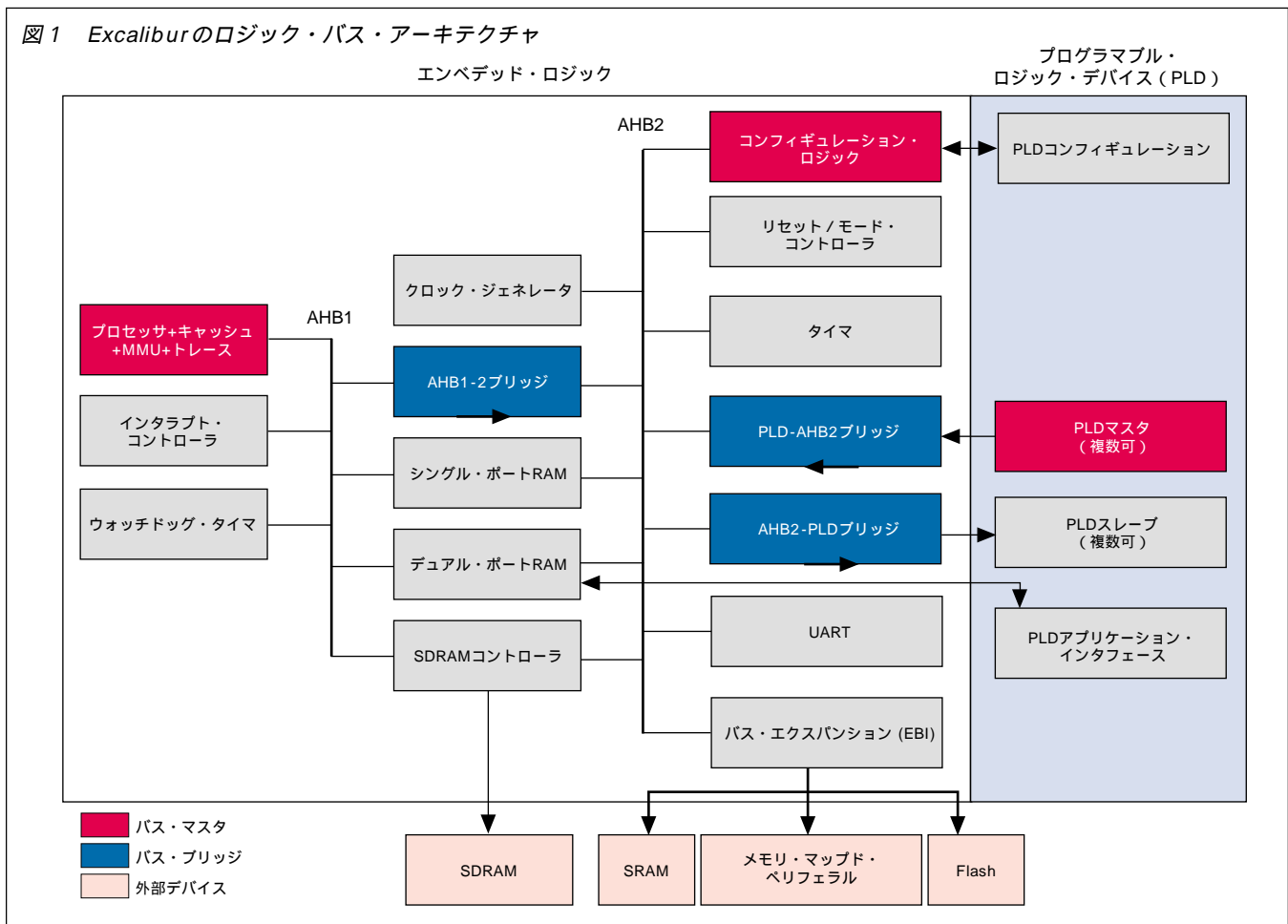
これら Excalibur 製品にプロセッサをハード・コアとして内蔵させることによって得られる大きな利点のひとつが、オン・チップのプロセッサ・システム・バスを最高速のプロセッサ・クロック周波数 (最高 200MHz) で動作させ、最大の帯域幅と最高の性能を実現できることです。これによって、優れたシステム・レベル性能の達成が可能になります。他の一般的なディスクリット・タイプのプロセッサを使用したソリューションでは、プロセッサ・システム・バスが CPU クロックの 1/2 程度の周波数でしか動作しないことや、システム・コントローラのチップ・セットが 133MHz の SDRAM コントローラしかサポートできないことが原因となって、システムの性能が制限されることがあります。最先端のハード・コア・エンベデッド・プロセッサを内蔵した Excalibur 製品は、オン・チップのペリフェラル機能をサポートすると共に、大容量のオン・チップ・

表 1 ARM および MIPS-Based Excalibur デバイスの機能

項目	EPXA1/EPXM1	EPXA4/EPXM4	EPXA10/EPXM10
最大システム・ゲート数	263,000	1,052,000	1,772,000
標準ゲート数	100,000	400,000	1,000,000
ロジック・エレメント (LE) 数	4,160	16,640	38,400
ESB 数	26	104	160
最大 RAM ビット数	53,248	212,992	327,680
最大マクロセル数	416	1,664	2,560
最大ユーザ I/O 数	178	360	521
シングル・ポート SRAM 容量	32 K バイト	128 K バイト	256 K バイト
デュアル・ポート SRAM 容量	16 K バイト	64 K バイト	128 K バイト



図1 Excaliburのロジック・バス・アーキテクチャ



メモリ・アレイ、APEX形式のエンベデッド・システム・ブロック (ESB) によるメモリを内蔵しており、柔軟性のあるデザインと迅速な「Time-to-Market」を実現するプログラマブル・ロジックの構造もインテグレーションされているため、システム・レベルのデザインに最適なデバイスとなっています。

ARMおよびMIPS-based Excalibur 製品の内部には、共にAMBA™ (Advanced Microcontroller Bus Architecture) AHB (AMBA High-performance Bus) が実装されています。これは、複数のバス・マスタおよびスレーブ・モジュール、ロックド・トランスファ、スプリット・トランザクション、200MHzまでのバス周波数をサポートしている業界標準のバス・アーキテクチャです。このAMBA AHBは、プロセッサ・ストライプ部、バス・マスタ、およびプログラマブル・ロジック・アーキテクチャ部に構成されるスレーブ・モジュールとの間のインタフェースに使用されます (図1を参照)。

プロセッサとPLDバス・マスタは、オン・チップのシングル・ポート・メモリとデュアル・ポート・メモリの異なるブロックを同時にアクセスすることが

できます。さらに、それぞれのシステム・ファンクション (プロセッサ、オン・チップ・メモリ、SDRAMコントローラ、ペリフェラル、およびPLD構造の各ブロック) がローカライズされたバス構造によって相互に分離され、異なるクロック・ドメインを実現するPLL (Phase-Locked Loop) によってドライブされます。AMBAバス・インタフェースはアルテラから提供されるMegaCore® IP (Intellectual Property) ファンクション、またはAMPP<sup>SM</sup> (Altera Megafunction Partners Program) に参加しているサード・パーティのパートナー企業から提供されるIPブロックとのインタフェースにも使用されます。

ARMおよびMIPS-based Excalibur 製品は共に業界標準のRTOS (Real-Time Operating System) およびエンベデッド・ソフトウェア開発ツール群 (コンパイラ、デバッガ、アセンブラ、リンカ、ローダ) によってフルにサポートされます。また、プログラマブル・ロジック部に実装されるデザインの入力、シミュレーション、サード・パーティ・ツールによる論理合成、最適化された配置配線には、Quartus 開発ツールが使用されます。



EXCALIBUR™

## APEX

### 新製品、APEX 20KC デバイスを発表

新しい高性能製品、APEX™ 20KC デバイスは、system-on-a-programmable-chip (SOPC) のアプリケーションで要求される広帯域のニーズに対応した製品です。これらのデバイスは、APEX 20KE デバイスで実現された最先端機能と、業界をリードする 0.15 ミクロンの全層銅配線テクノロジーを融合させ、従来の 0.18 ミクロンのデバイスよりも性能を 25% から 35% も改善しています。これらの新しい APEX デバイスの詳細については 5 ページの「全層に銅配線を採用した APEX 20KC デバイスが内部性能を 25% から 35% も改善」を参照してください。

### 10 種類すべての APEX 20KE デバイスを出荷中

APEX 20KE デバイスの中でもっとも低集積度のデバイス、APEX EP20K30E の出荷が開始されました。このデバイスは 30,000 標準ゲート (113,000 最大システム・ゲート)、1,200 個のロジック・エレメント (LE)、24K ビットの RAM、128 本の最大ユーザ I/O 数を備えている低集積のアプリケーション・ニーズに対応した製品です。これによって、EP20K30E、EP20K60E、EP20K100E、EP20K160E、EP20K200E、EP20K300E、EP20K400E、EP20K600E、EP20K1000E、EP20K1500E の 10 種類すべての APEX 20KE デバイスが、入手可能となりました。これらのデバイスは、最先端の FineLine BGA™ パッケージを含む複数のパッケージで供給されています。

### 工業用温度範囲のスピード・グレードでも LVDS と PLL をサポート

APEX 20KE デバイスでは、一般用温度範囲の製品で 840Mbps (Megabits per second) までのデータ転送レートを実現する LVDS がサポートされましたが、工業用温度範囲のスピード・グレードの製品でも LVDS と PLL がサポートされるようになりました。表 1 は、APEX 20KE デバイスによる LVDS のサポートの状況をまとめたものです。また、表 2 には、APEX 20KE デバイスの PLL に対するサポート状況が示されています。

チャンネルあたり 840Mbps までのデータ転送レートをサポートしている True-LVDS™ ソリューションは、高速のテレコミュニケーション、データ・コミュニケーション、コンピューティング・アプリケーションなどに最適です。



表 1 APEX 20KE デバイスの LVDS サポート

デバイス名	True-LVDS チャンネルあたりの最高データ転送レート (Mbps)		
	一般用温度範囲 -1X	一般用温度範囲 -2X	工業用温度範囲 -2X
EP20K300E	156	156	156
EP20K400E	840	700	625
EP20K600E	840	700	625
EP20K1000E	750	625	625
EP20K1500E	750	625	625

表 2 APEX 20KE デバイスの PLL サポート

温度範囲 / スピード・グレード	PLL からの最高内部出力周波数 (MHz)
一般用温度範囲 -1X	335
一般用温度範囲 -2X	250
工業用温度範囲 -2X	250

PLL は、高性能のデザインで要求される柔軟性の高い周波数合成とゼロ・クロック・スキューを実現します。APEX 20KE デバイスは、高性能クロックの分配、バックプレーン、オプティカル・トランシーバ、高速ネットワークング、ハイ・エンド・ビデオなどのアプリケーションに使用される LVPECL の標準規格もサポートしています。

### APEX 20KE デバイスの量産品

APEX 20KE デバイスの -ES および -XES のエンジニアリング・サンプル品は、すべて -1 および -1X のスピード・グレードの量産品に移管されています。これらの量産品はすべてパッケージで入手可能となっており、エンジニアリング・サンプル品はこれらの量産品で置き換えられています。

### 5.0V 対応の APEX 20K および APEX 20KE デバイス

APEX 20K ファミリーがさらに強化され、5.0V の PCI 仕様に完全準拠する 5.0V 対応の I/O バッファ内蔵製品が供給されています。5.0V 対応のデバイスは現在入手可能になっており、これらデバイスのオーダ・コードの末尾には、「V」のコードが付加されます (例: EP20K400BC652-1V)。

APEX 20KE デバイスでは、外部抵抗を使用して 5.0V 対応にし、システム・デザインの柔軟性も高めることもできます。この方法の詳細については、ア

ルテラの White Paper 「5.0-V Tolerance in APEX 20KE Devices」を参照してください。この White Paper はアルテラの web サイト ( <http://www.altera.com> ) から入手できます。

デバイス名	パッケージ	ソフトウェア・サポート状況
EP20K30E	144-pin TQFP (1) 144-pin FineLine BGA 208-pin PQFP (1) 324-pin FineLine BGA	サポート済み サポート済み サポート済み サポート済み
EP20K60E	144-pin TQFP 144-pin FineLine BGA 208-pin PQFP 240-pin PQFP 324-pin FineLine BGA 356-pin BGA (1)	サポート済み サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K100E	144-pin TQFP 144-pin FineLine BGA 208-pin PQFP 240-pin PQFP 324-pin FineLine BGA 356-pin BGA	サポート済み サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K160E	144-pin TQFP 208-pin PQFP 240-pin PQFP 356-pin BGA 484-pin FineLine BGA	サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K200E	208-pin PQFP 240-pin PQFP 356-pin BGA 484-pin FineLine BGA 652-pin BGA 672-pin FineLine BGA	サポート済み サポート済み サポート済み サポート済み サポート済み サポート済み
EP20K300E	240-pin PQFP 652-pin BGA 672-pin FineLine BGA	サポート済み サポート済み サポート済み
EP20K400E	652-pin BGA 672-pin FineLine BGA	サポート済み サポート済み
EP20K600E	652-pin BGA 672-pin FineLine BGA 1,020-pin FineLine BGA	サポート済み サポート済み サポート済み
EP20K1000E	652-pin BGA 672-pin FineLine BGA 1,020-pin FineLine BGA	サポート済み サポート済み サポート済み
EP20K1500E	652-pin BGA 1,020-pin FineLine BGA	サポート済み サポート済み

注:

(1) TQFP: Thin Quad Flat Pack、PQFP: Plastic Quad Flat Pack、BGA: Ball-Grid Array

## APEX 20K の新プロセスへの移行

アルテラは2.5V動作のEP20K400の製造プロセスを0.25ミクロンから0.22ミクロンのプロセスに移行させています。この新プロセスへの移行に関する情報が記載されたプロセス変更通知書、PCN-0005がアルテラの web サイト、<http://www.altera.com> に掲載されています。

## ACEX

### ACEX 1K デバイスを出荷中

10,000、30,000、50,000、および100,000ゲートの集積度の ACEX™ 1K デバイスが、すべてのパッケージ・オプションで出荷中となっています (表4を参照)。コストに対して最適化されている ACEX 1K デバイスは、特にロー・コストで高性能が要求されるコミュニケーション関連のアプリケーションに最適であり、もっとも低価格のプログラマブル・ロジック・デバイスを要求される量産製品のデザインに採用することができます。

10,000、30,000、50,000、および100,000ゲートの集積度の ACEX 1K デバイスが、すべてのパッケージ・オプションで出荷中となっています。

表4 ACEX 1K デバイス・ファミリの製品

デバイス名	パッケージ	供給状況
EP1K10	100-pin TQFP	供給中
	144-pin TQFP	供給中
	208-pin PQFP	供給中
	256-pin FineLine BGA	供給中
EP1K30	144-pin TQFP	供給中
	208-pin PQFP	供給中
	256-pin FineLine BGA	供給中
EP1K50	144-pin TQFP	供給中
	208-pin PQFP	供給中
	256-pin FineLine BGA	供給中
	484-pin FineLine BGA	供給中
EP1K100	208-pin PQFP	供給中
	256-pin FineLine BGA	供給中
	484-pin FineLine BGA	供給中

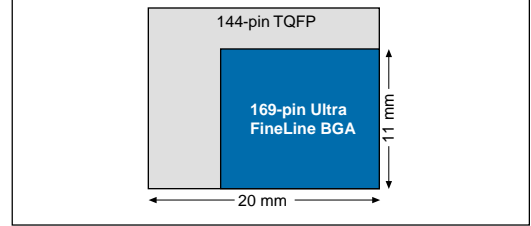
ACEX 1K デバイスの -1X および -2X のスピード・グレードの製品には PLL (Phase-Locked Loop) を使用した ClockLock™ と ClockBoost™ 機能が提供されています。また、ACEX 1K デバイスはエンベデッド・デュアル・ポート RAM や 64 ビット / 66MHz の PCI 仕様に完全準拠したインタフェース機能もサポートしています。コストへの最適化を実現した 0.22/0.18 ミクロンのハイブリッド・プロセスと 2.5V のコア動作電圧によって、ACEX 1K デバイスではコスト、性能、そして機能の 3 つの要素が理想的に組み合わせられています。

( 12 ページに続く )

デバイス&ツール ( 11 ページからの続き )

ACEX 1K デバイスのデザインは、MAX+PLUS® II ソフトウェアのバージョン10.0でフル・サポートされています。また、ACEX デバイスに最適化された幅広いIP (Intellectual Property) ファンクションもアルテラのオンライン・ストア、IP MegaStore™ を通じて提供されています。

図1 Ultra FineLine BGA パッケージの占有面積



このように、MAX デバイスには多様な BGA パッケージとピン数が提供されているため、各アプリケーションに最適なデバイスを選択することができます。

**MAX**

MAX デバイスに幅広い FineLine BGA パッケージを提供

MAX® ファミリのデバイスは、1.0mm ピッチ (FineLine BGA™) および 0.8mm ピッチ (Ultra FineLine BGA) のパッケージを含む幅広い FineLine BGA パッケージで供給されています。表 5 には、MAX 7000B/AE デバイスに対して提供されている FineLine BGA パッケージと Ultra FineLine BGA パッケージが示されています。



FineLine BGA パッケージの実装スペースは TQFP パッケージよりも小さく、さらに多数の I/O ピン数を提供しています。

デバイス名	100-Pin FineLine BGA	256-Pin FineLine BGA	49-Pin Ultra FineLine BGA	169-Pin Ultra FineLine BGA
EPM7032B			✓	
EPM7064B	✓		✓	
EPM7128B	✓	✓	✓	✓
EPM7256B		✓		✓
EPM7512B		✓		✓
EPM7064AE	✓		✓	
EPM7128AE	✓	✓		✓
EPM7256AE	✓	✓		
EPM7512AE		✓		

FineLine BGA パッケージの実装スペースは TQFP パッケージよりも小さく、さらに多数の I/O ピン数を提供しています。例として、169 ピンの Ultra FineLine BGA パッケージのボード上での占有面積が 144 ピンの TQFP パッケージの半分以下になることが図 1 に示されています。

169 ピン FineLine BGA パッケージの EPM7512B には 141 本の I/O ピンが提供され、144 ピン TQFP パッケージの場合の 120 本よりも多くなっています。

MAX 7000B デバイスの工業用温度範囲品

アルテラは 2.5V で動作する MAX 7000B デバイスを工業用温度範囲のグレードでも供給しています。表 6 は、工業用温度範囲のグレードで供給されている MAX 7000B デバイスのパッケージとスピード・グレードを示しています。各パッケージの供給状況、リード・タイムについては、日本アルテラの販売代理店へお問い合わせください。

デバイス名	パッケージ	スピード・グレード
EPM7032B	44-pin TQFP	-5
EPM7064B	44-pin PLCC	-5
	44-pin TQFP	-5
	100-pin TQFP	-5
EPM7128B	100-pin TQFP	-7
	100-pin FineLine BGA	-7
	144-pin TQFP	-7
	256-pin FineLine BGA	-7
EPM7256B	100-pin TQFP	-7
	144-pin TQFP	-7
	208-pin PQFP	-7
	256-pin FineLine BGA	-7
EPM7512B	256-pin BGA	-7
	256-pin FineLine BGA	-7

MAX 7000AE デバイスの最新プロセスへの移行

MAX 7000AE の製造プロセスが、0.30 ミクロンの 4 層メタル・プロセスに移行される予定です。このプロセスは現在の 0.35 ミクロンの 4 層メタル・プロセスをリニア・シュリンクしたものであり、0.35 ミクロンと同じ製造装置、および同じプロセス・フローを使用して製造されます。これらのデバイスは、0.35 ミクロン・バージョンの MAX 7000AE デバイスと、ピン、ファンクション、タイミング、およびプログラミング・ファイルでの互換性があります。

この新プロセスへの移行は、2001年の3月20日から開始される予定です。これに伴い、2001年3月20日以降には、ユーザへ0.35ミクロンの製品、あるいは0.30ミクロンの製品（共に4層メタル・プロセス）のいずれかが出荷される可能性があります。

この新プロセスへの移行に関する詳細については、日本アルテラの販売代理店へお問い合わせください。また、新プロセス製品の初期認定データと特性試験データが提供されています。入手希望される方は、日本アルテラの商品保証部へご連絡ください。

## CONFIGURATION

大容量コンフィギュレーション・デバイスが登場  
新しい4MビットのEPC4、および16MビットのEPC16のコンフィギュレーション・デバイスが2001年1月にリリースされました。これらのコンフィギュレーション・デバイスの新製品には、さらに高速のコンフィギュレーション時間や再プログラム可能なの特長が実現されています。また、これらの高集積デバイスの登場によって、1個のデバイスで複数のAPEX™ デバイスやFLEX® デバイスを同時にコンフィギュレーションすることが可能になるため、コンフィギュレーション時間をさらに短縮し、同時にボード・スペースを節減することができます。

新しいデータ圧縮の機能を使用することによって、1個のEPC16で2個のEP20K1500E(150万ゲート)をコンフィギュレーションすることができます。

## TOOLS

Quartusのバージョン2000.09とMAX+PLUS IIのバージョン10.0を出荷中

Quartus™開発ツールのバージョン2000.09は、アルテラのユーザに性能の劇的な改善をもたらします。新しいPowerFit™ フィッタによってデザイン性能が最大45%まで改善され、デザインに使用されるデバイスの集積度に応じてコンパイル時間が2/3から1/3倍まで短縮されます。Quartusソフトウェアのバージョン2000.09の詳細については、1ページの「Quartusのバージョン2000.09が $f_{MAX}$ とコンパイル時間を大幅に改善」またはアルテラのwebサイト、<http://www.altera.com>を参照してください。

表7は、Quartusソフトウェアのバージョン2000.09で新たにサポートされたデバイスを示したものです。

サポート範囲	デバイス名	パッケージ
コンパイルレーション、シミュレーション、プログラミングをフル・サポート	EP20K60E	144-pin FineLine BGA, 324-pin FineLine BGA, 356-pin BGA
	EP20K100E	144-pin FineLine BGA
	EP20K160E	144-pin TQFP, 208-pin RQFP, 240-pin PQFP, 356-pin BGA, 484-pin FineLine BGA
	EP20K600E	1,020-pin FineLine BGA
	EP20K1500E	652-pin BGA, 1,020-pin FineLine BGA
コンパイルレーションとシミュレーションをサポート	EP20K30E	144-pin TQFP, 144-pin FineLine BGA, 208-pin RQFP, 324-pin FineLine BGA, 356-pin BGA



MAX+PLUS IIソフトウェアのバージョン10.0には、MAX 7000Bデバイスの最新のパッケージ・オプションに対するサポート、ACEXファミリの新製品であるEP1K10に対するプログラミング・サポートなどが追加されています。表8は、MAX+PLUS IIソフトウェアのバージョン10.0で新たにサポートされたデバイスを示したものです。

デバイス名	パッケージ
EPM7032B	44-pin TQFP 49-pin Ultra FineLine BGA
EPM7064B	49-pin Ultra FineLine BGA 100-pin FineLine BGA
EPM7064AE	49-pin Ultra FineLine BGA
EPM7128B	49-pin Ultra FineLine BGA
EPM7256B	169-pin Ultra FineLine BGA
EPM7512B	144-pin TQFP 256-pin BGA 256-pin FineLine BGA 169-pin Ultra FineLine BGA
EP1K10	100-pin TQFP 144-pin TQFP 208-pin PQFP 256-pin BGA



(14 ページに続く)

デバイス&ツール (13 ページからの続き)

### オペレーティング・システムに関する最新情報

Quartus ソフトウェアのバージョン 2000.09 と MAX+PLUS II ソフトウェアのバージョン 10.0 は共に、Windows 2000 のオペレーティング・システムをサポートしています。また、Quartus ソフトウェアのバージョン 2000.09 では、HP-UX 11.0 のオペレーティング・システムがサポートされています。表 9 は Quartus および MAX+PLUS II ソフトウェアでサポートされているオペレーティング・システムをまとめたものです。

ソフトウェア	サポートされているオペレーティング・システム
Quartus バージョン 2000.09	Windows 2000、Windows 98、Windows NT のバージョン 4.0 以降、Sun Solaris の 2.6 および 2.7、HP-UX の 10.2x および 11.0 (1)
MAX+PLUS II バージョン 10.0	Windows 2000、Windows 98、Windows 95、Windows NT のバージョン 4.0 以降、Sun Solaris の 2.5 および 2.6、HP-UX の 10.2x、AIX のバージョン 4.1 以降 (1)

注:

- (1) Solaris 2.8 に対するサポートが、2001 年の最初のリリース・バージョンに追加される予定です。

Quartus ソフトウェアの次のバージョンでは、ソフトウェア・モードがサポートされ、Quartus の環境でソフトウェアとハードウェアのコデザイン(協調設計)が可能になります。

### Quartus のロードマップ

Quartus ソフトウェアに大幅なアップデートを加えた新バージョンが、2001 年の第 1 四半期にリリースされる予定です。この新バージョンでは、アルテラの Excalibur™ ハード・コア・エンベデッド・プロセッサ・ソリューションがサポートされると共に、PLD をシステム・レベルに使用したときに役立つ多くの改良が加えられる予定です。

Quartus ソフトウェアの次のバージョンでは、コンパイルーションおよびシミュレーションの動作モードに加えてソフトウェア・モードがサポートされ、Quartus の環境でソフトウェアとハードウェアのコデザイン(協調設計)が可能になります。この新しいモードでは、ARM、MIPS および Nios の各エンベデッド・プロセッサのコンフィギュレーションと C/C++ コンパイラ・ツールを使用したインテグレーション機能が提供される予定です。

MAX+PLUS II BASELINE、E+MAX および ASAP2 のバージョン 10.0 が入手可能

MAX+PLUS II BASELINE 開発ソフトウェア、E+MAX™ 開発ソフトウェア、および ASAP2 プログラム・ソフトウェアのバージョン 10.0 がアルテ

ラの web サイト、<http://www.altera.com> からダウンロード可能になっています。これらのソフトウェア・プログラムでは、最新の MAX 7000B デバイスがサポートされています。また、MAX+PLUS II BASELINE ソフトウェアのバージョン 10.0 では、ACEX ファミリの新製品、EP1K10 もサポートされています。

MAX+PLUS II BASELINE および E+MAX 開発ソフトウェアのユーザが HDL の合成を行う場合は、アルテラの web サイト(<http://www.altera.com>) からワールド・クラスの合成ツールである、シノプシスの FPGA Express ソフトウェアまたはエグゼンプラ・ロジックの LeonardoSpectrum-Altera ソフトウェアをダウンロードし、その使用ライセンスを取得することができます。

### MAX+PLUS II BASELINE

MAX+PLUS II BASELINE ソフトウェアはシームレスな開発フローを実現しており、新製品の ACEX 1K ファミリ、FLEX 6000、MAX 7000、MAX 3000 の各デバイス・ファミリを含む幅広いアルテラの PLD をターゲットにしたデザインの入力、コンパイル、タイミング解析、プログラムを行うことができます。MAX+PLUS II BASELINE ソフトウェアをダウンロードするときのファイル・サイズは、45,822,459 バイトです。

### E+MAX

E+MAX ソフトウェアは MAX+PLUS II BASELINE ソフトウェアの 1 部分となっており、業界でもっとも使用されているプロダクト・ターム・アーキテクチャの MAX 7000 デバイスと MAX 3000 デバイスをターゲットにしたソフトウェアです。E+MAX ソフトウェアにはアルテラの VHDL および Verilog HDL コンパイラが含まれていません。その代わりに、アルテラの web サイト(<http://www.altera.com>) からシノプシスおよびエグゼンプラ・ロジックから供給されているワールド・クラスの合成ツールをダウンロードして、使用することができます。E+MAX ソフトウェアのダウンロード・ファイル・サイズは、20,025,630 バイトです。

### ASAP2

ASAP2 ソフトウェアは、MAX+PLUS II ソフトウェアの 1 部分となっており、デバイスのプログラミングのみをサポートしています。ASAP2 ソフトウェアのダウンロード・ファイル・サイズは、13,907,408 バイトです。

上記のダウンロード可能なソフトウェアは、いずれもアルテラの web サイト、<http://www.altera.com> から入手することができます。

最新のOEM合成ツールおよびOEMシミュレーション・ツールのダウンロード

アルテラとのサブスクリプション契約が有効になっているすべてのユーザは、アルテラのサブスクリプション契約の中に含まれているOEM合成ツールおよびOEMシミュレーション・ツールの最新バージョンをダウンロードすることができます。これらのOEMツールは、アルテラのwebサイト、<http://www.altera.com> からダウンロード可能です。新しいバージョンでは、最新のAPEX 20KE、ACEX 1K、MAX 7000Bデバイスがサポートされており、デザイン・フローを強化する多くの改善も実施されています。また、LeonardoSpectrum-AlteraおよびModelSim-Alteraの両ソフトウェアでは、Microsoft Windows 2000 オペレーティン

グ・システムがサポートされています。表 10は、供給されているOEMツールのバージョンを示したものです。

ツール名	バージョン	供給状況
シノプシス FPGA Express	3.5	供給中
エグゼンブラ・ロジック LeonardoSpectrum- Altera	2000.1b	供給中
モデル・テクノロジー ModelSim-Altera	3.4c	供給中

## Design Tips

### Nios エンベデッド・プロセッサ用 メモリ・マップド・ペリフェラルの設計方法

Nios™エンベデッド・プロセッサは、同一デバイス上にマイクロプロセッサ、メモリ、ペリフェラル、そしてプログラマブル・ロジックを集積し、高いレベルのインテグレーションを実現しています。Nios エンベデッド・プロセッサのデザインをサポートしている Excalibur™ 開発キットには、タイマ、UART ( Universal Asynchronous Receiver/Transmitter )、PIO ( Parallel Input/Output ) を含む多くのペリフェラル・ファンクションが含まれています。また、その他のペリフェラル・ファンクションが必要な時は、メモリ・マップドI/Oの手法でNios エンベデッド・プロセッサとインタフェースすることもできます。メモリ・マップド・ペリフェラルは、Nios エンベデッド・プロセッサとの簡単なインタフェースを実現します。

#### メモリ・マップド・ペリフェラル

Nios エンベデッド・プロセッサと接続されるすべてのペリフェラルは、メモリ・マップドI/Oペリフェラルとして設計される必要があります。メモリ・マップド・ペリフェラルは、Nios エンベデッド・プロセッサのアドレス空間で一定の領域を占有します。メモリ・マップド・ペリフェラルへのアクセスは、ペリフェラルに割り当てられたアドレス空間のいずれかのアドレスに対してリードまたはライトの動作を行うことによって実行されます。

Nios エンベデッド・プロセッサは、下記の信号を使用してメモリ・マップド・ペリフェラルとのインタフェースを実現しています。

```
clk
irq_from_the_peripheral
data_to_cpu_from_the_peripheral
address_to_the_peripheral
cpu_be_n_to_the_peripheral
cpu_read_n_to_the_peripheral
cpu_write_n_to_the_peripheral
data_from_cpu_to_the_peripheral
select_to_the_peripheral
```

Nios エンベデッド・プロセッサは、ペリフェラルに対して、write enable、read enable、byte enable、chip select、data、addressの各信号ラインを提供します。これらの信号は、ペリフェラル内のレジスタ・バンクに対するリードおよびライト動作を行うときに使用されます。16ページの図 1 に示されているレジスタ・マップには、レジスタ・バンク内の各レジスタに対する動作例が記述されています。

16ページの図 1 は、Excalibur 開発キットに含まれているタイマ・ペリフェラルに対するレジスタ・マップの例を示しています。

( 16 ページに続く )

Nios エンベデッド・プロセッサ用メモリ・マップド・ペリフェラルの設計方法 (15 ページからの続き)



図1 タイマ・ペリフェラルのレジスタ・マップ

A2..A0	レジスタ名	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0	Status															Run	TO		
1	Control															Stop	Start	Cont	TO
2	Period (L)	Timeout Period - 1 (bits 15:0)																	
3	Period (H)	Timeout Period - 1 (bits 31:16)																	
4	Snap (L)	Timeout Counter Snapshot (bits 15:0)																	
5	Snap (H)	Timeout Counter Snapshot (bits 31:16)																	

ライト・イベント・レジスタ (このアドレスに対するライト動作で、デバイス内でのイベントが発生する)  
 ホストによって書き込まれるコントロール値で、任意の時間にリード・バックできる  
 リード・オンリの値

このタイマのレジスタ・マップ内には、6 個のレジスタが存在します。メモリ・マップド・ペリフェラル内のレジスタには、リード・オンリ、またはリードとライトの動作を実行することができます。タイマは、レジスタ-1への書き込みによってコントロールされます。レジスタ-1のビット-2に"1"を書き込むことによってタイマが動作を開始し、レジスタ-1のビット-3に"1"を書き込むことによって、タイマの動作が停止します。レジスタ-3に上位 32 ビットのワードを、またレジスタ-2に下位 32 ビットのワードを書き込むことによって、タイマに任意の値をあらかじめロードすることができます。

タイマの動作に関するその他の情報が、Excalibur 開発キットの中に含まれています。

カスタム・メモリ・マップド・ペリフェラルの作成方法

Nios エンベデッド・プロセッサ用のカスタム・メモリ・マップド・ペリフェラルは、下記の手順で設計することができます。

1. ペリフェラルの仕様と機能を決定する。
2. ペリフェラル・レジスタを作成する。
3. ハードウェア記述言語 (HDL) を使用してペリフェラルをコーディングする。

次にこの手順で、カスタムのメモリ・マップド・ペリフェラルとして、FIFO (First-In First-Out) を作成した例を示します。

FIFOの仕様と機能を決定する

ここでは、高速のI/OソースとNios エンベデッド・プロセッサをインタフェースする目的に使用されるFIFOの設計例を取り上げます。このFIFOには、高速I/OソースからのFIFOへのライト動作と、NiosプロセッサのFIFOからのリード動作が必要です。また、FIFOがフルの状態になったときには、インタラプト・リクエスト信号がアサートされる必要があります。したがって、このFIFOには、表1に示される特性が要求されます。

項目	仕様
データ幅	32 ビット
深さ	128 ワード
FIFO の入力信号	clock, reset, write, read, data
FIFO の出力信号	data, empty_flag, full_flag, word_count, interrupt_request

I/O ソースは FIFO のデータ入力ポートをダイレクトにドライブします。Nios エンベデッド・プロセッサは、インタフェースされるペリフェラルに対して cpu\_write\_n\_to\_the\_peripheral と cpu\_be\_n\_to\_the\_peripheral 信号を出力します。ただし、この表1の例では、Nios エンベデッド・プロセッサから FIFO へのライト動作を行うことはできないため (I/O ソースからのみのライトが可能)、cpu\_write\_n\_to\_the\_peripheral と cpu\_be\_n\_to\_the\_peripheral の信号は使用されません。



図2 FIFOペリフェラルのレジスタ・マップ

AO	レジスタ名	31	30	29..7			6	5	4	3	2	1	0
0	Read Data	FIFOからリードされるデータ (bits 31:0)											
1	Status	Full	Empty				Usedw (bits 6:0)						

リード・オンリの値  
 ホストによって書き込まれるコントロール値。任意の時間にリード・バックできる。

FIFOペリフェラルのレジスタ・マップ

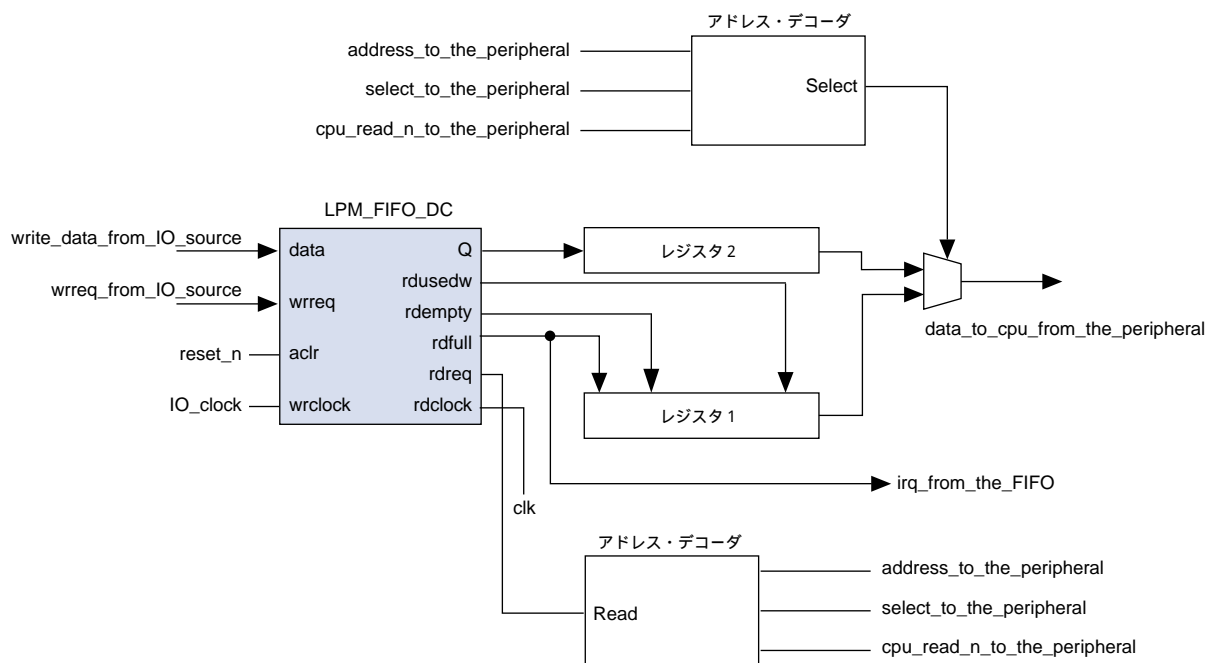
FIFOのレジスタ・マップの構成は、これに接続される入力および出力信号の本数で決定されます(図2を参照)。このFIFOは、2本のコントロール信号入力(writeとread)と1本のデータ入力(data)を持っています。I/OソースはFIFOに対してダイレクトにライト動作を行うため、このFIFOのメモリ・マップ内に「ライト・レジスタ」を設ける必要はありません。レジスタ・マップは、リードが可能でRead DataとStatusのレジスタで構成されます。Read DataレジスタはFIFOの32ビット出力をストアし、StatusレジスタはFIFOの現在の状態を示します。この例では、アドレス・スペースを節約するためにfull(フル)、empty(エンプティ)、Usedw(ワード・カウント)の信号が同じ32ビットのレジ

スタに配置されています。ただし、アドレス・スペースを考慮する必要がない場合は、各出力信号をレジスタ・マップ内の別のレジスタに配置することができます。

FIFOペリフェラルは、図3に示すブロック・ダイアグラムで実装可能です。I/Oソースは、FIFOのdata、wrreq、wrclockの信号を用いてFIFOへダイレクトにライト動作を行います。Nios エンベッド・プロセッサがaddress\_to\_the\_peripheral信号を"0"にセットしたときや、select\_to\_the\_peripheralおよびcpu\_read\_n\_to\_the\_peripheralの信号をアサートしたときには、FIFOがレジスタ-0への書き込みを行って、Read Dataレジスタの内容を更新します。

( 18 ページに続く )

図3 FIFOペリフェラルのブロック・ダイアグラム



Nios エンベデッド・プロセッサ用メモリ・マップド・ペリフェラルの設計方法 (17 ページからの続き)

Status レジスタ (レジスタ-1) は、リードまたはライト動作が実行されるごとに FIFO によってアップデートされます。Status レジスタの内容は、address\_to\_the\_peripheral 信号を 1 にセットし、select\_to\_the\_peripheral と cpu\_read\_n\_to\_the\_peripheral の信号をアサートすることによって読み出すことができます。

シミュレーション例

図 4 は、このカスタム FIFO をシミュレーションした例を示しています。IO\_wrreq 信号をアサートし、FIFO の data\_in\_from\_IO バスに 1 から 24 までのデータを与えることによって、FIFO に 1 から 24 までの値が書き込まれています。そして、IO\_clock の 24 サイクル後に IO\_wrreq のラインがディセーブルされています。Nios エンベデッド・プロセッサは、select\_to\_the\_peripheral と cpu\_read\_n\_to\_the\_peripheral の信号を 300ns のタイミングでアサートして FIFO からのリード動作を開始しています。アドレス・バスは 300ns から 480ns までの期間にわたって 0 を保持し、この間に FIFO は FIFO の現在の出力で data\_to\_cpu\_from\_the\_peripheral バスをアップデートしています。data\_to\_cpu\_from\_the\_peripheral バスは 1 から 6 までの値を出力しているため、これらのシミュレーション結果が波形で検証されたことになります。502ns のタイミングで、

address\_to\_the\_peripheral 信号を 1 にセットし、select\_to\_the\_peripheral と cpu\_read\_n\_to\_the\_peripheral の信号をアサートすることによって、Status レジスタの内容がリードされています。Status レジスタの値は 510ns のタイミングで data\_to\_cpu\_from\_the\_peripheral バスに出力されます。data\_to\_cpu\_from\_the\_peripheral バスは 510ns のタイミングで 18 の値をリードし、FIFO に 18 ワード分のデータが残っていることを示しています。

メモリ・マップド・ペリフェラルによって、Nios エンベデッド・プロセッサとペリフェラルとの間にシンプルなインタフェースが形成されます。メモリ・マップド・ペリフェラルを採用することによって、Nios エンベデッド・プロセッサは、システムのメモリ空間に対するリードおよびライト動作を通じてペリフェラルとの通信を行います。各アプリケーションで Nios エンベデッド・プロセッサのどの入力信号と出力信号が重要かを判断することによって、メモリ・マップド・ペリフェラルのレジスタ・マップを最適化することができます。Nios エンベデッド・プロセッサと作成したペリフェラルとの効率的なインタフェースを作成する上で、レジスタ・マップは中心的な役割を果たします。デザインを最小のレジスタ・マップで構成することが重要であり、これによってアドレス・スペースが節約され、場合によってはペリフェラルの最高動作スピードも向上します。

図 4 FIFO ペリフェラルのシミュレーション例



## オメガ・テクノロジ社：信号処理アプリケーションの処理能力を2倍にした APEX デバイス

現在、ハイブリッド高周波 (RF) シミュレーションは、レーダや電子戦闘用装置 (EW)、研究機関用通信装置の試験などに幅広く使用されています。この研究室 / 実験室レベルで使用できるシミュレーションでは、ハンドセットまたは複雑なレーダ・システムなどの受信部から得られたデータを基準にして電磁界の状態が再現されます。

RFシミュレーションには数百万個にも及ぶRFパルスや信号の生成動作が含まれるため、マイクロ波の生成を実行するシンセサイザのコントロールにはリアル・タイムの非常に高い計算能力が要求されます。これまで、このようなリアル・タイムのデータ処理は専用のデジタル信号処理 (DSP) 装置で実行され、ハイ・レベルのソフトウェアがワークステーションまたはネットワークに接続された複数のPC上で実行されていました。

トムソンCSF社の子会社で、フランスのマッシ・セデックスにあるオメガ・テクノロジ社 (OMEGA-TECHNOLOGIES S.A.) は、200MHzのTMS320C6201をアルテラの1個のAPEX™デバイスで置き換えた新しいリアル・タイム・シミュレーション・エンジン、CARIBOUを発表しました。このシステムに採用されたAPEXデバイスは、システムの計算能力を100%も向上させています。

### 代表的な DSP の役割

DSPをベースにしたシミュレーションでは、システム・アーキテクチャがマルチプロセッサPC (Windows NT マシン) と接続されるPCIインタフェースを備えたリアル・タイム・ユニット (RTU) をベースに構成されます。

オメガ・テクノロジ社が開発した最初のDSPベースのRTUはマルチプロセッサ構成の320C40ボードで (図1を参照)、これが後に1個の320C6ボードに発展しました。

ただし、DSPには、下記のようなシステム・レベルの限界が生じる欠点があります。

- DSPと関連した回路のコストが高い。
- パラレル・コンピューティングで最高性能を得るためには、コードの最適化 (アセンブラ・レベルで) を非常に綿密に行う必要がある (Cで記述されたソフトウェアは、移植性が高いが、最適化が困難)。

- メモリ・アーキテクチャによってスピードが制限される。

このような欠点から、同社では次世代のシステムには従来とは異なるアプローチが必要であるという結論に達しました。

### APEXデバイスの採用：CARIBOUプロジェクト

DSPベースのシステムを置き換える作業の第1段階では、C言語で記述されたパルス処理を行うコア・アルゴリズムがVHDLに変換されました。Quartus™ソフトウェアを使用したシミュレーションは、新しいシステム・アーキテクチャを決定する上で、大いに役立ちました。

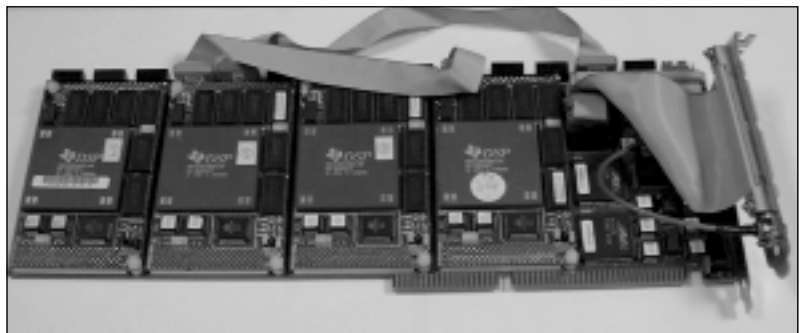
CARIBOUアーキテクチャでは、100msごとの時間スライスで、下記のタスクが実行されます。

- 800Kバイトまでの生データをPCIインタフェースからメモリ・バンクAまたはBへダウンロード。
- 他のバンク (AまたはB) から転送される同じ量のデータから最大32種類までのエミッタ・パラメータを抽出。
- 最大50,000パルス・ディスクリプタまでの計算。
- ディスクリプタごとに最大、8RFチャンネルまでのコントロール・ワードを生成 (振幅と位相)。
- 出力データを専用バス (32ビット幅) に送信。

CARIBOUシステムはシンプルな構成となっており、PCIメイン・ボードにはAPEXデバイスが1個、PCIインタフェース用チップが1個搭載されており、さらに2つのSRAMバンクが2枚のドータ・ボード上に実装されています。

(20ページに続く)

図1 以前のC40マルチプロセッサ・ボード



CARIBOUシミュレーション・エンジンを1個のAPEXデバイスで実現したことによって、その計算能力が100%も向上しています。

オメガ・テクノロジー社：信号処理アプリケーションの処理能力を2倍にしたAPEXデバイス  
(19ページからの続き)

表1はCARIBOUシステムの仕様を、図2はCARIBOUのプリント基板(PCB)を示しています。

まとめ

オメガ・テクノロジー社はCARIBOUシステムをAPEXデバイスで実現したことによって、その処理能力を2倍に高めただけでなく、製造コストを40%も低減させました。

Quartus ソフトウェアのVHDL コア・シミュレーションを採用したことで、プログラミングの柔軟性が高まり、システムの実現が容易になりました。

表1 CARIBOUシステム	
項目	仕様
使用したAPEXデバイス (1)	EP20K400E EP20K600E EP20K1000E
APEXデバイスのリソース使用率	< 25%
クロック周波数	32MHz および 64MHz(PLL) (2)
SRAM	バンクあたり 8M バイト
メモリ	256M バイト
電源	5 V @ 0.9 A 3.3 V @ 1.2 A

- 注：  
 (1) 基本的な CARIBOUシステム 672 ピン BGA (Ball-Grid Array) パッケージの EP20K400EFC672-1X が搭載されています。  
 (2) PLL: Phase-Locked Loop

Quartus ソフトウェアのVHDL コア・シミュレーションを採用したことで、プログラミングの柔軟性が高まり、システムの実現が容易になりました。この結果、ブートROMや、ローダのソフトウェア開発、消費電力の大きいデジタル・シグナル・プロセッサが不要になりました。この新しいCARIBOUシステムは、ハイエンドの信号処理にAPEXデバイスを採用することで、従来のようなDSPベースのシミュレーションよりも高速化することが可能になり、さらに高い柔軟性を得ることができることを示しています。

オメガ・テクノロジー社について

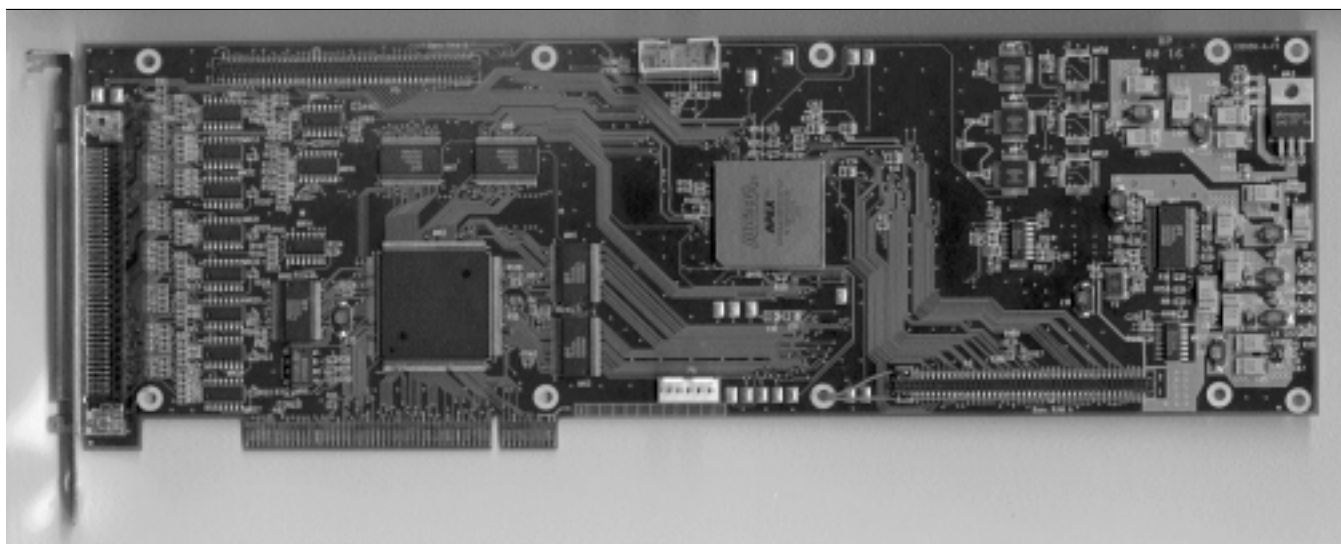
オメガ・テクノロジー社はトムソン CSF 社の 100% 子会社で、Massy (パリから 20km) のハイテク工業団地にあります。

同社は周波数合成分野で革新的な製品を開発しており、EW シミュレーション・ビジネスにおける中心的な企業となっています。

同社の製品はマイクロウェーブ・モジュールやデジタル・シンセサイザから、レーダ、コミュニケーション・シミュレータなど広い範囲に及んでおり、主にDCから26GHzの帯域をサポートしています。

OMEGA-TECHNOLOGIES S.A.  
 29, Avenue Carnot  
 91349 Massey Cedex, FRANCE  
 Tel: 33 1 69934134  
 Fax: 33 1 69934138  
 email : eric.duriez@omega-tech.com  
 http://www.omega-tech.com

図2 CARIBOUシステムのプリント基板



## Amphion社のAPEX、ACEX、FLEXデバイス用マルチ・チャネル、フル・デュプレックスADPCMソリューション

Amphion Semiconductor, Inc. (旧 Integrated Silicon Systems) 社が、アルテラの APEX™、ACEX™、FLEX® の各プログラマブル・ロジック・デバイス(PLD)に最適化された32、64、128、256チャネルのフル・デュプレックスADPCM(Adaptive Differential Pulse Code Modulator)コーデックを発表し、同社のADPCM用メガファンクションの製品群をさらに拡張しました。これらのメガファンクションを実装したときに実現される性能と使用されるリソースの標準的な値が表1に示されています。これらのメガファンクションはAmphion社によってフルサポートされており、OpenCore™ 評価機能も提供されています。また、これらの製品には、ビット・アキュレートCモデル、テスト・ベンチ、関連するドキュメント類も含まれています。

Amphion社のADPCM用メガファンクションの製品群が拡張されたのは、音声ネットワークやデータ・ネットワーク上での音声のトラフィックが指数関数的に増加し、ネットワーク・インタフェースにおける音声データの同時圧縮/解凍機能に対するニーズが高まっているためです。このようなシステム・メーカ側からのニーズの高まりから、性能の向上を経済的に実現できる機能を備えたシステムの開発が求められるようになっていきます。アルテラのPLDは、これまでDSP(Digital Signal Processing)プロセッサが使用されていたシステムを効率的に、またロー・コストで実現できるソリューションとなっています。

Amphion社は、ユーザがADPCM用メガファンクションを構成するときに多くの変数を選択できるようにし、個別のニーズに適合可能な幅広いソリューションを提供しています。これらのメガファンクションは、ボイス・オーバ・DSLやボイス・オーバ・ATMのシステムやコードレス電話などのアプリケーションに使用されます。

これらのメガファンクションはG.726、G.726a、G.727、G.727aで規定されているADPCMの標準規格に完全準拠しており、ほとんどのボイス・システムで要求される個別チャネルごとのリセット機能とコントロール機能をサポートしています。また、これらのメガファンクションはバースト・モードの動作もサポートしています。メガファンクションには、各ディレクションのサンプルごとに16クロックが必要になるタイプ(CSC4110AA、CSC4120AA、CSC4125AA)と、6クロックが必要になるタイプ(CSC4130AAとCSC4190AA)があります。

これらメガファンクションの詳細については、Amphion社のwebサイト、<http://www.amphion.com>で確認するか、同社の日本代理店、スピナカーシステムズ(株)(電話:03-3551-2275)にお問い合わせください。

アルテラのPLDは、これまでDSPプロセッサが使用されていたシステムを効率的に、またロー・コストで実現できるソリューションとなっています。

表1 ADPCM用メガファンクションの標準性能と使用されるリソース

製品コード	デュプレックス・チャネル数	ターゲット・デバイス	要求される最低クロック・レート (MHz)	達成可能な最高クロック・レート (MHz)	使用ピン数	使用ロジック・エレメント数 (LE)	使用メモリ・ビット数 / エンベデッド・システム・ブロック数 (ESB)
CSC4110AA	8	EP20K300EBC652-1	2.048	21.90	63	4,294	9,088/11
CSC4120AA	32	EP20K300EBC652-1	8.192	22.50	65	4,302	18,176/16
CSC4125AA	64	EP20K300EBC652-1	16.384	20.10	66	4,307	36,352/24
	64	EP1K100FC256-1	16.384	21.83	66	3,888	36,352/12
CSC4130AA	128	EP20K300EBC652-1	12.288	26.70	67	7,174	72,192/47
	128	EP20K200QC240-1	12.288	30.94	67	7,174	72,192/47
CSC4130AA	256	EP20K400EBC652-1	24.576	27.90	68	7,178	144,384/72
	256	EP20K300EBC652-1	24.576	30.20	68	7,178	144,384/72

## APEX CAM を使用したスイッチとルータの設計

CAM (Content-Addressable Memory) を使用することによって、テーブルから特定のアイテムをサーチする機能を実現することができます。この場合、データはユーザまたはシステム側から供給され、CAM が供給された情報から要求されているデータがストアされているアドレスを出力します。

CAM は、スイッチやルータで使用されるサーチ動作の高速化に特に有効なデバイスです。この記事では、APEX™ デバイスの CAM を下記のような特定のアプリケーションにどのように使用できるかを解説します。

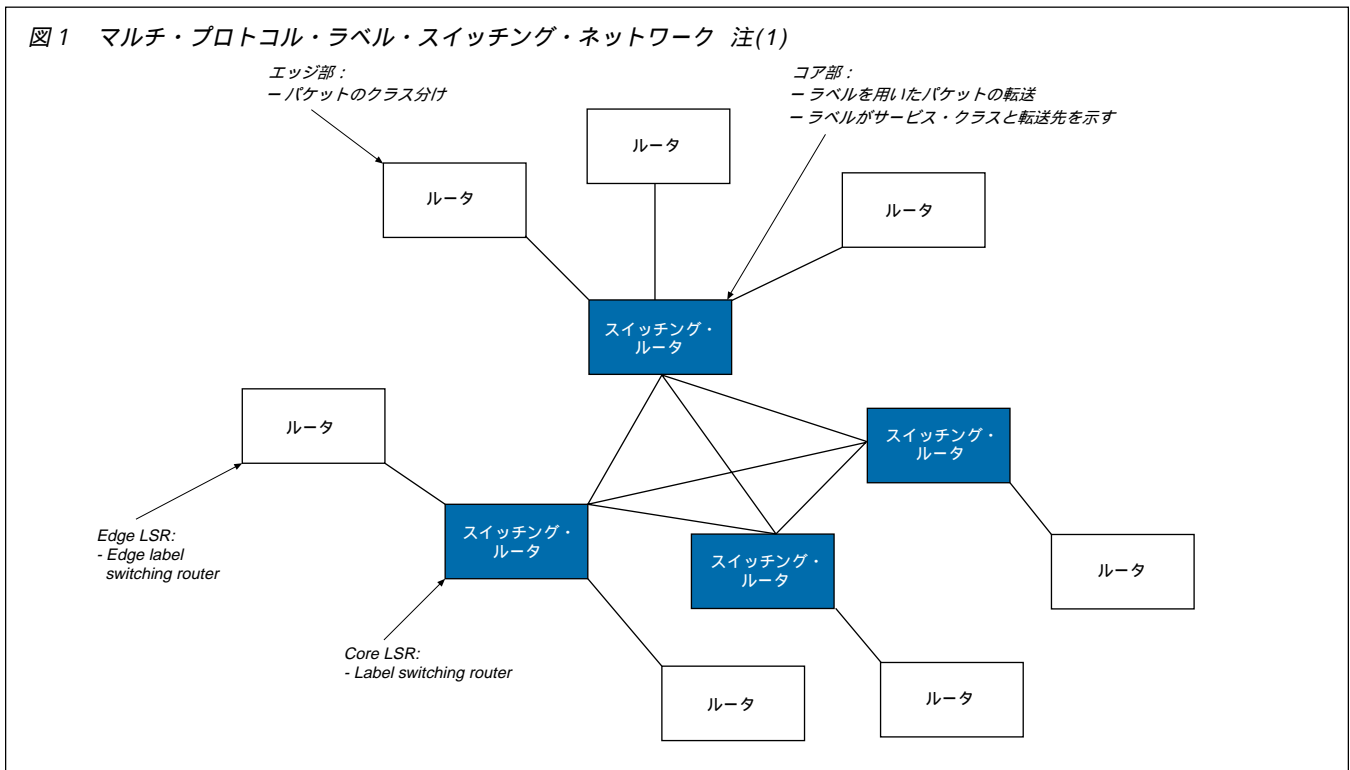
- マルチ・プロトコル・ラベル・スイッチング (MPLS)
- インターネット・プロトコル・アドレス・リゾリューション

### マルチ・プロトコル・ラベル・スイッチング

MPLS は、インターネット・プロトコル・ルーティングのコントロールとレイヤ-1 のスイッチングを簡略化するソリューションです。MPLS はインターネットのコア部分となるルーティング (接続) とフォワーディング (転送) のテクノロジーを変革した

新しいテクニックで、これによって最新の接続サービスがサポートされています。このテクニックは、サービスの品質や新しい接続機能の提供などの困難な課題を解決しています。図 1 は、複数の機能を備えたネットワークのエッジ部、およびコア部分に配置されたルータ群を示したものです。

マルチ・プロトコル・ラベル・スイッチングのシステムは、コントロールとフォワーディングの 2 つのファンクショナル・コンポーネントによって構成されます。コントロール・コンポーネントは情報の交換に標準的な接続プロトコルを使用し、ネットワーク内の他のルータに対するフォワーディング・テーブルを持っています。ルータがパケットを受信すると、フォワーディング・コンポーネントは保持しているフォワーディング・テーブルをサーチし、各パケットの転送先を判断します。フォワーディング・コンポーネントは、ラベル・スワッピング・フォワーディング・アルゴリズムをベースにしたものとなっています。各コントロール・コンポーネントは、他の関連するコントロール・インフォメーションの設定と保持も行います。



注: (1) MPLS が使用されているルータが青色で示されています。

MPLSを採用することによって、複数の異なるモジュールがパケットに対するラベルを設定することが可能になるため、パケットの転送先の情報をパケットのインターネット・プロトコル・ヘッダ部から分離することができます。

ネットワークの最初の入力エッジ（イングレス・エッジ）では、入力された各パケットがクラス分けされ、最初のラベルが設定されます。ラベル・スイッチは「longest-match routing」のテーブル・ルック・アップ動作を行ってパケットにラベルを設定し、これをラベルでスイッチされるパス上の次のホップへ転送します。ネットワークのコア部分では、ラベルが付加されたパケットがスイッチに到達すると、フォワーディング・コンポーネントが入力ポート・ナンバとラベルからフォワーディング・テーブル内の一致するデータをサーチします。一致するデータが発見されたときは、フォワーディング・コンポーネントがテーブルから出力インタフェースと次のホップ・アドレスを抽出します。次に、フォワーディング・コンポーネントは入力されたラベルを出力されるラベルに置換し、出力インタフェースを通じてパケットがラベルでスイッチされるパス上の次のホップへ転送されるようにします。パケットが最終のエッジ（イーグレス・エッジ）に到達すると、フォワーディング・コンポーネントがフォワーディング・テーブルをサーチします。次のホップがラベル・スイッチでないときは、イーグレス・スイッチがラベルを破棄し、パケットを通常のlongest-matchインターネット・プロトコル・フォワーディング・アルゴリズムで転送します。図2は、MPLSの基本的な動作を示したものです。

CAMブロックに要求されるテーブルを構成することによって、マルチ・プロトコル・ラベル・スイッチングにおけるサーチ動作を高速で実行することができます。CAMブロックは、イングレス・ラベル・スイッチ内のルック・アップ・テーブル（LUT）を

サーチし、入力されたパケットに対応するラベルをみつめます。この場合、ラベルは次のホップと新しいラベルを指定するテーブルへのインデックスとして使用されます。パケットには新しいラベルが添付され、次のホップへの転送が行われます。ネットワークの最終エッジまたはイーグレス・ラベル・スイッチのセクションには、入力されたパケットからのラベルの除去とインターネット・プロトコル・フォワーディングによるパケット転送を行うテーブルをCAMブロックで効率的に実現することができます。

テーブルはCAMとRAMを組み合わせて実現することができ、このテーブルによってラベルが付加されている入力パケットを次のホップに転送して、新しいラベルをみつめることができます。標準的なMPLSスイッチには1回で最大1,024ラベルがストアされるため、1,024 × 32のCAMブロックが必要です。この構成のCAMは32個のESBで実現することができ、APEXデバイス内への実装が可能です。出力されるラベルは別の異なるラベルとなるため、16個のESBで実現される1,024 × 32ビットのRAMブロックにより、入力されたラベルに対して適切な新しいラベルを設定することができます。このように、計48個のESBを使用することによって、マルチ・プロトコル・ラベル・スイッチングの動作が実行可能となります（図2を参照）。

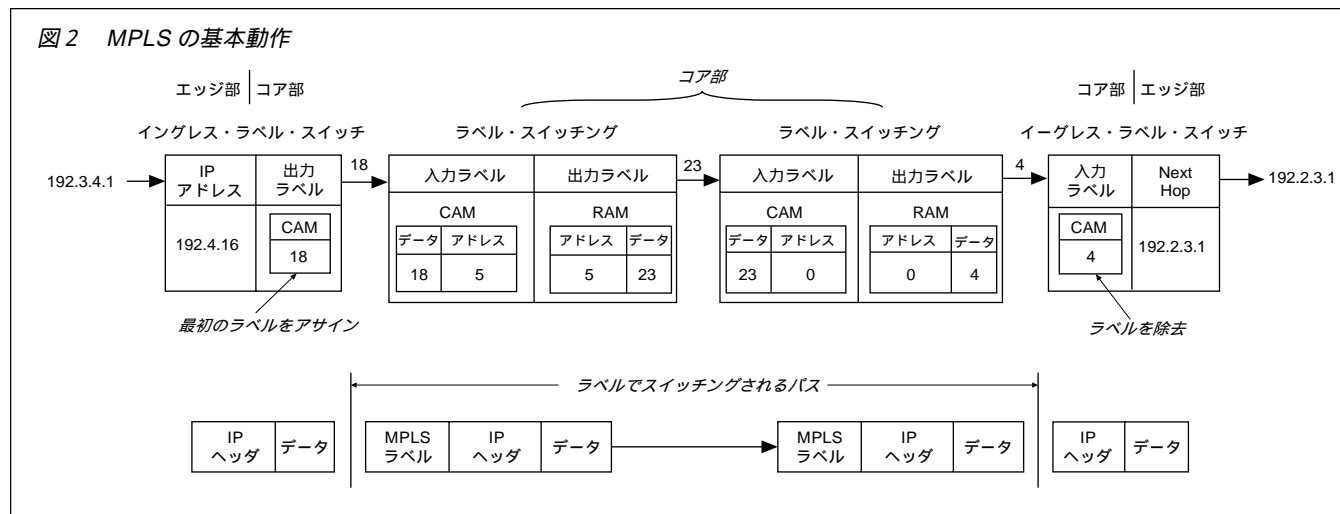
インターネット・プロトコル・アドレス・リゾリューション

インターネット・プロトコル・アドレス・リゾリューションは、レイヤ-3のスイッチでインターネット・プロトコル・アドレスからイーサネット・アドレスまたはMAC（Media Access Control）アドレスへの変換、およびその逆の変換を行うときに使用されます。インターネット・プロトコル・アドレスは

（24 ページに続く）



図2 MPLSの基本動作



APEX CAMを使用したスイッチとルータの設計  
( 23 ページからの続き )

CAMとRAMを組み合わせることによって、各MACアドレスとこれに対応するインターネット・プロトコル・アドレスの関係を保持しておくことができます。

32 ビットの値で情報の送信者と受信者を特定しており、これがパケット内にストアされ、インターネット網を通じて送信されます。インターネットを通じてデータ送信を行うときは、TCP/IP( Transmission Control Protocol/Internet Protocol )のインターネット・アドレス部に送信側のインターネット・プロトコル・アドレスと受信側のインターネット・プロトコル・アドレスが含まれています。パケット内に送信に必要なすべての情報が含まれていれば、TCP/IPのスタックがインターネットを通じてパケット全体を要求される転送先に送信します。転送先ではデータを受信して、受信したインターネット・プロトコル・アドレスを用いてソース( 送信者 )側へレスポンスを返すことができます。

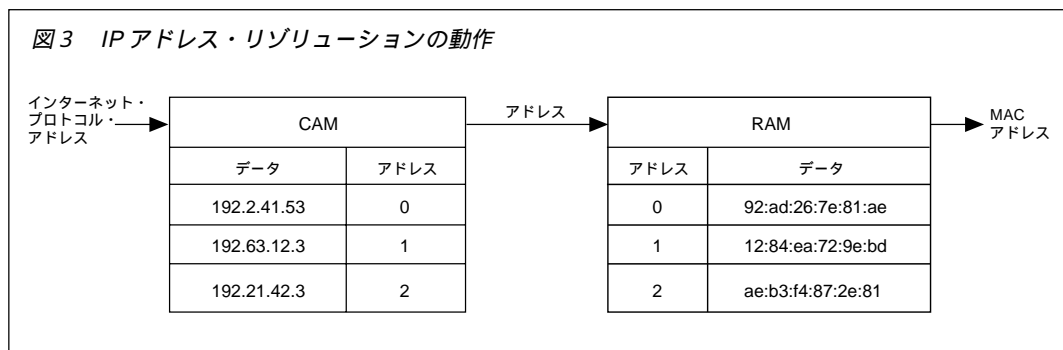
MACアドレスまたはイーサネット・アドレスは、ハードウェア・デバイス( PC など )が製造されたときに割り当てられる個別の物理アドレスです。コンピュータがLAN( Local Area Network )に接続されると、関連テーブルによってインターネット・プロトコル・アドレスがデバイスのMACアドレスに対応付けられます。CAMとRAMを組み合わせることでこのテーブルを構成し、各MACアドレスとこれに対応したインターネット・プロトコル・アドレスをストアしておくことによって、双方向でのアドレス変換を実行することができます。CAMの内部にはインターネット・プロトコル・アドレスをストアしておき、これに対応するMACアドレスまたはイーサネット・アドレスがストアされているRAMのアドレスが出力されるようにします。

アドレス・リゾリューション・プロトコル( ARP )は、インターネット・プロトコル・アドレスをローカル・エリア・ネットワークで認識されるMACアドレスにマッピングする目的に使用されます。ホス

ト・マシンがパケットを受信すると、ARPによってパケットの転送先のアドレスがそのネットワーク上にあることを検証するサーチ動作が実行されます。CAMとRAMを組み合わせることで実現されるARPは、インターネット・プロトコル・アドレスをCAMのテーブル内にストアされている内容と比較し、RAM内にある対応するMACアドレスを探し出す動作を行います。CAM内に一致するインターネット・プロトコル・アドレスが含まれていれば、パケットを適切な長さフォーマットに変換して転送先のデバイスに送信することができます。一致するアドレスが発見されなかったときは、ARPがリクエストされたパケットをLAN上のすべてのデバイスに送信し、対応するアドレスをサーチします。そして、特定のデバイスによってそのインターネット・プロトコル・アドレスが認識されたときは、そのデバイスがARPに対してメッセージを送信して、そのインターネット・プロトコル・アドレスに対応していることを伝えます。この場合、ARPは将来の変換動作に対応できるようにCAMとRAMの内容を更新し、パケットを転送先のマシンに送信します。図3はこのインターネット・プロトコル・アドレス・リゾリューションのプロセスを示しています。このプロセスはソフトウェアでも実現できますが、サーチ動作をハードウェアで実現することでシステム性能が改善されます。

まとめ

多くのネットワーク・アプリケーションには、高速のサーチ動作が必要です。APEX CAMは、マルチ・プロトコル・ラベル・スイッチングやインターネット・プロトコル・アドレス・リゾリューションのような重要なアプリケーションでのサーチ動作を高速で実現することができます。CAMを採用することによって、テーブル・ルック・アップの性能やアドレス変換動作の性能が向上し、これらの機能やアプリケーションの簡略化、高速化が達成されます。





## LVDS のタイミング解析

LVDSの標準 I/O 規格を採用することで、データを非常に高速のレートで転送することができます。このような高いデータ転送レートを実現することによって、システム全体の性能の向上が達成されます。高いシステム性能を実現するためには、LVDSのタイミングの解析方法を理解しておくことが重要です。LVDSのタイミングの解析を、セットアップ・タイムと「Clock-to-Output」遅延に注目する、従来の同期タイミング解析方法とは異なります。LVDSのタイミング解析は、データとクロックとの間のスキューを基準にして実行されます。

全体のタイミング仕様を検証する場合、高速のLVDS伝送回路にアルテラまたはLVDSデバイスの供給ベンダから提供されるLVDS専用のタイミング・パラメータを使用することが要求されます。また、設計者はボード上のスキュー、ケーブルによるスキュー、クロックのジッタも考慮する必要があります。LVDSを使用したデザインでは、データを840Mbps (Megabits per second) までのレートで転送することができます。この記事では、APEX™ 20KEデバイスで規定されているLVDSのタイミング・パラメータと、これらのLVDSタイミング・パラメータを使用してデザインの最高性能を決定する方法について解説します。

### LVDS のタイミング・パラメータ

通常、LVDSはソース・シンクロナス形式で実現され、クロックがデータと共にトランスミッタ・デバイスからレシーバ・デバイスに供給されます。ソース・シンクロナス形式におけるLVDSのタイミング解析には、トランスミッタのチャンネル間スキュー (TCCS : Transmitter Channel-to-Channel Skew) とレシーバのサンプリング・ウィンドウ (SW) を考慮した上で、十分なレシーバ入力スキュー・マージン (RSKM) が確保されているかが検証される必要があります。図1には、APEX 20KEデバイスでLVDSを実現したときのタイミング図が示されており、各タイミング・パラメータの関係が、内部クロック期間およびLVDSデータ・ビットの位置と合わせて定義されています。表1には、各タイミング・パラメータが定義されています。

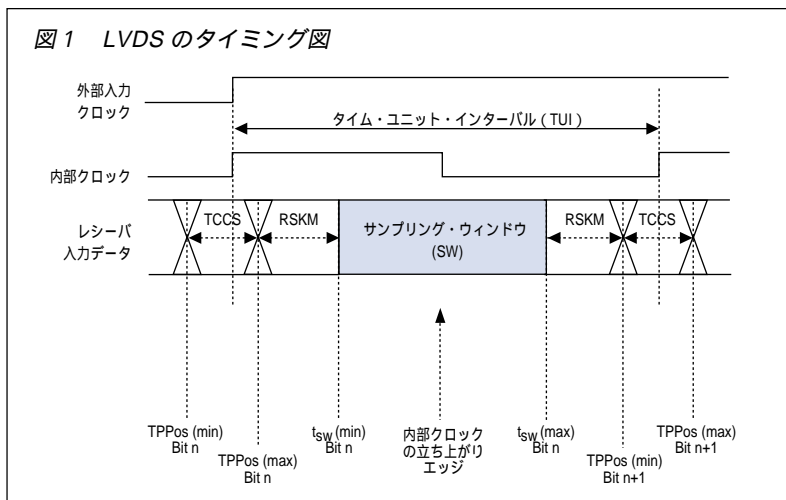


表1 LVDSのタイミング・パラメータ

パラメータ	説明
$t_c$	LVDS レシーバ/トランスミッタの入力および出力クロック期間
$f_{INLVDS}$	LVDS レシーバ/トランスミッタの入力および出力クロック周波数
$t_{LHT}$	Low から High への遷移時間
$t_{HLT}$	High から Low への遷移時間
Time unit interval (TUI)	遷移時間、スキュー、伝播遅延、およびデータのサンプリング・ウィンドウを含む 1 ビット分のデータに許容されるタイミング幅 ( $TUI = 1/\text{receiver input clock frequency\_multiplication factor} = t_c/w$ )
$f_{LVSDR}$	LVDS の最高データ転送レート ( $f_{LVSDR} = 1/TUI$ )
Channel-to-channel skew (TCCS)	LVDSのトランスミッタ・クロックおよびデータの最高速出力エッジと最低速出力エッジの差で、これには $t_{CO}$ の変動分とクロックのスキューも含まれる。
Receiver input skew margin (RSKM)	ユーザがボードのデザインを行うときに許容されるクロック入力とデータ入力間のタイミング・マージンで、LVDS 信号の配線と接続で生じるスキューとLVDS用PLLのジッタがこの範囲内で許容される。 ( $RSKM = (TUI - TCCS - SW)/2$ )
Sampling window (SW)	データを正しくキャプチャするために、データが有効になっている期間を規定した時間間隔 ( $SW = t_{sw}(\max) - t_{sw}(\min)$ )
Input jitter (peak-to-peak)	LVDS 用 PLL に許容される入力ジッタ
Output jitter (RMS)	RMS で測定された LVDS 用 PLL の出力ジッタ
$t_{DUTY}$	LVDS トランスミッタから出力されるクロックのデューティ・サイクル
$t_{LOCK}$	LVDS のトランスミッタおよびレシーバPLLのロック時間

(26 ページに続く)

LVDSのタイミング解析 (25 ページからの続き)

RSKMのパラメータは、クロックのジッタとケーブルおよびボード上でのスキューが許容されるように、余裕のある大きな値になっている必要があります。システムで要求される仕様に適合させるためには、アプリケーションでのマージンを評価して、RSKMに影響を与えるジッタとシステム・スキューを考慮しておくことが重要です。マージンは以下の式で与えられます。

$$\text{マージン} = \text{RSKM} - (\text{入力クロック・ジッタ} + \text{システム・スキュー})$$

システム・スキューとはデバイス間で生じる信号の伝播遅延時間の差を意味し、これにはケーブル、コネクタ、プリント基板(PCB)上の信号トレースの長さなどによって生じるスキューが含まれます。入力クロック・ジッタは、APEX 20KEのLVDSレシーバ用PLLが受信する入力クロックに許容されるジッタを意味します。

デザイン例

このセクションでは、APEX 20KE デバイスとAPEX 20KE デバイスを5mのケーブルで接続し、この間で624Mbpsのデータ転送を行うLVDSのデザイン例を説明します。このデザインには、3M社のケーブル(14526-EZ5B)とコネクタ(10226-1A10VE)が使用されています。図2には、3M社のケーブル・アッセンブリを通じてAPEX 20KE デバイスが接続されるこのデザイン例が図示されています。

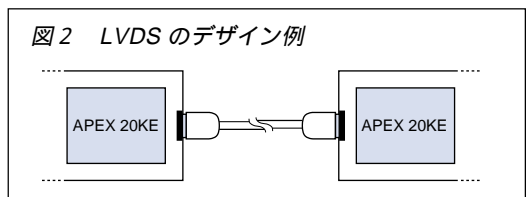


図2のデザインは、下記の特性が得られます。

- SW = 0.44ns、TCCS = 0.4ns
- $\text{RSKM} = (\text{TUI} - \text{SW} - \text{TCCS})/2 = (1.6 - 0.44 - 0.4)/2 = 380\text{ps}$
- 1メートルあたりのケーブル・スキュー(最大) = 50ps  
コネクタ・スキュー(最大) = 17ps (これらの値は3M社から供給されたもの)
- FineLine BGA™ パッケージでは、LVDSの接続されるボールが外側に配置されているため、信号トレースを最小のスキューで配線することができます。

- PCB スキュー = 30ps (PCB上のトレースの長さから算出)
- システム・スキュー = ケーブル・スキュー + コネクタ・スキュー + PCB スキュー = 297ps
- マージン = RSKM - (入力クロック・ジッタ + システム・スキュー) = 380ps - (10ps + 297ps) = 63ps

上記の計算でマージンが正の値になっているため、回路は要求されるスピードで動作します。さらに長いケーブルが必要になった場合は、マージンが不十分になる可能性があります。その場合は、APEX 20KE デバイスのスキュー除去回路を使用してRSKMの値を大きくし、回路を確実に動作させることができます。

暫定的なテスト・データでは、10mのツイスト・ペア・ケーブル(CAT5)を使用したときに、EP20K400EとEP20K600Eの両デバイス間において、840Mbpsのデータ転送を通常の条件で行えることが確認されています。

高速のデータ転送を実行する回路を設計するときは、正しいデータ・サンプリングが行えるように、マージンに影響を与える多くの要素を考慮しなければなりません。このセクションに記述されている計算を行うことによって、APEX 20KE デバイスを使用したLVDS回路の動作マージン、およびケーブルとコネクタを通じたLVDSの転送スピードを計算することができます。スキューの小さいケーブルとコネクタを用いることで、マージンと全体のシステム性能が改善されます。APEX 20KE デバイスのLVDS回路では、TCCSとSWのパラメータ値が小さくなっているため、高速のデータ転送が実現可能です。

APEX 20KE デバイスは、ナショナル・セミコンダクター、テキサス・インスツルメンツ、およびその他の会社から供給されているEIA/TIA-644のLVDS規格に準拠しているソース・シンクロナスのLVDSバッファとタイミングおよび電気的特性の互換性があります。

まとめ

高速のデータ転送を実行する回路を設計する場合は、正しいデータ・サンプリングが行えるように、マージンに影響を与える多くの要素を考慮しなければなりません。このセクションに記述されている計算を行うことによって、APEX 20KE デバイスを使用したLVDS回路のマージン、およびケーブルとコネクタを通じたLVDSの転送スピードを計算することができます。スキューの小さいケーブルとコネクタを用いることで、マージンと全体のシステム性能が改善されます。APEX 20KE デバイスのLVDS回路では、TCCSとSWのパラメータ値が小さくなっているため、高速のデータ転送が実現されます。

## MAX 7000B : 高速アプリケーションに対応した標準 I/O 規格をサポート

クロック・スピードの高速化や低電圧レベルの要求が高まると共に、さらに高速のマイクロプロセッサや高速メモリをサポートする高性能で低電圧の標準 I/O 規格が採用されるようになってきました。これら高速アプリケーションにプロダクト・タームをベースにした MAX<sup>®</sup> 7000B デバイスが採用される事例が増加しており、MAX 7000B デバイスはグローバル・ロジックやコントロール回路などを含む多様な機能に使用されています。

プロダクト・ターム・ベースの最新デバイスには、多様な標準 I/O 規格のサポートだけでなく、1 個のデバイス内で複数の標準規格を同時にサポートする能力が要求されます。このような高い柔軟性を実現することによって、I/O ピンに LVCMOS と SSTL-2 の双方を構成することが可能になります。MAX 7000B デバイスは、これらの最新の I/O サポートのニーズに対応しています。

MAX 7000B デバイスの柔軟性の高い I/O バッファは、GTL+ や SSTL のような最先端の I/O 規格に準拠させるときに要求される電圧、ドライブ強度、AC 特性に適合するように設計されています。また、MAX 7000B を採用することによって、外部接続のバッファ、ドライバ、トランシーバなどが不要になるため、ボード・スペースの削減やチップ間の性能が向上します。

### GTL+ の I/O 規格

GTL+ の標準 I/O 規格は優れた特性 (I/O 振幅レベルの低減、低出力キャパシタンス、低生成ノイズ、高雑音余裕度など) を実現するため、高性能システムのバックプレーンやマザーボードに幅広く採用されています。また、GTL+ バスは、ハイ・エンドのコンピュータ・サーバやラップトップ・コンピュータにも使用されています。例えば、インテルの Pentium II および Pentium III プロセッサは、GTL+ の標準 I/O 規格を使用してコア・ロジックとのインタフェースを行っています。

GTL+ のバスは、ATM スイッチ、レイヤ-3 スイッチ、高速ルータを含む多くの通信関連のアプリケーションにおいて、システムのバックプレーンとしても採用されています。これらのデータ通信のアプリケーションでは、システム・ボードが GTL+ をベースにしたバックプレーン・バスを通じて他のモジュールと通信を行います。

現在、ほとんどのデザインでは、コントロール・ロジックやデコード・ロジックを動作させる前に、I/O バッファやトランシーバ・チップを使用して GTL+ 信号が LVCMOS/LVTTL へ変換されています。MAX 7000B を使用した場合には、このような標準 I/O 規格間の変換を行うための外部デバイスが不要になるため、ボード・スペースの削減とコストの低減が実現され、システム全体のスループットも向上します。MAX 7000B デバイスはポピュラーな標準 I/O 規格を幅広くサポートしているユニークな特長を備えており、これらのアプリケーションに対応している唯一のプロダクト・ターム・ベースのソリューションとなっています。

### SSTL-2 と SSTL-3 の標準 I/O 規格

MAX 7000B デバイスは、SSTL-2 および SSTL-3 の Class I と Class II の標準 I/O 規格もサポートしています。SSTL が主に使用されるアプリケーションは、SDRAM とのインタフェースです。SSTL は、スイッチング特性が規定されている高速メモリ・インタフェースに使用されており、これらのインタフェースの動作周波数は最高で 200MHz にも達します。2.5V のシステムには SSTL-2 が使用され、3.3V のシステムには、SSTL-3 が使用されます。コンピュータ・サーバやハイエンドのラップトップ・コンピュータには、SDRAM や DDR の SDRAM が使用されます。SSTL はこれらの高速メモリ・モジュールに対応したインタフェース規格となっています。

高速 SDRAM は、ATM LAN スイッチ、インターネット・プロトコル対応のルータやスイッチなどの多様なネットワーク関連のアプリケーションやフレーム・バッファのインタフェースにも使用されます。SSTL インタフェースは、これらのアプリケーションに幅広く採用されています。

MAX 7000B デバイスは最新の標準 I/O 規格をサポートすると共に、スプリット I/O バンク・アーキテクチャを実現しているため、ほとんどすべての I/O インタフェースの要求に柔軟に対応することができます。

MAX 7000B ファミリのデバイスは、標準 I/O 規格のサポートに関してもプロダクト・ターム・ベースの製品として業界をリードする製品となっており、プロセッサ・インタフェース、バックプレーン・ドライバ、ペリフェラル・デバイス、SDRAM メモリ・インタフェースなど高速デザインのアプリケーションの実現を可能にしています。

MAX 7000B デバイスは最新の標準 I/O 規格をサポートすると共に、スプリット I/O バンク・アーキテクチャを実現しているため、ほとんどすべての I/O インタフェースの要求に対応することができます。

## 競合デバイスを上回る MAX 7000B デバイスの性能

アルテラの MAX<sup>®</sup> 7000B デバイスは業界でもっとも高速なプロダクト・ターム・ベースのデバイスです。32 から 512 マクロセルまでの集積度をカバーしている MAX 7000B は 3.5ns までの伝播遅延時間と 200MHz を超えるカウンタ周波数を実現しています。また、MAX 7000B デバイスは最新の業界標準 I/O 規格をサポートしており、高速デザインのアプリケーションへ簡単にインテグレーションすることができます。

### 最先端のプロセス・テクノロジー

MAX 7000B デバイスの高い性能は、最新のプロセス・テクノロジーによって実現されています。

2.5V で動作する 0.22 ミクロンの CMOS テクノロジーで製造されている MAX 7000B デバイスは、業界最先端のプロダクト・ターム・ベースの製品です。

### 業界最高速のプロダクト・ターム・デバイス

MAX 7000B は高速のピン間伝播遅延を実現しており、これによってアルテラの性能に関するマーケット・リーダーの地位が維持されています。表 1 に示されているように、MAX 7000B デバイスは競合メーカーの最高速デバイスを上回る性能を実現しています。

### 最先端の標準 I/O 規格のサポート

アルテラの MAX 7000B デバイスは、最先端の標準 I/O 規格のサポートに関しても競合メーカーのデバイスをリードしています。表 2 に示されているように、MAX 7000B デバイスは、GTL+、SSTL-3、および SSTL-2 の I/O 規格をサポートしている唯一のプロダクト・ターム・ベースの製品です。

MAX 7000B デバイスはこれらの最先端の標準 I/O 規格をサポートしているため、プロセッサ・インタフェース、バックプレーン・ドライバ、SDRAM メモリ・インタフェースなどの高速デザインのアプリケーションへの使用が可能です。

MAX 7000B は現在供給中となっており、ユーザの性能に関するニーズにすぐに対応することができます。0.22 ミクロンの CMOS プロセスで製造され、最先端の標準 I/O 規格をサポートしている高性能 MAX 7000B デバイスは、業界でもっとも優れたソリューションです。

表 1 供給されている 2.5V デバイスの標準伝播遅延時間

マクロセルの範囲	ピン間の伝播遅延時間 ( ns )		
	MAX 7000B	XC9500XV (1)	ispLSI2000VL
32 から 36	3.5	10.0	5.0
64 から 72	3.5	10.0	5.5
128 から 144	4.0	10.0	6.0
192 から 288	5.0	15.0	6.0
512 以上	6.0	-	-

注：

(1) 2000年12月の時点で供給可能になっている最高速デバイスです。

表 2 最先端標準 I/O 規格に対するサポート

標準 I/O 規格	MAX 7000B	XC9500XV	ispLSI2000VL
GTL+	✓		
SSTL-2 class I and II	✓		
SSTL-3 class I and II	✓		
LVTTTL	✓	✓	✓
LVC MOS	✓	✓	✓
2.5 V	✓	✓	✓
1.8 V	✓	✓	
64-bit, 66-MHz PCI	✓		

## MAX EPM7128 が5千万個の出荷を達成

インターネット革命にドライブされ、アルテラは業界をリードするデバイス、MAX<sup>®</sup> EPM7128の5千万個の出荷を達成しました。このプログラマブル・ロジック・デバイス (PLD) としての歴史的な記録となるこの5千万個目の製品はネットワーク・システムのリーディング企業である、シスコ・システムズに納入されました。初期のイーサネット・スイッチからもっともポピュラなインターネット用ルータや次世代のオプティカル・ネットワーク・システムに至るまで、アルテラから出荷されているEPM7128の約70%までがこれらのコミュニケーション・システムのデザインに使用されています。

EPM7128、EPM7128A、EPM7128AE、EPM7128S、EPM7128Bの各デバイスを含むMAX EPM7128のアーキテクチャは、1991年に最初の製品がリリースされて以来、もっともポピュラなデバイスとして幅広く使用されてきました。特に、DSL、VOIP、3Gワイヤレス、高速ルータ、マス・ストレージなどのアプリケーションでは、ポピュラなデバイスとなっています。

MAX 7000Aデバイスは、MAX 7000の各世代の製品の中でももっとも高い成長を果たしています。

アルテラは、新しいMAX製品の開発に多額の投資を行うと共に、MAXデバイスに関するユーザ・サポート体制を強化して、このプロダクト・ターム・ベース製品の業界におけるリーダーの地位を維持、拡張して行く予定です。最近リリースされたMAX 7000Bデバイスは、アルテラのMAXデバイスに対するこの方針を反映させた結果で、2.5Vで動作し、ISPをサポートしている入手可能な唯一の製品です。

MAXデバイスに関する詳細については、アルテラのwebサイト、<http://www.altera.com>をご覧ください。日本アルテラの販売代理店へお問い合わせください。



## Questions & Answers

**Q** MAX<sup>®</sup> 7000B デバイスのスルー・レート・コントロールはどのような影響を与えますか？

**A** MAX 7000Bデバイスでは低速のスルー・レート・コントロール機能をサポートしており、最高の性能を得たいときは通常のスルー・レートを、またボード・レベルの信号波形に関する問題の発生を減少させたいときは低速のスルー・レートを選択することができます。

信号出力のスルー・レートは、負荷の条件によって大きく変動します。アルテラのIBIS( Input/output Buffer Information Specification )モデルは、低速スルー・レートのオプションをON、またはOFFに設定したときの影響をモデリングしたもので、このIBISを使用することによって、ボード上の伝送ラインの状態に応じてスルー・レートを低速にする必要があるかを判断することができます。

表1は、下記の条件で信号の立ち上がり立ち下がりエッジの双方で測定されたスルー・レートを示しています。

- 出力の電圧振幅の10%から90%
- 35pFの無終端負荷
- 2.5VのV<sub>CCIO</sub>
- 室温
- V<sub>CC</sub>標準値

VCCIO (V)	通常のスルー・レート (V/ns)	低速のスルー・レート (V/ns)
3.3	1.3	0.7
2.5	1.0	0.5
1.8	0.7	0.4

( 30 ページに続く )

Questions & Answers ( 29 ページからの続き )

下記の手順により、MAX+PLUS® II ソフトウェアの「Slow Slew Rate」の論理合成オプションを ON または OFF にすることによって、低速のスルーレートをグローバルに設定することができます。

1. Global Project Logic Synthesis を選択します ( Assign メニュー )。
2. Define Synthesis を選択します ( Global Project Logic Synthesis のボックス )。
3. 「Slow Slew Rate」を ON または OFF に設定します。
4. OK のボタンを 2 回選択します。

**Q** Error: "Unknown problem in <design>.vhd (DLS-E-III NodeRef, Consumers of Channel node (number 130) in unit DLS\_MAXPLUS\_PROJECT: EXAMPLE3-RTL. SynthesisView refers to unattached BitWrite node; in CheckAttachNode)" のエラー・メッセージが表示されました。これはどういうことでしょうか？

**A** For Loop の中に If ステートメントがネスティングされていると、MAX+PLUS II ソフトウェアでは、このような VHDL コード・エラーが発生します。下記にエラーの原因となるシンタックスの例を示します。

```
FOR i IN 0 to 11 LOOP
    IF ( a(i) = '1' ) THEN
    IF ( b(i) = '0' ) THEN
    IF c(i) <= d(i);
    ELSE
        c(i) <= NOT d(i);
    END IF;
    ELSE
        c(i) <= 'Z';
    END IF;
END LOOP;
```

次に示す記述例は、If ステートメントがネスティングされないように修正して、このエラーを解消しています。

```
FOR i IN 0 TO 11 LOOP
    IF (a(i) = '1' AND b(i) = '0') THEN
        c(i) <= d(i);
    ELSIF (a(i) = '1' AND b(i) = '1') THEN
    ELSE
        c(i) <= 'Z';
    END IF;
END LOOP;
```

**Q** ModelSim シミュレータでタイミング・シミュレーションを実行したときに、"Failed to find INSTANCE '/instance\_name'" のエラー・メッセージが表示されました。どうしてでしょうか？

**A** このエラーは、Standard Delay Format Output ファイル (.sdo) に対するリファレンスを除去して、VHDL 出力ファイル (.vho) または Verilog 出力ファイル (.vo) を変更した場合に発生します。

ModelSim は SDO に不正なインスタンスを適用したときに、このエラー・メッセージを出力します。デフォルトの設定では、SDO が Quartus™ または MAX+PLUS II によって生成された VO または VHO ファイルを参照します。

Quartus または MAX+PLUS II ソフトウェアによって生成された VHO または VO ファイルをシミュレーションするときにテスト・ベンチを使用する場合は、SDO ファイルがトップ・レベルのテスト・ベンチのエンティティではなく、VHO または VO ファイル内のエンティティに対して適用される必要があります。

下記の手順で SDO を正しいインスタンスに適用することができます。

1. ModelSim 内で Load Design のダイアログ・ボックスをオープンします。
2. SDF のタブをクリックし、Add のボタンをクリックします。
3. SDO ファイルをブラウジングし、選択します。
4. Apply to Region のボックスに SDO ファイルが適用されるべきインスタンスへのパスをタイプします。
5. OK をクリックします。

**Q** Library error: "primary unit< テキスト > denoted by prefix< テキスト > must exist in the library" のエラー・メッセージが表示されました。原因は何でしょうか？

**A** MAX + PLUS II の Help には、このエラーの代表的な発生原因が記述されています。ただし、このエラーは、VHDL デザイン・ファイルの拡張子が .vhd ではなく、.vhdl になっている場合にも表示されます。このような場合は、VHDL デザイン・ファイルの拡張子を .vhd に変更することで解決します。

**Q** アルテラのデバイスの入力ピンにトライ・ステートの信号を接続することはできますか？

**A** 入力ピンにトライ・ステート信号を接続してもデバイスにダメージを与える要因にはなりません。ただし、トライ・ステート信号がハイ・イ



ンピーダンスをドライブしている場合は、ピンに対する入力が増大不可能になるため、ロジックから要求される出力が得られない可能性があります。トライ・ステートの入力を与えた場合は、ピンをHighまたはLowのロジック・レベルにする信号を与えた場合よりも多くの電流が流れます。このような状態の発生を防ぐときは、プルアップ抵抗またはプルダウン抵抗をこれらの信号に接続します。また、MAX 7000Bデバイスでサポートされているバス・ホールド機能を使用する方法もあります。

**Q** Quartusソフトウェアのバージョン2000.09で、特定のI/Oセルへのレジスタのアサインは、どのような方法で行えますか？

**A** Quartusソフトウェアのバージョン2000.09で、特定のI/Oセルにレジスタをアサインする方法は3種類あります。

- ピンまたはレジスタに対して Fast Input Register または Fast Output Register をダイレクトにアサインする。
- Optimize for I/O Timingのアサインメント機能を使用してピンまたはレジスタに対して 50ns 以下の  $t_{SU}$  または  $t_{CO}$  を設定する。
- EDA合成ツールでI/O ATOMをマッピングする。

**Q** ACEX™ デバイスまたは FLEX® デバイスのコンフィギュレーションに、Jam STAPL ( Standard Test And Programming Language ) と Jam™ Byte-Code Player は使用できますか？

**A** はい。ACEXデバイスおよびFLEX 10Kデバイスのコンフィギュレーションには、Jam STAPLとJam Byte-Code Playerを使用することができます。Jam STAPLやJam Byte-Code Playerを使用してACEXデバイスおよびFLEX 10Kデバイスをコンフィギュレーションするときは、次の手順で行ってください。

1. Jamのwebサイト、<http://www.jamisp.com> から Jam Byte-Code Playerをダウンロードします。ダウンロードされるファイルには、Jam Byte-Code Player の実行プログラム、jbi.exeが含まれています。
2. MAX+PLUS IIソフトウェアのCreate Jam または Create SVF のオプションを使用して JTAG ( Joint Test Action Group ) チェインに対応した Jam STAPL Byte-Code ファイル (.jbc) を作成します。
3. アルテラのダウンロード・ケーブルをPCのパラレル・ポートに接続し、ケーブルの反対側をプリント基板 ( PCB ) 上の JTAG チェインと接続します。そしてボードに電源を投入します。
4. MSDOS または コマンド・プロンプトのウィンドウをオープンし、プロンプトを jbi.exe と

MAX+PLUS IIによって生成されたJBCファイルがストアされているディレクトリに移動させます。

5. JBC ファイルが Jam STAPL フォーマット・ファイルの場合は、プロンプトに以下のコマンドをタイプします。

```
jbi -aconfigure< ファイル名>.jbc
```

JBCファイルは、Jam STAPL ファイル (.jam) のバイナリ・バージョンです。これに対して、JamファイルはASCIIフォーマットとなっています。JBCファイルはバイナリ形式となっているため、ファイル・サイズはJBCのほうが小さくなるのが一般的です。このため、アルテラはJBCファイルとJBC Playerを使用することを推奨しますが、Jamファイルの使用も可能です。ただし、Jamファイルを使用する場合は、Jamのwebサイト、<http://www.jamisp.com> から、Jam Player ( jam.exe ) をダウンロードする必要があります。

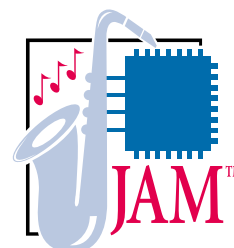
**Q** QuartusまたはMAX+PLUS IIのフローティング・ライセンスでMegaCore®ファンクションに対する固定ノードのライセンスを設定するときは、どのような方法で行えば良いでしょうか？

**A** QuartusまたはMAX+PLUS IIソフトウェアのLicense Setupのウィンドウで、固定ノードとフローティング・ノードのライセンスを同時に使用可能にすることができます。例えば、固定ノードのライセンスがc:\license.datにストアされていて、フローティング・ノードのライセンスがport@host(例: 1800@arnold)になっているときは、下記の方法で双方のライセンスをイネーブルにすることができます。

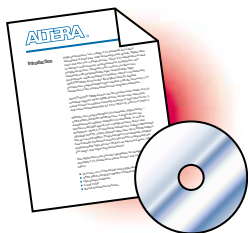
1. Quartusソフトウェアの場合は、Licensingを選択します ( Tools メニューから、Options を選択 )。MAX+PLUS IIソフトウェアの場合は、License Setup ( Options メニュー ) を選択します。
2. License Fileのダイアログ・ボックスに、c:\license.dat;1800@arnoldとタイプします。
3. OK をクリックします。

**Q** APEX™ 20KE デバイスのCLKピンとCLKLK\_FBINピンでそれぞれ異なる標準I/O規格を使用することは可能ですか？

**A** いいえ。CLKピンとCLKLK\_FBINピンには同じ標準I/O規格を適用する必要があります。これらのピンが異なる規格になっていると、PLL ( Phase-Locked Loop ) は外部フィードバック・モードでこれらのピンの位相を正確に一致させることができなくなります。これらのピンに異なるI/O規格が適用されている場合は、Quartusソフトウェアがエラー・メッセージを出力します。



## アルテラの新規刊行資料



アルテラから下記の新しい資料が刊行されています。各資料はアルテラの web サイト、<http://www.altera.com>からダウンロードすることができます。なお、\*印のある資料は日本語版も発行（一部は製作中）されています。カッコ内の記号は、アルテラのドキュメント番号です。

- Altera Digital Library CD-Rom, Version 6 (P-CD-ADL2000-06)
- APEX Devices Brochure (M-GB-APEX-20K-04)
- *Simulating the a8259 Model with the Visual IP Software User Guide* (A-UG-A8259VIS-01)
- *APEX 20KC Programmable Logic Devices Advance Information Brief* (A-AIB-APEX20KC-01)
- *SB 42: Interleaver/Deinterleaver MegaCore Function* (A-SB-042-01) \*
- *SB 48: Reed-Solomon Compiler MegaCore Function* (A-SB-048-01) \*
- *SB 49: NCO Compiler MegaCore Function* (A-SB-049-01) \*
- *SB 50: Turbo Encoder/Decoder MegaCore Function* (A-SB-050-01) \*
- *Board Design Guidelines for LVDS Systems White Paper* (M-WP-DESLVDS-01)
- *Designing Switches and Routers with APEX CAM White Paper* (M-WP-APEXCAM-01)
- *Configuring PLDs with Flash Memory White Paper* (M-WP-M3KPLD-01)

## 現在のソフトウェア・バージョン

Quartus™ソフトウェアはバージョン2000.09が最新のリリースとなっており、下記のオペレーティング・システムがサポートされています。

- Microsoft Windows 2000
- Microsoft Windows 98
- Microsoft Windows NT バージョン4.0以降
- Sun Solaris バージョン 2.6、および 2.7
- HP-UX バージョン 10.2x および 11.0

MAX+PLUS® IIソフトウェアはバージョン10.0が最新のリリースとなっており、下記のオペレーティング・システムがサポートされています。

- Microsoft Windows 2000
- Microsoft Windows 95 および 98
- Microsoft Windows NT バージョン4.0以降
- Sun Solaris バージョン 2.5 および 2.6
- HP-UX バージョン 10.2x
- AIX バージョン 4.1 以降



## アルテラのプログラミング・ハードウェアのサポート状況

### プログラミング・ハードウェアのサポート状況

下記の表1には、アルテラの MAX<sup>®</sup> 9000、MAX 7000、MAX 3000 ファミリの各デバイス、およびコンフィギュレーション・デバイスに対応するプログラミング・アダプタの最新情報が示されています。正しいプログラミングを行うためには、32ページに示されている「現在のソフトウェア・バージョン」を使用する必要があります。

デバイス名	パッケージ	アダプタ
EPC1064 (2) EPC1064V (2) EPC1441 (3)	DIP, J-lead TQFP	PLMJ1213 PLMT1064
EPC1 (3) EPC1213 (2)	DIP, J-lead	PLMJ1213
EPC2 (4)	J-lead TQFP	PLMJ1213 PLMT1064
EPM9320	J-lead (84-pin) RQFP (208-pin) PGA (280-pin)	PLMJ9320-84 PLMR9000-208 PLMG9000-280
EPM9320A	J-lead (84-pin) RQFP (208-pin)	PLMJ9320-84 PLMR9000-208NC (5)
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560	RQFP (208-pin) RQFP (240-pin) PGA (280-pin) RQFP (304-pin)	PLMR9000-208 PLMR9000-240 PLMG9000-280 PLMR9000-304
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC (5) PLMR9000-240NC (5)
EPM7032	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7032S EPM7032AE EPM7032B	J-lead (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMT7000-44
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100

デバイス名	パッケージ	アダプタ
EPM7064S	J-lead (44-pin) J-lead (84-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMJ7000-84 PLMT7000-44 PLMT7000-100NC (5)
EPM7064AE EPM7064B	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin) FineLine BGA (100-pin)	PLMJ7000-44 PLMT7000-44 PLMT7000-100NC (5) PLMF7000-100
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7128A EPM7128AE EPM7128B EPM7128S	J-lead (84-pin) PQFP (100-pin) TQFP (100-pin) TQFP (144-pin) PQFP (160-pin)  FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMJ7000-84 PLMQ7000-100NC (5) PLMT7000-100NC (5) PLMT7000-144NC (5) PLMQ7128/7160-160NC (5) PLMF7000-100 PLMF7000-256
EPM7160E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7160S	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (5) PLMQ7128/7160-160NC (5)
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/7256-160
EPM7192S	PQFP (160-pin)	PLMQ7192/7256-160NC (5)

( 34 ページに続く )

アルテラのプログラミング・ハードウェアのサポート状況 (33 ページからの続き)

デバイス名	パッケージ	アダプタ
EPM7256E	PQFP (160-pin) PGA (192-pin) PQFP (208-pin) RQFP (208-pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208 PLMR7256-208
EPM7256A EPM7256S EPM7256AE EPM7256B	TQFP (100-pin) TQFP (144-pin) PQFP (208-pin) RQFP (208-pin) FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMT7000-100NC (5) PLMT7000-144NC (5) PLMR7256-208NC (5) PLMT7256-208NC (5) PLMF7000-100 PLMF7000-256
EPM7512AE EPM7512B	TQFP (144-pin) PQFP (208-pin) BGA (256-pin) FineLine BGA (256-pin)	PLMT7000-144NC (5) PLMR7256-208NC (5) PLMB7000-256 PLMF7000-256
EPM3032A	J-lead (44-pin) TQFP (44-pin)	PLMJ3000-44 PLMT3000-44
EPM3064A	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ3000-44 PLMT3000-44 PLMT3000-100NC (5)
EPM3128A	TQFP (100-pin) TQFP (144-pin)	PLMT3000-100NC (5) PLMT3000-144NC (5)
EPM3256A	TQFP (144-pin) PQFP (208-pin)	PLMT3000-144NC (5) PLMR3256-208NC (5)

- 注:
- (1) Classic™ デバイス用アダプタについては、「Altera Programming Hardware」のデータシートを参照してください。
  - (2) FLEX® 8000用のコンフィギュレーション・デバイスです。
  - (3) FLEX 10K、FLEX 8000、FLEX 6000用のコンフィギュレーション・デバイスです。
  - (4) APEX™ 20K、FLEX 10K、FLEX 6000用のコンフィギュレーション・デバイスです。
  - (5) これらのデバイスはキャリア付きで出荷されません。

サード・パーティ・ベンダによるプログラミング・サポート

Data I/O社、BP Microsystems、System Generalの各社は、アルテラのデバイスをサポートしているプログラミング・ハードウェアを供給しています。各デバイスのプログラミング・アルゴリズムが各社のwebサイト、( <http://www.data-io.com>、<http://www.bpmicro.com>、<http://www.sg.com.tw> )を通じて提供されています。コンフィギュレーション・デバイス、およびMAX 9000ファミリとMAX 7000ファミリの各デバイスに対するサポート状況は、表2の通りです。なお、これらの情報は変更されることがあります。

表2 サード・パーティ・ベンダのプログラミング・ハードウェアによるサポート

デバイス名	Data I/O (1)	BP Microsystems (2)	System General (3)
EPC1064	✓	✓	✓
EPC1213	✓	✓	✓
EPC1	✓	✓	✓
EPC1441	✓	✓	✓
EPC2	✓	✓	✓
EPM3032A	✓	✓	✓
EPM3064A	✓	✓	✓
EPM3128A	✓	✓	✓
EPM3256A	(4)	✓	✓
EPM7032	✓	✓	✓
EPM7032AE	✓	✓	✓
EPM7032B	(4)	(4)	(4)
EPM7032S	✓	✓	✓
EPM7064	✓	✓	✓
EPM7064AE	✓	✓	✓
EPM7064B	(4)	(4)	(4)
EPM7064S	✓	✓	✓
EPM7096	✓	✓	✓
EPM7128A	✓	✓	✓
EPM7128S	✓	✓	✓
EPM7128AE	✓	✓	✓
EPM7128B	(4)	(4)	(4)
EPM7128E	✓	✓	✓
EPM7160E	✓	✓	✓
EPM7192S	✓	✓	✓
EPM7192E	✓	✓	✓
EPM7256A	(4)	✓	✓
EPM7256AE	(4)	(4)	✓
EPM7256B	(4)	(4)	(4)
EPM7256S	✓	✓	✓
EPM7256E	✓	✓	✓
EPM7512AE	✓	✓	✓
EPM7512B	(4)	(4)	(4)
EPM9320	✓	✓	✓
EPM9320A	✓	✓	✓
EPM9400	✓	✓	✓
EPM9480	✓	✓	✓
EPM9560	✓	✓	✓
EPM9560A	✓	✓	✓

- 注:
- (1) これらのデバイスはData I/O社UniSite用ソフトウェア、バージョン6.4でサポートされています。
  - (2) これらのデバイスはBP Microsystems社のプログラマ用ソフトウェア、バージョン3.51Aでサポートされています。
  - (3) これらのデバイスはSystem General社のバージョン1.03のプログラマでサポートされています。
  - (4) これらのデバイスに対するサポート予定については、各ベンダにお問い合わせください。

## ダウンロード・ケーブル

表3はアルテラのMasterBlaster™シリアル/USB ( Universal Serial Bus ) ポート通信ケーブル、BitBlaster™シリアル・ポート・ダウンロード・ケーブル、およびByteBlasterMV™パラレル・ポート・ダウンロード・ケーブルでプログラムまたはコンフィギュレーションできるデバイスを示したものです ( ByteBlaster™ダウンロード・ケーブルはByteBlasterMVケーブルで代替されています )。

表3 ダウンロード・ケーブルの対応表

デバイス名	MasterBlaster (1)	ByteBlasterMV	BitBlaster (2)
APEX 20K	✓	✓ (3)	
APEX 20KE	✓	✓ (3)	
ACEX 1K	✓	✓	✓
FLEX 10K	✓	✓	✓
FLEX 10KA	✓	✓	✓
FLEX 10KE	✓	✓	✓
FLEX 8000	✓	✓	✓
FLEX 6000	✓	✓	✓
MAX 9000	✓	✓	✓
MAX 9000A	✓	✓	✓
MAX 7000S	✓	✓	✓
MAX 7000A	✓	✓	✓
MAX 7000B	✓	✓ (3)	
MAX 3000A	✓	✓	✓

注:

- (1) MasterBlaster通信ケーブルとQuartus™ソフトウェアを使用することにより、デバイスへのダウンロード、SignalTap®によるロジック解析を実行することができます。また、MAX+PLUS IIのバージョン9.3以降との併用により、デバイスへのダウンロードを行うことができます。
- (2) BitBlasterダウンロード・ケーブルは、5.0Vで動作させる必要があります。
- (3) オーダ・コードの末尾に"V"のコードが付加されている5.0Vの対応のAPEX 20Kデバイスの場合を除き、これらのデバイスに対しては、ByteBlasterMVダウンロード・ケーブルを3.3Vで動作させる必要があります。VCCIOピンは、2.5Vまたは3.3Vのいずれかに接続してください。

## アルテラへのコンタクト方法

アルテラからの情報やサービスが従来よりも迅速に行えるようになっていきます。お問い合わせの内容や要求されるサービスに応じて、下記へご連絡ください。

	情報提供元	連絡先
資料のご請求 (1)	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-939-6113      06-6307-7670
	株式会社パルテック	045-477-2009      06-6369-4070
	World-Wide web	英語 <a href="http://www.altera.com">http://www.altera.com</a> 日本語 <a href="http://www.altera.com/japan">http://www.altera.com/japan</a>
価格・納期等について	株式会社アルティマ	045-939-6113      06-6307-7670
	株式会社パルテック	045-477-2009      06-6369-4070
技術的なご質問	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-939-6113      06-6307-7670 052-202-1024      028-637-4488
	株式会社パルテック	045-477-2009      06-6369-4070
	E-mail (日本アルテラ)	<a href="mailto:japan@altera.com">japan@altera.com</a>
	FTP Site (US)	<a href="ftp.altera.com">ftp.altera.com</a>
製品案内	World-Wide web	<a href="http://www.altera.com/japan">http://www.altera.com/japan</a>

注:

- (1) MAX+PLUS II Getting Started ManualおよびQuartus Installation and Licensing Manualはアルテラのwebサイトから入手できます。他のMAX+PLUS® IIのマニュアルについては、販売代理店へお問い合わせください。

## アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドには、アルテラの Excalibur™、APEX™ 20K、ACEX™ 1K、FLEX® 10K、FLEX 6000、MAX® 9000、MAX 7000、MAX 3000 および コンフィギュレーション・デバイス・ファミリの製品がまとめられています。その他のアルテラ製品に関する情報は、「コンポーネン

ト・セクタ・ガイド」(日本語版)に記載されています。最新の情報については、アルテラの web サイト、<http://www.altera.com> で確認してください。なお、ここに掲載されている製品の一部はまだ供給されていません。各デバイスの最新の供給状況については、販売代理店へお問い合わせください。

Excaliburデバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	ロジック・エレメント数	RAMビット数	エンベデッド・プロセッサ
EPXA1	100,000	484-Pin BGA <sup>2</sup> , 672-Pin BGA <sup>2</sup> , 612-Pin BGA	173, 178, 178	1.8 V	4,160	53,248	ARM922T 32-bit
EPXM1	100,000	484-Pin BGA <sup>2</sup> , 672-Pin BGA <sup>2</sup> , 612-Pin BGA	173, 178, 178	1.8 V	4,160	53,248	MIPS32 4Kc
EPXA4	400,000	672-Pin BGA <sup>2</sup> , 1020-Pin BGA <sup>2</sup> , 612-Pin BGA, 864-Pin BGA	275, 360, 215, 360	1.8 V	16,640	212,992	ARM922T 32-bit
EPXM4	400,000	672-Pin BGA <sup>2</sup> , 1020-Pin BGA <sup>2</sup> , 612-Pin BGA, 864-Pin BGA	275, 360, 215, 360	1.8 V	16,640	212,992	MIPS32 4Kc
EPXA10	1,000,000	1020-Pin BGA <sup>2</sup> , 864-Pin BGA	521, 365	1.8 V	38,400	327,680	ARM922T 32-bit
EPXM10	1,000,000	1020-Pin BGA <sup>2</sup> , 864-Pin BGA	521, 365	1.8 V	38,400	327,680	MIPS32 4Kc

APEX 20Kデバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション <sup>1</sup>	I/Oピン数 <sup>1</sup>	電源電圧	ロジック・エレメント数	RAMビット数	
EP20K30E	30,000	144-Pin TQFP, 144-Pin BGA <sup>2</sup> , 208-Pin PQFP, 324-Pin BGA <sup>2</sup>	92, 93, 128, 128	1.8 V	1,200	24,576	
EP20K60E	60,000	144-Pin TQFP, 144-Pin BGA <sup>2</sup> , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA <sup>2</sup> , 356-Pin BGA	92, 93, 148, 151, 196, 196	1.8 V	2,560	32,768	
EP20K100	100,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA <sup>2</sup> , 356-Pin BGA	101, 159, 189, 252, 252	2.5 V	4,160	53,248	
EP20K100E	100,000	144-Pin TQFP, 144-Pin BGA <sup>2</sup> , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA <sup>2</sup> , 356-Pin BGA	92, 93, 151, 183, 246, 246	1.8 V	4,160	53,248	
EP20K160E	160,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup>	88, 143, 175, 271, 316	1.8 V	6,400	81,920	
EP20K200	200,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup>	144, 174, 277, 382	2.5 V	8,320	106,496	
EP20K200E	200,000	208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup> , 652-Pin BGA, 672-Pin BGA <sup>2</sup>	136, 168, 271, 376, 376, 376	1.8 V	8,320	106,496	
EP20K300E	300,000	240-Pin RQFP, 652-Pin BGA, 672-Pin BGA <sup>2</sup>	152, 408, 408	1.8 V	11,520	147,456	
EP20K400	400,000	652-Pin BGA, 672-Pin BGA <sup>2</sup>	502, 502	2.5 V	16,640	212,992	
EP20K400E	400,000	652-Pin BGA, 672-Pin BGA <sup>2</sup>	488, 488	1.8 V	16,640	212,992	
EP20K600E	600,000	652-Pin BGA, 672-Pin BGA <sup>2</sup> , 1,020-Pin BGA <sup>2</sup>	488, 508, 588	1.8 V	24,320	311,296	
EP20K1000E	1,000,000	652-Pin BGA, 672-Pin BGA <sup>2</sup> , 1,020-Pin BGA <sup>2</sup>	488, 508, 708	1.8 V	38,400	327,680	
EP20K1500E	1,500,000	652-Pin BGA, 1,020-Pin BGA <sup>2</sup>	488, 808	1.8 V	51,840	442,368	

ACEX 1Kデバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション <sup>1</sup>	I/Oピン数 <sup>2</sup>	電源電圧	ロジック・エレメント数	RAMビット数	
EP1K10	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	66, 102, 130, 130	2.5 V	576	12,288	
EP1K30	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	102, 147, 171	2.5 V	1,728	24,576	
EP1K50	50,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 484-Pin BGA <sup>2</sup>	102, 147, 186, 249	2.5 V	2,880	40,960	
EP1K100	100,000	208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 484-Pin BGA <sup>2</sup>	147, 186, 333	2.5 V	4,992	49,152	

FLEX 10Kデバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	ロジック・エレメント数	RAMビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	59, 102, 134	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	66, 102, 134, 150	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin RQFP	102, 147, 189	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	147, 189, 246	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>2</sup> , 356-Pin BGA, 484-Pin BGA <sup>2</sup>	102, 147, 189, 191, 246, 246	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 484-Pin BGA <sup>2</sup>	102, 147, 176, 220	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	147, 189	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA, 403-Pin PGA	189, 274, 310	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup>	189, 274, 291	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>2</sup> , 484-Pin BGA <sup>2</sup>	102, 147, 189, 191, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K50S	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>2</sup> , 356-Pin BGA, 484-Pin BGA <sup>2</sup>	102, 147, 189, 191, 220, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	189, 358	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100	100,000	503-Pin PGA	406	5.0 V	-3, -4	4,992	24,576
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup> , 600-Pin BGA	189, 274, 369, 406	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100B	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>2</sup>	147, 189, 191	2.5 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>2</sup> , 356-Pin BGA, 484-Pin BGA <sup>2</sup>	147, 189, 191, 274, 338	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup> , 600-Pin BGA, 672-Pin BGA <sup>2</sup>	186, 274, 369, 424, 413	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	599-Pin PGA, 600-Pin BGA, 672-Pin BGA <sup>2</sup>	470, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K200S	200,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>2</sup> , 600-Pin BGA, 672-Pin BGA <sup>2</sup>	182, 274, 369, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-1, -2, -3	12,160	40,960

FLEX 6000デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	フリップ・フロップ数	ロジック・エレメント数
EPF6010A	10,000	100-Pin TQFP, 144-Pin TQFP	71, 102	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 100-Pin BGA <sup>2</sup> , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	81, 81, 117, 171, 171	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin BGA <sup>2</sup>	117, 171, 199, 218, 218	3.3 V	-1, -2, -3	1,960	1,960

APEX/FLEXデバイス用コンフィギュレーション・デバイス			
デバイス名	ピン数 / パッケージ・オプション	電源電圧	説明
EPC1064	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	5.0 V	FLEX 8000デバイス用64Kビット シリアル・コンフィギュレーション・デバイス
EPC1064V	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3 V	FLEX 8000デバイス用64Kビット シリアル・コンフィギュレーション・デバイス
EPC1213	8-Pin PDIP, 20-Pin PLCC	5.0 V	FLEX 8000デバイス用213Kビット シリアル・コンフィギュレーション・デバイス
EPC1441 <sup>3</sup>	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	FLEXデバイス用441Kビット シリアル・コンフィギュレーション・デバイス
EPC1 <sup>3</sup>	8-Pin PDIP, 20-Pin PLCC	3.3/5.0 V	FLEXおよびAPEXデバイス用1Mビット シリアル・コンフィギュレーション・デバイス
EPC2 <sup>3</sup>	20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	APEX, FLEX 10K, FLEX 10KE, FLEX 6000デバイス用2Mビット シリアル・コンフィギュレーション・デバイス
EPC4 <sup>4</sup>	44-Pin PLCC, 100-Pin TQFP, 144-Pin BGA <sup>2</sup>	1.8/2.5 V	APEXおよびFLEX 10Kデバイス用4Mビット シリアル/パラレル・コンフィギュレーション・デバイス

( 38 ページに続く )

アルテラ・デバイス・セレクション・ガイド  
( 37 ページからの続き )

MAX 7000デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-5, -6, -7, -10
EPM7032AE	32	44-Pin PLCC/TQFP	36	3.3 V	-4, -7, -10
EPM7032B	32	44-Pin PLCC/TQFP, 48-Pin BGA <sup>5</sup>	36, 36	2.5 V	-3, -5, -7
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 52, 68, 68	5.0 V	-5, -6, -7, -10
EPM7064AE	64	44-Pin PLCC/TQFP, 49-Pin BGA <sup>5</sup> , 100-Pin TQFP, 100-Pin BGA <sup>2</sup>	38, 40, 40, 68	3.3 V	-4, -7, -10
EPM7064B	64	44-Pin PLCC/TQFP, 48-pin TQFP, 49-Pin BGA <sup>1</sup> , 100-Pin TQFP, 100-Pin BGA <sup>2</sup>	38, 40, 40, 68, 68	2.5 V	-3, -5, -7
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA <sup>2</sup> , 144-Pin TQFP, 256-Pin BGA <sup>2</sup>	68, 84, 84, 100, 100	3.3 V	-6, -7, -10, -12
EPM7128AE	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA <sup>2</sup> , 144-Pin TQFP, 169-Pin BGA <sup>5</sup> , 256-Pin BGA <sup>2</sup>	68, 84, 84, 100, 100, 100	3.3 V	-5, -7, -10
EPM7128B	128	49-Pin BGA <sup>5</sup> , 100-Pin TQFP, 100-Pin BGA <sup>2</sup> , 144-Pin TQFP, 49-Pin BGA <sup>5</sup> , 169-Pin BGA <sup>5</sup> , 256-Pin BGA <sup>2</sup>	40, 84, 84, 100, 100, 100	2.5 V	-4, -7, -10
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-7, -10, -15
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7256S	256	208-Pin PQFP	164	5.0 V	-7, -10, -15
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	84, 120, 164, 164	3.3 V	-7, -10, -12
EPM7256AE	256	100-Pin TQFP, 100-Pin BGA <sup>2</sup> , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup>	84, 84, 120, 164, 164	3.3 V	-5, -7, -10
EPM7256B	256	100-Pin TQFP, 144-Pin TQFP, 169-Pin BGA <sup>5</sup> , 208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 256-Pin BGA	84, 120, 140, 164, 164, 164	2.5 V	-5, -7, -10
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 256-Pin BGA	120, 176, 212, 212	3.3 V	-5, -7, -10, -12
EPM7512B	512	144-Pin TQFP, 169-Pin BGA <sup>5</sup> , 208-Pin PQFP, 256-Pin BGA <sup>2</sup> , 256-Pin BGA	84, 120, 140, 212, 212, 212	2.5 V	-5, -6, -7, -10

MAX 3000デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM3032A	32	44-Pin PLCC, 44-Pin TQFP	34, 34	3.3 V	-4, -7, -10
EPM3064A	64	44-Pin PLCC, 44-Pin TQFP, 100-Pin TQFP	34, 34, 66	3.3 V	-4, -7, -10
EPM3128A	128	100-Pin TQFP, 144-Pin PQFP	80, 96	3.3 V	-5, -7, -10
EPM3256A	256	144-Pin TQFP, 208-Pin PQFP	116, 158	3.3 V	-6, -7, -10

MAX 9000デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	5.0 V	-10
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	5.0 V	-15, -20
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	5.0 V	-15, -20
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-15, -20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-10
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-15, -20

表中の注：

- (1) 暫定仕様です。最新情報については、日本アルテラまたは販売代理店へお問い合わせください。
- (2) このパッケージは、実装スペースを削減する FineLine BGA パッケージです。
- (3) これらのデバイスは、3.3V または 5.0V のいずれかの電源電圧で動作するようにプログラムすることができます。
- (4) このデバイスは、1.8V または 2.5V のいずれかの電源電圧で動作するようにプログラムすることができます。
- (5) このパッケージは実装スペースを削減する Ultra FineLine BGA で、0.8 ミリ・ピッチの BGA パッケージです。

# Nios を中心とした Excalibur 開発キット



## 最先端システムを実現する開発キット

アルテラが新たに開発したExcalibur™エンベデッド・プロセッサ・ソリューション、Nios™ソフト・コア・エンベデッド・プロセッサは、まさに system-on-a-programmable-chip (SOPC) デザインの開発に必要とされていたものです。



**EXCALIBUR™**

この新しい柔軟性に富んだエンベデッド・プロセッサ・ソリューションは、32ビットの構成、50MIPSまでの性能をサポートし、量産時には5ドルに相当する価格を実現します。この開発キットはすでに供給中となっており、プロジェクトの開始にあたって必要なものがすべて含まれています。

## 完全なソリューションを提供

この Excalibur 開発キットには、以下のものが含まれています。

Nios コンフィギュラブルRISC エンベデッド・プロセッサ・コアとペリフェラル

Quartus™ プログラマブル・ロジック開発ソフトウェア

Cygnus®/Red Hat® 社の GNUPro® C/C++ コンパイラおよびデバugg

ByteBlasterMV™ ダウンロード・ケーブル

APEX™ EP20K200E を搭載した開発用ボード

リファレンス・デザインと関連資料

# ALTERA®

The Programmable Solutions Company™

# サイズの問題

APEX EP20K1500E : いま、手に入れることができる最高集積PLD

米国特許、冗長回路技術

エンベデッド・デュアル・ポート  
RAM (442,368 ビット)

0.18 $\mu$ m、8層メタル・プロセス

150万ゲート (51,840個の  
ロジック・エレメント)

ユーザ選択可能なI/O : LVDS、LVPECL、  
SSTL-2/-3、HSTL、GTL+、AGP、CTT

実際のダイ・サイズ  
APEX EP20K1500E

## Think big. Think APEX.

150万以上のゲート数(51,840個のロジック・エレメント)と432KビットのエンベデッドRAMを備えたアルテラのAPEX™ EP20K1500E PLDは、system-on-a-programmable-chip (SOPC) デザインに理想的なPLDです。

アルテラのMultiCore™アーキテクチャは、ルックアップ・テーブル・ロジックとエンベデッド・メモリの利点を兼ね備え、ボード・スペースを節約し、また、複雑なシステム・デザインを容易にします。また、APEXデバイスは業界最高速の840Mbpsのデータ転送レートを誇るTrue-LVDS™専用回路も備えています。

### 高集積。量産用に入手可能。

アルテラは定評のある0.18 $\mu$ mプロセスに米国特許の冗長回路技術を採用しており、APEX EP20K1500E デバイスをユーザの要求に応じて、量産出荷しています。



APEX™

## 詳しい情報は。

高集積APEXデバイスについての詳細は、アルテラのwebサイト <http://www.altera.com/sizematters> をご覧ください。そして、なぜサイズが重要な問題なのか、お確かめください。

ALTERA®

The Programmable Solutions Company®

<http://www.altera.com/sizematters>



Copyright© 2001 Altera Corporation. Altera, APEX, MultiCore, True-LVDS, The Programmable Solutions Company および特定のデバイス名称はAltera Corporationの米国およびその他の国における商標またはサービス・マークです。他のブランド名、または製品名は保有各社の商標です。ここに記載されている製品の仕様は予告なく変更されることがあります。All rights reserved.

ALTERA® 日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1  
新宿アイランドタワー32F 私書箱1594号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
<http://www.altera.com/japan>  
E-mail: japan@altera.com

### 本社 Altera Corporation

101 Innovation Drive, San Jose, CA 95134  
TEL : (408) 544-7000  
<http://www.altera.com>

NEWS & VIEWS はユーザの皆様へアルテラの最新情報をお届けするため、年4回発行されています。ここに記載されている内容に起因した第三者の損害に対して当社は一切の責務を負うものではなく、また記載されている回路などの特許、特許使用権を許諾するものではありません。

The System-on-a-Programmable-Chip Solution.