

News & Views

2001 年春季号

アルテラ・ユーザのためのニュースレター

アルテラが Quartus II ソフトウェアのバージョン 1.0 をリリース

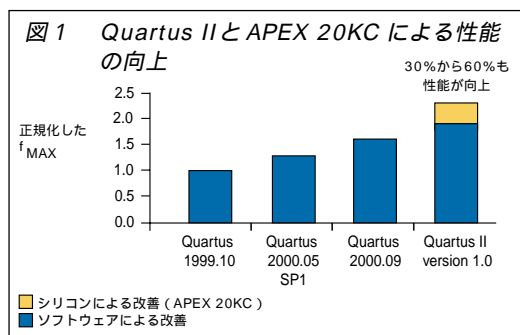
アルテラの新製品、Quartus™ II ソフトウェアは、デザイン性能 (f_{MAX})、コンパイル時間、そして設計生産性の劇的な改善を実現しています。PowerFit™ テクノロジー、Excalibur™ エンベデッド・プロセッサ・ソリューションのサポート、system-on-a-programmable-chip (SOPC) Builder、LogicLock™ インクリメンタル・コンパイルーション、PowerGauge™ 解析ソフトウェア、その他の生産性を高める各種ツールなど、多くの機能や特長を実現している Quartus II ソフトウェアは、SOPC デザインに対する優れた開発環境を提供しています。

f_{MAX} を 30% から 60% も高速化

Quartus II ソフトウェアの配置配線に採用されている新しいフィッティング・テクノロジーは、高集積デバイスの f_{MAX} を Quartus ソフトウェアのバージョン 2000.09 よりも 10% から 20% も改善します。全層に銅配線が使用されている APEX™ 20KC デバイ

スをターゲットにした場合は、Quartus II ソフトウェアによってそのデザイン性能が、30% から 60% も改善されます。図 1 は、Quartus II ソフトウェアと APEX 20KC デバイスを使用することで、性能がどのように改善されるかを示しています。

(4 ページに続く)



Mercury デバイスを発表： 世界初のプログラマブル ASSP

アルテラの新しい Mercury™ (マーキュリ) 製品ファミリは、高度に最適化されたプログラマブル・コアと、これまで ASSP (Application Specific Standard Product: 特定用途向けの標準品) にのみ提供されていた高性能 I/O を結合させたデバイスです。Mercury デバイスは、クロック・データ・リカバリ (CDR) 機能をサポートしている最大 18 チャンネルのトランシーバを内蔵しており、特にシリアル・バックプレーン、チップ間の接続、外部インタフェースのアプリケーションに最適です。Mercury デバイスは、広帯域の性能を実現するように設計されていま

す。Mercury デバイスは、デバイス内部でのデータ転送、および外部デバイスとのデータ転送を非常に高速で実行するアーキテクチャと機能を実現しており、データを高速で処理することができます。これまで、Gigabit イーサネット、SONET/SDH、Fibre Channel (ファイバ・チャネル)、RapidIO システムなどの高速コミュニケーションをサポートするためには、データ転送をフィジカル・レベルで実行する専用の ASSP (または複数の ASSP) が必要でした。

(6 ページに続く)

本号の内容

- Nios のバージョン 1.1 が、Excalibur エンベデッド・プロセッサ製品群を強化 8 ページ
- Mercury デバイスのクロック・データ・リカバリ回路 20 ページ

Chairman of the Board.



ボードにリーダをのせて
ください。

ボードを動かすためにリーダが
必要なら、MAX[®]デバイスがそ
れにお応えいたします。

MAXデバイスを使えば、複雑なコントロール・ロジックから
高速デコーダやメモリ・インタフェースのアプリケーションで、
システムを最高の性能で動作させることができます。

<http://www.altera.com/board> でボードのリーダをご確認く
ださい。

ALTERA[®]

The Programmable Solutions Company[®]

<http://www.altera.com/board>

Table of Contents

特集記事

アルテラが Quartus II ソフトウェアのバージョン 1.0 をリリース	1
Mercury デバイスを発表： 世界初のプログラマブル ASSP	1
Nios のバージョン 1.1 が、Excalibur エンベデッド・プロセッサの製品群を強化	8
PowerFit テクノロジーで要求性能を達成する方法 ..	15
Cadant 社が APEX 20KE デバイスを使用して ケーブル・モデム・ターミネーション・ システムでワイヤ・スピードを達成	18
アルテラ・ニュース	
アルテラが Web サイトのデザインを一新	29
Quartus II ソフトウェアが APEX デバイスの消費電力解析機能を提供	30
Quartus II ソフトウェアの PowerFit テクノロジー ..	31
Quartus II ソフトウェアの プロジェクト・アーカイブ機能	31
製造中止品に関する最新情報	33

デバイス & ツール

Mercury デバイスを出荷中	10
Mercury デバイスのスピード・グレード	10
新製品、APEX 20K デバイスを発表	11
EP20K1500E を限定期間中に 99 ドルで提供 ...	11
すべての APEX 20KE デバイスを大量に供給中 ..	11
工業用温度範囲の APEX 製品	11
5.0V 対応の APEX 20K デバイス	12
工業用温度範囲の ACEX 1K デバイスの供給状況	12

効率的な生産体制が、 MAX 7000B の価格低減を実現	12
ディスクリートの I/O バッファとドライバを MAX 7000B にインテグレーション	13
大容量コンフィギュレーション・デバイス	13
Quartus II のバージョン 1.0 を出荷中	14
オペレーティング・システムに関する最新情報 ...	14
最新の OEM 合成ツールおよび シミュレーション・ツールのダウンロード	14

技術論文

Mercury デバイスの クロック・データ・リカバリ回路	20
アルテラの信号処理用 IP と APEX 20KE デバイス を使用して直交周波数分割多重 (OFDM) を実現する方法	23
フォワード・エラー・コレクションによる 高速テレコミュニケーション・ ネットワークの性能強化	26
Questions & Answers	38

定期掲載情報

最新のソフトウェア・バージョン	25
アルテラの新規刊行資料	34
アルテラのプログラミング・ ハードウェアのサポート状況	35
アルテラへのコンタクト方法	37
アルテラ・デバイス・セレクション・ガイド	39

Altera, ACCESS, ACEX, ACEX 1K, AMPP, APEX, APEX 20K, APEX 20KC, APEX 20KE, Atlas, BitBlaster, ByteBlaster, ByteBlasterMV, Classic, ClockBoost, ClockLock, ClockShift, CoreSyn, E+MAX, Excalibur, FastLUT, FastTrack, FineLine BGA, FLEX, FLEX 10K, FLEX 10KE, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, IP MegaStore, Jam, LogicLock, MasterBlaster, MAX, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX 7000S, MAX 7000A, MAX 7000AE, MAX 7000B, MAX 3000, MAX 3000A, MAX+PLUS, MAX+PLUS II, MegaCore, MegaLAB, MegaStore, MegaWizard, Mercury, MultiCore, MultiVolt, NativeLink, Nios, nSTEP, OpenCore, OptiFLEX, PowerFit, PowerGauge, Quartus, RapidLAB, SignalTap, SignalTap Plus, SoftMode, TrueLVDS, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Adobe and Acrobat are registered trademarks of Adobe Systems Incorporated. AMBA, ARM, and the ARM Powered logo are registered trademarks of ARM Limited. Cadant is a registered trademark and C4 is a trademarks of Cadant, Inc. DOCSIS is a registered trademark of CableLabs. Data I/O and UniSite are registered trademarks of Data I/O Corporation. HP-UX is a trademark of Hewlett-Packard Company. Mentor Graphics is a registered trademark and LeonardoSpectrum and ModelSim are trademarks of Mentor Graphics. Microsoft, Windows, Windows 98, and Windows NT are registered trademarks of Microsoft Corporation. R4000, 4Kc, MIPS32, MIPS-based, and the MIPS Technologies logo are trademarks of MIPS Technologies, Inc. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Sun is a registered trademark and Solaris is a trademark of Sun Microsystems, Inc. Synplicity is a registered trademark and Amplify and Physical Optimizer are trademarks of Synplicity, Inc. Synopsys is a registered trademark and FPGA Express is a trademark of Synopsys, Inc. System General is a registered trademark of System General. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader.

ご質問、ご意見などがありましたら、お知らせください。

日本アルテラ株式会社
〒163-1332
東京都新宿区西新宿 6-5-1
新宿アイランドタワー 32F
私書箱 1594号
電話：03-3340-9480
FAX：03-3340-9487
E-mail：japan@altera.com



アルテラがQuartus IIソフトウェアのバージョン1.0をリリース(1ページからの続き)

コンパイル時間の短縮

Quartus IIソフトウェアは、業界でもっとも高速のコンパイル時間を実現しています。75種類のVerilog HDL およびVHDL のデザインを使用して比較した結果、Quartus IIソフトウェアのバージョン1.0は、すべての集積度にわたって最高の結果を示しました(図2を参照)。APEX EP20K400Eをターゲットにした場合は、Quartus IIソフトウェアのバージョン1.0が他社のソフトウェア・パッケージよりも平均で41%も高速のコンパイル時間を達成しました。

PowerFit テクノロジー

性能の向上とコンパイル時間の短縮は、最先端のPowerFitテクノロジーによって達成されています。このPowerFitテクノロジーは、さらに効率の高い新しいアルゴリズムでロジックの配置と配線を実行します。PowerFitテクノロジーは信号を配線用の各ラインに配置し、配線に必要なリソースを決定します。PowerFitテクノロジーは設計の早い段階からタイミング・コンストレイントに適合させることができるため、コンパイル時間と設計の生産性が改善されます。図2は、アルテラとザイリンクス社の数世代にわたる開発ソフトウェアのコンパイル時間を正規化して比較したものです。

また、多くのデザインに採用されるメインストリームの集積度では、APEX 20KE デバイスが16%も速い性能(f_{MAX})を実現しています。これらメインストリームのデザインでは、デバイス密度は7,000

個から16,000個のロジック・エレメント(LE)で200Kビット以下のメモリが使用されている場合がほとんどです。

PowerFitテクノロジーの詳細については、15ページの「Design Tips : PowerFitテクノロジーで要求性能を達成する方法」をご覧ください。

完全な SOPC 開発環境

Quartus II 開発ソフトウェアはSOPC デザインに必要なものをすべて含んだプラットフォームとなっており、Excalibur エンベデッド・プロセッサ・ソリューションのサポート、PowerGauge解析ソフトウェアを含む新たなシステム・レベルのデザイン機能、さらに強化されたシステム・レベルの検証機能を提供しています。例えば、Quartus IIソフトウェアはハードウェアとソフトウェアのワークフローを統合化し、C/C++ コンパイラとデバッグ(SoftMode™統合設計機能)をひとつの統合化された開発環境で使用可能にしています(図3を参照)。

Excalibur SOPC ソリューション

現在、Quartus IIソフトウェアのSOPC Builderでは、Nios™エンベデッド・プロセッサ・ソリューションがサポートされています。また、ARM® およびMIPS-based™デバイスに対するサポートが、次にリリースされるQuartus IIソフトウェアのバージョン1.1で提供される予定です。SOPC Builderはプロセッサの機能とパラメータ化されたペリフェラルのコンフィギュレーションを行うと共に、プロセッサ、プログラマブル・ロジック・コア、およびペリフェラル間のポートを接続し、完全なカスタムSOPCアーキテクチャの作成をプッシュ・ボタン操作のフローで実行します。

LogicLock インクリメンタル・デザイン機能

SOPCのデザインを作成するときやIP(Intellectual Property)を採用するときには、デザインの一部だけを設計し、最適化できる機能が必要になります。例えば、PCI(Peripheral Component Interconnect)仕様の厳しいタイミング要求に適合させるためには、使用されるIPファンクションが規定されているタイミングと性能の要求を満足している必要があります。

Quartus IIソフトウェアのバージョン1.1で提供されるLogicLock インクリメンタル・デザイン機能を使用すると、設計の完了したPCIファンクションが特定の位置にロックされ、残りのデザイン部をこのPCIファンクションに影響を与えることなく、修正および最適化することができます。この機能を活用することによって、重要なサブ・ブロックの性能が維持されるため、設計時間が大幅に節減されます。ま



図2 デザイン性能とコンパイル時間の推移

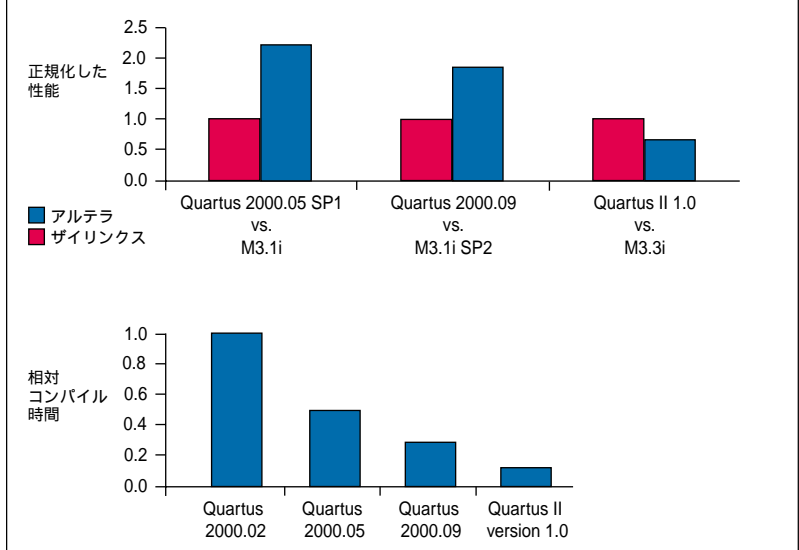


図3 Software Settingsのダイアログ・ボックス



た、複数の設計者によるチーム・ベースのデザインがこの機能によってサポートされ、各設計者が担当するSOPCデザインの各部を同時に最適化することができます。

PowerGauge 解析ソフトウェア

アルテラのQuartus IIソフトウェアには、業界初の消費電力解析ツールが組み込まれています。Quartus IIのPowerGauge解析ソフトウェアはシミュレーション・スティミュラス入力を使用して、各デザイン・ファイルでコンフィギュレーションされたAPEX 20KE デバイスの平均消費電力を推定します。PowerGaugeソフトウェアは、Quartus IIのシミュ

レータと連動して標準的な動作条件での I_{CC} の値と消費電力を推定します。消費電力の解析ツールが組み込まれたことによって、デザイン・サイクルの初期段階からシステム・レベルでの消費電力を判断することが可能になりました。

Quartus IIソフトウェアの消費電力解析機能の詳細については、30ページの「Quartus IIがAPEX デバイスの消費電力解析機能を提供」をご覧ください。

SignalTap ロジック解析

Quartus IIソフトウェアでは、SignalTap[®]ロジック解析ツールを最新のPowerFitテクノロジーと統合することによって、その機能をさらに強化しています。これによって、イン・システムでのハードウェア・デバッグが可能になっています。SignalTapロジック解析機能を活用することによって、外部プローブを接続したり、デザイン・ファイルを変更することなく、任意の内部ノードまたはI/Oピンのステートをリアル・タイムのシステム・スピードでキャプチャすることができます。

まとめ

f_{MAX} 、コンパイル時間、そして設計の生産性の劇的な改善を実現したQuartus IIソフトウェアは、業界で待望されていた開発ツールです。Quartus IIソフトウェアは、システム設計者に非常に高い生産性のツールを提供し、Excalibur エンベデッド・プロセッサ・ソリューション、消費電力解析機能、SignalTapロジック解析ツールをサポートしています。Quartus IIソフトウェアはアルテラの標準サブスクリプション・プログラムに含まれています。Quartus IIソフトウェアの詳細については、アルテラのwebサイト、<http://www.altera.com/software> をご覧になるか、日本アルテラの販売代理店へお問い合わせください。

Quartus IIソフトウェアに組み込まれている消費電力解析機能によって、デザイン・サイクルの初期段階からシステム・レベルの消費電力を判断することができます。

Mercury デバイスを発表：世界初のプログラマブル ASSP (1 ページからの続き)



Mercury デバイスは、以下に述べる特長の他にも色々な優れた機能をサポートしていますが、主なるものは以下の通りです。外部接続の高速 ZBT、DDR (Double Data Rate) または QDR (Quad Data Rate) RAM との内蔵インタフェース、複数の最先端標準 I/O 規格、分散型乗算器機能、クワッド・ポートの設定が可能な RAM ブロック、最新の PLL (Phase-Locked Loop) とクロック生成 / 分配機能、アレイ・ドライバを採用したフリップ・チップ・パッケージ。



クロック・データ・リカバリ

Mercury デバイスでサポートされている ASSP 機能のひとつが、各デバイスに内蔵されている CDR 対応のトランシーバです。CDR は I/O 性能をさらに高いレベルまで引き上げることができ、多くのコミュニケーション・プロトコルをサポートするときの重要な構成要素となっています (表 1 を参照)。

CDR では、特殊なエンコーディング・テクニックを使用して送信側のデバイス上でクロック信号とデータ信号が結合されます。そして、生成された単独のデータ・ストリームが、LVDS、LVPECL または PCML などによる差動伝送の業界標準伝送方式で、ボード、バックプレーン、光ファイバ・ケーブルを通じて送信されます。受信側では、クロック・リカバリ・ユニットを使用してデータからクロック信号が再生されます。これによって、伝送路の状態とは関係なく、クロック信号とデータ信号が完全な位相で受信されます。

ソース・シンクロナス方式のシステム、または CDR を使用しないシステムでは、クロック・スキューの影響によって、性能が制限されます。ソース・シンクロナス・システムの基本的な問題は、適切なウィンドウ内でデータを確実にサンプリングするために大きな労力が必要になる点です。データ信号とクロック信号が異なるパスを通過してディスティネーション

に到達するときは、クロック・スキューの影響によってデータが壊れる可能性があり、結果としてレシーバで誤ったデータが受信されることがあります。CDR は、クロックとデータを一定の位相関係を維持して受信する必要性を解消することによって、この問題を解決しています。その結果、CDR を採用することによって、さらに高い転送スピードが実現可能になります。CDR では、要求される信号の本数も減少するため、雑音余裕度や信頼性が向上し、消費電力もソース・シンクロナスのシステムより低下します。これらの理由から、CDR は、多くの共通プロトコルに必要な構成要素となっています。

標準品として市販されている ASSP は柔軟性に欠け、その機能も制限されています。CDR システムをディスプレイの CDR 用 ASSP を使用して構成した場合は、チャンネル数が制限され (デバイスあたり 1 ~ 4 チャンネル) 使用されるボード・スペースも急激に増加します。また、標準的な ASSP は、ガリウム砒素 (GaAs) やシリコン・ゲルマニウム (SiGe) のような、消費電力が大きく、コストの高いプロセス・テクノロジーで製造されています。

コスト効率の高い CMOS の製造プロセスを使用して開発された Mercury デバイスは、CDR 回路とプログラマブル・ロジックの利点の双方を備えた柔軟性の高いソリューションです。非常に幅広いアプリケーションに対応できる Mercury デバイスは、最大 18 チャンネルまでの CDR 回路と追加機能を実装できるプログラマブル・ロジックを 1 チップ上に集積しています。

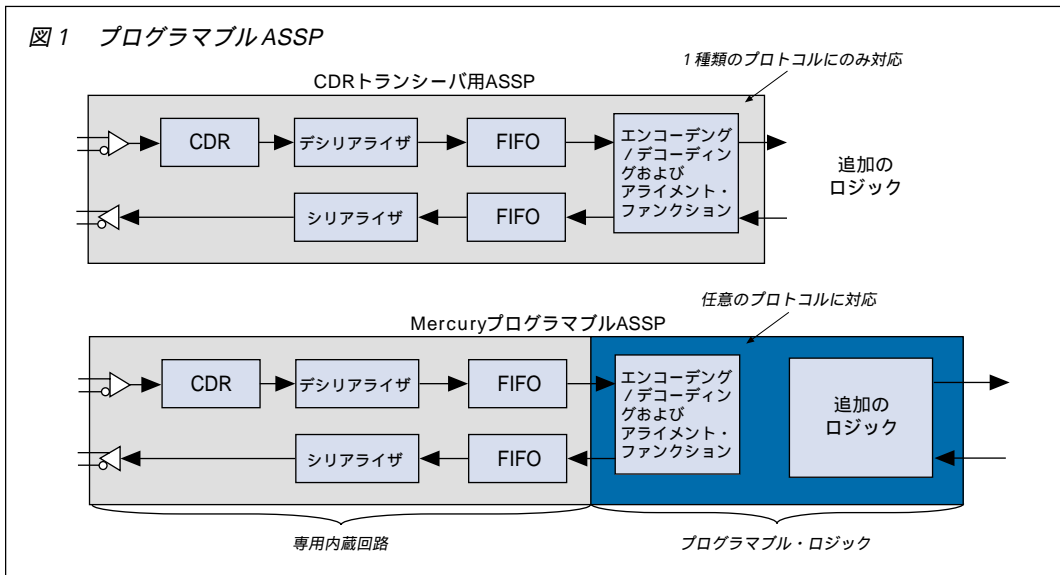
図 1 は、CDR トランシーバ用 ASSP と Mercury デバイスで実現されたプログラマブル ASSP をブロック図で比較したものです。クロック・データ・リカバリ回路の詳細については、20 ページの「Mercury デバイスのクロック・データ・リカバリ回路」を参照してください。

最新の I/O 機能

Mercury デバイスは CDR 以外にも最先端の多様な標準 I/O 規格をサポートしており、幅広いシステムのデザインに対応することができます。CDR を実現する上で重要な要素となっている差動伝送形式の標準規格がサポートされており、CDR を使用しない場合でも、ソース・シンクロナス・モードで True-LVDS™、CDR と同じ専用のチャンネル・バッファ、および SERDES (serializer/deserializer) 回路を使用する方法、または新しい Flexible-LVDS™ 機能を使用する方法で、これら標準規格に準拠した I/O を実現することができます。この機能は通常の I/O ピンをペアで差動バッファとして使用することを可能にし、Mercury デバイスの EP1M350 では外部に専用の抵抗ネットワークを接続することなく、432Mbps で動作する LVDS を 100 チャンネル以上も構成することができます。

表 1 Mercury デバイスに対応するプロトコルと標準規格

アプリケーション	帯域幅 (Mbps)	チャンネル数	Mercury
SONET/SDH 規格	9,953	8	✓
POS-PHY L4	9,953	8	✓
RapidIO	8,000	16	✓
Gigabit イーサネット	1,250/channel	任意	✓
IEEE 1394	1,200/channel	任意	✓
Fibre Channel	1,062/channel	任意	✓
HDTV (ハーフ・レート)	742.5/channel	任意	✓
カスタム・バックプレーン	任意	任意	✓



Mercuryデバイスは異なる配線スタイルを階層化した配線構造を使用して、最高のコア性能を実現します。

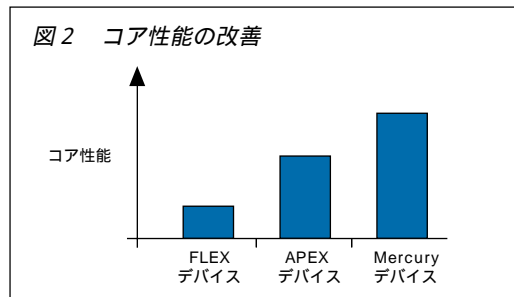
Mercuryデバイスは、I/Oエレメントに内蔵されている専用回路によって外部の高速メモリとのインタフェースをサポートしています。MercuryデバイスはDDRのI/Oを特別な内部バスを使用して実現しており、DDR SRAMおよびSDRAMとのインタフェースを最高332Mbpsまでのデータ・レートで、またQDR SRAMとのインタフェースを664Mbpsまでのデータ・レートでサポートしています。内蔵されている専用遅延バッファにより、ZBTタイプのSRAMが200MHzまでの動作スピードでサポートされています。Mercuryデバイスは、さらにHSTL、GTL+、SSTL、PCI、PCI-Xを含む広範囲にわたる最新の標準I/O規格もサポートしています。

各Mercuryデバイスには、最大4個までのPLLが内蔵されており、各PLLにはチップの内部または外部で使用するためのタップが個別に提供されています。さらに強化されたClockLock™、ClockBoost™、およびClockShift™の各モードを活用することによって、完全なシステム・レベルのクロック・マネジメント機能を効率的に実現することができます。また、Mercuryデバイスには、4本のグローバル・クロック・ライン、6本の専用高速配線、デバイスの各ロウに対して供給されるクロックの配線で最大46種類のクロック・ドメインを構成できる2本のローカライズド・ロウ・グローバル・クロックを含む多様なコア・クロック・ラインが提供されているため、システム性能がさらに強化されます。

スピードに最適化されたアーキテクチャ

これらの高速データ・レートと幅広いI/O機能をサポートするため、Mercuryデバイスは高性能のコア・アーキテクチャによって構成されています。Mercuryデバイスは、独自の配線構造によって高い性能を実現しています。この配線構造では、最高のコア性能

が得られるようにするため、複数の異なる配線スタイルが階層化された形で提供されています。これらの配線リソースとインテリジェントなソフトウェアの評価機能によって、Mercuryデバイスでは各信号のシステムに影響を与えるレベルに応じて最適なレベルの配線リソースが割り当てられます。Mercuryデバイスには独自のロウおよびカラム・ライン、RapidLAB™インタコネクト、リープ・ライン、FastLUT™インタコネクトなどの配線リソースが提供されており、APEXおよびFLEXデバイスの配線構造をさらに強化しています（図2を参照）。



Mercuryデバイスのロジック・エレメント(LE)と配線方式は分散型乗算器の構成を可能にしており、DSP(デジタル信号処理)やワイヤレスのアプリケーションに対応した高性能乗算器を実装することができます。これによって、1個のデバイス上に8×8の乗算器を最大90個まで実装することができ、またノン・パイプラインのモードになった16×16の乗算器を130MHz以上のスピードで動作させることもできるため、システム性能をさらに高速化することが可能です。

Mercuryデバイスのエンベデッド・システム・ブロック(ESB)も、さらに高速化を実現するように強化

(8ページに続く)

Mercury デバイスを発表：世界初のプログラマブル ASSP (7ページからの続き)

されています。Mercuryデバイスの各ESBには、4つの独立したポートが同時に4種類の非同期動作を行うことができる、完全なクワッド・ポートRAMブロックが構成可能です。

4Kビットのメモリが構成できる各ESBは、2Kビットのデュアル・ポート構造にした2個のESBに分割することができるため、使用可能なRAMブロックの数を2倍にすることが可能です。また、MercuryデバイスのESBには、双方向のデュアル・ポートRAM、デュアル・ポートRAM、シングル・ポートRAM、CAM (Content-Addressable Memory)、FIFO (First-In First-Out)バッファを構成することもできます。

アレイ・ドライバとフリップ・チップ・パッケージ技術を採用

Mercuryデバイスには最新のパッケージ・テクノロジーとアレイ・ドライバ・テクノロジーが採用されてお

り、プログラマブル・ロジック・デバイスの限界がさらに高いレベルまで引き上げられています。アレイ・ドライバ・テクノロジーでは、I/Oエレメント(IOE)が従来のようにダイの周囲にリング・パッドとして配置されるのではなく、ダイの表面全体にわたって配置されます。フリップ・チップ・パッケージ・テクノロジーは、このアレイ・ドライバを実現可能にしたもので、高いI/O性能を達成するMercuryデバイスの重要な技術のひとつとなっています。Mercuryデバイスはアレイ・ドライバ・テクノロジーとフリップ・チップ・パッケージを組み合わせることによって消費電力を低減し、熱特性を改善すると共にさらに多数のI/Oを実現させています。

デバイス供給時期とソフトウェア・サポート

Mercuryデバイス・ファミリのEP1M120デバイスはすでに出荷中となっており、そのデザインはアルテラの新しい開発ソフトウェア、Quartus™ IIソフトウェアのバージョン1.0でフル・サポートされています。表2は、Mercuryデバイスの概要を示したものです。

Mercury デバイスはアレイ・ドライバ・テクノロジーとフリップ・チップ・パッケージを組み合わせることによって消費電力を低減し、熱特性を改善すると共にさらに多数のI/Oを実現させています。

デバイス名	CDRチャンネル数	標準ゲート数	ロジック・エレメント (LE) 数	エンベデッド・システム・ブロック (ESB) 数	最大RAMビット数
EP1M120	8	120,000	4,800	12	48,000
EP1M350	18	350,000	14,400	28	112,000

Nios のバージョン 1.1 が、 Excalibur エンベデッド・プロセッサの製品群を強化

Nios™

Nios™ソフト・コア・エンベデッド・プロセッサが、最近リリースされたバージョン1.1によって、さらにその機能と性能が強化されています。この新しいバージョンでは下記の新しい機能が提供され、性能、柔軟性、そして使いやすさが一段と向上しています。

- 整数乗算器ユニット
- ACEX 1KおよびFLEX 10Kデバイスへの実装をサポート
- SPI (Serial Peripheral Interface) のコミュニケーション・ペリフェラル
- 柔軟性に富んだ合成ツール・サポート機能
- ダイナミックなバス・サイジング機能

さらに高速の整数乗算器

Niosエンベデッド・プロセッサのバージョン1.1には、乗算機能が必要な場合、この乗算動作スピードと使用デバイス・リソース効率をさらに高めることができるオプションが提供されています。Niosエンベデッド・プロセッサのバージョン1.1では、NiosのALU (Arithmetic Logic Unit) にパイプライン化された整数乗算器を付加することによって、16×16ビットの乗算動作を2クロック・サイクルで実行して32ビット出力を得ることができます。この新しい機能は system-on-a-programmable-chip (SOPC) Builder MegaWizard® Plug-Inに追加されたコンフィギュレーション・オプションを使用し

て設定することができます。このMegaWizard Plug-Inは、アルテラがソフトウェアの開発ベンダ向けに供給しているソフトウェア開発キット (SDK) を通じて提供されています。この整数乗算器を構成するオプションが選択されると、ソフトウェア・ルーチンとライブラリが自動的に生成され、新しく付加した整数乗算器の性能を最大限に引き出します。

この結果、Niosの乗算動作は、以下の3種類のオプションから選択が可能となりました。

- 標準のCライブラリで提供される乗算ソフトウェア・ファンクション
- MSTEP マルチプライヤ・ユニット
- 新しいMUL インストラクション

MSTEPインストラクションが選択された場合は、ALUにロジックが追加され、符号なしの乗算動作がシングル・ステップで実行されます。MULによる乗算動作が追加されたことによって、ユーザは各デザインに要求される使用ロジック・エレメント (LE) 数とスピードに応じて適切な乗算機能を選択し、デザインを最適化することが可能になりました (表1を参照)。

乗算動作のオプション	使用LE数	クロック・サイクル数	
		16 × 16 (1)	32 × 32 (1)
なし (ソフトウェア動作)	0	80	250
MSTEP	160	18	80
MUL	480	2	20

注:

(1) 32ビット構成のNios CPU上で32ビット出力の乗算動作を実行。

ACEX 1K と FLEX 10K への実装を追加サポート

Niosエンベデッド・プロセッサのバージョン1.1では、現在サポート中のAPEX 20Kデバイスに加えてACEX 1KおよびFLEX 10Kデバイスへの実装もサポートされています。

これに伴い、NiosのSOPC Builder MegaWizard Plug-Inは、新しいQuartus IIの設計環境とMAX+PLUS® IIソフトウェアの双方でサポートされています。

新しいSPIペリフェラル

Niosエンベデッド・プロセッサのバージョン1.1にはSPIインタフェース用ペリフェラルが追加されており、機能拡張されたネイティブ・ペリフェラルのライブラリがさらに拡充されています。種々のセンサ、変換回路、コントロール回路はISPを使用してマイクロコントローラとのインタフェースを取ります。SPIインタフェースがサポートされたことによ

て、多様なD/Aコンバータ、A/Dコンバータ、温度センサ、シリアルEPROMをNiosエンベデッド・プロセッサに接続することができます。これらのシンプルなバスを使用するSPIインタフェースは簡単に使いやすい形で提供され、Nios開発キットに必要なものがすべて含まれています。

このペリフェラル・インタフェースをカスタマイズするときのオプション設定は、SOPC Builder MegaWizard Plug-Inを使用して簡単に実行することができます。SPI用のSOPC Builder MegaWizard Plug-Inの画面が図1に示されています。

NiosのSPIインタフェース・ペリフェラルを活用することによって、Niosエンベデッド・プロセッサはシンプルな3線のSPIバスを通じて1個または複数の外部デバイスとの通信を行うことができます。このとき、Niosエンベデッド・プロセッサは、マスタまたはスレーブ・デバイスとして動作します。Niosエンベデッド・プロセッサは、NiosのAvalonバス接続によってアクセスされるメモリ・マップド・レジスタを通じてSPIとの通信とコントロール機能を実行します。このバス・インタフェースの通信速度はユーザによって定義されますが、その値はシステム・クロック・スピードに依存します。

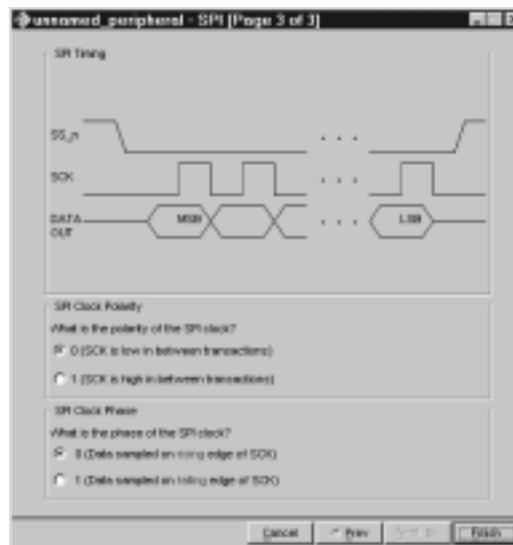
NiosシステムにSPIペリフェラルが実装されると、ソフトウェア・ルーチンが自動的に生成され、ユーザのカスタムSDKの中に含まれるようになります。エンベデッド・システムの設計者はこれらのハイ・レベルのルーチンを活用することができるため、SPIペリフェラルが内蔵されたデザインをすぐに開始することができます。

(10 ページに続く)



EXCALIBUR™

図1 SPI用のSOPC Builder MegaWizard Plug-Inの画面



Nios エンベデッド・プロセッサのバージョン1.1には、Nios のシステム・モジュール全体を「ブラック・ボックス」出力として生成する合成ツールが含まれています。

Nios のバージョン 1.1 が、Excalibur エンベデッド・プロセッサの製品群を強化 (9 ページからの続き)

SPI ペリフェラルの詳細については、アルテラの web サイト、<http://www.altera.com> を通じて提供されている「Nios Embedded Processor SPI Peripheral」のデータシートを参照してください。

柔軟性の高い合成ソリューション

Nios エンベデッド・プロセッサを使用した SOPC デザインには、任意の合成ツールの使用が可能です。Nios エンベデッド・プロセッサのバージョン 1.1 には、Nios のシステム・モジュール全体を「ブラック・ボックス」出力として生成する合成ツールが含まれています。組み込まれているシンセサイザは、ユーザが設定した Nios システムのネットリスト・ファイルを暗号化された EDIF のフォーマットで自動的に生成します。必要な HDL のラップ・フォーマットを VHDL、Verilog HDL または AHDL (アルテラ・ハードウェア記述言語) のいずれかに指定するだけで、この EDIF ファイルがデザイン・フローの中に組み込まれます。

ダイナミック・バス・サイジング機能

Nios のバージョン 1.1 に内蔵されたダイナミック・バス・サイジング・ロジックの機能により、データ幅の狭い低コストのメモリ・デバイスを Nios エンベデッド・プロセッサに簡単に接続することができるようになったため、Nios プロセッサのネイティブ・バス・サイズと異なるメモリ・デバイスの使用が可能になりました。

例えば、32 ビットの Nios プロセッサ (32 ビット幅のデータ・パス) と 8 ビット幅のフラッシュ・メモリ・デバイスを接続したい場合は、ダイナミック・バス・サイジング・ロジックがフラッシュ・メモリからのデータ幅を自動的に変更し、Nios プロセッサに 32 ビットのデータとして供給されるようにするため、設計者はこの操作に何らの手を加える必要がありません。

まとめ

Nios エンベデッド・プロセッサの改定版であるバージョン 1.1 は、アルテラの Excalibur 開発キットの中に含まれており、アルテラの web サイトからダウンロードすることもできます。Excalibur 開発キットには、複数のリファレンス・デザインをはじめ、プログラマブル・チップ上にカスタム・システムを構築する上で必要なものがすべて含まれており、すぐに設計が開始できるようになっています。

Devices & Tools

MERCURY

Mercury デバイスを出荷中

アルテラの新しい Mercury™ デバイスでは、スピードに最適化されたプログラマブル・ロジックに 1.25 Gbps で動作する高性能クロック・データ・リカバリ (CDR) トランシーバ機能を最大 18 チャンネルまで付加することによって、プログラマブル ASSP という新しいコンセプトが実現されています。この新しい製品ファミリの最初の製品、Mercury EP1M120 がすでに出荷中となっています。EP1M120 は 8 チャンネルまでの CDR をサポートしており、120,000 標準ゲートの集積度、4,800 個のロジック・エレメント (LE) と 48K ビットの RAM、484 ピンの FineLine BGA™ パッケージで最大 303 本のユーザ I/O ピンを内蔵しています。Mercury デバイスのデザインは新しい Quartus™ II ソフトウェアのバージョン 1.0 でフル・サポートされています。

新しい Mercury デバイスの詳細については、1 ページの「Mercury デバイスを発表 : 世界初のプログラマブル ASSP」をご覧ください。

Mercury デバイスのスピード・グレード

Mercury デバイスには計 5 種類のスピード・グレードが提供されており、これらの製品は高度に最適化された 2 種類の製造プロセス・テクノロジーで生産されています。すでに出荷中となっている EP1M120 の - 7A と - 8A のスピード・グレード製品はアルミ配線による 0.18 ミクロン・プロセス・テクノロジーで製造されています。また、今後供給される予定の EP1M120 と EP1M350 の - 5、- 6、および - 7 のスピード・グレード製品は、全層に銅配線を使用した 0.15 ミクロンのプロセス・テクノロジーで製造される予定です。いずれの場合でも、小さい数字のスピード・グレードが、より高速の製品であることを示しています。



APEX

新製品、APEX 20KC デバイスを発表

APEX™ 20KC デバイス・ファミリの最初の製品、EP20K600Cがすでに入手可能となっています。すべてのAPEX 20KC デバイスのデザインは、表1に示されているように、Quartus IIソフトウェアのバージョン1.0によってサポートされています。これらの新しい高性能APEX 20KC デバイスは、system-on-a-programmable-chip (SOPC) のアプリケーションに要求される広帯域のニーズに対応した製品です。APEX 20KC デバイスはAPEX 20KE デバイスで実現された最先端機能と銅配線のインタコネクト・テクノロジーが採用されている0.15ミクロン・プロセスで実現した製品であり、0.18ミクロン・プロセスで製造されている従来のデバイスから性能をさらに25%も向上させています。

EP20K1500E を限定期間中に99ドルで提供

アルテラは、EP20K1500Eを6月末までの限定期間に限り、最大2個まで99ドルで供給するキャンペーンを実施しています。EP20K1500Eの1~499個

デバイス名	パッケージ	ソフトウェア・サポート状況
EP20K100C	144-pin TQFP	サポート済み
	144-pin FineLine BGA	サポート済み
	208-pin PQFP	サポート済み
	240-pin PQFP	サポート済み
	324-pin FineLine BGA	サポート済み
EP20K200C	356-pin BGA	サポート済み
	208-pin PQFP	サポート済み
	240-pin PQFP	サポート済み
	356-pin BGA	サポート済み
	484-pin FineLine BGA	サポート済み
EP20K400C	652-pin BGA	サポート済み
	672-pin FineLine BGA	サポート済み
	672-pin FineLine BGA	サポート済み
EP20K600C	652-pin BGA	サポート済み
	672-pin FineLine BGA	サポート済み
	1020-pin FineLine BGA	サポート済み
EP20K1000C	652-pin BGA	サポート済み
	672-pin FineLine BGA	サポート済み
	1020-pin FineLine BGA	サポート済み
EP20K1500C	652-pin BGA	サポート済み
	1020-pin FineLine BGA	サポート済み

の標準単価は、1,325ドルとなっています。このキャンペーン価格は、最初の200オーダーで締め切らせていただきます。

すべてのAPEX 20KE デバイスを大量に供給中

現在、EP20K30E、EP20K60E、EP20K100E、EP20K160E、EP20K200E、EP20K300E、EP20K400E、EP20K600E、EP20K1000E、EP20K1500Eを含む計10種類のAPEX 20KE デバイスがすべて量産出荷されています。APEX 20KE デバイスは、1.0mmピッチの最先端FineLine BGA™パッケージを含む多様なパッケージで供給されています。

工業用温度範囲のAPEX 製品

工業用温度範囲をサポートしている18種類のAPEX デバイスが多様なパッケージで入手可能となっています。これらのAPEX デバイスが、表2と表3に示されています。



APEX™

表2 APEX 20KE デバイスの工業用温度範囲品

デバイス名	パッケージ	スピード・グレード
EP20K30E	144-pin FineLine BGA	-2X
EP20K60E	208-pin PQFP	-2X
EP20K100E	144-pin FineLine BGA	-2X
	324-pin FineLine BGA	
EP20K160E	484-pin FineLine BGA	-2X
EP20K200E	240-pin PQFP	-2X
	484-pin FineLine BGA	
EP20K300E	672-pin FineLine BGA	-2X
EP20K400E	652-pin BGA	-2X
	672-pin FineLine BGA	
EP20K600E	652-pin BGA	-2X
	672-pin FineLine BGA	

表3 APEX 20K デバイスの工業用温度範囲品

デバイス名	パッケージ	スピード・グレード
EP20K100	208-pin PQFP	-2V
	240-pin PQFP	
EP20K100	208-pin PQFP	-2
	240-pin PQFP	
EP20K200	240-pin PQFP	-2V
	484-pin FineLine BGA	
EP20K200	240-pin PQFP	-2
EP20K400	652-pin BGA	-2
EP20K400	672-pin FineLine BGA	-2V

(12 ページに続く)

デバイス&ツール (11 ページからの続き)

5.0V 対応の APEX 20K デバイス

2.5V 動作の APEX 20K デバイス・ファミリには 5.0V 対応の I/O バッファが内蔵された製品が供給されており、これらの製品は 5.0V の PCI 仕様に完全準拠することができます。5.0V 対応の APEX 20K デバイスは現在入手可能になっており、オーダ・コードの末尾に "V" のサフィックスが付加されています (例 : EP20K400BC652-1V)。

1.8V 動作の APEX 20KE デバイスに外部抵抗を接続することで 5.0V 対応にし、システム・デザインの柔軟性を高めることができます。この方法の詳細については、アルテラの web サイト

(<http://www.altera.com>) から入手可能となっている、White Paper 「5.0-V Tolerance in APEX 20KE Devices」を参照してください。

ACEX

工業用温度範囲の ACEX 1K デバイスの供給状況

アルテラは、ACEX™ 1K デバイスを工業用温度範囲のグレードでも供給しています。表 4 には、工業用温度範囲で供給されている ACEX 1K デバイスのパッケージとスピード・グレードが示されています。各パッケージの供給状況、リード・タイムについては、日本アルテラの販売代理店にお問い合わせください。

ACEX 1K デバイスのデザインは、MAX+PLUS® II ソフトウェアのバージョン 10.0 でフル・サポートされています。また、ACEX デバイスに最適化された幅広い IIP (Intellectual Property) ファンクションが、アルテラの IP MegaStore™ web サイトを通じて提供されています。

表 4 ACEX 1K デバイスの工業用温度範囲品

デバイス名	パッケージ	スピード・グレード
EP1K10	100-pin TQFP	-2X
	144-pin TQFP	-2X
	256-pin FineLine BGA	-2X
EP1K30	144-pin TQFP	-2X
	256-pin FineLine BGA	-2X
EP1K50	256-pin FineLine BGA	-2X
	484-pin FineLine BGA	-2X
EP1K100	208-pin PQFP	-2X
	256-pin FineLine BGA	-2X
	484-pin FineLine BGA	-2X

ACEX デバイスに最適化された幅広い IIP ファンクションが、アルテラの IP MegaStore™ web サイトを通じて提供されています。

MAX

効率的な生産体制が、MAX 7000B の価格低減を実現

アルテラは、2000 年の初めに他社に先駆けてイン・システム・プログラマビリティ (ISP) をサポートした業界初の 2.5V デバイス、MAX® 7000B を発表しました。0.22 ミクロン・プロセスで製造されているこれらの高性能デバイスは多くのデザインに採用されており、GTL+ や SSTL の I/O を実現する革新的な機能が業界で幅広く認められています。

生産数量の増加により、アルテラはこれらのデバイスの製造コストの低減に成功しました。アルテラは MAX 7000B デバイスの販売単価を 10% から 30% まで値下げし、これらのコスト低減分をユーザに還元しています。表 5 は MAX 7000B デバイスの価格低減の例を示したものです。

表 5 MAX 7000B デバイスの価格低減例

デバイス名	2000 年の 100 個 購入時の単価	2001 年の 100 個 購入時の単価 (1)
EPM7128BUC169-10	\$21.40	\$15.70
EPM7128BFC256-10	\$19.95	\$17.10
EPM7256BFC256-10	\$37.00	\$22.00

現時点では、MAX 7000B デバイスが同じパッケージとスピード・グレードの MAX 7000AE デバイスよりも低価格となっています。値下げされた MAX 7000B デバイスの単価と比較するため、一部の MAX 7000AE の単価を表 6 に示しました。

表 6 MAX 7000AE デバイスの価格

デバイス名	2001 年の 100 個 購入時の単価 (1)
EPM7128AETC144-10	\$17.70
EPM7128BTC144-10	\$9.00
EPM7256AEFC256-7	\$37.00
EPM7256BFC256-7	\$31.00

注 :
(1) 北米地区における 2001 年第 1 四半期の価格です。

現在、MAX 7000Bデバイスは性能、最先端標準I/O規格に対するサポート、パッケージに関する業界のリーダーとなっているだけでなく、すべてのパッケージ、集積度、スピード・グレードでISPをサポートしているもっとも低価格な2.5Vデバイスともなっています。

MAX 7000Bデバイスの詳細については、アルテラのwebサイト (<http://www.altera.com>) で確認されるか、日本アルテラの販売代理店にお問い合わせください。

ディスクリートのI/OバッファとドライバをMAX 7000B にインテグレーション

最近のシステムでは、クロック・スピードの高速化と新たな低電圧レベルが要求されると共に、高性能、低電圧の標準I/O規格が採用されるようになってきました。プロセッサ・インタフェース、バックプレーン・ドライバ、SDRAMメモリ・インタフェースには、GTL+、SSTL-2およびSSTL-3の業界標準I/O規格が採用されています。

PLDは多様なアプリケーションに使用され、コントロール/デコード回路やルー・ロジックを実現しています。これまで、GTL+、SSTL-2、SSTL-3の各信号をPLDに接続する場合は、これらの信号がディスクリートのI/Oトランスレータ、バッファ、ドライバおよびトランシーバを使用して、転送前にLVCMOSまたはLVTTTL信号に変換されていました。例えば、プロセッサをベースにしたデザインでは、信号をPLDに転送する前にドライバを使用してGTL+信号をLVTTTL信号に変換していました。外部にI/Oドライバを接続すると、ボード上に追加の実装スペースが必要になり、その結果、高性能アプリケーションにおいて追加遅延が発生する可能性もあります。また、外部にドライバを接続すると、消費電力も増加します。

MAX 7000Bデバイスは最新のGTL+、SSTL-2、SSTL-3の標準I/O規格のデバイスとダイレクトにインタフェースすることができるため、外部にディスクリートのI/Oドライバを接続する必要がありません。

また、MAX 7000Bデバイスは複数のディスクリートI/Oドライバを1個のMAXデバイスに集積するときにも使用できます。GTL+やSSTLの規格に対応したドライバは、Fairchild Semiconductor、National Semiconductor、Philips Semiconductor、Texas Instrumentsなどの半導体ベンダから供給されています。これらのドライバには、それぞれ独自の機能が内蔵されていることがあるため、その機能をMAX 7000Bデバイスに集積する場合には、違いについて留意する必要があるかもしれません。また、各ベンダがデバイスごとに異なる規格を設定してい

るため、各ベンダのデータ・シートを参照して各デバイスのタイミング・パラメータをMAX 7000Bデバイスと比較する必要があります。

特定のI/OドライバをMAX 7000Bデバイスにインテグレーションする場合の詳細情報については、アルテラのWhite Paper「Using MAX 7000B Devices to Replace I/O Drivers」(日本語版:「MAX 7000Bデバイスを使用したI/Oドライバのリプレイス」)を参照してください。この資料は、アルテラのwebサイト、<http://www.altera.com>から入手することができます。



CONFIGURATION

大容量コンフィギュレーション・デバイス

アルテラのEPC16は、16Mビットのフラッシュ・メモリで、プログラマブル・ロジック業界でもっとも大容量のコンフィギュレーション・デバイスです。アルテラが特許を保有するデータ圧縮テクノロジーにより、1個のEPC16で2個のAPEX EP20K1500Eと1個のAPEX EP20K600E、または600万システム・ゲートを超える任意の組み合わせのプログラマブル・ロジックをコンフィギュレーションすることができます。

EPC16は、内蔵されているIEEE Std. 1532のバウンダリ・スキャン回路をベースにしたプログラマブル・デバイスのイン・システム・コンフィギュレーション(ISC)をサポートしています。ISPとリプログラミングの機能が内蔵されたことによって、コンフィギュレーション・プロセスの柔軟性が高まり、デバイスの再利用が可能になるため、従来のワン・タイム・プログラマブルのデバイスに比較して大きな利点が得られます。

EPC16は特殊なコンフィギュレーションのニーズにも対応した多くの最先端の機能を提供しています。これらの機能には、コンフィギュレーション時間を短縮するパラレル・コンフィギュレーション、ユーザが複数のコンフィギュレーション・データをストアすることができる新しいページ・モードのサポート、部分的な領域のみのリプログラミングを可能にするブロック・プロテクションなどが含まれており、プログラマブルなクロックと外部クロックを使用した柔軟性に富んだ多様なクロック機能もサポートされています。

内蔵されているプロセッサ・アクセス機能を使用することによって、EPC16フラッシュ・メモリの未使用領域を汎用のメモリとして活用することもできます。これらの最新機能により、PLDデザイン全体の効率が高まり、量産時における生産性が改善されます。

(14 ページに続く)

デバイス&ツール (13 ページからの続き)

表 8 に、Quartus II ソフトウェアで新たにサポートされたデバイスが示されています。

TOOLS

Quartus II のバージョン 1.0 を出荷中

Quartus II ソフトウェアのバージョン 1.0 は PowerFit テクノロジと新しいタイミング・ドリブ・ルータ・アルゴリズムを統合し、全層銅配線の APEX 20KC デバイスをサポートすることによって、 f_{MAX} を 30% から 60% も改善すると共に、業界でもっとも高速のコンパイル時間を実現しています。Quartus II ソフトウェアは、エンベデッド・プロセッサ・テクノロジーや他の新しい機能などをサポートした SOPC 開発用のプラットフォームも提供しています。詳細については、1 ページの「アルテラが Quartus II ソフトウェアのバージョン 1.0 をリリース」を参照するか、アルテラの web サイトでご確認ください。

オペレーティング・システムに関する最新情報

Quartus II ソフトウェアのバージョン 1.0 では、Solaris 8 オペレーティング・システムが初めてサポートされています。表 7 に、Quartus II および MAX+PLUS II 開発ツールによってサポートされているオペレーティング・システムが示されています。

ソフトウェア	サポートされているオペレーティング・システム
Quartus II バージョン 1.0	Windows 2000 ; Windows 98 ; Windows NT バージョン 4.0 以降 ; Sun Solaris 2.6、2.7、8 ; HP-UX 10.2x および 11.0
MAX+PLUS II バージョン 10.0	Windows NT バージョン 4.0 以降 ; Windows 98、Sun Solaris 2.5、 2.6 ; HP-UX 10.2x

ファミリ	新たにサポートされたデバイス
APEX 20K	EP20K100C EP20K200C EP20K400C EP20K600C EP20K1000C EP20K1500C
Mercury	EP1M10 EP1M350
Excalibur	EPXA10 EPXM10
FLEX 6000	EPF6016 EPF6010A EPF6016A EPF6024A



Quartus II ソフトウェアのバージョン 1.0 では、Solaris 8 オペレーティング・システムが初めてサポートされています。

最新の OEM 合成ツールおよびシミュレーション・ツールのダウンロード

アルテラとの「サブスクリプション契約」を保有しているすべてユーザは、ソフトウェア・サブスクリプションに含まれている最新の OEM の合成ツールとシミュレーション・ツールをアルテラの web サイト、<http://www.altera.com> からダウンロードすることができます。

これらの OEM ツールの新バージョンは、APEX 20KC、Mercury、Excalibur の各デバイスをサポートしています。表 9 に、現在供給されている OEM 合成ツールおよびシミュレーション・ツールが示されています。

ツール名	供給中のバージョン
シノプシス、FPGA Express	3.5.1
エグゼンブラ・ロジック、LeonardoSpectrum-Altera	2001.1a
モデル・テクノロジー、ModelSim-Altera	5.4e

PowerFit テクノロジーで要求性能を達成する方法

Quartus™ IIソフトウェアのバージョン 1.0 に組み込まれているPowerFit™テクノロジーは、 f_{MAX} の性能を大幅に向上させます。PowerFitテクノロジーはタイミング・ドリブンのコンパイルーションを実行し、ユーザが指定した性能の目標値に適合させます。これらのタイミング要求は、PowerFitが行う配置配線の効率を左右するので、目標値の設定は一定の基準にしたがって行い、要求性能の達成を容易にする必要があります。この記事では、これらの設計手法について解説します。

タイミング合成

デザインに対する最初のタイミング合成は、シノプシスのFPGA ExpressまたはエグゼンプラのLeonardoSpectrumのようなサード・パーティのEDAツールを使用して実行することができます。すべてのデザインに対して最適となるようなユニバーサル・ツールや設定条件は存在しないため、複数のツールを使用してどのツールがもっとも良い結果を与えるかをテストする必要があります。デザインによっては、特定のツールのほうが他のツールよりもデザインを適切に合成および最適化し、また特定ツールのある設定条件が他の設定条件よりも高い性能を生成することがあります。

また、合成ツールが与える f_{MAX} の値は、最終的な回路の概略の性能を表しているだけであることにも注意しておく必要があります。デザインをシリコン上に実装したときの正確なタイミング値は、Quartus IIソフトウェアによる配置配線の完了後のみ提供されません。

Quartus IIのPowerFitテクノロジー

サード・パーティの合成ツールがプロジェクトの要求性能を達成できなかった場合でも、Quartus IIソフトウェアに組み込まれている新しいPowerFitテクノロジーを使用してデザインを最適化することが可能です。PowerFitテクノロジーはタイミング・ドリブンのコンパイルーションを実行して、I/Oタイミングと内部の f_{MAX} タイミングが最適化されるように

します。PowerFitでこのオプション設定を行うときは、Quartus IIソフトウェアのCompiler Settings (Processingメニュー)を選択します。次に、Compiler Settingsのダイアログ・ボックスから「Synthesis & Fitting」のタブを選択し、「Optimize timing」または「Optimize I/O cell register placement for timing」のオプションをONに設定します(図1を参照)。「Optimize timing」のオプションが選択されると、タイミング・ドリブンのコンパイルーションがI/Oタイミングと内部の f_{MAX} タイミングを最適化するように実行されます。また、「Optimize I/O cell register placement for timing」のオプションが選択されると、レジスタをロジック・セルではなく、I/Oセルに配置して、I/Oのタイミング性能を最適化します。

デザインに要求される f_{MAX} とI/Oタイミングの値は、グローバルにも、また個別にも設定可能です。100MHzの f_{MAX} が必要なときに125MHzのような過剰な制約条件が設定された場合でも、PowerFitテクノロジーは他のタイミング要求を犠牲にしてさらに高い f_{MAX} の目標値を達成しようとします。

Quartus IIソフトウェアのPowerFitテクノロジーは、I/Oタイミングと内部の f_{MAX} タイミングが最適化されるようにタイミング・ドリブンのコンパイルーションを実行します。

図1 Compiler Settingsのダイアログ・ボックス



(16 ページに続く)

Design Tips : PowerFitテクノロジーで要求性能を達成する方法 (15 ページからの続き)

Quartus IIソフトウェアで他の設定をグローバルおよび個別に行う方法の詳細については、Quartus IIのHelp機能を利用して確認するか、アプリケーション・ノート、AN123 (*Using Timing Analysis in the Quartus Software*) を参照してください。

マニュアル配置による特定パスの改善

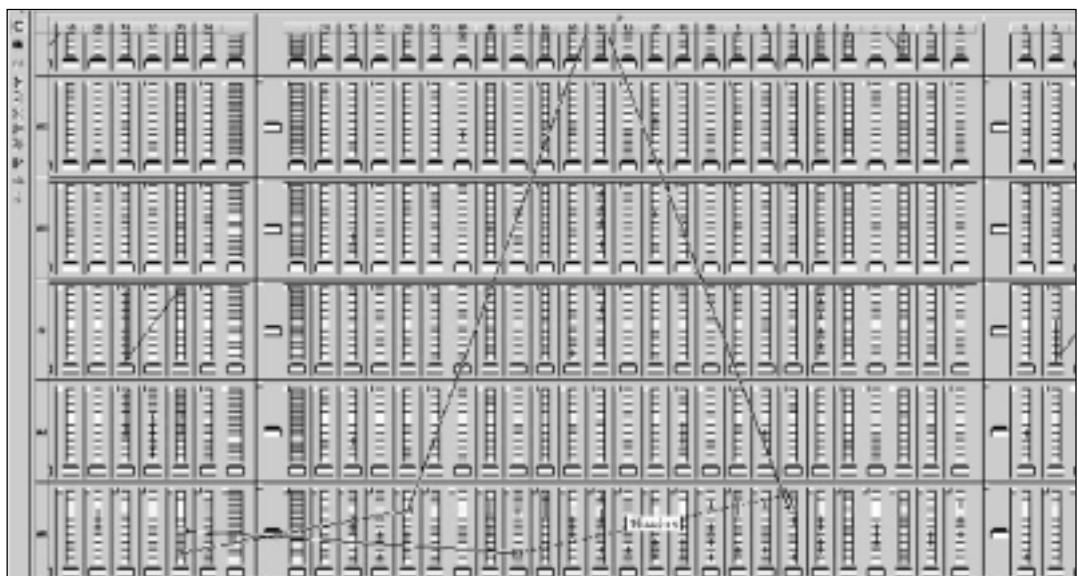
性能要求が非常に厳しいデザインによっては、Quartus IIソフトウェアが要求される性能を自動的に達成することができない場合もあります。このようなデザインでは、次の4段階の手順で要求性能が達成されていないパスに対して、マニュアルによる配置を実行することができます。

- 最後のコンパイルで得られたロジック・セルの配置が維持されるように、アサインメントをLAB/ESBにバックアノテートします (図2を参照) 。

図2 Back-Annotate Assignments のダイアログ・ボックス

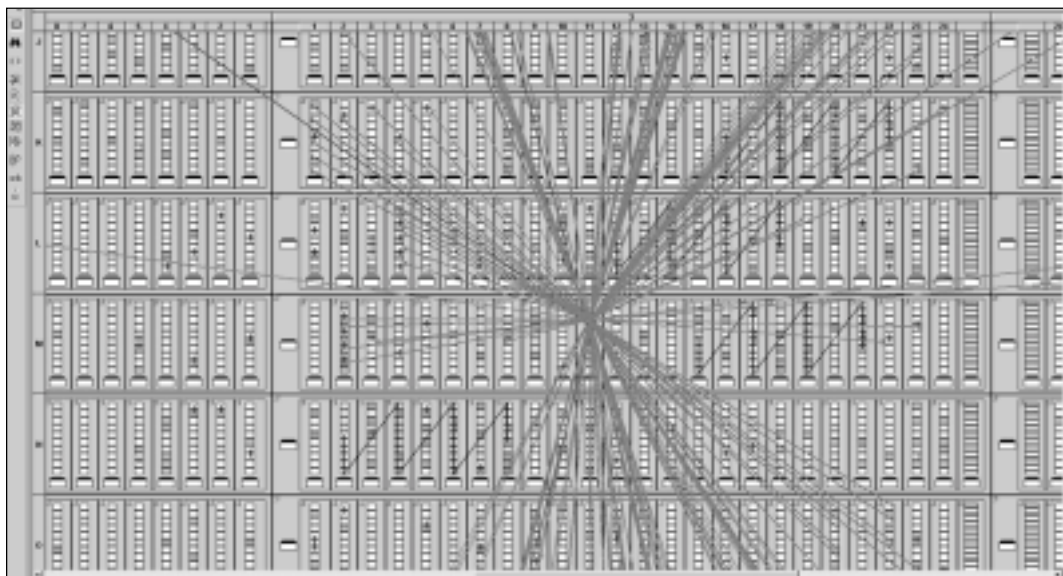


図3 複数のMegaLABコラムに位置するMegaLAB構造を通じて接続される信号パスが目標性能を達成しない例



- タイミング・アナライザとフロアプラン・エディタを使用して、要求性能が達成されなかったパスを特定します。一般的に、目標性能が達成されていない信号パスはいくつかの別々のコラムに配置された複数のMegaLAB™構造にわたって接続されていることが多く、このようなパスではより大きな配線遅延が発生します (図3を参照) 。
- 目標性能が達成されなかったパスで、新しい位置に移動できるロジック・セル (ノード) を探します。ロジック・セルを移動させることによって、ソースからディスティネーションへの配線遅延を減少させることができます。この場合、目標性能が達成されなかった複数のパスに共通したノードが移動させる適切な候補になります。これらの共通したノードを移動させることによって、目標性能が達成されなかった複数のパスを同時に修正することができます。また、ファン・アウト (出力数) が少ないノードも移動させる適切な候補になります。なぜならファン・アウト (出力数) が少ないノードであれば他の経路に対する影響を最小限におさえられるからです (図4を参照) 。ファン・アウトの大きなノードを動かせば他の経路に影響を及ぼし、いままでの最適化の努力をだいなしにしてしまうかもしれません。ノードを移動させる上で他の適切な候補となるのが、レジスタのみがファン・アウト (レジスタ直結) になっているノードです。通常、これらのノードはタイミングに影響を与ることなく、移動が可能です。

図4 ファン・アウトの大きいノード



ノードを新しい位置に移動するときは、できる限り柔軟なアサインメントを行うようにしてください。セルをあるMegaLABのカラム上へ移動するだけで、タイミング要求を満たせるのであればこのカラムのアサインメントで留めてください。下位のMegaLABやその下のLABへのアサインメントはしないでください。ノードに対して制限をかけすぎたアサインメントが行われると、デザイン性能が損なわれる場合があります。

- いくつかのノードを移動した後、最後にデザインを再度コンパイルします。コンパイル毎のノード修正があまり多すぎると、最適化に対して障害となるノードが生成されることがあります。リコンパイルーションを実行した場合は、生成された結果を頻繁にセーブすることを忘れないでください。問題となる経路(パス)の数がかなり減った場合や、そのパス上の負のタイミング・スラックが減少したときのコンパイル結果を保存するのが理想的です。

あるノードを移動させることで他の多くのパスに影響が出る場合は、前のコンパイル結果を再度ロードして他のノードを移動させるか、同じノードを別の位置に移動させてみてください。

まとめ

タイミング要求の設定は、Quartus IIソフトウェアのPowerFitが実行する配置配線に影響を与えるため、この記事に記述されている手順が目標達成への一助となるものと考えます。Quartus IIソフトウェアのPowerFitテクノロジーと他のオプションを活用することによって、プッシュ・ボタン形式で実行した場合よりも高い性能を得ることができます。また、問題となるパスの配置をマニュアルで修正することによっても、デザインに要求される性能を達成することができます。これらの手法とQuartus IIソフトウェアのPowerFitテクノロジーを活用することで、各デザインで実現可能なもっとも高い性能を引き出します。

Quartus IIソフトウェアのPowerFitテクノロジーと他のオプションを活用することによって、プッシュ・ボタン形式で実行した場合よりも高い性能を得ることができます。

Cadant 社が APEX 20KE デバイスを使用して ケーブル・モデム・ターミネーション・システムでワイヤ・スピードを達成



「True-LVDS™ 回路やオン・チップのフェーズ・ロックド・ループのような機能は、当社のC4ケーブル・モデム・ターミネーション・システムのデザインにとって大きな資産となった」 Cadant, Inc. Tom Cloonan, Corporate Technology Officer.

ブロードバンドのケーブル・サービスの導入が幅広く普及するのに伴って、さらに広帯域で信頼性の高いサービスの提供が求められています。ブロードバンドのケーブル・サービスをサポートするときには、高い性能と信頼性のサービスを維持しながら、新しいユーザの獲得と新しいサービスの提供を実現することが重要な課題となります。これらに対応するため、MSO (Multiple System Operator) とも呼ばれる主要なケーブル・システム会社、DOCSIS™ (Data Over Cable Service Interface Specification) 1.1 と呼ばれる標準規格を制定しました。この規格では、サービス品質 (QoS: Quality of Service) と高い信頼性、そして新世代のケーブル・モデム・ターミネーション・システム (CMTS) を含むハイ・アベイラビリティ・インフラストラクチャを提供することが求められています。

通常、QoS が保証されている多機能 CMTS には、パケットのクラス分け、パケットに対する優先度の設定、フローごとの運用方針、輻輳コントロール、フロー・コントロール、ファイブ・グレインのキューイング、スケジューリング、フローごとのトラフィック・シェーピングなどの機能が実現されます。これらの QoS に関連した機能を CMTS のスループットを低下されることなく実行するためには、ハードウェアを利用した QoS 処理 (ワイヤ・スピード処理) が必要です。ワイヤ・スピード処理が可能な CMTS のデザインを実現すると、すべての QoS 機能に加え、転送、カウント、および測定に関連したすべての機能を期待されるパケットの最小到達間隔よりも短い時間内で完了させることができます。ワイヤ・スピードの処理が実現されていない場合は、これらの QoS 機能が遅延の発生要因となったり、CMTS による処理に待ち時間や遅延を発生させることがあり、結果的にこれらがサービス・グレード、スループット、帯域幅、そして応答特性などを低下させる原因になります。結果として起こる目に見える形での性能劣化は、顧客満足度を低下させる結果となります。

キャリア・クラス会社向け CMTS のリーディング・サプライヤである Cadant, Inc. (以下、Cadant 社) は、同社の Cadant C4™ CMTS (図 1) にアルテラの APEX™ 20KE デバイスを採用することによって、ブロードバンドの CMTS で発生する課題を解決しています。Cadant 社は処理機能をプログラマブル・ロジックで実現することによって、ASIC を採用したときのような開発期間の長期化を避け、またすべて

をソフトウェアで実現した場合よりも非常に高いスピードを達成しています。Cadant 社は、高速 I/O バッファ、PLL (Phase-Locked Loop)、柔軟性の高いエンベデッド・メモリ 構造などを含む APEX 20KE デバイスのアーキテクチャ上の長が、CMTS のデザインに特に有効であることを認識しました。

Cadant 社の Tom Cloonan Corporate Technology Officer は「アルテラの APEX デバイスには、我々が必要としていた性能を高める機能が内蔵されていたため、DOCSIS 1.1 の規格で規定されている厳しいスピードの要求を達成することができた。True-LVDS™ 回路やオン・チップのフェーズ・ロックド・ループのような機能は、当社の C4 ケーブル・モデム・ターミネーション・システムのデザインにとって大きな資産となった。その結果、Class-4 の課金用スイッチング機器など、これまでキャリア業者向けのシステムのみで実現されていた高い性能や多くの機能を提供することができた」と述べています。

CMTS のデザインに APEX 20KE デバイスを採用アルテラの APEX 20KE デバイスは多くの標準 I/O 規格と複数の I/O 電圧をサポートしています。APEX 20KE デバイスは複数の I/O 電圧をサポートしているため、1.8V から 2.5V および 3.3V の範囲の電圧で動作するボード上の他のデバイスとのインタフェースとしても使用することができます。さらに重要な点は、LVDS のような高速 I/O がサポートされているため、APEX 20KE デバイスではチャンネルあたり最高 840Mbps までの高速データ転送が可能になっていることです。これらの高速性能はオン・チップの PLL によって達成されており、PLL は乗算機能を使用してシリアル・パラレル・コンバータ用のクロックを生成します。

PLL と LVDS を組み合わせることによって、システムの帯域幅を増大させることができます。一例として、LVDS と PLL の組み合わせを使用せずに、8 クライアントで、各クライアントがそれぞれ 2 つのバスを備え、各バスに 8 本の I/O が接続されているスイッチ網を構成した場合を考えてみます。この場合のトータル I/O ピン数は、

$$(8 \text{ クライアント}) \times (2 \text{ バス/クライアント}) \\ \times (8 \text{ I/O ピン/バス}) = 128 \text{ I/O ピン}$$

となり、クロック・スピードが50MHzの場合、トータルのスループットは、

$$128 \times 50\text{MHz} = 6.4 \text{ Gigabits per second}$$

となります。次に、同じシステム・クロックが使用され、同数のクライアントが接続されているスイッチ網をLVDSとPLLを組み合わせて構成した場合で考えてみます。この場合のトータルI/Oピン数は、

$$(8 \text{ クライアント}) \times (4 \text{ バス/クライアント}) \\ \times (2 \text{ I/O/バス}) = 64 \text{ I/O ピン}$$

となります。64本のI/Oピンは32ペアのLVDSピンに相当するため(PLLによって、システム・クロックを8倍にすることが可能)トータルのスループットは下記のようになります。

$$32 \text{ LVDS ペア} \times 400\text{MHz} = 25.6 \text{ Gbps}$$

この結果から、LVDSとPLLを組み合わせたときのスイッチ網のスループットは、LVDSとPLLを使用しない場合の4倍になることがわかります。

APEX 20KE デバイスのオン・チップ・メモリはFIFO、RAM、ROM、CAM(Content-Addressable Memory)を含む機能を持っているので、これらをCMTSに関連した多くの機能に活用することができます。CAMはシンボル圧縮やキャッシュ・タグの機能を実現するときに特に有効です。また、CAMをペイロード・ヘッダ・サブプレッション(PhS)機能に使用し、圧縮されたヘッダ・パターンのルックアップを行うツリー・サーチ・アルゴリズムを実行することもできます。オン・チップCAMのサイズが不十分な場合でも、アルテラから外部接続される大容量のCAMデバイスとインタフェースするためのリファレンス・デザインが提供されています。

APEX 20KE デバイスに内蔵されているメモリ・ブロックとPLLによるクロック逡倍機能を組み合わせることによって、DOCSISに関連した複数の便利な機能を実現することができます。例えば、デュアル・クロックFIFOを使用することによって、イーサネットから入力されたフレームをストアし、これを必要に応じて8ビットまたは4ビット幅に変換することができます。また、デュアル・ポートRAMとPLLを組み合わせることによって、クロック・ドメイン間の変換を行うこともできます。この場合は、あるクロックでデータがRAMに書き込まれ、このクロックの周波数を逡倍した別のクロックでデータが読み出されます。

PLLとデュアル・ポートRAMは、シングル・サイクルのリード・モディファイ・ライト動作のようなデータ操作を実行するときにも使用できます。この動作では、データが読み出されるときに2倍のレートでFIFOに書き込まれます。このとき、変更され

ていないデータがライト・クロック1つおきにFIFOに書き込まれます。そして、これと対となるもう一方のライト・クロックごとにデータが読み出され、マスク値で変更されたデータが再度書き込まれます。DOCSIS規格に準拠したCMTSでは、このファンクションを使用することによって、1サイクルでのパケット・カウントの操作機能を非常に高いメモリ効率で実現することができます。

まとめ

DOCSISの規格は、システムの性能や機能の向上、ユーザ・ニーズの変化など、多くの状況や条件の変化に対応して、今後も改定されることが予想されます。このため、DOCSIS規格に準拠した装置の実現には、高い柔軟性と性能が要求されます。プログラマブル・ロジックと高性能プロセッサを組み合わせることによって、Cadant社のようなケーブル・モデムの製造メーカーには、必要に応じて簡単に変更して市場の変化に対応させることができるオプションが提供されます。プログラマブル・ロジックには、さらに高い性能、より多くの高速化されたI/O、メモリ容量の増大、さらに高い集積度の実現が期待されており、PLDは今後もケーブル・モデム・ネットワークに要求される処理タスクに適切に対応することができます。さらに、PLDにソフトおよびハード・コアのエンベデッド・プロセッサを内蔵させたアルテラのExcalibur デバイスが登場したことによって、プログラマブル・ロジックのこれらのタスクへの対応性がさらに高まり、近い将来に現在よりもさらに高い集積度と性能が達成されることが予想されます。

図1 Cadant社のC4 CMTS



プログラマブル・ロジックでは、さらに高い性能、さらに多数の高速化されたI/O、メモリ容量の増大、さらに高い集積度の実現などが期待されており、PLDは今後もケーブル・モデム・ネットワークに要求される処理タスクに適切に対応することができます。

Mercury デバイスのクロック・データ・リカバリ回路



Mercury デバイスは、CDR のモードで 125Mbps から 1.25Gbps のシリアル・データ・レートをサポートしています。

差動形式の低電圧信号を使用した高速のシリアル・データ伝送によって、広帯域のデータ転送が実現されています。1本のシリアル・チャンネルで複数のシングル・エンデッド方式の標準 I/O と同じ帯域幅を実現し、これによってボードの配線パターンの本数や使用される I/O ピン数を減少させることができます。一方、ボード上の配線パターン、コネクタ、バックプレーンの接続などによって、複数のシリアル・チャンネル間、およびクロックとデータ・チャンネルの間にスキューが発生します。正確なデータ転送を保证するため、チャンネル間のスキューおよびクロックとデータ・チャンネルとの間のスキューには厳しい規格が設定されています。

クロック・データ・リカバリ (CDR) 回路を使用して、クロックを各シリアル・データ・ストリームにエンコーディングすることによって、これらのスキューの規格が不要になります。クロックがデータ・ストリームにエンコーディングされると、クロックとデータのチャンネル間に特定の位相関係を保つ必要が解消されます。CDR はスキューに関する制限を解消することによって、転送方法に関する制限も低減され、複数の発振器を使った動作も可能になります。

Mercury™ デバイスの重要な機能である CDR は高速差動インタフェース (HSDI: High-Speed Differential Interface) のブロック内に実現されており、Mercury デバイスとボード上の他のデバイスまたはバックプレーンを通じて接続されている他のデバイスとの間で高速のシリアル・データ・ストリームを送受信するための専用のエンベデッド回路となっています。これまでスタンドアロンの ASSP にのみに提供されていたこの CDR 回路が内蔵されたことによって、Mercury デバイスは業界初のプログラマブル ASSP 製品となっています。HSDI 回路には、ソース・シンクロナス・モードと CDR モードの 2 種類の動作モードがあります。この記事では、HSDI ブロックの CDR モードについて解説します。

CDR 回路の特長

CDR は下記のような機能と動作をサポートしています。

- 一定した位相関係を持たない独立したチャンネル
- 125Mbps から 1.25Gbps までデータ・レート
- 3.3V の LVDS、LVPECL、PCML の標準 I/O 規格

- データ・レートと種々のエンコーディング方式のサポート。Gigabit イーサネット、SONET、SDH、IEEE1394、Fibre Channel を含む
- 2 種類の独立した周波数
- 複数の発振器 (マルチ・クリスタル) を使用可能

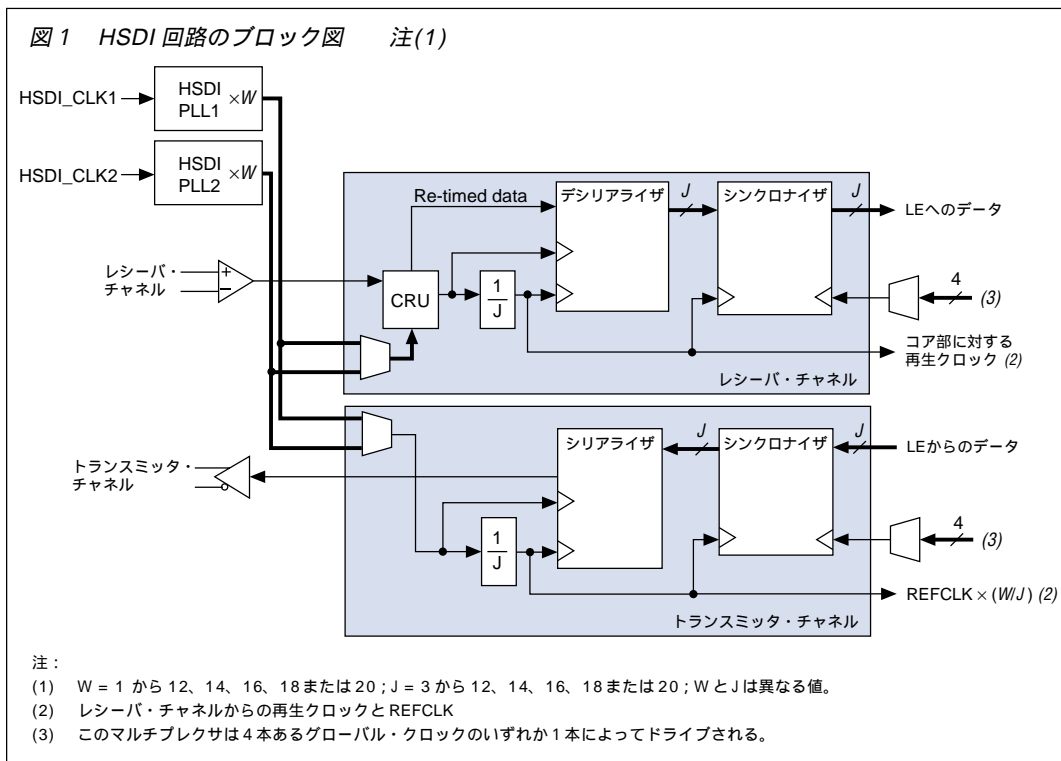
アーキテクチャ

HSDI のレシーバおよびトランスミッタ・チャンネルは、Mercury I/O 領域の最上面に配置されています。表 1 は、Mercury デバイスでサポートされているチャンネル数を示したものです。

デバイス名	HSDI チャンネル数
EP1M120	8
EP1M350	18

Mercury デバイスは CDR のモードで 125Mbps から 1.25Gbps のシリアル・データ・レートをサポートしています。2 個の HSDI 専用 PLL (Phase-Locked Loop) の一方には、外部のリファレンス・クロックを接続する必要があります。リファレンス・クロックと受信データの間に特別な位相関係は必要ありません。PLL は "W" で指定された乗算ファクタでリファレンス・クロックの周波数を逡倍します。各レシーバ・チャンネルでは、クロック・リカバリ・ユニット (CRU) が逡倍されたリファレンス・クロックを使用して受信されたデータの位相で再生クロックを生成します。そして、この再生クロックがプログラマブル・デシリアライザとシンクロナイザをドライブします。シンクロナイザは FIFO (First-In First-Out) パッファになっており、レシーバ・チャンネルの再生クロックのドメインからコア部で使用されるグローバル・クロックのドメインへの適切なレジスタ間転送を実行します。図 1 に、レシーバ・チャンネルからコア・ロジック部へのデータ・フローが示されています。

各レシーバ・チャンネルには、専用の CRU、デシリアライザ、シンクロナイザが内蔵されています。これらのブロックによって、各レシーバ・チャンネルでのクロック・データ・リカバリ、データのデシリアライゼーション (並列化) とシンクロナイゼーション (同期化) が実行されます。バイト・アライメント、パ



イト・ディテクション(検出) フレーム・ディテクションなどの後段の機能は、コア・ロジック部で実行される必要があります。

トランスミッタ・チャンネルでは、データのシンクロナイゼーションとシリアライゼーションが実行されます。バイト・エンコーディングなどの前段の機能はコア・ロジック部で実行される必要があります。トランスミッタ・チャンネルにおけるデータ・フローも図1に示されています。

「Time-to-Market」の期間を短縮するため、アルテラは、エンコーディング/デコーディング、コンマ・ディテクション、バイト・アライメントなどの動作を実現した IP (Intellectual Property) メガファンクションを提供しています。詳細については、アルテラのwebサイト、<http://www.altera.com>の中にある IP MegaStore™ のwebサイトを参照してください。

MercuryデバイスのCDRは、レシーバおよびトランスミッタ・チャンネルに対して2種類の異なるシリアル・データ・レートをサポートしています。2個のHSDI用PLLはそれぞれHSDI-CLKの入力を使用して逡倍されたりファレンス・クロックを生成します。各チャンネルは、逡倍されたりファレンス・クロック周波数のいずれかを選択することができます。レシーバ・チャンネルでは、逡倍されたりファレンス・クロックとシリアルの入力データがCRUに供給され、

シリアル入力データの位相で再生クロックが生成されます。トランスミッタ・チャンネルでは、逡倍されたりファレンス・クロックがデータのシンクロナイゼーションとシリアライゼーションに使用されます。

Mercuryデバイスは、マルチ・クリスタル動作およびシングル・クリスタル動作のCDRをサポートしています。これによって、MercuryデバイスをN:1(複数のトランスミッタに1個のレシーバ)または1:N(1個のトランスミッタに複数のレシーバ)の構成で使用することができ、ここでNポイントのMercuryに共通のクリスタル・ソースを使用する必要はありません。N:1の構成例が22ページの図2に示されています。

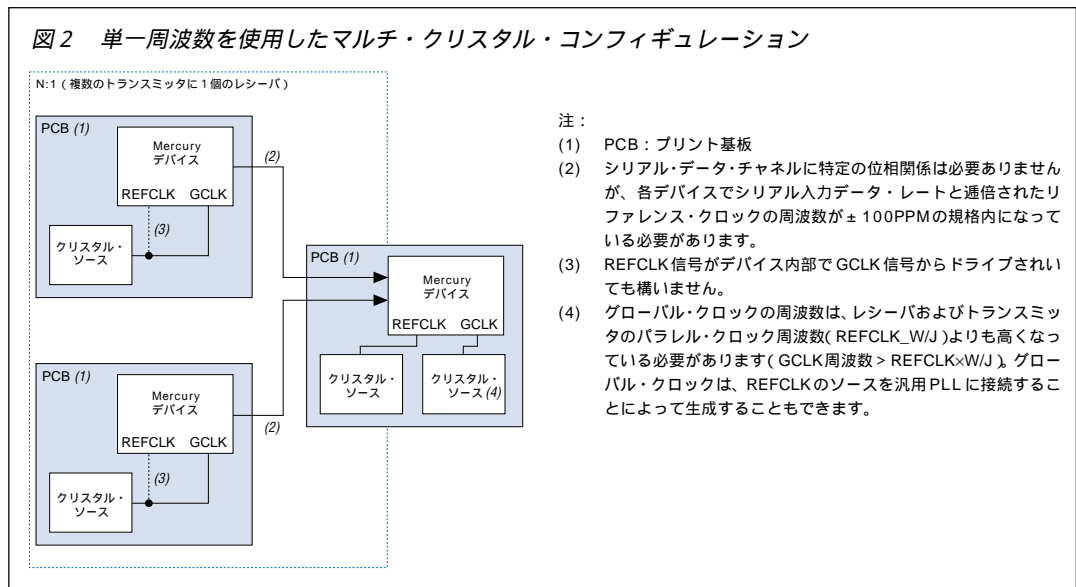
Mercuryデバイスでは、HSDI回路を通じて可変のデータ・レートと複数のエンコーディング方式がサポートされています。サポートされているアプリケーションが、22ページの表2に示されています。

Quartus IIソフトウェアを使用してデザイン内にalt_cdrメガファンクションが実装されたときは、MercuryデバイスのHSDI I/OバンドがCDRモードを実現するようにコンフィギュレーションされます。CDRのサポートに関する詳細については、アプリケーション・ノート、AN 130(CDR in Mercury Devices)を参照してください。

(22ページに続く)

MercuryデバイスのCDRはレシーバおよびトランスミッタ・チャンネルに対して2種類の異なるシリアル・データ・レートをサポートしています。

Mercuryデバイスのクロック・データ・リカバリ回路
(21 ページからの続き)



CDRでは、レシーバ・チャンネルにおいてシリアル・データとリファレンス・クロックの位相を一致させる必要がありません。したがって、CDRを使用することによって、ボード上の配線パターンやトポロジに関する制限が解消されます。CDRは、多くのアプ

リケーションに必要となっています。Mercuryデバイスを使用することによって、ディスクリートのCDRデバイスをPLD内に統合することができるため、ボード・スペースが節減され、性能も改善されます。

表2 MercuryデバイスがサポートするCDRアプリケーション

アプリケーション	データ・レート (Mbps)	乗算ファクタ (W)		リファレンス・クロック周波数 (MHz)		パラレル・バス幅 (J)		グローバル・クロック周波数 (MHz)
		最小	最大	最小	最大	最小	最大	
Mercuryデバイスの規格	125 ~ 1,250	1, 12, 14, 15, 18, 20		25	650	3, 12, 14, 16, 18, 20		データ・レート/J
Gigabit イーサネット	1,250	2	20	62.5	625	10	20	1,250/J
SONET OC-192 (16 チャンネル) 9953/16	622.08	1	20	31.104	622.08	4	20	622.08/J
SONET OC-48 (4 チャンネル) 2488/4	622.08	1	20	31.104	622.08	4	20	622.08/J
SONET OC-12	622.08	1	20	31.104	622.08	4	20	622.08/J
SONET OC-3	155.52	1	6	25.92	155.52	4	20	155.52/J
IEEE 1394	1,200	2	20	60	600	8	20	1,200/J
	800	2	20	40	400	5	20	800/J
Fibre Channel	1,062	2	20	53.1	531	7	20	1,062/J
HDTV	742.50	2	20	37.125	371.25	5	20	742.5/J
SDTV	360	1	14	25.71	360	3	20	360/J
	270	1	10	27	270	3	20	270/J
Fast イーサネット	125	1	5	25	125	3	20	125/J

アルテラの信号処理用 IP と APEX 20KE デバイスを使用して 直交周波数分割多重 (OFDM) を実現する方法

直交周波数分割多重 (OFDM: Orthogonal Frequency Division Multiplexing) では、データが RF 信号上にエンコーディングされるマルチ・キャリア変調が実現されます。AM/FM (Amplitude Modulation/Frequency Modulation) のような一般的なシングル・キャリアの変調方式では、単独の RF 周波数をキャリアとして使用し、1本の信号のみが送信されます。これに対して、OFDM では特別に計算された直交キャリア周波数を使用して複数の高速信号が同時に送信されます。OFDM の変調方式を採用すると、与えられた帯域幅での効率的な利用が可能になり、通信に影響を与えるノイズや干渉が存在する通信チャネルでも高い品質が実現されます。

これまで OFDM を実際に実現するときには高速フーリエ変換 (FFT) の実行スピードと効率による制限が存在しましたが、現在では高集積、高性能プログラマブル・ロジック・デバイス (PLD) が供給されるようになってきているため、OFDM を採用したシステムが数多く登場するようになってきました。

現在では、アルテラの信号処理用 IP (Intellectual Property) 製品群と高集積、高速 PLD、APEX™ 20K デバイス・ファミリを使用することによって、デジタル・ビデオ放送の送信装置、MMDS (Multipoint Multichannel Distribution Service) の基地局、ワイヤレス LAN モデムなどのアプリケーションに適した OFDM 通信システムを簡単に構築することができます。

OFDM に最適な APEX 20KE デバイス

アルテラの高性能、高集積 APEX 20KE デバイスは、OFDM システムの実現に最適です。APEX 20KE デバイスのエンベデッド・システム・ブロック (ESB) は潤沢なメモリを提供しており、これらのメモリは FFT のようにメモリが多用されるファンクションやデータ・パス内の中間信号用バッファを構成するとき重要なリソースとなります。

時間多重のインストラクションを使用するデジタル信号処理 (DSP) プロセッサとは対照的に、APEX 20KE デバイスを使用して OFDM システムを実現した場合は、フォワード・エラー・コレクション (FEC) コーディング (符号化) 変調、フィルタリングなどの機能を実行する専用のハードウェア・リソースをすべて 1 個の APEX デバイス内に実装できる利点が

得られます。さらに、未使用のロジック・セルを使用して追加の機能を APEX 20KE デバイス内に実装することもできます。

アルテラのリード・ソロモン MegaCore® ソリューションは、利用可能なテクノロジーを活用して 8 ビットのシンボルを 800 Mbps のレートでデコードします。さらに高いスループットが要求されるシステムには、アルテラの複数の IP MegaCore ファンクションをインスタンス化することによって 3 Gbps を超えるレートで動作するリード・ソロモン・デコーディング機能が実現可能です。一般的に使われるバッファ・サイズとコントロールに費やされる平均時間を想定すれば、アルテラのリード・ソロモン・メガファンクションは 3 Gbps を超えるレートでデコーディング動作を実行することができます。テキサス・インスツルメント社が供給を予定している C64XX-300 DSP プロセッサの暫定的なベンチマーク・テスト結果では、リード・ソロモン・シンボルを 400 Mbps のレートでデコーディングするとき、このデバイスで実現可能な 100% の処理能力が使用されることが示されています。

APEX 20KE デバイスは高い柔軟性を提供しているため、新たに制定された業界標準規格にも迅速に、しかも効率的に対応することができます。アルテラの APEX 20KE デバイス・ファミリと信号処理用 IP ファンクションを組み合わせることによって、柔軟性に欠ける ASSP (Application-Specific Standard Product: 特定用途向けの標準品) やリスクの高い ASIC に替わる理想的なソリューションが提供されます。

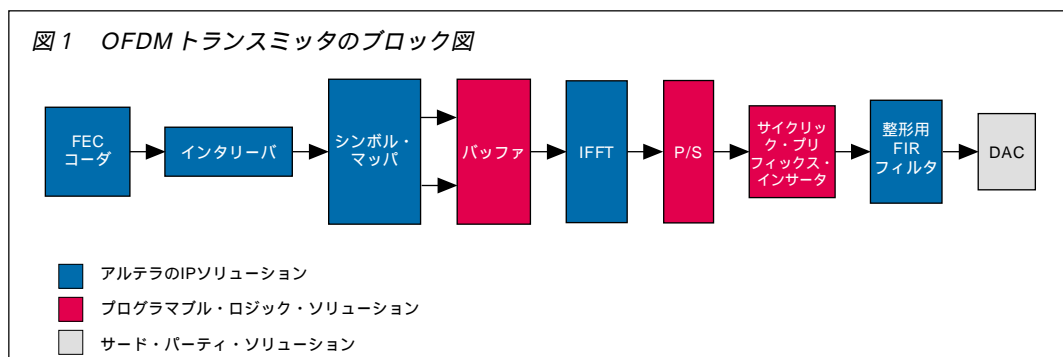
24 ページの図 1 は、OFDM トランスミッタの標準的な構成要素をブロック図で示しています。OFDM 変調が使用されるシステムには、マルチパス伝搬を防ぐためにチャネル・コーディングが適用されます。データ・シンボルは、適切な IQ 座標 (constellation) にマッピングされます (QPSK や QAM)。得られた I と Q の値がバッファにストアされ、逆フーリエ変換 (IFFT) が実行されます。IFFT は直交キャリア上での変調を実行します。ここで、データが送信可能となり、シリアルライズされた後でマルチパス余裕度を確保するためのプリフィックスが付加されます。そして、生成されたデータがアンテナを通して送信されます。

(24 ページに続く)

アルテラの高性能、高集積 APEX 20KE デバイスは、OFDM システムの実現に最適です。



アルテラの信号処理用IPとAPEX 20KE デバイスを使用して直交周波数分割多重を実現する方法
(23 ページからの続き)



アルテラのOFDM用MegaCoreソリューション
以下のセクションでは、アルテラのOFDM用MegaCoreソリューションとして提供されている複数のIPファンクションについて説明します。アルテラの高性能デバイスには、これらのファンクションをユーザ・ロジックとして実装することができます。

ここで説明されているIPファンクションの詳細については、アルテラのwebサイト(<http://www.altera.com>)内にあるIP MegaStoreのページを参照するか、日本アルテラの販売代理店へお問い合わせください。

フォワード・エラー・コレクション

リード・ソロモンまたはコンボリユーショナル(畳み込み)符号によるエラー・コレクションが使用されるチャネル・コーディングは、アルテラのリード・ソロモン・エンコーダまたはコンボリユーショナル・エンコーダで実現することができます。フォワード・エラー・コレクションのテクニックを使用するOFDMシステムはCOFDM(Coded-OFDM)トランスミッタとも呼ばれます。ただし、コーディングが行われるのは、一般にはトランスミッタではなくてシステム内部です。フォワード・エラー・コレクション(FEC)コードはデータ・ストリームにエラー訂正用のビットを付加し、伝送中に発生したエラーがレシーバ側で検出、訂正できるようにします。アルテラから提供されているFEC用の信号処理IPには、リード・ソロモン、コンボリユーショナル、ピダビ、Turboの各符号に対応した高性能のエンコーダとデコーダが含まれています。

インタリーバ

インタリーバは、チャネル内のバースト・エラーを減少させる目的に使用されます。アルテラのシンボル・インタリーバMegaCoreファンクションはカスタマイズが容易であり、ユーザのデザイン内に簡単

にインスタンス化することができます。インタリーバされたデータはシリアル・パラレル・コンバータに受け渡され、ここでシンボルが変調方式にしたがって適切なIQ座標にマッピングされます。

シンボル・マップ

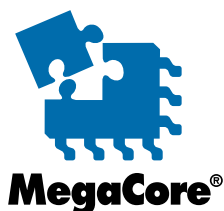
マルチ・キャリア方式のOFDMシステムは、シングル・キャリア・モジュレーションのテクニックで変調された n 個の独立したサブバンドを重ね合わせたものであると理解することもできます。シンボル・マップはシンボルを入力として扱い、これらを規定された変調方式にしたがって対応するコンストレイン・ポイントにマッピングし、IとQの値を生成します。生成されたIおよびQ信号はフィルタリングされて、IFFT部に送られ、逆フーリエ変換が実行されます。

バッファ

シンボル・マップによって生成されたIおよびQ信号をIFFTでタイム(時間)ドメインに変換する前に、IFFTの前段にこれらの値をストアしておくためのバッファが必要となります。アルテラのLPM(Library of Parameterized Module)にはLPM_RAMファンクションが含まれており、このLPMファンクションのパラメータを指定することによって、特定のアプリケーションに適合したバッファを簡単に構成することができます。

IFFT

FFTは、DFT(Discrete Fourier Transform: 離散フーリエ変換)を高速に、また効率的に実現したものであり、OFDMの伝送に必要な直交キャリアを計算、生成します。アルテラのIFFT/FFT MegaCoreファンクションは、可変データ幅、多くのポイント数、柔軟性の高いメモリ・インタフェースをサポートしています。



OFDMトランスミッタの中心部になっているのが、IFFTです。IFFTは各サブ・チャンネルを正確な直交キャリア上で変調します。チャンネル化されたデータは、パラレル・シリアル・バッファに送信されます。このバッファはカスタム・ロジックとして、あるいはLPM_SHIFT_REGと呼ばれる標準のLPMファンクションを使用しても実現することができます。シリアル化されたデータはDAC(D/Aコンバータ)に供給され、送信可能な状態になります。

OFDMトランスミッタに使用される各機能ブロックは、PLD内の専用パラレル・ハードウェアのリソースにマッピングすることができます。PLDを使用した実現方法では、単独のデジタル・シグナル・プロセッサで実現したときに発生する困難なプログラミング開発や、時間的な厳しい制限のある動作のスケジューリングを最適化する問題なども発生しません。

パラレル・シリアル・コンバータ

フーリエ変換の完了後、データを送信する前にタイム・ドメインのデータをシリアル化する必要があります。この機能は、LPM_SHIFT_REGファンクションを使用して構成することができます。

サイクリック・プリフィックス

サイクリック・プリフィックスを付加することで個々のOFDMシンボルの周辺にガード・バンドが生成され、これによって信号対雑音比は僅かに低下しますが、シンボル間干渉(ISI: Inter-Symbol Interference)が大幅に改善されます。シリアル化の完了後に、OFDMシンボルの最後の部分にサイクリック・プリフィックスを付加する回路をユーザ・ロジックとして作成します。

整形用 FIR フィルタ

あらゆる無線、有線デジタル通信のデザインでは、デジタル・フィルタを用いて信号を整形することが必要です。アルテラの次世代FIR(Finite Impulse Response)フィルタ・コンパイラは幅広い構成のFIRフィルタの実現を可能にしており、可変係数のフィルタやディシメーション(間引き)またはインタポレーション(補間)機能付きのフィルタもサポートされています。

完全なシステム・ソリューション

アルテラのAPEXデバイスと信号処理用IPは、プログラマブル・ロジックによる高い柔軟性と「Time-to-Market」を実現する完全なシステム・ソリューションとなっています。

アルテラが提供するソリューションには、以下のようない点があります。

- 包括的な信号処理用IPソリューション
- パラレル処理による高い性能
- プログラマブル・ロジックによる高い柔軟性
- ハイ・レベルのインテグレーション

パラメータ化されている信号処理用IPをインスタンス化することによって「Time-to-Market」の期間を大幅に短縮することができます。これらのIPファンクションはアルテラのIP MegaStore™のwebサイトから無償でダウンロードことができ、アルテラのOpenCore™評価プログラムにより、リスクなしでコンパイルすることが可能です。これらのMegaCoreファンクションはアルテラのPLDアーキテクチャで最高の性能が得られるようにデザイン、最適化されています。

OFDMトランスミッタの各機能ブロックは、PLD内の専用パラレル・ハードウェアのリソースにマッピングされます。

最新のソフトウェア・バージョン

Quartus™ IIソフトウェアのバージョン1.0がリリースされ、下記の実行システムがサポートされています。

- Microsoft Windows 2000
- Microsoft Windows 98
- Microsoft Windows NT バージョン4.0以降
- Sun Solaris バージョン2.6、2.7および8
- HP-UX バージョン10.2xおよび11.0

下記の実行システムをサポートしたMAX+PLUS® IIソフトウェアのバージョン10.0が供給されています。

- Microsoft Windows 2000
- Microsoft Windows 95およびWindows 98
- Microsoft Windows NT バージョン4.0以降
- Sun Solaris バージョン2.5および2.6
- HP-UX バージョン10.2x

フォワード・エラー・コレクションによる 高速テレコミュニケーション・ネットワークの性能強化

広帯域のテレコミュニケーション・チャンネルに対する需要が高まるのに伴って、サービス・プロバイダと関連機器メーカーは、さらに広い帯域をさらに低価格で提供する必要に迫られています。都市、町、郊外を結ぶ高速の光ファイバ・リンクは、10Gbpsまたはそれ以上のビット・レートを提供するものと期待されています。これらの期待に応えるためには、新しい技術が必要です。例えば、1本のファイバで波長の異なる複数の光信号を多重伝送する高密度波長分割多重 (DWDM: Dense wavelength Division Multiplexing) のような技術を用いることによって、1本の光ファイバで40Gbpsの伝送スピードが実現可能になります。

FECが採用されているシステムは、リンク上のエラーの検出と訂正を行うことによって、さらに高い性能を達成することができます。

帯域幅を増加させた装置は、低価格ではありません。これらのシステムに使用されているオプティカル・コンポーネントは、依然としてトータル・システム・コストの大きな割合を占めており、これらの部品が多数のエンド・ユーザで使用された場合でも、この傾向が続くものと考えられます。また、サービス・プロバイダとそのユーザは、高性能で常に高い信頼性とサービスを提供するエラー・フリーのシステムを期待しています。

光ファイバ・リンクの品質は、多くのパラメータで決定されます。通常、リンクのスパン (伝送可能距離) は光電力の余裕度で決定されます。これは、伝送可能な距離がオプティカル・トランスミッタ側で生成可能な光電力とオプティカル・レシーバ側で検出可能な光電力との差で決定されることを意味します。リンク内では、ファイバの長さ (km) とコネクタまたはカップラ (結合器) で生じる減衰によって、この光電力余裕度が減少します。

リンク間を長距離接続するときは、増幅器またはリピータを使用する方法を選択することもできます。大きな光電力余裕度を備えているシステムでは、リンクが一定のビット・エラー・レート (BER) を維持するため、増幅器やリピータを接続する必要性が低下します。一般的に、この光電力余裕度を増加させるときは、さらに品質の高い、またコストも高いオプティカル・コンポーネントが使用されます。

これまでワイヤレス通信やストレージ関連のアプリケーションでのみ採用されていたフォワード・エラー・コレクション (FEC) の技術を適用することによって、高い品質と低コストを維持しながら、帯域幅の増加の要求に対応することができます。FECの機能

が実現されているシステムは、リンク上でのエラーを検出、訂正することによって、さらに高い性能を達成します。FECのテクニックは、BERを可能な限り低く抑えながら、リンク内での光電力余裕度の大幅な向上を効率的に実現します。

システムではエラーの訂正前に、まずエラーが検出されなければなりません。したがって、リンクにFECの採用は、リンクの早い段階での劣化を発見する目的にも使用できる便利な性能測定方法にもなります。

ファイバ・オプティカル・コミュニケーションにFECを採用することで、次のような利点が得られます。

- 既存リンクの2点間における性能を改善
- システム内でリピータを使用せずに、リンクの最大伝送距離を拡張
- 光増幅器内蔵システム内でのリピータ間距離の延長、またはオプティカル・コンポーネントやファイバの規格を緩和
- リンク内で発生する問題に対する早い段階からの診断機能により、リンクの全体的な品質を改善

FECを使用した場合の欠点は、チェック・シンボルが挿入されることによって、通信チャンネルの帯域幅が低下することです。通常、FECを採用するシステムには、エラー訂正用のデータを付加して、伝送するために、僅かに高いビット・レートが必要になります。このため、経済的でスケラブルなFECを選択し、同時にさらに高速のビット・レートの要求に対応させることが、システム設計者にとっての大きな課題になります。

FECを使用する伝送システムには、ITUから2種類の勧告案が策定されています。ITU-T G.709では、2.5、10、40Gbpsで動作するオプティカル・トランスポート・ネットワークに対するネットワーク・ノード・インタフェースが規定されており、シンプルなフレーミング構造とFECを実現する「ラップ」 (wrapper) が記述されています。光海底ケーブル・システムへの採用を意図したITU-T G.975では、2.5Gbps以上で動作するFECについての勧告が示されています。双方の規格には、リード・ソロモン・エンコーダ/デコーダが使用されます。この記事ではこれらの規格にリード・ソロモンが選択されている理由と、ITU-T G.709に準拠したシステムをアルテラのプロگرامブル・ロジック・デバイス (PLD) で実現する方法について解説します。

図1 OTU2のフレーム

1	OTU2 Overhead	OTU2 Row 1 Payload (3,808 bytes)	OTU2 FEC (256 bytes)
2		OTU2 Row 2 Payload (3,808 bytes)	OTU2 FEC (256 bytes)
3		OTU2 Row 3 Payload (3,808 bytes)	OTU2 FEC (256 bytes)
4		OTU2 Row 4 Payload (3,808 bytes)	OTU2 FEC (256 bytes)
116 17.....3824 3825.....4080			

FECにリード・ソロモンを採用したときの利点

リード・ソロモンでは、データをブロック・コードとして扱います。これは、単独のバイトやワードではなく、シンボルの全ブロックがエンコードされることを意味します。リード・ソロモンの技術をテレコミュニケーションに採用すると、次のような重要な利点が得られます。

- 広帯域リンクを通じて転送されるほとんどのデータは、SONETやSDHのフレーム内に格納されているため、データがバイト単位となり、8ビットのシンボル・バウンダリでの同期化が容易になる。
- ブロック・ベースのコーディング方法は、簡単にスケラブルなソリューションになる。ブロック・ベースのコーディング方法は、複数のハードウェアを時分割で使用するパラレル・アーキテクチャよりも高いスループットを簡単に達成することができます。このアプローチは、後述の10GbpsのFECソリューションを実現するときに使用されます。

リード・ソロモンは、そのアルゴリズムの複雑さと比較すると、訂正されるエラーの数の点から見て非常に効率の高いコーディング方式となっています。相対的に少ないシリコン・リソースで実現可能なリード・ソロモン・コードは、比較的高い伝送レートで許容可能な数のエラーを訂正することができます。コンボリユースショナル・コーディングやTurboコーディングのような他のコーディング方式は、エラーの訂正能力の点では優れていますが、実現可能なビット・レートが相対的に低くなり、より多くのシリコン・リソースが必要になります。

ITU-T G.709 のフレーミング構造

ITU-T G.709 では、データを 2.5、10 および 40Gbpsのデータ・レートで取り扱うことができるフレーミング構造が規定されています。この最上位

のフレーミング・レベルは、OTU(Optical Transport Unit)と呼ばれています。OTU k のフレームは、3種類すべてのデータ・レートに対して同一の構造となります。ここで、 k は、1、2、3として規定され、それぞれ2.5、10および40Gbpsのレートを表します。図1を参照してください。

Overheadのバイトは、フレームおよびマルチ・フレーム・アライメントとコミュニケーション・チャンネルを搬送する目的に使用されます。リード・ソロモンのチェック・シンボルは、データ・セクション内のシンボルに対して各ローの最後に付加されます。

ITU-T G.709では、各フレームをインタリーブされた16個のサブ・フレームに分割するインタリーブ・システムを推奨しています。このようなシステムでは、チェック・シンボルのエンコーディングとデコーディングが容易になり、システムのエラー訂正能力が向上します。28ページの図2は、このインタリーブされたときの構造を示しています。

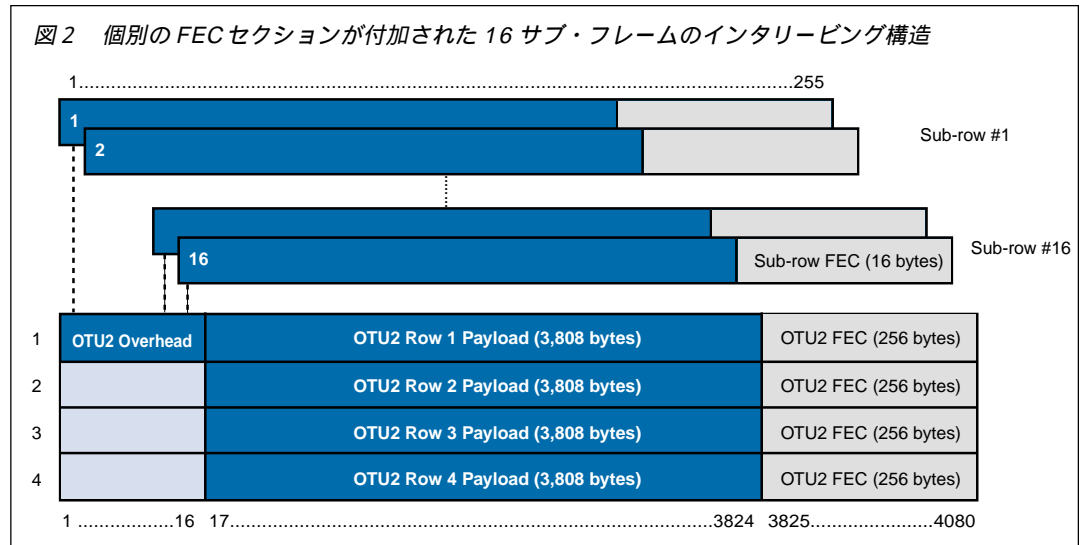
アルテラのPLDでOTU2用のリード・ソロモン・デコーダを設計する方法

ITU-T G.709では、16個のリード・ソロモン・エンコーダからの結果をインタリーブしてOTU k のフレームを構築することが規定されています。ただし、実際に必要になるエンコーダとデコーダの数は、1個のエンコーダまたはデコーダを通過可能な最高データ・レートによって決定されます。ビット・レートが低い場合(2.5Gbps)は、使用するエンコーダ/デコーダの数を少なくすることができ、エンコーダ/デコーダのブロックをメモリにストアすることが可能です。APEX™デバイスのエンベデッド・システム・ブロック(ESB)は、この機能の実現に最適です。さらに高いビット・レートには、16個以上のディスクリット・エンコーダとマルチプレクサ出力付きのデコーダが必要になる可能性があります。

(28 ページに続く)

相対的に少ないシリコン・リソースで実現可能なリード・ソロモン・コードは、比較的高い伝送レートで許容可能な数のエラーを訂正することができます。

フォワード・エラー・コレクションによる高速テレコ
 ミュニケーション・ネットワークの性能強化
 (27 ページからの続き)

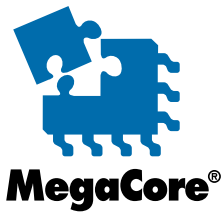


10Gbps システムの正確なビット・レートは、9,953.2Mbps です。このレートは、入力される STM-64 のフレーム、つまり複数の低次のバスをマルチプレクスして得られるレートを総合した値を表しています。ITU-T G.709 に規定されている通り、これらのバイトにリード・ソロモンのチェック・シンボルと単純なフレーミング・バイトを追加することによって（各 238 データ・シンボルごとに 1 個のフレーミング・シンボルと 16 個のチェック・シンボルを追加）、10,619Mbps のビット・レートが得られます。

840Mbps までの転送レートをサポートしており、標準のデータ伝送に FEC データを簡単に挿入することができます。

OTU2 の要求に適合したデコーダには最高速のデコーダ動作が要求され、各クロック・エッジで 1 個のシンボルを処理できる能力が必要です。

表 1 は、ITU-T G.709 に準拠した FEC 機能を実現したリード・ソロモン・デコーダの構成に使用されるリソースを示したものです。



1 個のディスクリット・リード・ソロモン・デコーダで 8 ビットのシンボルを 800Mbps のレートでデコードする場合、理論的にはシステムに 13.27 個のデコーダが必要になります。実際には、クロックの生成とインタリーブを単純化するため、この数が 16 個までに増加します。

まとめ

FEC はテレコミュニケーションのアプリケーションにとっては新しいテクノロジーですが、FEC をテレコミュニケーション・ネットワークに適用することによって大きな利点が得られます。PLD を使用することによって、FEC 機能付きのテレコミュニケーション機器を短時間で実現することができ、しかも将来の規格の改定や更新にもシステムをアップグレードして対応することが可能です。

FEC データは、LVDS のチャネルあたりのデータ・レートを標準の 622.08Mbps から 666Mbps まで引き上げます。APEX 20KE デバイスの LVDS は

表 1 リード・ソロモン・デコーダによる FEC に使用されるリソース

データ・レート (Gbps)	使用リソース		デバイス名	スピード・ グレード	デバイス数	使用率	
	LE 数	ESB 数				LE	ESB
2.5	10,500	36	EP20K300E	-1	1	91%	50%
10	42,000	144	EP20K1500E	-1	1	81%	67%
40	168,000	576	EP20K1500E	-1	4	81%	67%

アルテラがWeb サイトのデザインを一新

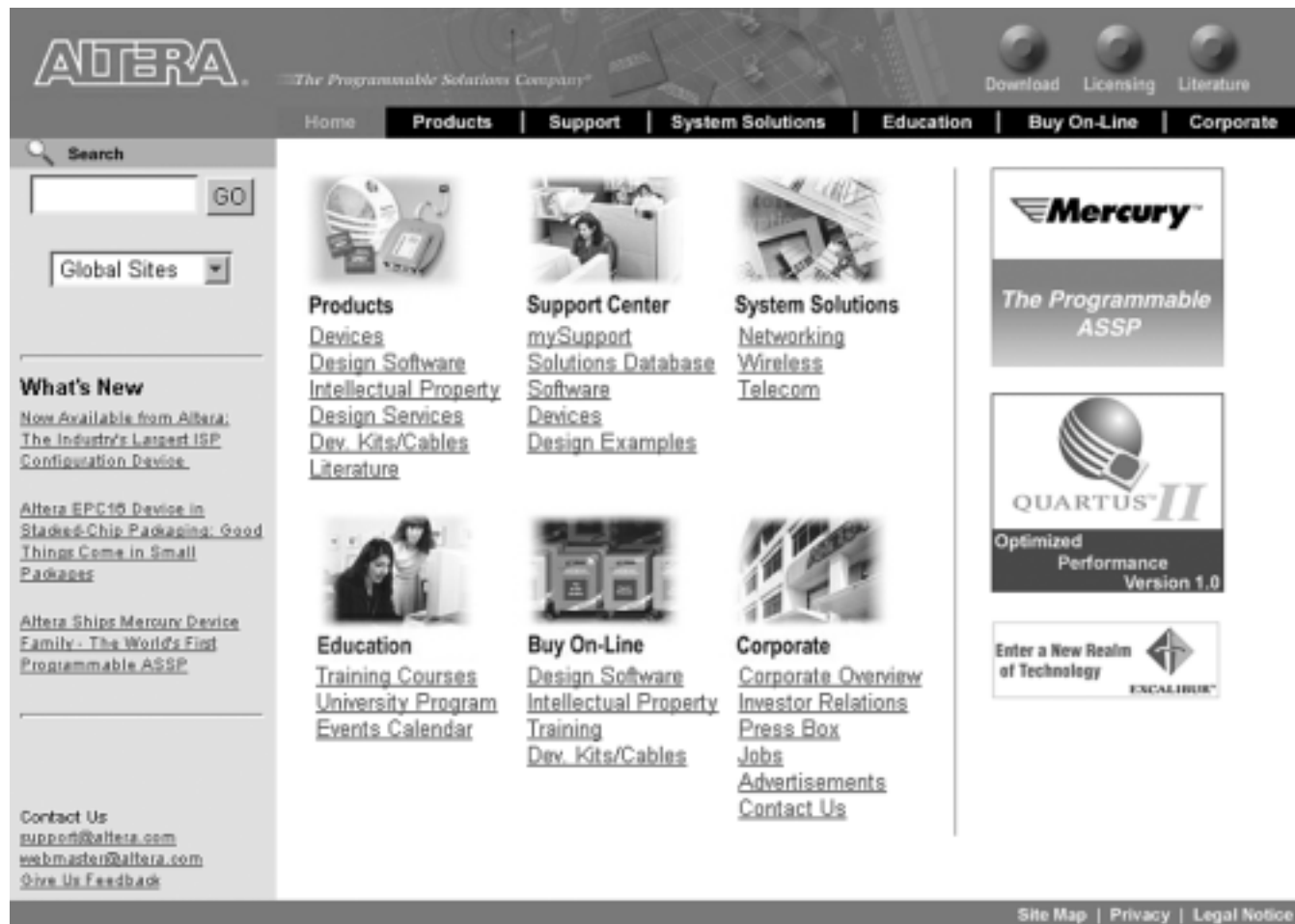
このほど、アルテラはweb サイト、<http://www.altera.com>のデザインを一新しました(図 1 を参照)。この新しいweb サイトはユーザの利便性がさらに高くなるように構築されており、ユーザが探している情報をできる限り迅速に発見できるデザインになっています。

デザインが一新されたこのサイトには、多くの新しいエリアが含まれています。これらの新しいエリアのひとつがSystem Solutionsであり、ここには複雑なシステム・アプリケーションにアルテラのデバ

イスがどのように対応できるかについての情報が提供されています。また、新たに追加された「on-line service requests」では、ユーザがQuartus™ IIやアルテラのデバイスに関する問題をオン・ラインでレポートし、サポートを要求することができます。このサイトには、さらに多くの機能が追加される予定になっています。

アルテラの新しいweb サイトに対するコメントやご意見がありましたら、webmaster@altera.comまで電子メールを送付してください。

図 1 新しいアルテラのホーム・ページ



Quartus II ソフトウェアが APEX デバイスの消費電力解析機能を提供



Quartus II のパワー・アナライザを活用することで、デザイン・サイクルの初期段階からシステムに要求される電力を判断することができます。そのため、デザイン・コストが低下し、「Time-to-Market」の期間が短縮されます。

アルテラの Quartus™ II 開発ソフトウェアのバージョン 1.0 には機能強化されたシミュレーション機能が内蔵されており、APEX™ 20KE デバイスを使用したデザインの平均消費電力を計算することができます。ターゲット・システムの動作をシミュレーションし、APEX デバイスが消費する電力を推定することによって、デザイン・サイクルの初期段階からシステムに要求される電力を判断することができるため、デザイン・コストが低下し、「Time-to-Market」の期間が短縮されます。

Quartus II のシミュレータと共に動作するパワー・アナライザは、デザインのトグル・レートから標準的なデバイス動作条件での I_{CC} の推定値を算出します。Quartus II 開発ツールでは、トグル・レートがシミュレータのテスト・ステイミュラス入力から計算されます。シミュレーション後、Quartus II 開発ツールはシミュレーションしたデザインの消費電力に関する解析結果を生成し、レポート・パネルに表示します。

解析された電力は、内部の消費電力、I/O の消費電力、そしてトータルの推定消費電力としてレポートされます。

この電力解析機能をイネーブルにするときは、「Simulate Mode」(Processing メニュー) を選択し、次に「Processing and Simulator Settings」を選択します。「Simulator Settings」のダイアログ・ボックスで Options のタブを選択し、図 1 に示されているように、「Estimate power consumption」のチェック・ボックスを ON にします。

ここで、テスト・ステイミュラスによるシミュレーションを実行します。シミュレーションに使用するテスト・ステイミュラスの選択方法、およびシミュレーションの実行方法については、Quartus II の Help 機能を利用して確認してください。

パワー・アナライザは APEX 20KE デバイスの消費電力を推定しますが、これは実際のデバイスで消費される電力を保証するものではありません。解析される消費電力の精度はテスト・ステイミュラスに依

存するため、テスト・ステイミュラスはターゲット・システムでのデバイス動作を反映させたものになっている必要があります。テスト・ステイミュラスがシステムの動作を正確に反映していないときは、レポートされる消費電力の解析結果が不正確なものになります。また、 I_{CC} の測定はデバイスのパターンや動作条件環境による影響を受けるため、動作時に I_{CC} の実際の値を検証することが必要です。

まとめ

Quartus II 開発ソフトウェアでは、ターゲット・システムの動作をシミュレーションして、APEX 20KE デバイスを使用したデザインの平均消費電力を計算することができます。テスト・ステイミュラス、電力解析の実行などを GUI (Graphical User Interface) を通じて設定し、解析結果のレポートを得ることができます。Quartus II の消費電力解析機能の詳細については、アルテラの web サイト、<http://www.altera.com> をご覧ください。

図 1 Simulator Settings のダイアログ・ボックス



Quartus IIソフトウェアのPowerFitテクノロジー

アルテラの新しいQuartus™ II 開発ソフトウェアのバージョン1.0には業界最高速のコンパイル時間を実現したPowerFit™テクノロジーが組み込まれています。これらの性能改善は、タイミング・ドリブンの配置機能(プレイサ)を補完した新たなタイミング・ドリブンの配線機能(ルータ)によって実現されています。

PowerFitテクノロジーはデザインの生産性を高め、デザインの目標値を短時間で達成することが可能になります。

タイミング・ドリブン・プレイサとタイミング・ドリブン・ルータはシームレスに動作して、プロジェクトに要求される性能に適合させます。双方の機能はタイミング・アサインメントをベースにしてロジック・セルの配置を最適化し、もっとも高速な配線リソースを選択します。Quartus II 開発ソフトウェアがこれらの先進機能を実現したPowerFitテクノロジーによって強化されたことにより、 f_{MAX} の性能、I/Oのタイミング性能、そしてコンパイル時間が改善されています。Quartus II 開発ソフトウェアでは、このPowerFitテクノロジーが、すべてのAPEX™デバイスに対するデフォルトの設定になっています。

Quartus IIのPowerFitテクノロジーの詳細と達成可能な最高性能を得る方法については、15ページのDesign Tips「PowerFitテクノロジーで要求性能を達成する方法」をご覧ください。

Quartus IIソフトウェアは、system-on-a-programmable-chip (SOPC) デザインに対する業界初の完全な設計環境を提供しています。Quartus IIソフトウェアは、アルテラのAPEX デバイス、Excalibur™エンベデッド・プロセッサ・ソリューション(Nios™エンベデッド・プロセッサ、ARM®およびMIPS-based™デバイス)をサポートしています。全層に銅配線を採用したAPEX 20KCデバイスもQuartus IIソフトウェアによってサポートされており、同じ開発環境でシステム性能をさらに向上させることができます。

Quartus IIソフトウェアには電力解析用ソフトウェア、PowerGauge™も組み込まれており、デザイン・サイクルの初期段階からシステム・レベルの消費電力を推定し、最適化することができます。さらに、Quartus IIソフトウェアには検証フローを改善するSignalTap™ロジック解析機能や、最新のインターネット・ブラウザによってアルテラのwebサイト(<http://www.altera.com>)にアクセスし、フル・サポートを受けることができるようにしたシステム・エンジニアリング機能も内蔵されています。

Quartus IIソフトウェアの詳細については、アルテラのwebサイトを参照するか、日本アルテラの販売代理店にお問い合わせください。

Quartus II開発ソフトウェアがPowerFitテクノロジーによって強化されたことにより、 f_{MAX} の性能、I/Oのタイミング性能、そしてコンパイル時間が改善されています。

Quartus IIソフトウェアのプロジェクト・アーカイブ機能

Quartus™ IIソフトウェアの「プロジェクト・アーカイブ」機能を活用することによって、プロジェクトをアーカイブ前と同じ状態でリストアすることができます。このプロジェクト・アーカイブ機能は、すべてのプロジェクト・ファイルをQuartus IIソフトウェアの単独のアーカイブ・ファイル(.qar)にコピーし、データ圧縮の技術を使用してディスク・スペースにストアします。それ以降に、プロジェクト・ディレクトリ内のファイルを変更した場合でも、QARファイル内のバックアップ・ファイルに影響を与えることはありません。

Quartus IIソフトウェアで、現在のプロジェクトをアーカイブするときは、下記の手順で行ってください。

1. Archive Project... (Projectメニュー)を選択します。Archive Projectのダイアログ・ボックスが表示されます。
2. Archive file nameのボックスにディレクトリ名とパス名をタイプするか、"..."のボタンを使用してドライブまたはディレクトリを選択しま

(32 ページに続く)

Quartus II ソフトウェアのプロジェクト・アーカイブ機能 (31 ページからの続き)

す。存在しないディレクトリが指定された場合は、Quartus II 開発ツールがプロジェクトをアーカイブする前に指定されたディレクトリを作成します。.qar の拡張子は、ファイル名に自動的に付加されます。ディレクトリが指定されなかった場合は、Quartus II 開発ツールが QAR ファイルを現在のワーキング・ディレクトリにセーブします。

3. すべてのコンパイルーションとシミュレーションで生成されたファイルをセーブしたいときは、「Include outputs of compilation and simulation」のチェック・ボックスにチェックを入れます。
4. プロジェクト内で使用されたシステム・ライブラリ・ファイルをアーカイブしたいときは、「Include functions from system libraries」のチェック・ボックスにチェックを入れます。例えば、このチェック・ボックスにチェックを入れることによって、あらゆる MegaCore[®] ファンクションや LPM (Library of Parameterized Modules) のメガファンクションのデザイン・ファイルと、これらのメガファンクションに関連したファイルがセーブされます。これらのファイルをセーブしたくないときは、このチェック・ボックスにチェックを入れないでください。
5. デフォルト設定では、現在のプロジェクト・ディレクトリ内にあるすべてのファイルがアーカイブ・ファイルにセーブされるようになっています。Add/Remove Files のボタンを使用して、アーカイブにファイルを追加したり、セーブする必要のないファイルを除去することができます。
6. OK を選択します。アーカイブ・ディレクトリ内にあるファイル名が、指定されたアーカイブ・ファイル名と同じになっていると、ファイルをオーバーライトするかについてメッセージが表示されます。

アーカイブ処理が完了すると、「Archive Complete」のステータス・ウィンドウが表示されます。

View archive log のチェック・ボックスにチェックを入れておくと、「Archive Complete」のステータス・ウィンドウを閉じた後で、Quartus アーカイブ・ロ

グ・ファイル (.qarlog) の内容を見ることができません。この QARLOG ファイルには、アーカイブに含まれているすべてのファイルの記録とアーカイブ・プロセス中に生成されたすべてのメッセージが記録されています。OK を選択して、「Archive Complete」のステータス・ウィンドウを閉じます。

アーカイブされたプロジェクトのリストア方法
アーカイブされたプロジェクトをリストアするときには、以下の手順で行います。

1. Restore Archived Project...(Project メニュー) を選択します。Restore Archived Project のダイアログ・ボックスが表示されます。
2. 「Archive name」のボックスにリストアするアーカイブ・ファイルの名前とパスをタイプするか、「...」のボタンを使用してドライブまたはディレクトリを選択します。Show Log のボタンを使用して選択されたアーカイブ内にストアされているファイルのリストを表示させることができます。
3. 「Destination folder」のボックスにアーカイブ・ファイルをリストアしたい場所へのパスを入力するか、「...」のボタンを使用してドライブまたはディレクトリを選択します。

アーカイブをリストアするプロセスが完了すると、「Project Restoration Complete」のステータス・ウィンドウが表示されます。「Project Restoration Complete」のステータス・ウィンドウをクローズした後で、QARLOG ファイルの内容を見たいときは、View archive log のチェック・ボックスにチェックを入れておきます。OK のボタンを選択して、「Project Restoration Complete」のステータス・ウィンドウをクローズします。

まとめ

Quartus II 開発ツールのアーカイブ・プロジェクト機能によって、プロジェクトの現在の状態を簡単にまた短時間でセーブする方法が提供されています。ユーザはプロジェクトを確認された動作状態でアーカイブしておき、新しい機能の追加や性能の最適化を行うときにプロジェクトを修正、変更することができます。また、アーカイブのリストア機能を活用することによって、どの段階でもプロジェクトを以前の動作状態に戻すこともできます。

Quartus II 開発ツールのアーカイブ・プロジェクト機能によって、プロジェクトの現在の状態を簡単にまた短時間でセーブする方法が提供されています。

製造中止品に関する最新情報

アルテラは製造工程の効率をさらに向上させるため、下記の表 1 に示されている製品の製造を中止する予定です。ユーザによる最終的な一括発注をサポートするため、アルテラは、これらの製品の多くを2003年末まで継続して出荷する予定です。表 1 には、これら製造中止品の最終受注期限と最終出荷期限が記載されています。製造中止品のオーダ・コードの詳細については、関係資料の欄に表示されているアルテラ発行の製造中止連絡書(PDN)で確認してください。なお、アルテラが製造を中止した以降も、各

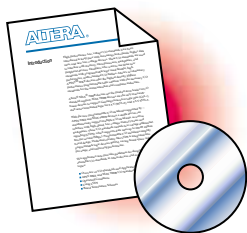
社の製造中止品を専門に供給しているロチェスタ・エレクトロニクス社からこれら製品の供給が継続的にサポートされる予定です。詳細については、ロチェスタ・エレクトロニクス社(電話: 米国(508)462-9332)または同社の日本代理店、小松セミコン株式会社(電話: 03-3573-6828)へお問い合わせください。

また、製造中止品に関するその他の情報は、日本アルテラの販売代理店へお問い合わせください。

アルテラは、製造中止品の多くを2003年末まで継続して出荷する予定です。

製品ファミリ	該当製品	最終受注期限	最終出荷期限	関係資料
Classic	特定のドライ・バック・オプション付き製品	08/31/01	02/28/02	PDN 0102
MAX 7000	特定のドライ・バック・オプション付き製品	08/31/01	02/28/02	PDN 0103
MAX 9000	特定のキャリア・オプション付き製品 特定の製品	08/31/01 02/28/02	02/28/02 08/31/02	PDN 0106
FLEX 8000	特定の PGA パッケージ製品	02/28/02 02/28/03	08/31/02 08/31/03	PDN 0107
FLEX 10K	特定の PGA パッケージ製品	02/28/02	08/31/02	PDN 0107
	特定の PGA および BGA パッケージ製品	02/28/03	08/31/03	PDN 0107
FLEX 10KA	特定の PGA パッケージ製品	02/28/03	08/31/03	PDN 0107
FLEX 10KE	特定の PGA パッケージ製品	02/28/03	08/31/03	PDN 0107
APEX 20K	特定の PGA パッケージ製品	02/28/03	08/31/03	PDN 0107

アルテラの新規刊行資料



アルテラから下記の新しい資料が刊行されています。各資料はアルテラの web サイト、<http://www.altera.com>からダウンロードすることができます。なお、*印のある資料は日本語版も発行（一部は製作中）されています。カッコ内の記号は、アルテラのドキュメント番号です。

- Altera Digital Library CD-Rom, Version 1 (P-CD-ADL2001-01)
- ACEX Devices Brochure (M-GB-ACEX-01) *
- Quartus II Brochure (M-GB-QUARTUSII-01) *
- Mercury Programmable Logic Device Family Data Sheet (A-DS-MERCURY-01)
- ATM Cell Processor 155 Mbps MegaCore (CP155) Function (A-UG-IPATM155-01)
- ATM Cell Processor 622 Mbps MegaCore Function (CP622) User Guide (A-UG-IPATM622-01)
- PPP Packet Processor 622 Mbps MegaCore Function (PP622) User Guide (A-UG-IPPPP622-01)
- PPP Packet Processor 155 Mbps MegaCore Function (PP155) (A-UG-IPPPP155-01)
- POS-PHY Level 2 MegaCore Function User Guide (A-UG-PL2-1.0)
- SONET STS-1 Framer MegaCore Function (STS1FRM) User Guide (A-UG-IPSTS1-01)
- SONET/SDH STS-3c/STM-1 Framer MegaCore (STS3CFRM) User Guide (A-UG-IPSTS1-01)
- T3 Framer MegaCore Function (T3FRM) User Guide (A-UG-IPT3-01)
- Utopia Level 2 Slave MegaCore Function User Guide (A-UG-IPUTOPIASLV-01)
- Utopia Level 2 Master MegaCore Function User Guide (A-UG-IPUTOPIAMSTR-01)
- IIR Compiler MegaCore Function User Guide (A-UG-IIRCOMPILER-1.0)
- APEX CAM as Cache for External CAM White Paper (M-WP-APEXCAMX-01)
- EPC16 Configuration Device Data Sheet (A-DS-EPC16-01)
- APEX 20KE PCI Development Board Data Sheet (A-DS-A20KEPCI-01)
- SONET/SDH STS-3c/STM-1 Framer MegaCore Function (STS3CFRM) Data Sheet (A-DS-IPSONET-01)
- SONET STS-1 Framer MegaCore Function (STS1FRM) Data Sheet (A-DS-IPSTS1-01)
- ATM Cell Processor 622 Mbps MegaCore Function Data Sheet (A-DS-IPATMCP622-01)
- ATM Cell Processor 155 Mbps MegaCore Function (CP155) Data Sheet (A-DS-IP155MBPS-01)
- PPP Packet Processor 622 Mbps MegaCore Function (PP622) Data Sheet (A-DS-IPPPP622-01)
- PPP Packet Processor 155 Mbps MegaCore Function (PP155) Data Sheet (A-DS-IP155PACK-01)
- Nios Embedded Processor SPI Peripheral Data Sheet (A-DS-EXCNIOSSPI-01)
- AN 130: CDR in Mercury Devices (A-AN-130-01) *
- AN 132: Implementing Multiprotocol Label Switching with Altera PLDs (A-AN-132-01)
- AN 133: QDR SRAM Controller Function (A-AN-133-01)
- SB 55: APEX 20KE PCI Starter & Development Kit (A-SB-055-01) *
- TB 70: Jitter Comparison Analysis APEX 20KE PLL vs. Virtex-E DLL (M-TB-070-01) *
- TB 72: Power Analysis in the Quartus II Development Tool (M-TB-072-01)
- TB 73: Archiving with the Quartus II Development Tool (M-TB-073-01)
- TB 74: Timing Driven Compilation in the Quartus II Development Tool (M-TB-074-01)

アルテラのプログラミング・ハードウェアのサポート状況

プログラミング・ハードウェアのサポート状況

下記の表1には、アルテラのMAX[®] 9000、MAX 7000、MAX 3000ファミリの各デバイス、およびコンフィギュレーション・デバイスに対応するプログラミング・アダプタの最新情報が示されています。正しいプログラミングを行うためには、25ページの「現在のソフトウェア・バージョン」を使用する必要があります。

デバイス名	パッケージ	アダプタ
EPC1064(2)	DIP, J-lead	PLMJ1213
EPC1064V(2)	TQFP	PLMT1064
EPC1441(3)		
EPC1(3)	DIP, J-lead	PLMJ1213
EPC1213(2)		
EPC2(4)	J-lead TQFP	PLMJ1213 PLMT1064
EPM9320	J-lead (84-pin) RQFP (208-pin) PGA (280-pin)	PLMJ9320-84 PLMR9000-208 PLMG9000-280
EPM9320A	J-lead (84-pin) RQFP (208-pin)	PLMJ9320-84 PLMR9000-208NC(5)
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560	RQFP (208-pin) RQFP (240-pin) PGA (280-pin) RQFP (304-pin)	PLMR9000-208 PLMR9000-240 PLMG9000-280 PLMR9000-304
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC(5) PLMR9000-240NC(5)
EPM7032	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7032S	J-lead (44-pin)	PLMJ7000-44
EPM7032AE	TQFP (44-pin)	PLMT7000-44
EPM7032B		
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100

表1 アルテラのプログラミング・アダプタ (2/3) 注(1)

デバイス名	パッケージ	アダプタ
EPM7064S	J-lead (44-pin) J-lead (84-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMJ7000-84 PLMT7000-44 PLMT7000-100NC(5)
EPM7064AE	J-lead (44-pin)	PLMJ7000-44
EPM7064B	TQFP (44-pin) TQFP (100-pin) FineLine BGA (100-pin)	PLMT7000-44 PLMT7000-100NC(5) PLMF7000-100
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7128A	J-lead (84-pin)	PLMJ7000-84
EPM7128AE	PQFP (100-pin)	PLMQ7000-100NC(5)
EPM7128B	TQFP (100-pin)	PLMT7000-100NC(5)
EPM7128S	TQFP (144-pin) PQFP (160-pin)	PLMT7000-144NC(5) PLMQ7128/7160-160NC(5)
	FineLine BGA (100-pin)	PLMF7000-100
	FineLine BGA (256-pin)	PLMF7000-256
EPM7160E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7160S	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC(5) PLMQ7128/7160-160NC(5)
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/7256-160
EPM7192S	PQFP (160-pin)	PLMQ7192/7256-160NC(5)

(36 ページに続く)

アルテラのパログラミング・ハードウェアのサポート状況 (35 ページからの続き)

デバイス名	パッケージ	アダプタ
EPM7256E	PQFP (160-pin) PGA (192-pin) PQFP (208-pin) RQFP (208-pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208 PLMR7256-208
EPM7256A	TQFP (100-pin)	PLMT7000-100NC(5)
EPM7256S	TQFP (144-pin)	PLMT7000-144NC(5)
EPM7256AE	PQFP (208-pin)	PLMR7256-208NC(5)
EPM7256B	RQFP (208-pin) FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMT7256-208NC(5) PLMF7000-100 PLMF7000-256
EPM7512AE	TQFP (144-pin)	PLMT7000-144NC(5)
EPM7512B	PQFP (208-pin) BGA (256-pin) FineLine BGA (256-pin)	PLMR7256-208NC(5) PLMB7000-256 PLMF7000-256
EPM3032A	J-lead (44-pin) TQFP (44-pin)	PLMJ3000-44 PLMT3000-44
EPM3064A	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ3000-44 PLMT3000-44 PLMT3000-100NC(5)
EPM3128A	TQFP (100-pin) TQFP (144-pin)	PLMT3000-100NC(5) PLMT3000-144NC(5)
EPM3256A	TQFP (144-pin) PQFP (208-pin)	PLMT3000-144NC(5) PLMR3256-208NC(5)

- 注:
- (1) Classic™ デバイス用アダプタについては、「Altera Programming Hardware」のデータシートを参照してください。
 - (2) FLEX® 8000用のコンフィギュレーション・デバイスです。
 - (3) FLEX 10K、FLEX 8000、FLEX 6000用のコンフィギュレーション・デバイスです。
 - (4) APEX™ 20K、FLEX 10K、FLEX 6000用のコンフィギュレーション・デバイスです。
 - (5) これらのデバイスはキャリア付きで出荷されません。

サード・パーティ・ベンダによるパログラミング・サポート

Data I/O社、BP Microsystems、System Generalの各社から、アルテラのデバイスをサポートしたパログラミング・ハードウェアが供給されています。各デバイスのパログラミング・アルゴリズムが各社のwebサイト、(<http://www.data-io.com>、<http://www.bpmicro.com>、<http://www.sg.com.tw>)を通じて提供されています。コンフィギュレーション・デバイス、およびMAX 9000ファミリとMAX 7000ファミリの各デバイスに対するサポート状況は、表2の通りです。なお、これらの情報は変更されることがあります。

デバイス名	Data I/O (1)	BP Microsystems (2)	System General (3)
EPC1064	✓	✓	✓
EPC1213	✓	✓	✓
EPC1	✓	✓	✓
EPC1441	✓	✓	✓
EPC2	✓	✓	✓
EPM3032A	✓	✓	✓
EPM3064A	✓	✓	✓
EPM3128A	✓	✓	✓
EPM3256A	(4)	✓	✓
EPM7032	✓	✓	✓
EPM7032AE	✓	✓	✓
EPM7032B	(4)	(4)	(4)
EPM7032S	✓	✓	✓
EPM7064	✓	✓	✓
EPM7064AE	✓	✓	✓
EPM7064B	(4)	(4)	(4)
EPM7064S	✓	✓	✓
EPM7096	✓	✓	✓
EPM7128A	✓	✓	✓
EPM7128S	✓	✓	✓
EPM7128AE	✓	✓	✓
EPM7128B	(4)	(4)	(4)
EPM7128E	✓	✓	✓
EPM7160E	✓	✓	✓
EPM7192S	✓	✓	✓
EPM7192E	✓	✓	✓
EPM7256A	(4)	✓	✓
EPM7256AE	(4)	(4)	✓
EPM7256B	(4)	(4)	(4)
EPM7256S	✓	✓	✓
EPM7256E	✓	✓	✓
EPM7512AE	✓	✓	✓
EPM7512B	(4)	(4)	(4)
EPM9320	✓	✓	✓
EPM9320A	✓	✓	✓
EPM9400	✓	✓	✓
EPM9480	✓	✓	✓
EPM9560	✓	✓	✓
EPM9560A	✓	✓	✓

表2の注:

- (1) これらのデバイスはData I/O社UniSite用ソフトウェア、バージョン6.4でサポートされています。
- (2) これらのデバイスはBP Microsystems社のプログラマ用ソフトウェア、バージョン3.51Aでサポートされています。
- (3) これらのデバイスはSystem Genera社のバージョン1.03のプログラマでサポートされています。
- (4) これらのデバイスに対するサポート予定については、各ベンダにお問い合わせください。

ダウンロード・ケーブル

アルテラの MasterBlaster™ シリアル /USB (Universal Serial Bus) 通信ケーブル、および ByteBlasterMV™ パラレル・ポート・ダウンロード・ケーブルでプログラムまたはコンフィギュレーションできるデバイスが表3に示されています (ByteBlaster™ ダウンロード・ケーブルは ByteBlasterMVケーブルまたはMasterBlasterケーブルで代替されています)。

表3 ダウンロード・ケーブルの対応表

デバイス名	MasterBlaster (1)	ByteBlasterMV
APEX 20K	✓	✓(2)
APEX 20KE	✓	✓(2)
ACEX 1K	✓	✓
FLEX 10K	✓	✓
FLEX 10KA	✓	✓
FLEX 10KE	✓	✓
FLEX 8000	✓	✓
FLEX 6000	✓	✓
MAX 9000	✓	✓
MAX 9000A	✓	✓
MAX 7000S	✓	✓
MAX 7000A	✓	✓
MAX 7000B	✓	✓(2)
MAX 3000A	✓	✓

注:

- (1) MasterBlaster通信ケーブルと Quartus II ソフトウェアを使用することにより、デバイスへのダウンロード、SignalTap®によるロジック解析を実行することができます。また、MAX+PLUS IIのバージョン9.3以降との併用により、デバイスへのダウンロードを行うことができます。
- (2) オーダ・コードの末尾に "V" のコードが付加されている 5.0V の対応の APEX 20K デバイスの場合を除き、これらのデバイスに対しては、ByteBlasterMVダウンロード・ケーブルを 3.3V で動作させる必要があります。VCCIO ピンは、2.5V または 3.3V のいずれかに接続してください。

アルテラへのコンタクト方法

アルテラからの情報やサービスが従来よりも迅速に行えるようになってきました。お問い合わせの内容や要求されるサービスに応じて、下記へご連絡ください。

	情報提供元	連絡先
資料のご請求 (1)	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-939-6113 06-6307-7670
	株式会社バルテック	045-477-2009 06-6369-4070
	World-Wide web	英語 http://www.altera.com 日本語 http://www.altera.com/japan
価格・納期等について	株式会社アルティマ	045-939-6113 06-6307-7670
	株式会社バルテック	045-477-2009 06-6369-4070
技術的なご質問	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-939-6113 06-6307-7670 052-202-1024 028-637-4488
	株式会社バルテック	045-477-2009 06-6369-4070
	E-mail (日本アルテラ)	japan@altera.com
	FTP Site (US)	ftp.altera.com
製品案内	World-Wide web	http://www.altera.com/japan

注:

- (1) Quartus Installation and Licensing Manual、MAX+PLUS II Getting Started Manual はアルテラの web サイトから入手できます。他の MAX+PLUS® II のマニュアルについては、日本アルテラの販売代理店へお問い合わせください。

Q プログラマブル・グラウンド・ピンとは何ですか？ また、どのように使用するのでしょうか？

A APEX™ 20K、APEX 20KE、FLEX® 10K、FLEX 10KE、FLEX 8000、FLEX 6000、MAX® 7000AE、MAX 7000Bを含む一部の製品には、I/O ピンをデバイスの内部グラウンドにダイレクトに接続できる機能が提供されています。この機能はデバイスの雑音余裕度を強化するため、グラウンド・バウンスが問題になるデザインに対して特に有効です。例えば、ある出力ピンが他のデバイスのクロックとして使用される重要な信号になっている場合は、このピンに隣接する2本のピンをプログラマブル・グラウンドとして使用し、この信号をシールドしてグラウンド・バウンスによる影響を抑えることができます。

また、Quartus™ およびMAX+PLUS® IIソフトウェアは、デザイン内で未使用になっているI/Oピンを常にこのプログラマブルな形でグラウンド・ピンに設定します。これらのピンは、テキスト・ベースのレポート・ファイル(.rpt)またはCompiler reportのウィンドウでGNDとして表示されます。Quartus およびMAX+PLUS IIソフトウェアは、プログラマブル・グラウンド・ピン機能を使用して各デバイスアプリケーションに対して最高の雑音余裕度を実現します。

プログラマブル・グラウンド・ピン機能が使用される場合でも、アルテラのデバイス内のロジック・リソースが必要になることはありません。また、他のMAXファミリのデバイスでは、未使用になっている任意のI/OピンでマクロセルがGNDをドライブすることによって、プログラマブル・グラウンド・ピン機能をエミュレーションすることができます。

Q Internal Error: "Sub-system: DBC, File: dbc_base_facade.cpp, Line: 630. Project Database does not exist" のエラー・メッセージが表示されました。原因は何でしょうか？

A このエラー・メッセージが表示される原因のひとつには、Quartusソフトウェアの複数のバージョンをインストールした後で、PATHの環境変数または登録されたパスが更新されていないことが考えられます。

下記の手順により、\quartus\binのディレクトリからrunq.exeのプログラムを使用してQuartusソフトウェアをマニュアルで起動することができます。

1. 新しいDOSのウィンドウをオープンします。
2. ディレクトリを<Quartusソフトウェアのバージョン2000.09のルート・ディレクトリ>\binに変更し、runq-qを実行します。
3. DOSのウィンドウをクローズします。
4. Quartusソフトウェアを起動します。

Q APEX 20Kデバイスで規定されている t_{skew} の値は、何を表しているのでしょうか？

A t_{skew} のパラメータは、関連するClockLock™とClockBoost™回路で生成されたクロック間でのスキュー遅延を表しています。APEX 20KEデバイスでは、 t_{skew} の値が0になっています。また、APEX 20Kデバイスのこの値は、アプリケーション・ノート、AN 115 (Using the ClockLock & ClockBoost PLL Features in APEX Devices)で規定されています。このアプリケーション・ノートは、アルテラのwebサイト、<http://www.altera.com>から入手可能です。

Q Quartus™ソフトウェアのバージョン2000.05または2000.09で生成されたVHDL出力ファイル(.vho)をModelSim-Alteraソフトウェア(バージョン5.3dまたは5.4c)を使用してシミュレーションしたときに、"# ERROR: Recompile"のエラー・メッセージが表示されました。どのような原因が考えられますか？

A ModelSim-Alteraソフトウェアと共に供給されたコンパイル済みのライブラリが原因になって、下記のようなエラー・メッセージが表示されます。このエラー・メッセージはVHOファイルを使用してシミュレーションした場合にのみ表示されます。

```
# ERROR: Recompile :/modeltech_ae/  
altera/vhdl/  
apex20ke.apex20ke_ram_slice(structure)  
because d:/modeltech_ae/altera/  
vhdl/apex20ke.and1 changed
```

この問題を解決したライブラリが、アルテラのwebサイト (<http://www.altera.com>) 内のOEM Development Software-Download Centerのページ (http://www.altera.com/products/software/download/dnl-download_dl.html)にあるaltera.zipという名前のファイルに含まれています。



Q APEX 20K と FLEX 10K デバイスでは、何故 V_{IH} と V_{IL} に 2 種類の値が規定されているのでしょうか？

A V_{IH} と V_{IL} の値は、下記のフォーマットで規定されています。

$$V_{IH} = A \text{ または } Y \times V_{CCIO}$$

$$V_{IL} = B \text{ または } Z \times V_{CCIO}$$

ここで、 A と B の値は通常の LVTTTL および LVCMOS の動作を行うときの V_{IN} に適用され、 Y と Z の値は 3.3V の PCI (Peripheral Component Interconnect) 仕様に準拠した動作を行うときの V_{IN} に適用されます。

APEX 20K Programmable Logic Device Family のデータシートおよび FLEX 10K Embedded Programmable Logic Family のデータシートは、各 V_{IH}

と V_{IL} の値が使用条件に応じて正確に記述されるように更新される予定です。

Q ModelSim Altera ソフトウェアの PC バージョンで、"Failure to obtain a simulation license # Error loading design when opening a design to simulate in ModelSim Altera Edition" というエラーメッセージが表示されました。どのような原因が考えられますか？

A この問題の原因としては、コンピュータ上で複数の ModelSim ソフトウェアが動作していることが考えられます。このような場合は、2 番目の ModelSim が起動され、この 2 番目のコピーでシミュレーションを実行するためにデザインがオープンされたときに、このエラーが発生します。このエラーを解消するためには、コンピュータ上で動作可能な ModelSim がひとつだけになるようにします。

アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドには、アルテラの Excalibur™、Mercury™、APEX™ 20K、ACEX™ 1K、FLEX® 10K、FLEX 6000、MAX® 9000、MAX 7000、MAX 3000 および コンフィギュレーション・デバイス・ファミリの製品がまとめられています。その他のアルテラ製品に関する情報は、「コンポーネント・セレクト・ガイド」(日本

語版)に記載されています。各製品の最新情報を、アルテラの web サイト、<http://www.altera.com> で確認してください。なお、ここに掲載されている製品の一部はまだ供給されていません。各デバイスの最新の供給状況については、販売代理店へお問い合わせください。

Excalibur デバイス							
デバイス名	ゲート数	ピン / パッケージ・オプション	I/O ピン数	電源電圧	ロジック・エレメント数	RAM ビット数	エンベデッド・プロセッサ
EPXA1	100,000	484-Pin BGA ² , 672-Pin BGA ² , 612-Pin BGA	173, 178, 178	1.8 V	4,160	53,248	ARM922T 32-bit
EPXM1	100,000	484-Pin BGA ² , 672-Pin BGA ² , 612-Pin BGA	173, 178, 178	1.8 V	4,160	53,248	MIPS32 4Kc
EPXA4	400,000	672-Pin BGA ² , 1020-Pin BGA ² , 612-Pin BGA, 864-Pin BGA	275, 360, 215, 360	1.8 V	16,640	212,992	ARM922T 32-bit
EPXM4	400,000	672-Pin BGA ² , 1020-Pin BGA ² , 612-Pin BGA, 864-Pin BGA	275, 360, 215, 360	1.8 V	16,640	212,992	MIPS32 4Kc
EPXA10	1,000,000	1020-Pin BGA ² , 864-Pin BGA	521, 365	1.8 V	38,400	327,680	ARM922T 32-bit
EPXM10	1,000,000	1020-Pin BGA ² , 864-Pin BGA	521, 365	1.8 V	38,400	327,680	MIPS32 4Kc

Mercury デバイス						
デバイス名	ゲート数	ピン / パッケージ・オプション ¹	I/O ピン数 ¹	電源電圧	ロジック・エレメント数	RAM ビット数
EP1M120	120,000	484-Pin BGA ²	303	1.8 V	4,800	49,152
EP1M350	350,000	780-Pin BGA ²	486	1.8 V	14,400	114,688

(40 ページに続く)

アルテラ・デバイス・セレクション・ガイド
(39 ページからの続き)

APEX 20Kデバイス						
デバイス名	ゲート数	ピン/パッケージ・オプション ¹	I/Oピン数 ¹	電源電圧	ロジック・エレメント数	RAMビット数
EP20K30E	30,000	144-Pin TQFP, 144-Pin BGA ² , 208-Pin PQFP, 324-Pin BGA ²	92, 93, 128, 128	1.8 V	1,200	24,576
EP20K60E	60,000	144-Pin TQFP, 144-Pin BGA ² , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ² , 356-Pin BGA	92, 93, 148, 151, 196, 196	1.8 V	2,560	32,768
EP20K100	100,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ² , 356-Pin BGA	101, 159, 189, 252, 252	2.5 V	4,160	53,248
EP20K100E	100,000	144-Pin TQFP, 144-Pin BGA ² , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ² , 356-Pin BGA	92, 93, 151, 183, 246, 246	1.8 V	4,160	53,248
EP20K100C	100,000	144-Pin TQFP, 144-Pin BGA ² , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ² , 356-Pin BGA	92, 93, 151, 183, 246, 246	1.8 V	4,160	53,248
EP20K160E	160,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ²	88, 143, 175, 271, 316	1.8 V	6,400	81,920
EP20K200	200,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ²	144, 174, 277, 382	2.5 V	8,320	106,496
EP20K200E	200,000	208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ² , 652-Pin BGA, 672-Pin BGA ²	136, 168, 271, 376, 376, 376	1.8 V	8,320	106,496
EP20K200C	200,000	208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ² , 652-Pin BGA, 672-Pin BGA ²	136, 168, 271, 376, 376, 376	1.8 V	8,320	106,496
EP20K300E	300,000	240-Pin RQFP, 652-Pin BGA, 672-Pin BGA ²	152, 408, 408	1.8 V	11,520	147,456
EP20K400	400,000	652-Pin BGA, 672-Pin BGA ²	502, 502	2.5 V	16,640	212,992
EP20K400E	400,000	652-Pin BGA, 672-Pin BGA ²	488, 488	1.8 V	16,640	212,992
EP20K400C	400,000	652-Pin BGA, 672-Pin BGA ²	488, 488	1.8 V	16,640	212,992
EP20K600E	600,000	652-Pin BGA, 672-Pin BGA ² , 1,020-Pin BGA ²	488, 508, 588	1.8 V	24,320	311,296
EP20K600C	600,000	652-Pin BGA, 672-Pin BGA ² , 1,020-Pin BGA ²		1.8 V	24,320	311,296
EP20K1000E	1,000,000	652-Pin BGA, 672-Pin BGA ² , 1,020-Pin BGA ²	488, 508, 708	1.8 V	38,400	327,680
EP20K1000C	1,000,000	652-Pin BGA, 672-Pin BGA ² , 1,020-Pin BGA ²		1.8 V	38,400	327,680
EP20K1500E	1,500,000	652-Pin BGA, 1,020-Pin BGA ²	488, 808	1.8 V	51,840	442,368
EP20K1500C	1,500,000	652-Pin BGA, 1,020-Pin BGA ²		1.8 V	51,840	442,368

APEX/FLEXデバイス用コンフィギュレーション・デバイス			
デバイス名	ピン/パッケージ・オプション	電源電圧	説 明
EPC1064	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	5.0 V	FLEX 8000デバイス用64Kビット シリアル・コンフィギュレーション・デバイス
EPC1064V	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3 V	FLEX 8000デバイス用64Kビット シリアル・コンフィギュレーション・デバイス
EPC1213	8-Pin PDIP, 20-Pin PLCC	5.0 V	FLEX 8000デバイス用213Kビット シリアル・コンフィギュレーション・デバイス
EPC1441 ³	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	全FLEXデバイス用440Kビット シリアル・コンフィギュレーション・デバイス
EPC1 ³	8-Pin PDIP, 20-Pin PLCC	3.3/5.0 V	全FLEXおよびAPEXデバイス用1Mビット シリアル・コンフィギュレーション・デバイス
EPC2 ³	20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	全SRAMベース・デバイス用1.6Mビット シリアル・コンフィギュレーション・デバイス
EPC4 ⁴	44-Pin PLCC, 44-Pin TQFP, 144-Pin BGA ²	1.8/2.5 V	全SRAMベース・デバイス用4Mビット シリアル/パラレル・コンフィギュレーション・デバイス
EPC16	88-Pin BGA ⁵	3.3 V	全SRAMベース・デバイス用16Mビット シリアル/パラレル・コンフィギュレーション・デバイス

ACEX 1Kデバイス						
デバイス名	ゲート数	ピン / パッケージ・オプション ¹	I/Oピン数 ¹	電源電圧	ロジック・エレメント数	RAMビット数
EP1K10	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	66, 92, 130, 130	2.5 V	576	12,288
EP1K30	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	102, 147, 171	2.5 V	1,728	24,576
EP1K50	50,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ² , 484-Pin BGA ²	102, 147, 186, 249	2.5 V	2,880	40,960
EP1K100	100,000	208-Pin PQFP, 256-Pin BGA ² , 484 Pin BGA ²	147, 186, 333	2.5 V	4,992	49,152

FLEX 10Kデバイス							
デバイス名	ゲート数	ピン / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	ロジック・エレメント数	RAMビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	59, 102, 134	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	66, 102, 134, 150	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin RQFP	102, 147, 189	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	147, 189, 246	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ² , 356-Pin BGA, 484-Pin BGA ²	102, 147, 189, 191, 246, 246	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ² , 484-Pin BGA ²	102, 147, 176, 220	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	147, 189	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA, 403-Pin PGA	189, 274, 310	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ²	189, 274, 291	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ² , 484-Pin BGA ²	102, 147, 189, 191, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K50S	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ² , 356-Pin BGA, 484-Pin BGA ²	102, 147, 189, 191, 220, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	189, 358	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100	100,000	503-Pin PGA	406	5.0 V	-3, -4	4,992	24,576
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ² , 600-Pin BGA	189, 274, 369, 406	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100B	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ²	147, 189, 191	2.5 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ² , 356-Pin BGA, 484-Pin BGA ²	147, 189, 191, 274, 338	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ² , 600-Pin BGA, 672-Pin BGA ²	186, 274, 369, 424, 413	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	599-Pin PGA, 600-Pin BGA, 672-Pin BGA ²	470, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K200S	200,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ² , 600-Pin BGA, 672-Pin BGA ²	182, 274, 369, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-1, -2, -3	12,160	40,960

FLEX 6000デバイス							
デバイス名	ゲート数	ピン / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	フリップ・フロップ数	ロジック・エレメント数
EPF6010A	10,000	100-Pin TQFP, 144-Pin TQFP	71, 102	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 100-Pin BGA ² , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	81, 81, 117, 171, 171	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin BGA ²	117, 171, 199, 218, 218	3.3 V	-1, -2, -3	1,960	1,960

(42 ページに続く)

アルテラ・デバイス・セレクション・ガイド
(41 ページからの続き)

MAX 7000デバイス					
デバイス名	マクロセル数	ピン / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-5, -6, -7, -10
EPM7032AE	32	44-Pin PLCC/TQFP	36	3.3 V	-4, -7, -10
EPM7032B	32	44-Pin PLCC/TQFP, 49-Pin BGA ⁵	36, 36	2.5 V	-3, -5, -7
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 52, 68, 68	5.0 V	-5, -6, -7, -10
EPM7064AE	64	44-Pin PLCC/TQFP, 49-Pin BGA ⁵ , 100-Pin TQFP, 100-Pin BGA ²	38, 40, 40, 68	3.3 V	-4, -7, -10
EPM7064B	64	44-Pin PLCC/TQFP, 49-Pin BGA ¹ , 100-Pin TQFP, 100-Pin BGA ²	38, 40, 68, 68	2.5 V	-3, -5, -7
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ² , 144-Pin TQFP, 256-Pin BGA ²	68, 84, 84, 100, 100	3.3 V	-6, -7, -10, -12
EPM7128AE	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ² , 144-Pin TQFP, 169-Pin BGA ⁵ , 256-Pin BGA ²	68, 84, 84, 100, 100, 100	3.3 V	-5, -7, -10
EPM7128B	128	49-Pin BGA ⁵ , 100-Pin TQFP, 100-Pin BGA ² , 144-Pin TQFP, 169-Pin BGA ⁵ , 256-Pin BGA ²	40, 84, 84, 100, 100, 100	2.5 V	-4, -7, -10
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-7, -10, -15
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7256S	256	208-Pin PQFP	164	5.0 V	-7, -10, -15
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	84, 120, 164, 164	3.3 V	-7, -10, -12
EPM7256AE	256	100-Pin TQFP, 100-Pin BGA ² , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ²	84, 84, 120, 164, 164	3.3 V	-5, -7, -10
EPM7256B	256	100-Pin TQFP, 144-Pin TQFP, 169-Pin BGA ⁵ , 208-Pin PQFP, 256-Pin BGA ²	84, 120, 140, 164, 164, 164	2.5 V	-5, -7, -10
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ² , 256-Pin BGA	120, 176, 212, 212	3.3 V	-7, -10, -12
EPM7512B	512	144-Pin TQFP, 169-Pin BGA ⁵ , 208-Pin PQFP, 256-Pin BGA ² , 256-Pin BGA	84, 120, 140, 212, 212, 212	2.5 V	-5, -7, -10

MAX 3000デバイス					
デバイス名	マクロセル数	ピン / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM3032A	32	44-Pin PLCC, 44-Pin TQFP	34, 34	3.3 V	-4, -7, -10
EPM3064A	64	44-Pin PLCC, 44-Pin TQFP, 100-Pin TQFP	34, 34, 66	3.3 V	-4, -7, -10
EPM3128A	128	100-Pin TQFP, 144-Pin PQFP	80, 96	3.3 V	-5, -7, -10
EPM3256A	256	144-Pin TQFP, 208-Pin PQFP	116, 158	3.3 V	-7, -10

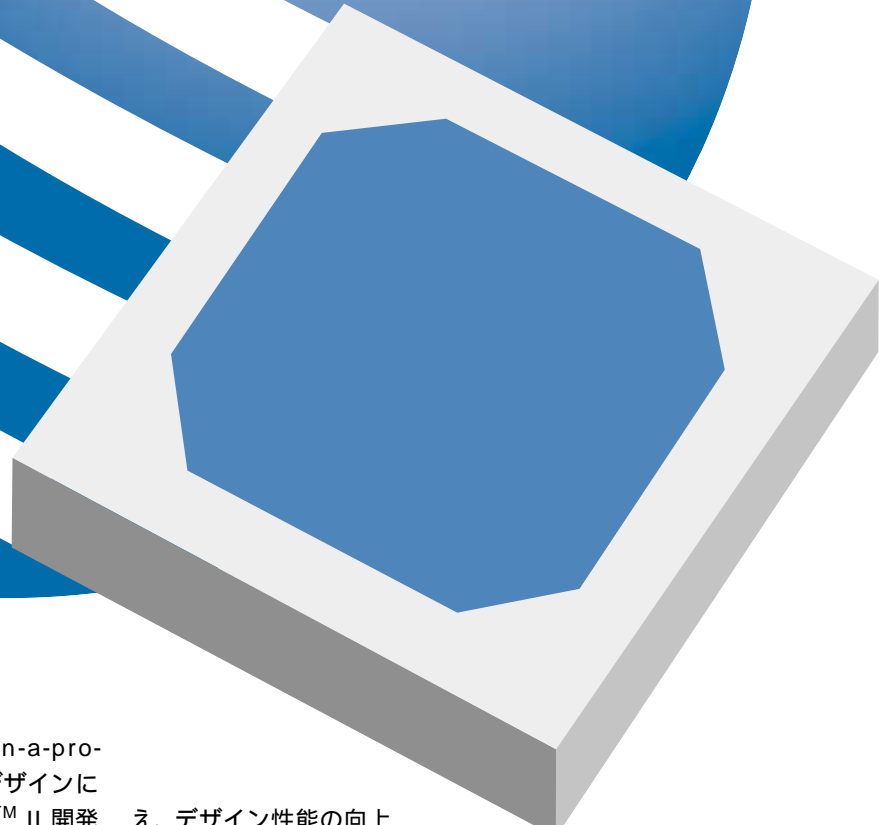
MAX 9000デバイス					
デバイス名	マクロセル数	ピン / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	5.0 V	-10
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	5.0 V	-15, -20
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	5.0 V	-15, -20
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-15, -20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-10
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-15, -20

表中の注：

- (1) 暫定仕様です。最新情報については、日本アルテラまたは販売代理店へお問い合わせください。
- (2) このパッケージは、実装スペースを削減する FineLine BGA パッケージです。
- (3) これらのデバイスは、3.3V または 5.0V のいずれかの電源電圧で動作するようにプログラムすることができます。
- (4) このデバイスは、1.8V または 2.5V のいずれかの電源電圧で動作するようにプログラムすることができます。
- (5) このパッケージは実装スペースを削減する 0.8 ミリ・ピッチの Ultra FineLine BGA パッケージです。

QUARTUS II

待ち望んでいた ソフトウェア



高性能がここに

アルテラが完全な system-on-a-programmable-chip (SOPC) デザインにおける最新の進歩、Quartus™ II 開発ツールを発表します。Quartus II は、高い性能、APEX™ 20KC デバイスなどの高集積PLD、Excalibur™ ソリューションとの組み合わせにより、前世代のツールに比べ、デザイン性能を最大50%向上できます。

必要とされる先進の機能

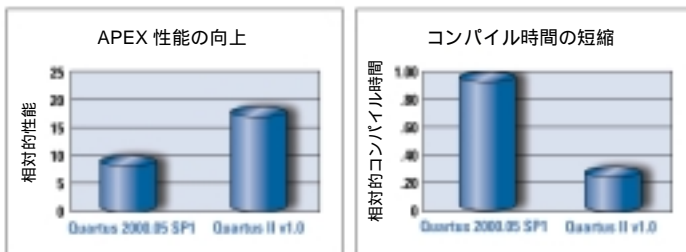
Quartus II ソフトウェアの中核をなすのは、より高い性能と業界最高速のコンパイル時間を提供する新しいタイミング・ドリブン配置配線エンジンです。また、ソフトウェアは高度化したタイミング解析や消費電力解析、インクリメンタル・デザイン機能を備

え、デザイン性能の向上と開発時間の短縮を実現することができます。ハードウェアとソフトウェアが統合されたワークフローは既存のデザイン・フローにシームレスに適合し、ユーザのデザイン・プロセスをさらに改善することができます。

もう、待つ必要はありません

Quartus II ソフトウェアが、プログラマブル・チップ上にシステム全体を実現するのにどのように役立つのか、アルテラのウェブサイト <http://www.altera.com/fast-tools> でお確かめください。

待っていた価値があることがわかりいただけるでしょう。

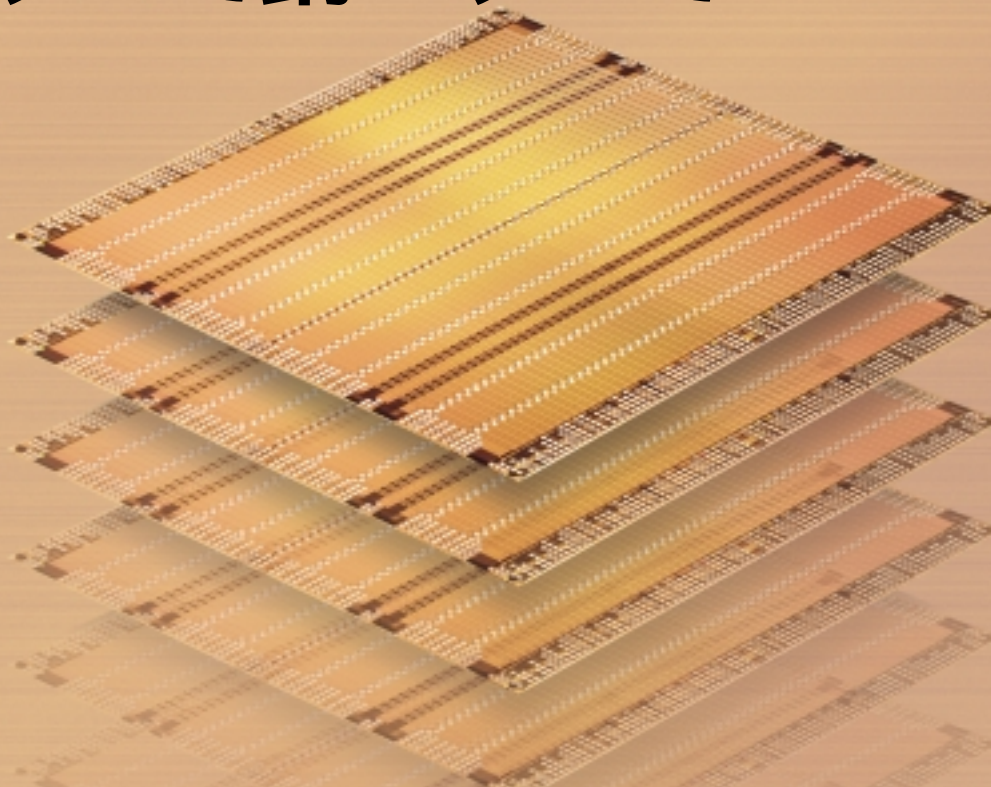


ALTERA

The Programmable Solutions Company®

<http://www.altera.com/fast-tools>

すべて銅 すべて APEX



APEX 20KC 全層銅配線 PLD

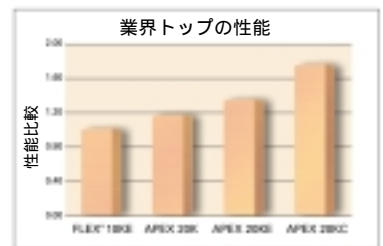
性能のすべて

APEX™ 20KC デバイスは、通信アプリケーションにおける性能で業界をリードします。業界初の全層銅配線技術を使用した APEX 20KC デバイスは、アルテラの 0.18μm プロセスの製品と比較して、コア性能を 25% ~ 35% 向上させます。



必要なことは、これがすべてです

<http://www.altera.com/copper> で、APEX 20KC デバイスであるあなたのシステムがどれくらい速く動作するかお確かめください。全層銅配線がもたらす性能のアドバンテージがお判りいただけることでしょう。



帯域幅のすべて

0.15μm プロセスの APEX 20KC デバイスは、唯一、最高データ転送速度 840 Mbps の True-LVDS™ 専用回路を備えた銅配線デバイスです。高速コア性能と相まって、APEX 20KC デバイスは OC-192 や 10-Gbit SONET/SDH プロトコルなどの通信アプリケーションを含む高帯域幅の system-on-a-programmable-chip (SOPC) アプリケーションに理想的なデバイスです。

ALTERA®

The Programmable Solutions Company®

<http://www.altera.com/copper>

Copyright © 2001 Altera Corporation. Altera, APEX, APEX 20K, APEX 20KC, APEX 20KE, FLEX, FLEX 10KE, True-LVDS, The Programmable Solutions Company および特定のデバイス名称は Altera Corporation の米国およびその他の国における商標またはサービス・マークです。ここに記載されている製品の仕様は予告なく変更されることがあります。All rights reserved.

ALTERA®

 日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1
新宿アイランドタワー32F 私書箱1594号
TEL: 03-3340-9480 FAX: 03-3340-9487
<http://www.altera.com/japan>
E-mail: japan@altera.com

本社 **Altera Corporation**

101 Innovation Drive, San Jose, CA 95134
TEL: (408) 544-7000
<http://www.altera.com>

NEWS & VIEWS はユーザの皆様へアルテラの最新情報をお届けするため、年4回発行されております。ここに記載されている内容に起因した第三者の損害に対して当社は一切の責務を負うものではなく、また記載されている回路などの特許、特許使用権を許諾するものではありません。

The System-on-a-Programmable-Chip Solution.