

# News

2003年冬季号

# Views

アルテラ・ユーザのためのニュースレター

## ASICの利点を 容易に享受

HardCopy Stratix デバイス・ファミリ(4ページ)

### 本号の内容

- Quartus II ソフトウェア・バージョン 3.0:  
独自のフィジカル・シンセシス・オプション  
8ページ
- SOPC WORLD 2003 カンファレンス:  
Roadmap to the Future  
25ページ
- HardCopy に関する Q&A  
27ページ

20 YEARS of

**ALTERA**  
INNOVATION



## HardCopy Stratix — 独自のクラス

ASIC 開発コストの上昇が業界全体で問題となっているのはご存知のとおりです。プロセスが新しくなるたびに開発コストが確実に増加しており、多数のシステム設計者が増大する投資を適正なものとするよう強く迫られています。これらのリスクは、実は ASIC 製造業者自身の大きな問題なのです。ASIC は依然として特定クラスの量産向け、超高集積度、および高性能アプリケーションに対する有効なソリューションであり、しっかりと地位を確保しています。しかし、これらの量産アプリケーションの数は減少し続けています。ASIC は、開発費用として数百万ドルの先行投資が必要であるため、ルータ、モデム、セットトップ・ボックス、エンタプライズ・ストレージ・システム、プリンタ、HDTV など、生産量が数万個から数十万個の範囲にあるアプリケーションに対する有効なオプションではなくなってきています。このようなアプリケーションにはコスト効果の高い新しいソリューションが必要であり、チップ業界に「ギャップ」（すなわち、ASIC の費用を適正なものとするには生産量が少なすぎ、FPGA ではシステム全体のニーズを満たすことができない、アプリケーションの隙間）が生じています。以下の図を参照してください。

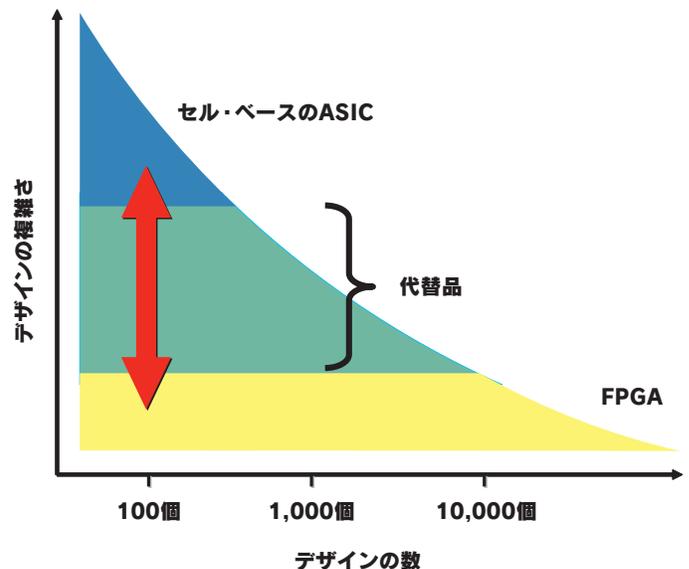
アルテラは、このビジネスチャンスをお早く察知し、去

る2001年10月に最初のHardCopy™デバイスを発表しました。このFPGA ベースのASIC 代替品は、総シリコン・コストを最大70%削減しただけでなく、構想から生産までの標準的なASIC 開発サイクルを15ヶ月から8ヶ月へと大幅に短縮しました。

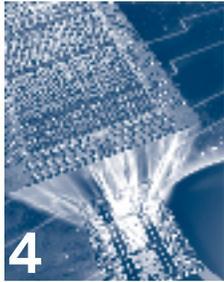
今年、アルテラはHardCopy Stratix™デバイスの発表によって大きな飛躍を遂げ、リーダーとしての地位を強固なものにしました。このHardCopyシリーズの新しいエディションは独自の設計手法を備えており、新しいQuartus® IIソフトウェア・バージョン3.0以降によってサポートされています。ASIC 設計者とFPGA 設計者はどちらも同じように、最初からHardCopy デバイスをターゲットにできるようになりました。Quartus II デザイン・ソフトウェアは、同等のStratix™デバイスよりも性能を平均50%向上させたり、消費電力を平均40%低減させたりするオプションなど、設計者がHardCopy Stratix デバイスの多くの利点を活用するのに必要なタイミングおよび消費電力見積りツールをすべて備えています。アルテラのIP (Intellectual Property) コア、特に広く使用されているNios® エンベデッド・プロセッサからHardCopy Stratix デバイスへの移行はシームレスで、しかもロイヤリティ・フリーです。

少数生産にはFPGA、量産にはHardCopy デバイス、プロトタイプ作成からHardCopy の実装にはFPGA というように途中で考え直すことができます。このようなリスクのないオプションがすべて、わずか2,000ドルのQuartus II ツールを介して自由に使用できます。結果的に、システム設計者は、迅速かつコスト効果の高いシステム開発に必要なあらゆる柔軟性を享受することになります。

HardCopy Stratix および Quartus II ソフトウェア・バージョン 3.0 以降の詳細な内容については、本号の News & Views をご覧ください。HardCopy Stratix と Quartus II ソフトウェア・バージョン 3.0 以降は独自の強力な組み合わせであり、すべての設計者はデザインを完全にコントロールできるようになります。



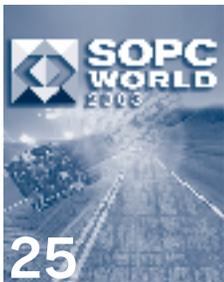
Tim Colleran  
Vice President of Product Marketing



## ASICの利点を 容易に享受



## Quartus II ソフトウェア バージョン3.0



## SOPC WORLD

### 特集記事

ASICの利点を容易に享受: HardCopy Stratix デバイス・ファミリ .....	4
Quartus II ソフトウェア・バージョン3.0 — 独自のフィジカル・シンセシス・オプション...	8

### デバイス & ツール

HardCopy: ASICの包括的な代替手段 .....	10
すべてのCyclone デバイスを量産出荷中 .....	10
すべてのStratix デバイスを量産出荷中 .....	11
高速システムの課題に対処 .....	12
ソフトウェア開発バックがQuartus II 3.0に同梱 .....	12
Nios 開発キットのStratix Professional Editionを出荷中 .....	13
MAX 3000A が工業用および拡張温度をサポート .....	15
Quartus II ソフトウェア・バージョン3.0がデザイン・サイクルを40%短縮 .....	16

### 寄稿記事

Precision RTL Synthesisによる高性能DSPデザインの実装 .....	19
---	----

### 技術論文

IPを使用してFPGAにDDR SDRAMを簡単に接続 .....	21
-----------------------------------	----

### アルテラ・ニュース

アルテラ・ユニバーシティ・プログラム .....	23
アルテラ・ハンドブック — ワンクリックで製品資料にアクセス .....	24
SOPC WORLD 2003カンファレンス: Roadmap to the Future .....	25
アルテラ・トレーニング .....	26

### Q & A

HardCopyに関するQ & A .....	27
-------------------------	----

Altera, ACAP, ACCESS, ACEX, ACEX 1K, AMPP, APEX, APEX 20K, APEX 20KC, APEX 20KE, APEX II, Atlantic, Avalon, BitBlaster, ByteBlaster, ByteBlaster II, ByteBlasterMV, Classic, ClockBoost, ClockLock, ClockShift, CoreSyn, Cyclone, DirectDrive, E+MAX, Excalibur, FastLUT, FastTrack, FineLine BGA, FLEX, FLEX 10K, FLEX10KE, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, Flexible-LVDS, HardCopy, HardCopy Stratix, IP MegaStore, Jam, LogicLock, MasterBlaster, MAX, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX 7000S, MAX 7000A, MAX 7000AE, MAX 7000B, MAX 3000, MAX 3000A, MAX+PLUS, MAX+PLUS II, MegaCore, MegaLAB, MegaWizard, Mercury, MultiCore, MultiVolt, MultiTrack, NativeLink, Nios, nSTEP, OpenCore, OptiFLEX, PowerFit, PowerGauge, Quartus, Quartus II, RapidLAB, SignalCore, SignalProbe, SignalTap, SignalTap Plus, SignalTap II, SoftMode, Stratix, Stratix GX, Terminator, The Programmable Solutions Company, TriMatrix, True-LVDS, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Adobe and Acrobat are registered trademarks of Adobe Systems Incorporated. ARM and Multi-ICE are registered trademarks and ARM922T and ETM9 are trademarks of ARM limited. HP-UX is a trademark of Hewlett-Packard Company. HyperTransport is a trademark of HyperTransport Consortium. Intel and StrongARM are registered trademarks of Intel. Mentor Graphics is a registered trademark and Exemplar, LeonardoSpectrum, and ModelSim are trademarks of Mentor Graphics Corporation. Microsoft, Windows, Windows 98, and Windows NT are registered trademarks of Microsoft Corporation. PALACE is a trademark of Aplus Design Technologies, Inc. RapidIO is a trademark of RapidIO Trade Association. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Sun is a registered trademark and Solaris is a trademark of Sun Microsystems, Inc. Synplicity, Synplify, Synplify Pro are registered trademarks of Synplicity, Inc. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader. Copyright © 2003 Altera Corporation. All rights reserved.

ご質問、ご意見などがありましたら、お知らせください。

日本アルテラ株式会社  
〒163-1332

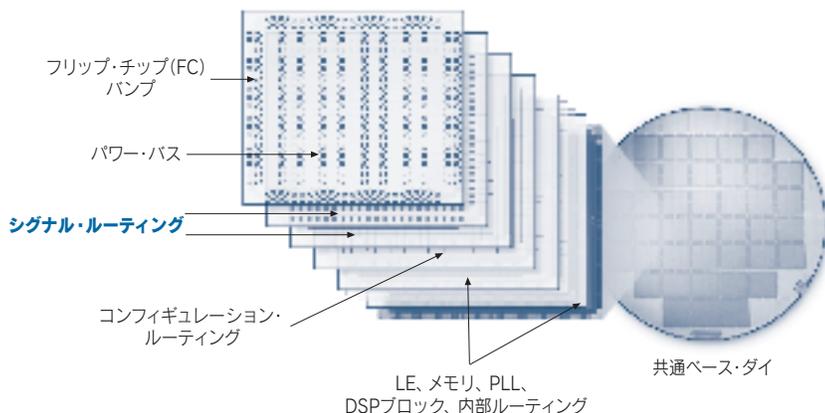
東京都新宿区西新宿6-5-1  
新宿アイランドタワー 32F  
私書箱1594号  
電話: 03-3340-9480  
FAX: 03-3340-9487  
E-mail: Japan@altera.com  
URL: http://www.altera.co.jp



## ASICの利点を容易に享受：HardCopy Stratix デバイス・ファミリ

ASICの包括的な代替手段となるアルテラのHardCopy Stratix™ デバイスは、業界で唯一、高集積デザイン向けのプロトタイプから量産までをサポートしている完全なソリューションです。プロセスの微細化が進むにつれて、マスクおよびウェハ・コストは著しく増加しています。現在、マスク・コストは0.13ミクロンのデザインで60万ドルから90nmのデザインで150万ドルまで及んでいます（“Sticker Shock for Photomasks” Electronic Business, May 1, 2003）。ASICデザインでは、数百万ゲートデバイスを作成するために多額の先行投資、高価なツール、長い製品開発サイクル、およびかなりのエンジニアリング・リソースが必要とされます。さらに、不確実な市場状況、複数のリズビに要する時間が原因で市場機会を逸することなどが、ASICの使用に伴うリスクを増幅しています。

これらの技術的および経済的な課題は、ASIC設計および開発の根本的な変化を後押ししています。ASICの代替手段となる短い設計時間と最小限の開発コストでファースト・タイム・サクセスを保証するソリューションが必要であることは明白になってきています。



HardCopy Stratix シリコン・テクノロジー

### ASICの利点を容易に享受

アルテラのHardCopy Stratix デバイスは、先に説明した、莫大な開発コスト、不確実な市場状況、長い設計および開発サイクル、および非機能的なシリコンのリスクなどの諸問題に対処します。Quartus® II ソフトウェアとIP (Intellectual Property) により、HardCopy Stratix デバイスは、リスクおよび莫大な開発コストなしでASICの包括的な代替手段を提供します。

HardCopy デバイスは、低コストのマスク・プログラムド・デバイスで、対応するFPGAのアーキテクチャおよび機能をプログラマビリティなしで継承しており、その結果ダイ・サイズは大幅に縮小されています。ユーザは、

最小限のリスク、低コスト、そして最速の「Time-to-Market」のマスク・プログラムド・デバイスへシームレスに移行する前に、フレキシビリティ、同一のシリコンにおける迅速なデザイン変更、特定の機能性に対するデザインのイン・システム検証などの利点を備えたFPGAでデザインすることができます。競合ソリューションにはないこの特長は、強力なデバイス機能を実行し、ユーザに競合と差別化を図ることを可能にします。

### HardCopy Stratix デバイス

アルテラの第2世代HardCopy デバイスであるHardCopy Stratix デバイスは、業界最先端のStratix™ FPGAのアーキテクチャおよび特長をベースとしており、DSP (デジタル信号処理) ブロックを含む30万から150万のスタンダード・セル・ゲートと同等のASICゲート集積度を提供します。HardCopy Stratix デバイスは、特定のリソース集積度に対する複数のデザインに対して共通のベース・アレイ・セットを使用して製造されており、最上部2層のメタル層はカスタム仕様です。表1を参照してください。

対応するStratix FPGAの特性を維持することにより、HardCopy Stratix デバイスは、完全なプロセス・テクノロジー (アルテラはStratix FPGAを1年以上にわたって出荷しています)、実証済みのアーキテクチャ、および様々なアプリケーションで用いられた有用な機能を備えています。同時にHardCopy Stratix デバイスは、対応するFPGAと比較するとダイ・サイズを60%~70%縮小しています。その結果生じる価格の優位性は、ユーザの製品競争力を高め、市場区分へ迅速に進出することを可能にします。

さらに、HardCopy Stratix デバイスは、対応するStratix FPGAよりも平均50%高速で最大40%低消費電力です。HardCopy Stratix デバイスをより高性能に設計するための概要については、6ページの「1つのツールで統合されたデザイン手法を実現」を参照してください。

HardCopy Stratix デバイスは、有効で高速の演算機能向けの差動信号とDSPブロックをサポートするPhase-Locked Loop (PLL) および高速I/Oピンのような強力なカスタム・デザイン機能を備えています。これらの機能により、ユーザは優れた性能を得ることができ、処理能力を最大限にします。これらの複雑なデザイン・ブロックは、ASICでその他のロジックと合わせるためにIPコアとしていくつかのベンダから入手可能ですが、ユーザは、関連した性能および機能性のリスクと共に統合および検証の問題に対応しなくてはなりません。

表 1. HardCopy Stratix デバイス・ファミリ

デバイス名	LE 数	トータルRAMビット数	DSPブロック数	PLL 数	最大ユーザI/Oピン数	パッケージ
HC1S25	25,660	1,944,576	10	6	473	672 FineLine BGA®
HC1S30	32,470	2,137,536 (1)	12	6	597	780 FineLine BGA
HC1S40	41,250	2,244,096 (1)	14	6	615	780 FineLine BGA
HC1S60	57,120	5,215,104	18	12	773	1,020 FineLine BGA
HC1S80	79,040	5,658,048 (1)	22	12	773	1,020 FineLine BGA

表1の注:

(1) HardCopy Stratix デバイスのM-RAMブロック数は、対応するFPGAよりも少なくなっています。

## 保証されたファースト・シリコンでの成功が最速の「Time-to-Market」を実現

インタコネクต์およびパッケージングに至るまで前もって製造されたベース・アレイ・セットは、著しいコストおよび「Time-to-Market」の優位性を提供します。しかしながら、開発コストの削減と迅速な量産デバイスの供給は、有効でないシリコンのリスクが排除されなければなりません。言い換えれば、ファースト・シリコンでの成功は必須です。

HardCopy Stratix デバイスは、先に説明した最短時間で量産デバイスを供給する同一のベース・アレイ・アプローチを採用しており、またFPGAで実証されたデザインに移行できる優位性も備えています。実証されたネットリストは検証時間を大幅に短縮し、さらにネットリストを維持することでリスクを最小限に抑えます。

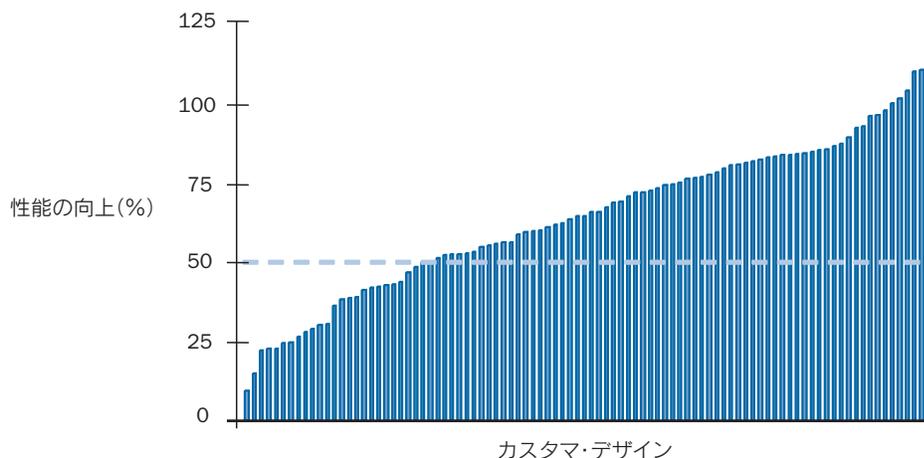
次に、ベース・アレイは、対応するFPGAと同一の立証されたプロセス・テクノロジーで製造されます。シンセシスおよび検証が伴う新しいデザイン・ライブラリにデザインを再ターゲットとする必要はありませんので、ユーザはデザイン・サイクル時間をかなり短縮することができます。

最後に、ベース・アレイは、再デザインまたは高性能FPGA機能の検証を排除するため、対応するFPGAの様々な機能を保持しています。FPGAデザインをASICへ変換する間、相当の設計時間、労力、機能および性能の不整合を取り入れることは承知のうえで、これらの機能を複製することは可能です。いくつかのASICの代替ソリューションでは、これらの構造がデザインで用いられていないのは当然です。

HardCopy Stratix デバイスは、競合ソリューションと同じような製造プロセスのコストおよび時間の優位性を提供するだけでなく、ファースト・シリコンでの成功を保証した最速の「Time-to-Market」を提供する唯一のソリューションです。現在まで、アルテラはHardCopyデバイスによって顧客に100%のファースト・シリコンでの成功を提供しています。競合ソリューションは、そのような強力なASICの代替手段を提供することはできません。

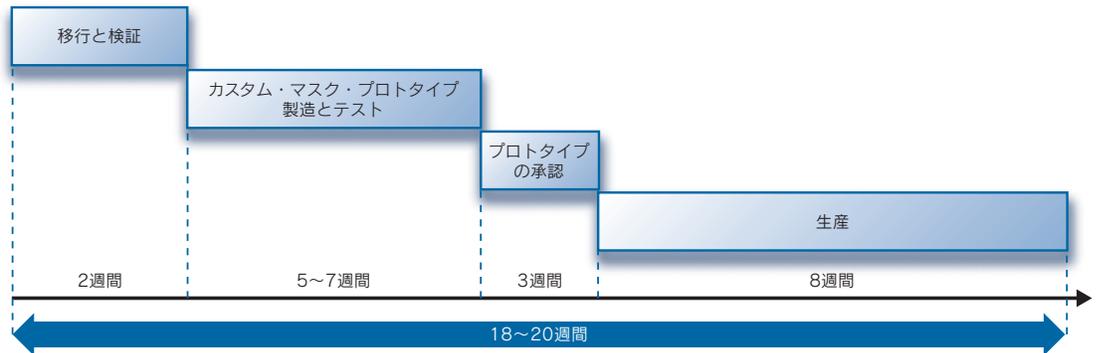
*HardCopy Stratix デバイスは、競合ソリューションと同じような製造プロセスのコストおよび時間の優位性を提供するだけでなく、ファースト・シリコンでの成功を保証した最速の「Time-to-Market」を提供する唯一のソリューションです。*

6ページに続く



*HardCopy Stratix デバイスの性能*

### HardCopy デバイスの 「Time-to-Market」



## 1つのツールで統合されたデザイン手法を実現

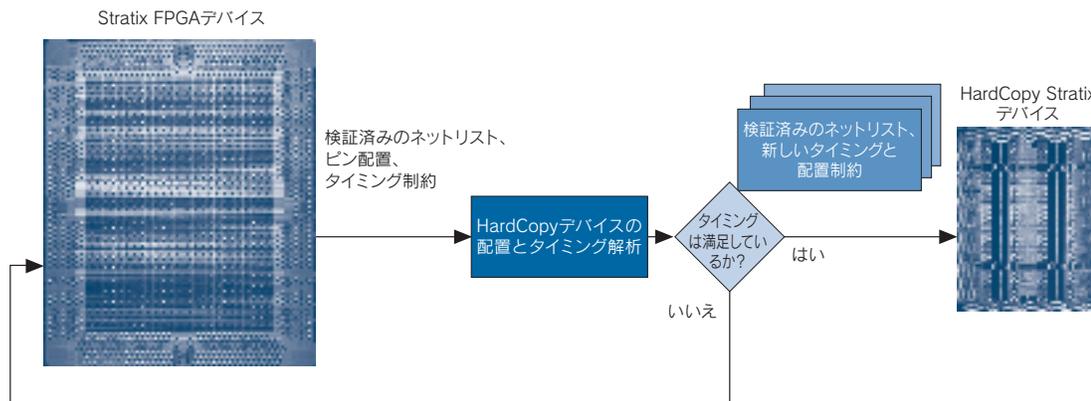
ASICデザインおよび開発ツールの価格は一般的に数十万ドルします。プロセスの微細化により、クロストーク、消費電力の大きいデザイン・ブロックのフロアプラン、および電源リングの適切なレイアウトなど、物理的なデザインの問題に対処する必要も生じました。これらの問題によって、さまざまなツールを開発サイトに含めることが要求され、ツールの費用が膨らんでいます。

HardCopy Stratix デバイスは最新の Quartus II デザイン・ソフトウェアで設計できます。

HardCopy Stratix デバイスは最新の Quartus II デザイン・ソフトウェアで設計できます。上記の問題は ASIC と同様に HardCopy Stratix デバイスにも関連するものですが、ベース・アレイは既にこれらの技術仕様に適合するように設計されています。保存されたテスト済の FPGA アーキテクチャを利用できる Quartus II ツールには、HardCopy Stratix デバイスの技術詳細がすべて含まれており、他のツールを追加する必要がありません。

Quartus II デザイン・ソフトウェア・バージョン 3.0 以降では、HardCopy Stratix デバイスを直接設計するか、または Stratix FPGA で設計してから HardCopy Stratix デバイスにシームレスに移行できます。前者の場合、Quartus II ソフトウェア内で「仮想」Stratix FPGA をターゲットにすることが可能です。デザイン・データベースをアルテラに転送することにより、固定機能デバイスに移行する前に（通常の ASIC デザイン・フローと同様に）シミュレーションによって機能とタイミングを検証するように設計できます。後者の場合、移行前にインシステム機能を検証するために、FPGA デザインのプロトタイプを作成することができます。

Stratix FPGA のデザインの性能を維持するか、または Stratix FPGA を使用して実現可能なレベル以上に性能を向上させるかどうかを選択できます。移行前に HardCopy タイミング最適化ウィザードを使用してデザインを最適化し、平均 50% の性能向上と約 40% の消費電力の削減（Stratix FPGA でのデザインの実装との比較）を達成し、最適化の結果を活用してシステムのスループットを最大化することができます。HardCopy タイミング最適化ウィザードは、システム性能についての推測をなくし、比類のないデザインの利点を提供します。



HardCopy デバイスの性能最適化

### 変換ではなく移行によりリスクを最小化

白紙の状態から設計されたASIC、あるいはFPGA デザインを変換して設計されたASICは、シリコンに不具合があるかもしれないという重大な危険性を抱えています。いずれの場合も、プロトタイプ作成段階で得られるメリットを捨てて、新しいネットリストで新しいデザインが作成されます。リスピンの可能性があるため必然的に追加開発コストが発生し、市場機会を逃がすことになります。これらの課題は、これまでプロセスの微細化に起因する物理的なデザインの問題としてのみ検討されてきましたが、デバイス・デザインへの影響はさらに深刻なものとなっています。

HardCopy Stratixのユーザは、FPGA でデザインを検証し、成功したネットリストをカスタム・デバイスに移行できることで明確な利益を得ています。この方法は、現在提供されている他のASIC 代替デザイン・フローでは得られないファースト・シリコンでの成功を保証します。成功したシームレスな移行プロセス(右のフローを参照)では、インシステムで検証されたFPGA デザインが維持され、かつタイミング・クロージャやデザイン・テスト機能など、ASICの標準的なバックエンド・デザイン作業が含まれています。

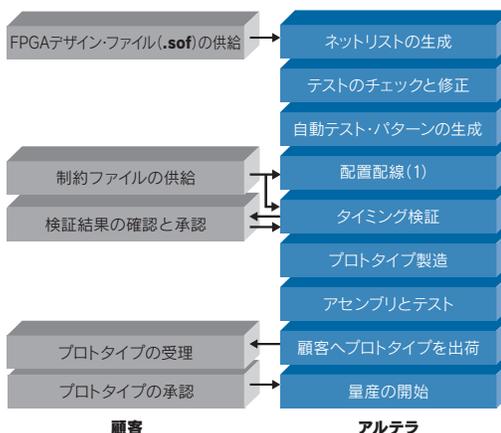
このプロセスによる大きな利点は、FPGA によって現場で設計、検証、および認定されたのと同じボードを使用して、そのFPGA をピン・コンパチブルのHardCopy Stratix デバイスに置換できることです。この置換作業は簡単であるため、他のソリューションに必要な検証、フィールド認定、および妥当性検査の再実行が不要になります。

### ベンダが1社であることの利点

ベンダが1社の場合、統合環境での調達が容易であり、成功が保証されます。アルテラはASIC からHardCopy Stratix デバイスへの移行に必要なすべての要素を提供します。

- Stratix FPGA
- HardCopy デバイス
- Quartus II ソフトウェア・ツール
- IP

現在市場で供給されているASICの代替品がいくつかありますが、アルテラのHardCopy Stratix デバイスは、リスクを最低限に抑え、将来のシリコンの成功を保証しながら、最小のコストと最速の「Time-to-Market」を実現する唯一の完全なソリューションです。



HardCopy デバイスの移行プロセス

注:  
 (1) 配置制約が指定された場合、アルテラは各配置制約に従って配置し、デザイン配線のみ行います。

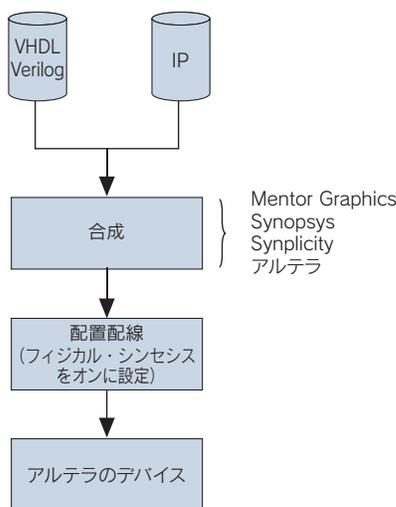
# Quartus IIソフトウェア・バージョン3.0 — 独自のフィジカル・シンセシス・オプション



Quartus® IIソフトウェア・バージョン3.0のフィジカル・シンセシス・コンパイラの機能は、いくつかのチェックボックスのコンパイラ設定オプションを有効にするだけで、デザイン性能を平均12%向上させることができます。Quartus IIのフィジカル・シンセシス・オプションは、使用する合成ツールに関係なくコンパイル・プロセスのフィッティング段階で適用されます。Quartus IIソフトウェアは、プッシュボタン・デザイン性能を向上させるフィジカル・シンセシス・オプション一式を備えた、FPGAベンダが供給する唯一のデザイン・ソフトウェアです。フィジカル・シンセシスとその他のQuartus IIの設定との異なる組み合わせを自動的に適用する新しいデザイン・スペース・エクスプローラ・スクリプトを使用して、特定のデザインに最適な設定と性能を検出することもできます。

標準的なコンパイル・フローにおいて、合成ステップでは回路の論理構造が領域または速度、あるいはその両方について最適化され、回路はロジック・エレメント (LE)、メモリ、およびデジタル信号処理 (DSP) ブロック・プリミティブなどのデバイス固有のプリミティブにマッピングされます。合成ステップは、サードパーティの合成ツールまたはQuartus IIソフトウェアに組み込まれている合成機能を使用して実行できます。配置配線ステップとしても知られるフィッタ・ステップでは、ロジックの重要な部分が互いに接近して、できるだけ高速の配線リソースで接続されるように、合成ツールで指定されるデバイス・プリミティブを配置配線します。この標準的フローにおいて、プッシュボタン式に、かつ非常に短いコンパイル時間で優れた結果を得ることが可能です。フィジカル・シンセシスの最適化では、デザインでの配置配線後の遅延に関するQuartus IIフィッタの情報を使用し、再度合成最適化を実行して回路をインテリジェントに再構成することで、遅延を補償します。回路の構造に加えられた変更は、フィッタによってデザイン内のクリティカルな「ホット・スポット」にも追加適用され、デザイン性能を向上させます。

Quartus IIのフィジカル・シンセシス・フロー

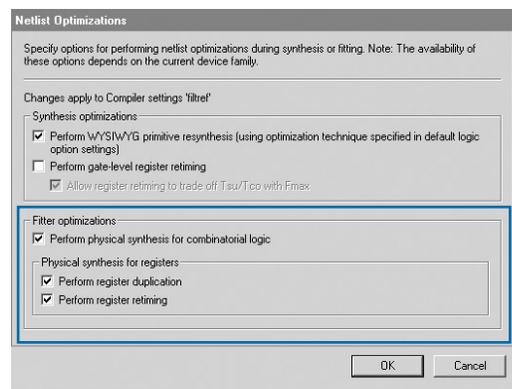


## フィジカル・シンセシスの最適化

フィジカル・シンセシスの最適化では、合成プロセスとフィッティング・プロセスを密に結合し、フィッティング／配置配線中にシリコンおよびデザイン固有のタイミング情報を適用しながら合成の最適化を実行することで、デザイン性能を向上させています。Quartus IIソフトウェアでは、デザイン性能を向上させるフィジカル・シンセシスの最適化をプッシュボタン式に行うことができ、設計者の手を煩わせることなく、また高度なトレーニングも必要ありません。Quartus IIのフィジカル・シンセシスの最適化の詳細については、アルテラのWebサイトにある「AN 198: Timing Closure in the Quartus II Software」を参照してください。

## フィジカル・シンセシス・オプションを有効にしてデザイン性能を向上

フィジカル・シンセシス・オプションはデフォルトではオフになっています。これらをオンにするには、Settingsダイアログボックス (Assignmentsメニュー) のNetlist Optimizationダイアログボックスを使用します。これら最適化の方法をユーザが制御できることは重要です。ユーザは、デザイン全体に対して、あるいは最上位レベルのデザインに取り込まれる特定のLogicLock™モジュールに対してフィジカル・シンセシスを実行できます。また、フィジカル・シンセシス最適化を行わないノードやエンティティを指定することも可能です。



Quartus IIのNetlist Optimizationsダイアログボックス

Quartus IIソフトウェアでは現在、フィジカル・シンセシス・フィットの最適化を以下の3つから選択できます。

- Physical Synthesis for Combinatorial Logic (組み合わせロジックに対するフィジカル・シンセシス)
- Physical Synthesis for Registers – Register Duplication (レジスタに対するフィジカル・シンセシス—レジスタの複製)
- Physical Synthesis for Registers – Register Retiming (レジスタに対するフィジカル・シンセシス—レジスタのリタイミング)

Perform WYSIWYG primitive resynthesis オプションおよび3つすべてのフィジカル・シンセシス・フィットの最適化を有効にすると、デザイン性能 ( $f_{MAX}$ ) が平均12%向上します。

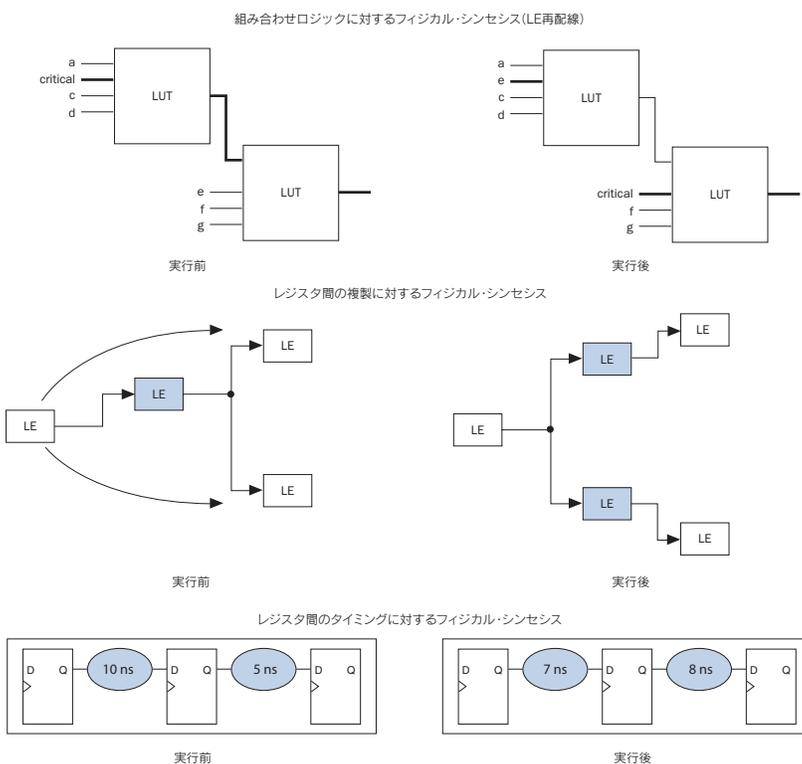
右の図は、各選択肢によって実行されるいくつかの最適化の種類を示したものです。**Physical Synthesis for Combinatorial Logic** オプションでは、クリティカル・パスが通過するレイヤ数が少なくなるようにLE接続を再配線できます。**Physical Synthesis for Registers – Register Duplication** オプションでは、複数の場所にファンアウトするレジスタを複製して、別のパスの遅延を増やすことなく1つのパスの遅延を低減できます。**Physical Synthesis for Registers – Register Retiming** オプションでは、Quartus IIフィットが組み合わせロジック全体にわたってレジスタを移動して、タイミング遅延のバランスをとり、回路全体の性能を向上させることが可能です。

## デザイン・スペース・エクスプローラにより平均デザイン性能が20%向上

各デザインには固有の特性があります。標準的なコンパイルのフローと比較した個々のフィジカル・シンセシス・アルゴリズムおよびコンパイラ設定の性能向上は、デザインごとに異なります。現在、Quartus IIソフトウェア・バージョン3.0には新しいデザイン・スペース・エクスプローラのスクリプトが含まれており、これを使用してフィジカル・シンセシス・オプションとその他のコンパイラ設定との多数の組み合わせを自動的に適用し、対象となるデザインに最適な設定をすることができます。デザイン・スペース・エクスプローラでは、デザイン性能が最大になり、領域が最適化されるようにコンフィギュレーションすることが可能であり、必要に応じて数時間または数日間動作するように設定できます。デザイン・スペース・エクスプローラによってレポートされた新しい設定を以降のコンパイルに使用して、はるかに短いコンパイル時間で同様の最適性能を実現できます。

## Quartus IIのフィジカル・シンセシス機能を最大限に活用するための方法

Quartus IIのフィジカル・シンセシス・オプションの詳細および迅速にタイミング・クロージャに到達する方法については、アルテラのWebサイトの「AN 198: *Timing Closure in the Quartus II Software*」を参照ください。



最適化の例

## アルテラのデバイスおよびツール

### HardCopy

#### HardCopy : ASICの包括的な代替手段

第2世代HardCopyデバイスであるHardCopy Stratix™デバイスは、プロトタイプから量産までの完全なソリューションを提供します。Quartus® IIソフトウェアは、HardCopyデバイスへ移行する前に相当するFPGAでプロトタイプを作成できることにより、マスク・プログラムド・デバイスであるHardCopyデバイスの直接設計を可能にするHardCopy Stratixデバイスをサポートしています。HardCopyデバイスの詳細については、4ページの「ASICの利点を容易に享受：HardCopy Stratixデバイス・ファミリ」を参照してください。

HardCopyデバイスは、ロジック・エレメント (LE) 集積度が16,000個から80,000個、または200,000個から150万個 (LEあたり12ゲートで計算されたDSPブロックあたり2,000LEを含む) のスタンダード・セル・ゲートで提供されています。

表1は、HardCopy Stratixデバイスの供給状況を示しています。

デバイス名	パッケージ	供給状況/予定
HC1S25	672-Pin FineLine BGA®	Q1 2004
HC1S30	780-Pin FineLine BGA	Q2 2004
HC1S40	780-Pin FineLine BGA	Q2 2004
HC1S60	1,020-Pin FineLine BGA	供給中
HC1S80	1,020-Pin FineLine BGA	供給中

アルテラは、HardCopy APEX 20KC™およびHardCopy APEX 20KE™デバイスを2001年から量産出荷しています。表2を参照してください。

表2. HardCopy APEX 20KCおよびHardCopy APEX 20KEの供給状況

デバイス名	パッケージ	供給状況
HC20K400	652-Pin ball-grid array (BGA) 672-Pin FineLine BGA	供給中
HC20K600	652-Pin BGA 672-Pin FineLine BGA	供給中
HC20K1000	652-Pin BGA 672-Pin FineLine BGA 1,020-Pin FineLine BGA	供給中
HC20K1500	652-Pin BGA 672-Pin FineLine BGA 1,020-Pin FineLine BGA	供給中

### Cyclone

#### すべてのCycloneデバイスを量産出荷中

すべてのCyclone™ FPGAファミリは、現在量産認定済みデバイスとして出荷されています。顧客は、低コスト、量産アプリケーション向けFPGAソリューションを現在入手できます。出荷開始されてからすでに世界中1,400以上の顧客に出荷されているCyclone FPGAは、アルテラ史上もっとも早く製品の出荷開始を行うことができました。表3を参照してください。

表3. Cycloneデバイスの供給状況

デバイス名	供給状況
EP1C3	供給中
EP1C4	供給中
EP1C6	供給中
EP1C12	供給中
EP1C20	供給中

すべてのCycloneデバイスは、現在量産出荷されています。アルテラのQuartus II Web Editionデザイン・ソフトウェア、Nios® エンベデッド・プロセッサおよびIP (Intellectual Property) コアを使用してCycloneデバイスで設計することにより、量産アプリケーションに対して1,000個あたり1.50ドル以下 (北米での販売価格) を実現することが可能です。



## その他の低コストFPGAと比較した Cyclone の利点

Cyclone デバイスは、その他の低コストFPGAと比較して下記の利点を備えています。

- **生産状況**：唯一量産品として認定された0.13ミクロンの低コストFPGAファミリ
- **もっとも低価格**：量産向けアプリケーションとして1,000 LEあたり1.50ドル以下
- **もっとも高性能**：他社の低コストFPGAよりも60%高速
- **差動信号**：最大640MbpsのLVDS信号サポート
- **ホット・ソケット・サポート**：動作中のシステムへ電源の入っていないボード挿入が可能
- **3.3V I/Oサポート**：3.3Vシングル・エンド標準I/O規格を多くサポート
- **3.3V PCI準拠**：3.3V PCI規格に完全に準拠
- **無償ソフトウェア・サポート**：無償のプログラマブル・ロジック・デザイン・ソフトウェア・ツールでサポートされている唯一の低コストFPGAファミリ
- **IPコアの無償評価**：パラメタライズ、コンパイル、およびシミュレーションをアルテラの開発ツールで行うことができるIPファンクションの無償テスト・ドライブ

## 標準 I/O 規格の新しい強化点

Cyclone FPGAは、新たに標準LVDS I/O規格でさらに高速なデータ転送レートをサポートし、標準RSDS I/O規格をサポートしました。Cyclone FPGAは、LVDS信号をチャンネルあたり最大640Mbpsのデータ転送レートで、RSDS信号をチャンネルあたり最大311Mbpsのデータ転送レートでサポートしています。

## Cyclone FPGA ユーザの声

Motrolora Broadband Wireless Technologyの副社長兼ディレクターのトム・フリーバーク (Tom Freeburg) 氏は、「Cyclone FPGAの価格と性能の比率は、PLDの柔軟性をASICのコストで持つことができるということです。当社のCyclone FPGAの採用は、コスト・ゴールに対応しながらも比類のないプログラマビリティの履行を可能にしています」と述べています。

## Stratix

### すべての Stratix デバイスを量産出荷中

すべてのStratix™デバイスは、現在量産出荷されています。EP1S10、EP1S20、EP1S25、EP1S30、EP1S40、EP1S60、EP1S80の量産デバイスは、すべてのパッケージおよびピン・コンビネーションにおいて出荷中となっています。表4を参照してください。



表4. Stratix デバイスの供給状況

デバイス名	供給状況
EP1S10	供給中
EP1S20	供給中
EP1S25	供給中
EP1S30	供給中
EP1S40	供給中
EP1S60	供給中
EP1S80	供給中

### 工業用温度範囲 Stratix デバイスを量産出荷中

工業用温度範囲対応のStratixデバイスは、現在量産出荷されています。表5に、現在入手可能なデバイスの注文コードを要約しています。

表5. 工業用温度範囲 Stratix の注文コードおよび供給状況

工業用温度範囲デバイスの注文コード	供給状況
EP1S10F484I6	供給中
EP1S10F672I7	供給中
EP1S10F780I6	供給中
EP1S20F484I6	供給中
EP1S20F672I7	供給中
EP1S20F780I6	供給中
EP1S25F672I7	供給中
EP1S25F780I6	供給中
EP1S25F1020I6	供給中
EP1S30F1020I6	供給中
EP1S40F1020I6	供給中
EP1S60F1020I6	供給中

[12ページに続く](#)

## Stratix GX

### 高速システムの課題に対処



ライン・カードの高速なポートおよび高いポート集積度は、バックプレーンにおいてボトルネックとなっています。設計者は、システムの高帯域幅要求に応じるためにバックプレーンまたはライン・カードの再設計の作業に直面してきました。

アルテラはこの問題解決のお手伝いをします。Stratix GX デバイスは、消費電力、基板面積、「Time-to-Market」の時間およびリスクを低減するために、高速トランシーバとソース・シンクロナス I/O ピンを統合しています。Stratix GX デバイスの機能は、プリエンファシスおよび損失の多いバックプレーン・チャネルを駆動するための堅牢なトランシーバを作成するイコライザにより、最高の組み合わせとなっています。Stratix GX デバイスは、プリエンファシスおよびイコライザがイネーブルされている時に、最高 3.1875Gbps の動作速度で 40 インチの FR-4 バックプレーンをドライブすることが証明されています。

アルテラは、現在 Stratix GX ファミリのすべてのデバイスを出荷しています。Stratix GX デバイスの供給状況は、表 6 を参照してください。

表 6. Stratix GX デバイスの供給状況

デバイス名	エンジニアリング・サンプル (ES) の供給状況
EP1SGX10C	供給中
EP1SGX10D	供給中
EP1SGX25C	供給中
EP1SGX25D	供給中
EP1SGX25F	供給中
EP1SGX40D	供給中
EP1SGX40G	供給中

また、アルテラは、開発ボード、レイアウト・ファイル、スキーマティック、デザイン例、および高速ボード・レイアウトガイドラインが含まれた高速アプリケーション向け開発キットの Stratix GX Edition も提供しています。

## Excalibur

### ソフトウェア開発バックが Quartus II 3.0 に同梱

Quartus II ソフトウェア・バージョン 3.0 は、特に Excalibur™ デバイスをサポートする補足の

CD-ROM と一緒に出荷されています。CD には、ARM® プロセッサ および ペリフェラル用の SOPC Builder コンポーネント、GNU ソフトウェア開発ツール、およびリファレンス・デザインおよびデザイン例が含まれています。この CD は、Quartus II ソフトウェア・バージョン 3.0 の標準インストール中に自動的にインストールし、Excalibur デバイスの設計のためのすべてのリソースを提供します。また、ハードウェア開発ツールにアクセスする必要のないソフトウェア設計者に開発ツールの配置を与えるために Quartus II ソフトウェアなしで PC にインストールします。

### Linux が Excalibur デバイスのオペレーティング・システム・ソリューションを提供

アルテラは、Excalibur EPXA1 開発キットの有効なペリフェラルに基づいた LSP (Linux Support Package) を含む Linux のポートを Excalibur デバイスに提供するために MontaVista と提携しています。このシステムは、外部 10/100 イーサネット MAC および オン・チップ・ペリフェラル用の TCP/IP プロトコルスタックも含んでいます。このポートは、MontaVista Linux Professional Edition を購入する前にエンベデッド Linux の無償評価を Excalibur デバイスで実行するプレビュー・キットとして利用できます。

プレビュー・キットおよび MontaVista Linux Professional Edition は、MontaVista の Web サイト [www.mvista.com](http://www.mvista.com) で直接入手できます。

### American Arium が Linux カーネル・デバッグ・ツールを出荷

American Arium は、シングル JTAG (Joint Test Action Group) ポートで Excalibur デバイス・ベース・システムをデバッグする SourcePoint デバッグ・ソフトウェア SC-1000 JTAG エミュレータの新しいバージョンを発売しました。このリリースには、ネットワーク接続またはシリアル・ポートなしで Linux カーネルをデバッグするサポートも含まれています。Linux カーネルのすべての I/O 要求は JTAG でサポートされており、開発段階で設計をデバッグすることを可能にしながらも、製品基板上のイーサネット・ソリューションまたはシリアル・ポートを不要にします。Excalibur デバイスは、EPXA4 デバイス・ベースの開発ボードを構成する KIT-XA4 開発キット、Quartus II ソフトウェア、ARM RealView® 開発スイート、およびエンベデッド Linux オペレーティング・システム・サポートでサポートされています。

SourcePoint、SC-1000 JTAG エミュレータおよび KIT-XA4 は、American Arium の Web サイト [www.arium.com](http://www.arium.com) で直接入手できます。



EXCALIBUR™

## Nios プロセッサ

### Nios 開発キットの Stratix Professional Edition を出荷中

Nios 開発キットの Stratix Professional Edition は、完全な system-on-a-programmable-chip (SOPC) ソリューションに必要なすべてのソフトウェアおよびハードウェア・ツールを提供しています。このキットには、顧客から多くの支持を得ている Nios プロセッサ・バージョン 3.1 と Stratix EP1S40 デバイス、1M バイトの SRAM、16M バイトの SDRAM、CompactFlash コネクタ、10/100 イーサネット MAC/PHY デバイス、スイッチ、LED、およびプロトタイプ・コネクタを含む開発ボードが含まれています。また、エンベデッド・ソフトウェア開発に必要な 1 年間のライセンスおよび GNUPro ツールキットを含むパワフルな Quartus II デザイン・ソフトウェア・バージョン 3.0 も共に出荷されています。

また、このハイエンドな開発キットには、First Silicon Solution (FS2) 社のソフトウェア・デバッグのアドバンス・セットが含まれています。コンフィギュレーション可能な Nios CPU は、FS2 の OCI (on-chip instrumentation) 拡張機能を含めるかどうかのオプションを備えています。Nios OCI デバッグ・モジュールは、ラン・コントロール、ハードウェア・ブレイク・ポイント、ウォッチ・ポイント、オン・チップ・トレース、オフ・チップ・トレースなどのイン・サーキット・エミュレータ機能を提供します。FS2 から提供されている高度なデバッグ・アド・オンの詳細については、「Nios パートナ・ニュース」を参照してください。

Nios 開発キットの Stratix Professional Edition は、2,495 ドル (北米での販売価格) で現在入手可能です。

この開発キットに関する詳細は、日本アルテラの Web サイト [www.altera.co.jp/nios](http://www.altera.co.jp/nios) を参照してください。

### Nios パートナ・ニュース

すべての Nios 開発キットに含まれたベースライン OCI デバッグ・モジュールに加えて、FS2 はいくつかのデバッグ機能アップグレード・パッケージを提供しています。これらのアップグレード・パッケージは、ByteBlaster™ II ダウンロード・ケーブルの能力を拡張、または高速なデバッグ接続および大きなオフ・チップ・トレース・バッファ用の ISA-NIOS BlackBox を追加しています。これらの追加機能は、FS2 からオンラインで購入することができます。詳細については、[www.fs2.com/isa-nios](http://www.fs2.com/isa-nios) を参照してください。

Mentor Graphics の ESD 部門 (Embedded Systems Division) の Accelerated Technology は、最新バージョンの code|lab Developer Suite を

発表しました。このスイートは、code|lab EDE ツール (エンベデッド・システム開発用のフル機能開発環境) および code|lab デバッグ・ツールが含まれています。code|lab デバッグ・ツールは、FS2 のシステム・アナライザ・デバッグ拡張機能を使って Nios プロセッサのソフトウェア・デバッグをサポートします。code|lab Developer Suite に関する詳細は、[www.acceleratedtechnology.com](http://www.acceleratedtechnology.com) を参照してください。

Microtronix Datacom Ltd. は、μC/OS-II リアルタイム・オペレーティング・システムで Nios 開発キットをサポートしています。Microtronix μC/OS-II RTOS 開発キットには以下が含まれています。

- Nios エンベデッド・プロセッサ向けカーネルの安定した検証済みポート
- TCP/IP ネットワーク・スタック・ライブラリ、および開発ボード用デバイス・ドライバ
- Jean Labrosse 著、MicroC/OS-II Second Edition
- アルテラの SOPC Builder システム開発ツール用のオペレーティング・システム・コンポーネント

μC/OS-II リアルタイム・オペレーティング・システムはロイヤリティ・フリーです。詳細については、[www.microtronix.com](http://www.microtronix.com) を参照してください。

グラフィカルなステート・マシン・デザインを、アルテラの Nios エンベデッド・プロセッサ・ツール向けの IAR System の visualSTATE を使って、ボタンを押すだけの C/C++ コードが備わっている Nios プロセッサに変換します。詳細については、[www.iar.com](http://www.iar.com) を参照してください。

## APEX II

### APEX II デバイスの供給状況

すべての APEX™ II デバイス・ファミリは入手可能となっています。APEX II デバイスは、16,640LE から 67,200LE までの範囲の集積度をカバーしています。メモリ容量も大きく、各エンベデッド・システム・ブロック (ESB) あたり 4K ビット、デバイス全体では 416K ビットから最大 1.1M ビットとなっています。APEX II デバイス・ファミリは、LVDS、PCML、LVPECL、HSTL、SSTL および HyperTransport™ テクノロジーなどを含む幅広い高速の標準 I/O 規格をサポートし、高速データ転送を可能にしています。True-LVDS™ 回路により、APEX II デバイスはチャネルあたり最大 1Gbps までのデータ転送レートを達成することができます。以下のアプリケーションに APEX II デバイスを使用することにより、高速の標準 I/O 規格の高い性能の利点を活用することができます。



14 ページに続く

- PHYリンク・レイヤ・インタフェース (POS-PHY、Flexbus および UTOPIA)
- ホスト・プロセッサ・インタフェース (Hyper-Transport テクノロジ、PCI および PCI-X)
- スイッチ網インタフェース (CSIX および LCS)
- 外部メモリ・インタフェース (DDR、ZBT (Zero Bus Turnaround)、および QDR (Quad Data Rate) メモリ・デバイス)

表7はAPEX IIデバイスの供給状況を示しています。

デバイス名	パッケージ	供給状況
EP2A15	672-pin FineLine BGA 724-pin BGA	供給中
EP2A25	672-pin FineLine BGA 724-pin BGA	供給中
EP2A40	672-pin FineLine BGA 724-pin BGA 1,020-pin FineLine BGA	供給中
EP2A70	724-pin BGA 1,508-pin FineLine BGA	供給中

## APEX IIデバイスの工業用温度範囲製品

工業用温度範囲に対応しているすべてのAPEX IIデバイスは、現在入手可能となっています。工業用温度範囲の製品の-8のスピード・グレードで提供されています。表8は工業用温度範囲のグレードのAPEX IIデバイスの供給状況を示しています。

デバイス名	パッケージ	供給状況
EP2A15	672-pin FineLine BGA	供給中
EP2A25	672-pin FineLine BGA 724-pin BGA	供給中 供給中
EP2A40	724-pin BGA 1,020-pin FineLine BGA	供給中 供給中

## Mercury

### Mercuryデバイスを量産出荷中



Mercury™デバイス・ファミリのすべてのデバイスとスピード・グレードは、両製品ラインにおいて工業用温度範囲製品を含み、現在量産出荷中です(表9参照)。CDR (Clock Data Recovery) 回路および内蔵のCERDES (シリアライザ/デシリアライザ) の機能を活用して1.25Gbpsの高速シリアル・リンク接続を実現するMercuryデバイスは、シリアル・バックプレーンのアプリケーションに理想的なソリューションです。

表9. Mercuryデバイスの供給状況

デバイス名	パッケージ	温度範囲/ スピード・グレード	供給状況
EP1M120	484-pin FineLine BGA	一般用温度範囲 -5, -6, -7	供給中
		工業用温度範囲 -6	供給中
EP1M350	780-pin FineLine BGA	一般用温度範囲 -5, -6, -7	供給中
		工業用温度範囲 -6	供給中

## APEX

### すべてのAPEXデバイスを量産出荷中

すべてのAPEX 20KC、APEX 20KE および APEX 20K デバイスとそのパッケージは、現在入手可能となっています。APEX デバイスは、シングル・デバイスに完全なシステム・レベル・インテグレーションを実現し、幅広い集積度、I/O性能、およびパッケージ・オプションを提供しています。

高性能が要求される新しいデザインには、業界最先端の性能と豊富な機能を提供するStratixおよびStratix GX FPGA デバイスをご利用ください。

### APEXデバイスの工業用温度範囲製品

工業用温度範囲対応のAPEX デバイスは、現在多様なパッケージで提供されています。詳細については、表10、11 および 12を参照してください。

表10. APEX 20KCデバイスの工業用温度範囲製品

デバイス名	パッケージ	スピード・ グレード
EP20K200C	484-pin FineLine BGA	-8
EP20K400C	672-pin FineLine BGA	-8
EP20K600C	652-pin BGA 672-pin FineLine BGA	-8
EP20K1000C	1,020-pin FineLine BGA	-8

表 11. APEX 20KE デバイスの工業用温度範囲製品

デバイス名	パッケージ	スピード・グレード
EP20K30E	144-pin FineLine BGA	-2X (1)
EP20K60E	144-pin FineLine BGA 208-pin PQFP 324-pin FineLine BGA	-2X (1)
EP20K100E	144-pin FineLine BGA 240-pin PQFP 324-pin FineLine BGA 356-pin BGA	-2X (1)
EP20K160E	484-pin FineLine BGA	-2X (1)
EP20K200E	240-pin PQFP 356-pin BGA 484-pin FineLine BGA 672-pin FineLine BGA	-2X (1)
EP20K300E	240-pin PQFP 652-pin BGA 672-pin FineLine BGA	-2X (1)
EP20K400E	652-pin BGA 672-pin FineLine BGA	-2X (1)
EP20K600E	652-pin BGA 672-pin FineLine BGA	-2X (1)
EP20K1000E	652-pin BGA 672-pin FineLine BGA	-2X (1)

## 表 11 の注:

- (1) “X” のサフィックスは、PLL (Phase-Locked Loop) および LVDS をサポートしている製品を示しています。

表 12. APEX 20K デバイスの工業用温度範囲製品

デバイス名	パッケージ	スピード・グレード
EP20K100	208-pin PQFP 240-pin PQFP 324-pin FineLine BGA	-2V (1) -2V (1) -2XV (1)
EP20K200	240-pin PQFP 484-pin FineLine BGA	-2V (1)
EP20K400	652-pin BGA 672-pin FineLine BGA	-2V (1)

## 表 12 の注:

- (1) “V” のサフィックスは、5.0V 対応の I/O インタフェース製品を示しています。“X” のサフィックスは、PLL をサポートしている製品を示しています。

## ACEX 1K

## ACEX 1K デバイスの供給状況

ACEX<sup>®</sup>1K デバイスは、LE 数で 576、1,728、2,880 および 4,992 個までの集積度をカバーしており、クワッド・フラット・パック (QFP) パッケージおよび FineLine BGA (FBGA) パッケージで提供されています。特に低コストで高性能が要求される大量生産のアプリケーションに対して、コストへの最適化を実現したデバイスです。中集積度および高集積度のデバイスについて

は、10 ページの「Cyclone FPGA ファミリー」を参照してください。

すべての ACEX 1K デバイスをサポートする無償デザイン・ソフトウェアの Quartus II Web Edition (機能限定版) のバージョン 3.0 は、日本アルテラの Web サイト [www.altera.co.jp](http://www.altera.co.jp) からダウンロード可能です。

## MAX

## MAX 3000A が工業用および拡張温度をサポート

使いやすさと柔軟性により、設計者は MAX<sup>®</sup> CPLD の利点を享受することができます。アルテラの MAX CPLD ファミリーは、業界で 8 年間連続ベストセラーの CPLD です。アルテラは、CPLD の利点を伸ばすことで新しい市場でもリーダーシップをとり続けます。

低コストの工業用温度範囲 CPLD ファミリーの必要性の例を挙げます。工業用温度範囲デバイスは、もはや工業用市場だけのソリューションではありません。多くの通信および器械分野の顧客も拡張動作温度範囲の工業用デバイスから利益を得られます。工業用デバイスは、環境から最小限に保護する屋外製品に理想的です。この要求を満たすために、アルテラは低コスト MAX 3000A ファミリーに -40°C ~ +105°C の接合温度範囲の工業用デバイスを展開しました。これらのデバイスは現在供給されています。表 13 を参照してください。



表 13. MAX 3000A デバイスの工業用温度範囲製品

デバイス名	パッケージ
EPM3032A	44-pin PLCC (1) 44-pin TQFP
EPM3064A	44-pin PLCC 44-pin TQFP 100-pin TQFP
EPM3128A	100-pin TQFP 144-pin TQFP 256-pin FineLine BGA
EPM3256A	144-pin TQFP 208-pin PQFP 256-pin FineLine BGA
EPM3512A	208-pin PQFP 256-pin FineLine BGA

## 表 13 の注:

- (1) PLCC: プラスチックリード・チップ・キャリア

16 ページに続く

自動車市場の競争がますます激しくなるにつれ、プログラマブル・ロジックはモデルの差別化が図られています。成長する市場をサポートするために、アルテラは5.0VのI/Oサポート付き、接合温度が-40℃~+130℃の拡張温度範囲で、3.3V動作のMAX 7000AEファミリを提供しています(表14を参照)。詳細は、日本アルテラのWebサイト[www.altera.co.jp/products/devices/temperature/tem-extended.html](http://www.altera.co.jp/products/devices/temperature/tem-extended.html)を参照してください。

表14. MAX 7000AEデバイスの拡張温度範囲製品

デバイス名	パッケージ
EPM7032AE	44-pin TQFP
EPM7064AE	44-pin TQFP 100-pin TQFP
EPM7128AE	100-pin TQFP 144-pin TQFP
EPM7256AE	144-pin TQFP 256-pin FineLine BGA

CPLD製品への新しい追加により、アルテラは一般用温度範囲から拡張温度範囲の幅広い温度範囲オプションによるさらに高い柔軟性でCPLDの利点を提供します。

## コンフィギュレーション

### シリアル・コンフィギュレーション・デバイス

アルテラの新しいシリアル・コンフィギュレーション・デバイスは、他社のどの競合製品よりも低コストのコンフィギュレーション・デバイスであり、価格重視の量産アプリケーション向けのCyclone FPGAファミリを補完する理想的なデバイスです。効率が最大になるように設計されたシリアル・コンフィギュレーション・デバイスは、イン・システム・プログラマビリティ (ISP) 機能や再プログラミングなどの機能をOTP (One-Time Programmable) ソリューションよりも低コストで提供しています。

### エンハンスド・コンフィギュレーション・デバイス

エンハンスド・コンフィギュレーション・デバイスは、幅広い集積度の要求に対応した完全なシングル・デバイス・ソリューションです。パーティカル・マイグレーションの機能は、ボードのレイアウトを変更することなく同じパッケージのEPC4からEPC8へ、およびEPC16へ簡単に集積度を移行することができます。EPC4、EPC8、EPC16は一般および工業用グレードの双方が現在供給されています。

エンハンスド・コンフィギュレーション・デバイスが提供するISP機能は、IEEE Std.1532標準規格に準拠しています。ISPと再プログラミングなどの機能により、デザインの柔軟性を高め、製造プロセスの合理化によってOTPソリューションより大幅な利点を提供することが可能です。

アルテラのエンハンスド・コンフィギュレーション・デバイスは、専門的なコンフィギュレーションに必要な多数の機能を備えています。これらの機能には、未使用のFlashメモリの一部を汎用メモリとして使用可能にする外部Flashインタフェース、コンフィギュレーション時間を短縮するパラレル・コンフィギュレーション、複数のコンフィギュレーションを保存可能な新しいページ・モード、部分的な再プログラミング・サポートのためのブロック保護、およびプログラマブル・クロックおよび外部クロック機能による完全クロック・フレキシビリティが含まれています。この最新機能は、全体的なPLDデザイン技術を強化します。

## Quartus II

### Quartus IIソフトウェア・バージョン3.0がデザイン・サイクルを40%短縮

Quartus IIソフトウェア・バージョン3.0の新しい機能は、ターゲットがCPLD、FPGA、または HardCopy デバイスのいずれであっても、デザイン・サイクルのすべての段階を短縮します。新しいHardCopy Stratixデザイン・フローは、デザイン・サイクルの初期段階からFPGAおよびマスク・プログラムド・デバイスの双方の開発に対応した統合デザイン・フローであり、業界初で唯一のデザイン・ツールを設計者に提供しています。

Quartus IIソフトウェア・バージョン3.0は、以下の新しい機能と強化点により、デザイン・サイクルにおけるすべての段階を短縮します。

- 新しいフィジカル・シンセシスおよびデザイン・スペース・エクスプローラ・スクリプトが、平均的なデザイン・パフォーマンスを20%向上させる自動機能を提供
- I/Oピンの事前配置および検証
- インクリメンタルなデザイン変更を容易にするチップ・エディタ機能
- 小規模のデザイン変更時にデザイン性能を維持しながら、コンパイル時間を平均40%短縮するインクリメンタル・フィッティング機能
- アップデートされたアサイメント・エディタがすべてのデバイス・ファミリをサポート、および有用性を向上
- 強化されたLogicLock™手法により、ロジック配置だけでなく配線もロック・ダウン可能
- ModelSim®-Alteraバージョン5.7cによる高速な動作とタイミングのシミュレーション

## 新しいHardCopy Stratix デザイン・フローの導入: ASICの利点を容易に享受

Quartus IIソフトウェア・バージョン3.0を使用することにより、設計者はデザイン・サイクルの最初から、非常に高性能なマスク・プログラムド・デバイスであるHardcopy Stratix™をターゲットにして、アルテラの最先端FPGAに使用されている低コストの使いやすいツール、手法、およびIP (Intellectual Property) を取り込むことができます。

## GUIまたはコマンド・ライン操作を選択可能

Quartus IIソフトウェア・バージョン3.0の主なデザイン・フロー機能は、グラフィカル・ユーザ・インタフェース (GUI) またはコマンド・ラインから独立して動作可能です。SDC (Synopsys Design Constraint) スクリプトのサポートに加えて、Quartus IIソフトウェアは、簡略化された構文でカスタム・デザイン・フローを記述する、新しいツール・コマンド言語 (Tcl) のアプリケーション・プログラミング・インタフェースもサポートしています。

## 新しいQuartus IIソフトウェアの資料

Quartus IIソフトウェア・バージョン3.0の新しいまたはアップデートされた以下の技術資料は、日本アルテラのWebサイトの資料のページに掲載されています。

- *Introduction to Quartus II*
- *Quartus II Support for HardCopy Devices Chapter of the HardCopy Device Handbook*
- *Engineering Change Order Support In Programmable Logic Design White Paper*
- *Pin Assignment & I/O Analysis Using the Quartus II Software White Paper*
- *Using the Assignment Editor in the Quartus II Software White Paper*
- *AN 310: Using the Quartus II Chip Editor*
- *AN 309: Command-Line Scripting in the Quartus II Software*
- *AN 307: Altera Design Flow for Xilinx Users*
- *AN 297: Optimizing FPGA Performance Using the Quartus II Software*
- *AN 280: Design Verification Using the SignalTap II Embedded Logic Analyzer*
- *AN 238: Using Quartus II Verilog HDL & VHDL Integrated Synthesis*
- *AN 198: Timing Closure Using the Quartus II Software*
- *AN 161: Using the LogicLock Methodology in the Quartus II Design Software*

- *Single & Dual-Clock FIFO Megafunctions User Guide*
- *Altera Double Data Rate Megafunctions User Guide*

## 新しいデバイスのサポート

Quartus IIソフトウェア・バージョン3.0では、HardCopy Stratix、FLEX® 10K、FLEX 10KA、MAX 7000S、MAX 3000Aの工業用温度範囲製品、および2つの新しいMAX 3000A デバイスのパッケージのサポートが追加されています。表15を参照してください。



表 15. Quartus IIソフトウェア・バージョン3.0に追加されたデバイス・サポート

サポート	製品ファミリ	デバイス名	パッケージ
フル・サポート (プログラム・オブジェクト・ファイル (.pof) 生成を含む)	HardCopy Stratix (1)	HC1S25	672-pin FineLine BGA
		HC1S30	780-pin FineLine BGA
		HC1S40	780-pin FineLine BGA
		HC1S30	1,020-pin FineLine BGA
		HC1S60	1,020-pin FineLine BGA
	Stratix GX	EP1SGX25	1,020-pin FineLine BGA
		EP1SGX25	672-pin FineLine BGA
		EP1SGX40	1,020-pin FineLine BGA
	FLEX 10K	すべてのデバイス	すべてのパッケージ
	FLEX 10KA	すべてのデバイス	すべてのパッケージ
MAX 7000S	すべてのデバイス	すべてのパッケージ	
MAX 3000A	EPM3128A	256-pin FineLine BGA	
	EPM3256A	256-pin FineLine BGA	

### 表15の注:

- (1) POFの生成はHardCopy StratixプロトタイプFPGAにのみ有効です。フロアプラン・ビューの取得およびファイナル・シリコンの完成における実装性能を見積もるためにHardCopy Stratixデバイスをコンパイルできます。

## Quartus IIソフトウェアのリリース・ノート

Quartus IIソフトウェアの新しいバージョンのリリースによる主な機能の更新情報は、Quartus II Software Release Notesを参照してください。この資料は、各リリースから1週間以内にアルテラのWebサイト [www.altera.co.jp/literature/rn/rn\\_qts.pdf](http://www.altera.co.jp/literature/rn/rn_qts.pdf) に掲載されます。

18ページに続く

## Quartus II Web Editionのデバイスおよび機能サポートの拡張

無償ダウンロードのQuartus II Web Editionソフトウェア・バージョン3.0は、すべてのCyclone、特定のMAXデバイス、Stratix EP1S10デバイスを含むすべての汎用FPGAとCPLDファミリから最低1つのデバイスに対してエントリ・レベルのサポートを提供しています。バージョン3.0では、MAX 7000S、FLEX 10KおよびFLEX 10KAデバイス・ファミリ、さらにMAX 3000Aデバイスのサポートも追加されています。表16を参照してください。

製品ファミリ	デバイス名
Cyclone	完全デバイス・サポート
Stratix	EP1S10
APEX II	EP2A15
ARM-Excalibur	EPXA1
APEX 20KE	EP20K30E EP20K60E EP20K100E EP20K160E
ACEX 1K	完全デバイス・サポート
FLEX 10KE	EPF10K30E EPF10K50S EPF10K100E EPF10K130E EPF10K200S
FLEX 10K	完全デバイス・サポート
FLEX 10KA	完全デバイス・サポート
FLEX 6000	完全デバイス・サポート
MAX 7000S	完全デバイス・サポート
MAX 7000AE	完全デバイス・サポート
MAX7000B	完全デバイス・サポート
MAX 3000A	完全デバイス・サポート

以下の機能は、Quartus II Web Editionバージョン3.0に含まれています。

- イネーブル/ディセーブル・メッセージ
- IBISモデル生成
- ベクタ波形ファイル(.vwf)からのテスト・ベンチ生成
- PowerGauge™消費電力見積もり
- プロジェクト・アーカイブ機能
- STAMPモデル生成

## 新しいQuartus Software Starter SuiteのCD-ROMを提供中

Quartus II Software Starter Suite CD-ROMには、アルテラのデバイスで設計を開始するのに必要なすべてのソフトウェアが収録されています。このCD-ROMには以下のものが含まれています。

- Quartus II Web Edition FPGA およびCPLD デザイン・ソフトウェア
- SOPC Builder自動システム開発ソフトウェア
- Quartus IIおよびHardCopy フラッシュ・ムービー

## USBおよびパラレル・ポートPC接続用プログラミング・ケーブルを提供中

新しいUSB-Blasterプログラミング・ケーブルは、パラレル・ポート接続ではなくUSB (Universal Serial Bus) 接続経由でPCに接続される以外は、最近発表されたByteBlaster™ IIケーブルと同様の機能をサポートしています。ByteBlasterMV™プログラミング・ケーブルの代わりにこれら両方のケーブルを使用することができます。ByteBlaster IIケーブルは、ByteBlasterMVケーブルと同等のプログラミング機能をすべてサポートする代替製品であり、新たに以下のプログラミング機能も追加されています。

- 新しいコンフィギュレーション・デバイス、EPCS1およびEPCS4を使用したアクティブ・シリアル・モードでのコンフィギュレーションをサポート
- 1.8Vで動作するプログラミングとコンフィギュレーションをサポート

USB-BlasterおよびByteBlaster IIプログラミング・ケーブルは、Quartus IIソフトウェア・バージョン3.0でサポートされています。Quartus IIプログラマ機能のスタンド・アロン・バージョンは、アルテラのWebサイトからダウンロード可能です。

# Precision RTL Synthesisによる高性能DSPデザインの実装

Rakesh Jain  
Mentor Graphics

デジタル信号処理 (DSP) は、民生用電子機器、エンターテインメント、および医療システム市場において、3Gワイヤレス、ソフトウェア無線 (SDR)、ビデオ／画像処理など、幅広い分野にわたって応用され、急成長している技術です。これらのアプリケーションは、広範な複雑さ、性能、コスト、および「Time-to-Market」の要求に対応しています。問題はこれらの要求に適合するソリューションを見つけることです。

DSPアプリケーションの実装に対するソリューションが、DSPプロセッサ、DSPコア、ASIC、またはFPGAで見つかることがあります。DSPプロセッサはある程度の柔軟性がありますが、今日のDSPアプリケーションに求められる性能要求が欠けています。ASICは高性能であるものの、製造コストが高く、長いリード・タイムと大量生産が必要です。その結果、アーキテクチャの柔軟性、高性能、低コスト、および迅速な「Time-to-Market」を求めてFPGAを使用するDSP設計者が増えています。

現在の市場で供給されている各種プログラマブル・デバイスの中でも、アルテラのStratix™デバイスには、専用DSPブロック、豊富なメモリ・リソース、フェーズ・ロック・ループ (PLL) ブロック、高速I/Oピンなど、多数の強力な機能があるため、DSPアプリケーションに最適な選択肢となっています。ただし、プログラマブル・ロジック・デバイスを使用したDSPアプリケーションを効率的に実装するには、FPGAの専用リソースをすべて利用する必要があります。

HDLベースのデザイン・フローでは、これらの専用リソースをHDLコードでインスタンス化するか、または合成ツールを頼りに推定するかを選択できます。最適なソリューションは、合成ツールの場合、一般的なHDLコードから自動的にDSPブロック、メモリ・リソース、およびシフト・レジスタを推定することです。高性能DSPデザインの複雑なタイミング要求に対応するには、合成ツールが高度な機能を認識し提供することも必要です。Mentor Graphics®のPrecision™ RTL Synthesisツールは、デザインの性能目標に適合する最適なソリューションを提供します。

## DSPブロックのサポート

DSPデザインでもっともよく使用される機能は、有限インパルス応答 (FIR) フィルタ、無限インパルス応答 (IIR) フィルタ、高速フーリエ変換 (FFT)、離散コサイン変換 (DCT)、エンコーダ／デコーダ、およびエラー修正／検出です。これらのブロックはすべて、加算、減算、乗算、積和、乗算累積などの膨大な算術演算を実行します。Stratixデバイスの最適化された専用DSPブロックでは、このような算術演算をロジックベースの実装よりも高速に実行することができます。

Precision RTL Synthesisは、専用DSPリソースで実装するのに適切なアルテラのメガファンクション (altmult\_accum, altmult\_add, または lpm\_mult) をHDLコードから自動的に推定します。以下のHDLコードはこれらのメガファンクションの推定を示したものです。

### 乗算累積ファンクションを記述するVHDLコード

```
prod_result <= a * b;

process (clk)
begin
  if (clk'event and clk = '1') then
    result <= result + prod_result;
  end if;
end process;
```

### 積和／積差ファンクションを記述するVerilogコード

```
wire [17:0] mult1 = data_a * data_b;
wire [17:0] mult2 = data_c * data_d;
reg [17:0] data_out;

always @(posedge clk) begin
  if (add_mode)
    data_out <= mult1 + mult2;
  else
    data_out <= mult1 - mult2;
end
```

## TriMatrixメモリのサポート

DSPアプリケーションでよく使用されるもう一つのリソースはメモリです。Stratixデバイスはメモリ消費量の多いアプリケーションに対して豊富なメモリ・リソースを提供します。最大のStratixデバイスは7.5Mビットを超えるエンベデッド・メモリを内蔵するため、多くのDSPアプリケーションで外部メモリ・デバイスが不要になります。TriMatrix™メモリ構造は、512ビットのM512ブロック、4KビットのM4Kブロック、および512KビットのM-RAMブロックという3つの異なるサイズのエンベデッドRAMブロックで構成されています。

現在の市場で供給されている各種プログラマブル・デバイスの中でも、アルテラのStratix™デバイスには、専用DSPブロック、豊富なメモリ・リソース、フェーズ・ロック・ループ (PLL) ブロック、高速I/Oピンなど、多数の強力な機能が備わっているため、DSPアプリケーションに最適な選択肢となっています。

20ページに続く

メモリ・ブロックは、本格的なデュアル・ポート、単純なデュアル・ポート、およびシングル・ポートRAM、ROM、およびFIFO (first-in first-out) ブロックを実装できます。M512ブロックとM4Kブロックはどちらもシフト・レジスタとしてコンフィギュレーションすることもできます。このオプションによって、標準的なレジスタを使用した場合よりも効率的にシフト・レジスタを実装でき、一般ロジックおよび配線リソースが節約され、結果としてDSPアプリケーションの性能が向上します。

Precision RTL Synthesis は一般的なHDL記述からRAM、ROM、およびFIFO (first-in first-out) ブロックを推定し、適切なStratixメモリ・ブロック (M512、M4K、またはM-RAM) 内に実装します。シフト・レジスタも推定され、自動的にM512またはM4Kメモリ・ブロック内に実装されます。以下のHDLコードの例では、デュアル・ポートRAMブロックおよびシフト・レジスタを推定し、altsyncramおよびaltshift\_tapsメガファンクションを使用して実装しています。

アルテラのStratixデバイスとPrecision RTL Synthesisは一体となって、今日の高性能DSPデザインおよび複雑なDSPデザインのニーズに応える独自のソリューションを実現します。

#### デュアル・ポートRAMを記述するVHDLコード

```
type mem_type is array (32 downto 0)
  of UNSIGNED(3 downto 0);
signal mem : mem_type;

begin
I0: process (clk_in)
  begin
    if (clk_in'event and clk_in = '1')
      then
        if (write_enable = '1') then
          mem(conv_integer(address_in))
            <= data_in;
        end if;
      end if;
    end process I0;

I1: process (clk_out)
  begin
    if (clk_out'event and clk_out =
      '1') then
      data_out <= mem(conv_
        integer(address_out));
    end if;
  end process I1;
```

#### シフト・レジスタを記述するVerilogコード

```
assign shiftout = D;

always @(posedge clock)
begin
  A <= shiftin;
  B <= A;
  C <= B;
  D <= C;
end
```

## Stratix PLLのサポート

PLLのもっとも一般的な用途は、クロック逡倍およびクロック分周です。Stratixデバイスは非常に多機能なPLLブロックを提供します。これらの高性能クロック管理ブロックは、従来ハイエンドのディスクリートPLLデバイスにしかなかった多くの機能を備えています。HDLベースのデザイン・フローでは、PLLメガファンクション・コンポーネントはHDLコードでインスタンス化され、パラメータでプロパティが定義されます。

Precision RTL Synthesisは、クロックの検出とインスタンスされたPLLコンポーネントの内容も含めたパラメータに基づいて目的値を自動で算出する業界唯一のツールです。クロックがPLLを通して自動伝播される結果として、有効な制約が使用可能になり、良好な合成結果を得ることができ、しかもタイミング解析の精度も向上します。

## 高度なI/Oのサポート

今日の複雑なDSPアプリケーションは、高速データ転送を実現するために、規格に沿った高速標準I/Oを必要とします。Stratixデバイスは、この要件に対応するために、LVDS、LVPECL、PCML、PCI、RapidIO™標準規格など、さまざまなシングルエンドおよび差動標準I/O規格をサポートしています。また、マイクロプロセッサ、ペリフェラル、ゲート・アレイ、およびダブル・データ・レート(DDR) SDRAM、DDR高速サイクルRAM (FCRAM)、ZBT (zero-bus turnaround) SRAMなどの外部メモリ・デバイスへの各種インタフェースも提供します。

Precision RTL Synthesisは、グラフィカル・ユーザ・インタフェース(GUI)や属性を使用して、選択したポートに対して希望の標準I/O規格、ドライブ強度、およびスルー・レートを選択および設定する便利な手段を提供します。Precision RTLには、デザインのタイミング要求に基づいて自動的にStratix I/Oレジスタを使用する機能もあります。これにより、最良のデザイン性能をひき出します。

## まとめ

Mentor GraphicsのPrecision RTL Synthesisは、Stratixアーキテクチャの詳細を認識しています。FPGAでのDSPアプリケーションの実装に対する最適なソリューションになります。アルテラのStratixデバイスとPrecision RTL Synthesisは一体となって、今日の高性能DSPデザインおよび複雑なDSPデザインのニーズに応える独自のソリューションを実現します。

## IPを使用してFPGAにDDR SDRAMを簡単に接続

ダブル・データ・レート (DDR) SDRAMは現在、大量の低コスト高性能メモリを必要とするエンベデッド・アプリケーションの設計者にもっとも使用されているメモリです。両エッジでデータをクロック駆動してデータパスの生の帯域幅を2倍にする特別なインタフェース・ロジックを使用し、シングル・データ・レート (SDR) SDRAMよりも高い性能を実現します。PC業界で幅広く採用され、また長期的な可用性もSDR SDRAMより優れているため、商業的にも今日のアプリケーションで使用するのに最適なデバイスとなっています。

大容量の外部RAMを必要とする今日のSOC (system-on-chip) デザインは、DDR SDRAMインタフェースをサポートする必要があります。すべての設計者がNRE (non-recurring engineering) の障壁なしで使用可能という点を除き、FPGA技術を利用したSOPC (system-on-a-programmable-chip) デザインも同じです。

DDR SDRAMへの接続に関する要件は、電気的要件とタイミング要件の2つのカテゴリに分類することができます。電気的には、データ信号および制御信号用にSSTL-IIシングルエンドI/Oを2.5Vでサポートする必要があり、さらに2.5V差動クロック信号もサポートする必要があります。FPGAはこれらの要件を容易にサポートできますが、特にクロックの両エッジで転送されるデータについては、タイミングが一層困難になります。この困難さとは、I/Oセルがクロックの2倍の周波数で動作できなければならないことです。これは、I/Oセルがクロックの両エッジでデータをラッチできるようにレジスタの数を2倍にすれば達成できます。別の方法は、I/Oセルをクロック・レートの2倍で動作させ、汎用ロジックを使用して、クロックの立ち上がりエッジと立ち下がりエッジでデータを分離することです。Stratix™デバイス・ファミリは、6個のレジスタを内蔵し、最高200MHz (400Mbps)のDDR SDRAM接続をサポートします。Cyclone™デバイスは、1個のI/Oセルあたり3個のレジスタを内蔵し、最高133MHz (266Mbps)のDDR SDRAM動作をサポートします。

おそらく、DDR SDRAMの接続でもっとも難しいタイミング要件はDQSピンに関するものです。DQSピンは、DQライン上のデータのクロック駆動に使用される双方向ストロブです。問題は、SDRAMが読み取られているか書き込まれているかによって、ストロブの方向とタイミングの両方が異なるということです。DDR SDRAMからのリード時に、データが確実にウィンドウの中心から取り込まれるようにするには、DQS信号の位相を90度シフトさせる必要があります。これを補助するために、DQラインを基準とする引延したプリント基板 (PCB)トラックを使用するなどにより、外部固定遅延を挿入することも可能ですが、この方法にはいくつかの問題があります。第一に、DQSピンは双方向なので、正しいリード動作を実現するために挿入された遅延はすべてライト・フェーズから除去する必要があります。これは、ライト・データ・クロックにもシフトが必要で

あり、クロック位相の追加が必要であることを意味します。オンチップ・クロック・マネージャの柔軟性によっては、クロック・ソースを追加しないとクロック位相を提供できない場合があり、内蔵リソースをさらに使用することになります。

引延したPCBトレースを使用すると、PCB配線に制限がある場合にも問題が生じることがあり、極端なケースでは余分なPCBレイヤを使わざるを得なくなる可能性もあります。DQSラインに追加する必要があるトレース量は周波数に依存し、FR-4 PCBでは1インチあたり約166psで信号が伝播します。100MHzまたは200MHzで動作するDDR SDRAMの場合、DQSごとにトラック長を7~15インチ追加する必要があります。また、特に開発時には、低いクロック周波数で動作可能なシステムを開発しなければならぬこともよくあります。固定遅延エレメントは1つの周波数でのみ適切な位相シフトを提供するため、低い周波数でのデレーティングやプロトタイプ作成は難しくなります。

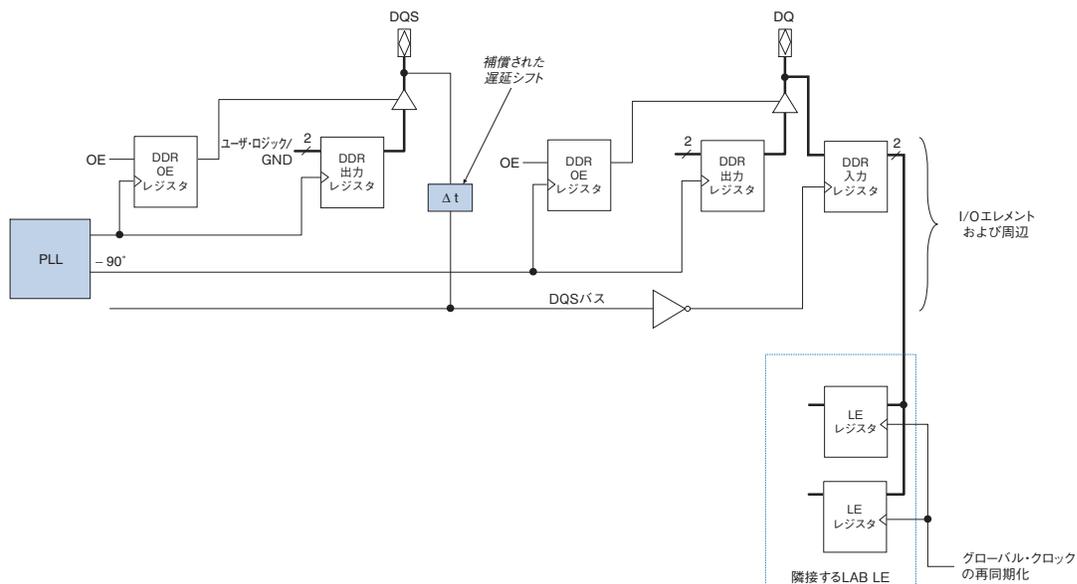
この問題に対処するために、アルテラのStratix™およびCyclone™デバイスは、遅延DQSリード・サンプリングに対応した専用サポート手段を内蔵しています。このサポート手段は、プロセス、電圧、および温度の変化に応じたタイミングへの適合を容易にするだけでなく、ロジック・エレメント (LE) やフェーズ・ロック・ループ (PLL) などの汎用リソースのFPGAでの使用を最小限に抑えます。重要な点は、遅延DQS入力信号がDQピンの入力レジスタを直接クロック駆動することです。この単純な機能を内蔵することで、DDR SDRAMだけでなく、その他多くの高速メモリ・タイプを接続する設計者の大きな頭痛の種が解消されます。

DDR SDRAMコントローラおよびメモリ・デバイスにはいくつかのクロック・ソースが必要です。これには、差動SDRAMクロック、コア・システム・クロック、ライト・データ・クロックが含まれ、ラウンド・トリップ・タイミングによっては、リード・キャプチャ・クロックが含まれる場合もあります。出力が制限された単純な遅延ロック・ループ (DLL) を使用すると、要求されたタイミングを満たすために、これら最大3つのブロックがインスタンス化される可能性があります。StratixやCycloneのPLLは個々に構成可能な出力が多数あるため、ほとんどの場合1つのPLLで対応できます。

DDR SDRAMに接続するための適切な機能をFPGAが確実にサポートするようになったら、メモリ・コントローラとすべての外部信号がタイミング解析にパスすることを検証する必要があります。今日の高性能FPGAは、200MHzのシステム速度および1Gbpsに迫る同期I/O速度をサポートできます。しかし、DDRメモリ・コントローラを確実に仕様に適合させるには、PCBレイアウトおよびタイミング解析はもちろん、FPGAおよびI/Oバンク内での適切な配置が依然として必要です。

[22ページに続く](#)

専用のStratix DQS  
遅延回路



タイミング解析では、ライト・データのタイミング、アドレス、コマンドのタイミング、およびDQSとキャプチャされたリード・データのシステム・クロック・ドメインに対する再同期化を使用したリード・キャプチャの4つのカテゴリを検討する必要があります。IPコアをベースとする既存の実用的なリファレンス・デザインを使用し、付属のドキュメントに従えば、簡単にタイミング要件を満たすことができます。

高速データ・パスに加え、DDR SDRAMステート・マシンも正しく実装する必要があり、DRAMセルの初期化とリフレッシュが正常に行われるよう考慮しなければなりません。DDR SDRAMはJEDEC標準規格によって定義されているため、メモリ・コントローラもJEDEC標準規格に準拠している必要があります。異なるDDR SDRAMのコンフィギュレーションおよびソースを指定するための柔軟性を望む場合は、さらにテストを行う必要があります。

DDR SDRAMサポートを備えた特定用途向け標準製品 (ASSP) を使用する場合は、一度メモリが正しく初期化されると、アプリケーションはDDR SDRAMを単にメモリ・マップ内のメモリのブロックとして扱うことができます。うまく設計されたDDR SDRAMコントローラを備えたSOCまたはSOPCアプリケーションにも同じことがいえます。ただしこの場合、メモリ・コントローラを内部バスに内部接続する方法も検討しなければなりません。もっとも簡単な方法は、アービトレーション信号を用いるSRAMタイプのインタフェース (アドレス、データ、およびストロブ) を使用することです。アルテラのDDR SDRAMコントローラIPコアはこれを実現しており、完全にテスト済みの標準ソリューションを提供することにより前述の問題をすべて解決します。

DDR SDRAMを含んだシステムの設計者ごとに、要求事項は多少異なるものと思われます。低コストの16ビット幅ディスクリットDDR SDRAMデバイスを単独

で使いたい設計者もいれば、標準DIMMモジュールや将来のアップグレードに対応するために完全な64ビットDIMMインタフェースを好む設計者もいます。選択したメモリ・デバイスによっては、複数のチップ・セレクトや異なる数のアドレス・ラインをサポートすることが必要になる可能性もあります。その他の変動要素として、カラム・アドレス・ストロブ (CAS) 遅延およびリフレッシュ周期があるため、使用するメモリ・コントローラIPはすべて完全にパラメータ化できなければなりません。アルテラのDDR SDRAM IPコアは、VHDLソースおよびプロジェクトを取り込むためのリファレンス・デザインを生成する、グラフィカルにパラメータ化可能なソフトウェア・パッケージとして出荷されています。

Cycloneデバイスでの32ビットDDR SDRAMインタフェースのロジック使用量は約1,000ロジック・エレメント (LE) で、Stratixデバイスでは約800LEです。Stratixデバイスを使用すれば、完全な64ビット・インタフェースの場合でも、わずか1,000LEしか消費しません。したがって、全体的なシステム・コストがきわめて低く抑えられます。

## まとめ

DDR SDRAMサポート機能を持つFPGAとともにDDR SDRAMコントローラIPを使用すれば、設計者は残りのシステムに労力を集中することができ、時間が節約され、初回で成功する可能性が非常に高くなります。

DDR SDRAMコントローラの無償のOpenCore® 評価機能は、日本アルテラのWebサイト ([www.altera.co.jp](http://www.altera.co.jp)) からダウンロードして使用することができます。OpenCore評価機能では、IP、配置配線、およびスタティック・タイミング解析の機能的なシミュレーションを実行できます。

## アルテラ・ユニバーシティ・プログラム

アルテラの教育への取り組みは、同規模の他社をはるかに凌いでいます。プログラマブルなアルテラのデバイスは教育用に最適です。アルテラ・ユニバーシティ・プログラムは、教育推進のために、創業以来20年間にわたって絶えず世界中の学校との連携を深めてきました。このプログラムは5年前に、UP1開発ボードの発売にともなって特に高等教育をターゲットにした講座にレベルアップされました。最初のUP1ボードは、MAX<sup>®</sup> EPM7128 CPLDとFLEX<sup>®</sup> EPF10K20 FPGAを搭載し、MAX+PLUS<sup>®</sup> IIソフトウェアでプログラムされていました。このオリジナル・ボードを使用して、世界中で数え切れないほどのクラス・プロジェクトが実施され、多くのテキストブックが作成されてきました。

2年前に、大きな成功を収めたUP1がUP2に変わりました。UP2はFLEX EPF10K70 FPGAを搭載し、電源とケーブル、およびジョージア州立大学の教授が執筆したテキストが付属しています（アルテラは今年、20,000台目のボードを出荷しました）。アルテラは2003年7月に、Quartus<sup>®</sup> II Web Editionソフトウェアへの移行とともに再びこのパッケージをアップグレードしたため、学生（およびインストラクタ）は卒業後も十分に活用できる卓越したアルテラ・ツールを実習する機会が得られるようになりました。

### ユニバーシティ・プログラムの成長

アルテラ・ユニバーシティ・プログラムは、以下の3つの原則を採用しこの2年間で急成長を遂げています。

第一に、アルテラは現在顧客に販売している開発キット、デバイス、およびツールと全く同じ製品を教育機関に提供します。開発キットについては、アルテラが大幅に価格を引き下げたため、世界中のすべての学校で最先端のハードウェア、ソフトウェア、およびIP (Intellectual Property) を利用できるようになりました。数百のユニバーシティ・プログラムおよび大学院プログラムにおける重要な要素はデバイスです。アルテラは最良のデバイス (Stratix<sup>™</sup> および Cyclone<sup>™</sup> FPGA) をわずかな費用、または無償で学校に提供します。また、プログラムに参加する学校にQuartus IIソフトウェアのフル・バージョンも提供します。

第二に、アルテラは開発キットおよびデバイス供与の形で、大学レベルおよび大学院レベルの研究成果を提供します。アルテラの過去2年間に及ぶこのレベルでの積極的な取り組みにより、プログラムに参加する大学が24校以上（ほぼそれと同数の国）にまで増えました。

第三に、アルテラは学校との間で活発なコミュニケーションを維持し、優秀な学生をリクルートするための基盤を提供します。アルテラは年に約6回、サンノゼの施設に大学院の学生グループを招いています。これまで、米国の数校のほか、中国、イタリア、ドイツ、カナダの大学からもアルテラに学生を迎えました。

アルテラ・ユニバーシティ・プログラムは着実に成長し、アジア太平洋地域での成長に合わせてリソースを追加しながら拡大し続けています。このプログラムは2003年秋に、主要な教育ツールとしてQuartus IIソフトウェアを採用する予定であり、さらに広く認知されるようになるでしょう。加えて、いくつかのデザイン・コンテストの開催も予定されており、学生に顧客から多くの支持を得ているアルテラのNios<sup>®</sup> 開発キット Cyclone Editionを使用したあらゆるレベルの課題が出されます。

### まとめ

アルテラはこのプログラムに参加している大学、教授、および学生数を公表しておりませんが、プログラムはすべてのカテゴリで3倍にまで拡大しています。顧客に対応しているのと同レベルの優秀なインストラクタが教育を担当していることが、このプログラムの大きな成功につながっています。

## アルテラ・ハンドブック — ワンクリックで製品資料にアクセス

テクニカル・ドキュメントを利用しやすくするために、アルテラは製品ハンドブックを導入しました。ドキュメントの種類別ではなく、製品の機能別および特長別に編成されており、アルテラのWebサイトの資料 ([www.altera.co.jp/literature](http://www.altera.co.jp/literature)) からワンクリックで製品ハンドブック全体をダウンロードできます (ハンドブックの必要な部分だけをダウンロードすることもできます)。

アルテラは、Stratix™、Cyclone™、HardCopy™、およびコンフィギュレーション・デバイス・ハンドブックの提供を開始し、今後主要なデバイス・ファミリー、開発ツール、およびエンベデッド・プロセッサ・ソリューション、さらに多数の課題を扱ったアプリケーション・ベースの製品ハンドブックを提供する予定です (表1を参照)。

表 1. Stratix, Cyclone, およびHardCopyハンドブック

デバイス・ファミリー・ハンドブック	概要
Stratix	Volume 1: 特長、コンフィギュレーションおよびテスト情報、DC動作条件、ACタイミング仕様、消費電力、およびオーダー情報が記載されたStratix FPGAファミリー・データシート
	Volume 2: Stratixの機能、IPファンクションの使用法、およびサポートされるコンフィギュレーション・モードに関する詳細
	Volume 3: デバイス・ピン・テーブル、PCBレイアウト・ガイドライン、およびパッケージ
Cyclone	Volume 1: Cyclone FPGAファミリー・データシートおよびCycloneの機能、IPファンクション、およびサポートされるコンフィギュレーション・モードの使用法に関する詳細情報
	Volume 2: デバイス・ピン・テーブル、PCBレイアウト・ガイドライン、およびパッケージ
HardCopy	StratixおよびHardCopy APEX 20Kで構成されるHardCopyのデータシート、ハードウェア・デザイン考慮事項、およびソフトウェア・サポート
コンフィギュレーション	Volume 1: StratixおよびStratix GXデバイスのコンフィギュレーション、Cyclone FPGAのコンフィギュレーション、APEX IIデバイスのコンフィギュレーション、APEX 20KEおよびAPEX 20KCデバイスのコンフィギュレーション、Mercury、APEX 20K (2.5V)、ACEX 1KおよびFLEX 10Kデバイスのコンフィギュレーション
	Volume 2: エンハンスド・コンフィギュレーション・デバイス (EPC4、EPC8、およびEPC16) のデータシート、アルテラのエンハンスド・コンフィギュレーション・デバイスの使用法、シリアル・コンフィギュレーション・デバイス (EPCS1およびEPCS4) データシート、SRAMベースLUTデバイス・コンフィギュレーションデータシート、デバイス・コンフィギュレーション・オプション、コンフィギュレーション・ファイル・フォーマット、異なるアルテラFPGAチェーンのコンフィギュレーション、異なるコンフィギュレーション方式の組み合わせ、フラッシュ・メモリを使用したFPGAのコンフィギュレーション、およびコンフィギュレーション問題のデバッグ

# SOPC WORLD 2003カンファレンス : Roadmap to the Future

劇的なコスト削減、比類ない性能およびデザインの簡略化により、プログラマブル・ロジックは、エンベデッド・デザイン、デジタル信号処理 (DSP)、信号インタフェース/ブリッジ、および高速信号のデザインにおいて、従来のシステム・デザイン・テクノロジーに取って替わるものとなりました。アルテラの SOPC WORLD 2003 では、お客様に有益で興味深い情報と業界で最先端のプログラマブル・ソリューションを体感できる場を提供しました。



## PLD WORLD 2003

アルテラの SOPC WORLD 2003 は、10月17日に東京で行われた日本アルテラ主催の PLD WORLD も併せて、2003年9月から11月まで世界20都市以上で開催され、下記の内容を含む主要なシステム・デザインの課題およびソリューションの詳細なテクニカルセッションが行われました。

- カスタム・ペリフェラル開発およびエンベデッド・プログラマブル・プロセッシングの解説
- 高速システム向けソリューション
- パワフルな SOPC Builder ツールを用いたシステム・デザインおよびインテグレーションの簡略化
- DSP用のFPGA コプロセッサ
- 2004年に発表されるアルテラの3つの新製品ファミリの展望



## デモ・ビレッジ

SOPC WORLD 2003では、アルテラおよびパートナーによる、200MHzのDDR (Double Data Rate) メモリを使用した通信、システム・プロセッサのDSP性能の向上、および3.125Gbpsの高速なデータ転送などの有効なソリューションを体験していただけるデモンストラーションを実施しました。

アルテラはSOPC WORLD 2003で3つの革新的な新製品ファミリを発表しました

表 1. SOPC WORLD 2003の日程と開催地

北米		ヨーロッパ		アジア	
日程	開催地	日程	開催地	日程	開催地
September 30, 2003	Richardson, TX (Dallas)	October 30, 2003	Milan, Italy	October 15, 2003	Shanghai, China
October 1, 2003	Irvine, CA	November 4, 2003	Munich, Germany	October 20, 2003	Beijing, China
October 2, 2003	Manhattan Beach, CA (Los Angeles)	November 6, 2003	Stuttgart, Germany	October 28, 2003	Hsinchu, Taiwan
October 6, 2003	Toronto, ON Canada	November 11, 2003	Kista, Sweden	October 30, 2003	Seoul, South Korea
October 7, 2003	Chelmsford, MA (Boston)	November 13, 2003	Espoo, Finland	November 5, 2003	Bangalore, India
October 8, 2003	Edison, NJ	November 18, 2003	Paris, France		
October 9, 2003	Cary, NC (Raleigh)	November 20, 2003	Bedfordshire, UK		
October 10, 2003	Bethesda, MD				
October 21, 2003	Broomfield, CO (Denver)				
October 28, 2003	Oakbrook Terrace, IL (Chicago)				
November 6, 2003	Santa Clara, CA				

# アルテラ・トレーニング



北米で行われているアルテラ・テクニカル・トレーニングで、最新のツールおよびテクノロジーで最新のスキルを習得することにより、もっとも効率的なSOPC (system-on-a-programmable-chip) ソリューションのデザインを可能にします。トレーニング・コースでは、高性能および最小の実装面積を実現し、コストの削減および「Time-to-Market」を短縮するアルテラの Quartus IIソフトウェア・バージョン3.0および関連するEDAツールの最新機能を活用する方法を指示しています。顧客のニーズに対応したコースを提供するアルテラの方針が示されたコース・カタログにおいては、デジタル信号処理 (DSP) アプリケーション、エンベデッド・プロセッサ・システム、および高速デザインはわずかな分野となっています。

## 実地学習

実地学習は、新しいスキルを習得するにはもっとも良い方法です。したがって、実習は北米で行われているすべてのトレーニング・クラスにおいて重要なものとなっています。多くのクラスでは、アルテラの開発ボードのハードウェアを試すことができます。DSPシリーズ・パートIまたはDSPシリーズ・パートIIのテクニカル・トレーニング・クラスに参加すると、開発が続けられるようにどのDSP開発キットでも20%の割引を受けられます。同様に、NiosまたはSOPCテクニカル・トレーニング・クラスに参加することにより、Nios開発キットは20%の割引になります。表1は、好評なクラスの一覧を示しています。

**Table 1. Popular Altera Courses**

Course Name	Duration	Course Type	Suggested Resale Price Per Student
DSP Design Series Part I: Implementing DSP Designs in FPGAs	8 Hours	Instructor-Led	\$495
DSP Design Series Part II: Using FPGAs to Architect and Optimize a DSP System	8 Hours	Instructor-Led	\$495
Designing with Nios & SOPC Builder	8 Hours	Instructor-Led	\$195
Designing a System on a Programmable Chip	8 Hours	Instructor-Led	\$495
Designing with Quartus II	8 Hours	Instructor-Led	\$195
Designing with Synplicity Synplify Pro & Altera Quartus II Software	8 Hours	Instructor-Led	\$195
Analyzing Designs Using Model Technology's ModelSim & Altera's Quartus II Software	8 Hours	Instructor-Led	\$195
Designing with Cyclone Devices	8 Hours	Instructor-Led	\$195
Fundamental Design Techniques for Stratix Devices	8 Hours	Instructor-Led	\$195
Advanced Design Techniques for Stratix Devices	8 Hours	Instructor-Led	\$195
Using Intellectual Property & Optimizing Stratix Designs	8 Hours	Instructor-Led	\$495
Introduction to VHDL	8 Hours	Instructor-Led	\$195
Advanced VHDL Design Techniques	8 Hours	Instructor-Led	\$495
Introduction to Verilog HDL	8 Hours	Instructor-Led	\$195
Advanced Verilog Design Techniques	8 Hours	Instructor-Led	\$495

## HardCopyに関するQ & A

**Q** アルテラのHardCopyデバイス・ファミリーは、他ベンダの同等製品とどのように違うのですか？

**A** アルテラのHardCopyデバイス・ファミリーは、ASICに代わる唯一の総合的なソリューションであり、プロトタイプから量産までを完全にサポートします。複数のベンダを必要とする競合ソリューションと異なり、アルテラは、FPGA、開発ツール、IPコア、機能検証済みのプロトタイプから量産デバイスまでのシームレスな移行パスを提供し、リスクを最小限に抑えるとともに早期の「Time-to-Market」を可能にします。設計者は、FPGAからその量産に至るまで、低コストで使いやすい同一のデザイン・ツールを使用できます。移行時にデザインを再合成する必要はありません。これにより、新しいデザインを作成するリスクを最小化し、ファースト・タイム・サクセスを保証します。

**Q** アルテラは、HardCopyデバイスのタイミングがFPGAと同じになることを保証していますか？

**A** はい。アルテラは、HardCopyのタイミング・パラメータがワースト・ケースのFPGAパラメータの範囲内であることを保証しています。

つまり、個々のHardCopyのタイミング・パスは、対応するFPGAのタイミング・パスと同等、または高速であるということです。しかしながら、すべてのタイミング・パスは、必ずしも同じパーセンテージで加速するとは限りませんので、重要な非同期の設計では避けてください。

**Q** HardCopyデバイスによってどのような性能向上が可能になりますか？

**A** HardCopyデバイスに移行することにより、相当するFPGAに比べてデザイン性能を平均50%向上させることが可能です。HardCopyデバイスの性能向上はデザインによって異なりますが、アルテラは、HardCopyのデザイン性能が相当するFPGAと同等となるか、あるいはそれを上回ることを保証しています。デザインは、Quartus IIデザイン・ソフトウェアの最新バージョンに含まれるHardCopyタイミング最適化ウィザードを使用して、HardCopy Stratix デバイスのデザイン性能を推測することができます。

**Q** HardCopyタイミング最適化ウィザードで、HardCopy APEX 20KCおよびHardCopy APEX 20KE デバイスの性能を推測できますか？

**A** HardCopyタイミング最適化ウィザードは、HardCopy Stratix デバイスの性能を推測するためだけに使用します。しかしながら、HardCopy APEX 20KCおよびHardCopy APEX 20KE デバイスの性能評価については、アルテラのHardCopy デザイン・センタから入手できます。この情報は、デザインが移行されてから1週間後に取得できます。

**Q** HardCopyデバイスの消費電力は、相当するFPGAより少ないですか。その場合、消費電力率はどのくらいになりますか？

**A** はい。通常、HardCopy デバイスは相当するFPGAより消費電力が平均で40%少ないです。この消費電力減少の割合は、デザイン・パラメータによって異なります。HardCopy APEX パワー・カリキュレータとHardCopy Stratix パワー・カリキュレータを使用して、移行のためのデザイン・デリバラブルを生成する前にデザインの消費電力を決定することができます。

**Q** HardCopyデバイスのI/O電気的性能は、相当するFPGAと同等ですか？

**A** はい。HardCopy デバイスのI/O電気的性能は、相当するFPGAと同等です。これにより、デザインはFPGAデザインに使用したシステム・ボードをそのまま使用でき、FPGAをHardCopyデバイスに置き換えた際も同等のボード性能が保証されます。

**Q** HardCopyデバイスでは、テスト機能はどのように処理されていますか？

**A** HardCopy ベース・アレイには、テスト機能回路が組み込まれています。メモリとPLL用のメモリBIST (boundary insertion scan test) とデザイン用のバウンダリ・スキャン・ロジックは、あらゆるHardCopy デバイスに標準装備されています。アルテラのHardCopy デバイスは、顧客の機能ベクタを一切必要としません。HardCopy デバイスは、自動テスト・パターン生成 (ATPG) ベクタを使用して構造デザインをテストするため、約99%の高い故障検出率を実現しています。

28ページに続く

**Q** FPGAのコンフィギュレーション機能は、HardCopyデバイスではどのように処理されているのですか？

**A** FPGAのコンフィギュレーション回路は、HardCopyデバイスとの干渉を起こしません。HardCopyデバイスは、ASICデバイスのようにすぐに起動するか、あるいはFPGAのコンフィギュレーション・プロセスをエミュレートすることができます。このため、FPGAで使用されたシステム・ボードをそのまま使用でき、コストのかかるデザイン変更やコンフィギュレーション・デバイス・ソフトウェアの修正は不要となります。

**Q** 複数のFPGAを1つのHardCopyデバイスに組み合わせることは可能ですか？

**A** 直接変換がなくても、複数の小さいFPGAを1つの大きいデバイスに変換できます。一旦、ファンクションとタイミングを新しいデバイスで検証したら、HardCopyデバイスに移行できます。

**Q** アルテラのHardCopyデバイス向けにデザインを行う際にどのようなツールが必要となりますか？

**A** FPGAのデザインに使用するのと同じ使いやすいQuartus IIソフトウェア・バージョン3.0を使用して、アルテラのHardCopyデバイスでデザインを行うことができます。追加のツールは必要ありません。

**Q** Quartus IIソフトウェアのHardCopyファイル・ウィザードとは何ですか？

**A** Quartus IIデザイン・ソフトウェアのプッシュボタン式機能のHardCopyファイル・ウィザードは、デザイン・データベース全体を生成し、HardCopyデバイスに転送します。また、この機能では移行プロセス中に使われるデザインのインプットが求められます。

**Q** Quartus IIソフトウェアのデザイン・アシスタントとは何ですか？デザイン・アシスタントでデザイン・データベースを確認することがなぜ重要なのですか？

**A** Quartus IIデザイン・ソフトウェアに含まれるデザイン・アシスタント機能は、デザインが業界標準のデザイン・ルールに適合しているかを検証します。相違がある場合は、この機能がデータベースをアルテラHardCopyデザイン・センタに転送して移行する前に、設計者に通知します。通知を受けた設計者は、デザインを移行する前に相違を修正する必要があります。この作業によりファースト・タイム・サクセスを保証します。

**Q** HardCopyデバイスへ移行するには、アルテラに何かを提供する必要がありますか？

**A** Quartus IIデザイン・ソフトウェアを通じてFPGAデザイン・ファイル(.sof)、タイミング制約、およびピン割当ファイルを提出していただきます。このような提出物はHardCopyファイル・ウィザード機能を使って生成できます。アルテラHardCopyデザイン・センタが移行プロセスを担当します。

**Q** HardCopyデバイスで未使用のI/Oピンは、バウンダリ・スキャンでどうなりますか？

**A** FPGAの場合と同様に、未使用I/OピンはHardCopyデバイスに残され、JTAG (Joint Test Action Group) チェーンに接続されます。

**Q** アルテラはファンクション検証のためにゲートレベルのHardCopyネットリストを提供できますか？

**A** はい。アルテラは、デザイナーに最終的なHardCopyデバイス・ネットリストとスタンダード・レイアウトファイル(.sdf)を検証用に提供できます。しかし、これは移行を保証するのに必要なものではありません。

**Q** IPコアは、HardCopyデバイスに移行できますか？

**A** はい。FPGAデザインに使用されているアルテラが提供するMegaCore<sup>®</sup>、およびサード・パーティ企業で構成されるAltera Megafunction Partner Program (AMPP<sup>SM</sup>)のIPコア製品は、HardCopyデバイスにシームレスに移行することができます。しかし、AMPPコアについては追加費用がかかることがあります。

**Q** Nios エンベデッド・プロセッサは、HardCopyデバイスに移行できますか？

**A** はい。高い支持を得ているアルテラのNios エンベデッド・プロセッサは、HardCopyデバイスに移行することができます。新たなロイヤリティやライセンス費用は必要ありません。

**Q** FPGA デザインをHardCopyデバイスに移行することにより、ダイ・サイズは縮小されますか？

**A** はい。HardCopyデバイスではプログラム機能が取り除かれているため、FPGAに比べてダイ・サイズが最大70%縮小されます。このため性能が大幅に向上し、消費電力が低減します。

## 製造中止品に関する情報

アルテラは、P-term デバイスおよび FPGA ファミリから特定のデバイスの製造を中止します (表1 参照)。新しい製品および注文コードに移行できるように 12 ヶ月の最終注文期間とさらに 6 ヶ月の最終出荷期間が設定されています。

表 1. 製造中止品情報			
製品ファミリ	該当製品	最終受注期限	最終出荷期限
MAX® 7000	特定の製品	10/31/04	04/30/05
MAX 7000A	特定の製品	10/31/04	04/30/05
MAX 7000B	特定の製品	10/31/04	04/30/05
MAX 7000S	特定の製品	10/31/04	04/30/05
FLEX® 10KA	特定の製品	10/31/04	04/30/05
FLEX 10KE	特定の製品	10/31/04	04/30/05
FLEX 6000	特定の製品	10/31/04	04/30/05
FLEX 8000	特定の製品	10/31/04	04/30/05
APEX™ 20K	特定の製品	10/31/04	04/30/05
APEX 20KE	特定の製品	10/31/04	04/30/05
ACEX® 1K	特定の製品	10/31/04	04/30/05
コンフィギュレーション・デバイス	下記のデバイス・ファミリから特定の製品： EPC1064、EPC1064V、EPC1213、および EPC1441	10/31/04	04/30/05

## アルテラへのコンタクト方法

アルテラからの情報やサービスが従来よりも迅速に行えるようになっていきます。お問い合わせの内容やご希望のサービスに応じて、下記へご連絡ください。

	情報提供元	連絡先
資料のご請求 (1)	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-476-2155 06-6307-7670
	株式会社 PALTEK	045-477-2009 06-6369-4070
	Web サイト	英 語 <a href="http://www.altera.com">http://www.altera.com</a> 日本語 <a href="http://www.altera.co.jp">http://www.altera.co.jp</a>
価格・納期等について	株式会社アルティマ	045-476-2155 06-6307-7670
	株式会社 PALTEK	045-477-2009 06-6369-4070
技術的なご質問	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-476-2155 06-6307-7670 052-202-1024 028-637-4488
	株式会社 PALTEK	045-477-2009 06-6369-4070
	E-mail (日本アルテラ)	<a href="mailto:japan@altera.com">japan@altera.com</a>
	FTP Site (US)	<a href="ftp.altera.com">ftp.altera.com</a>
製品案内	Web サイト	<a href="http://www.altera.co.jp">http://www.altera.co.jp</a>

**注:**

- (1) *Quartus II Installation and Licensing Manual*、*Introduction to Quartus II Manual*、および *MAX+PLUS II Getting Started Manual* はアルテラの web サイトから入手できます。他の MAX+PLUS® II のマニュアルについては、日本アルテラの販売代理店へお問い合わせください。

# エンベデッド・システム 発進



## 思いのままのCPUをたった2ドルで

アルテラのNios®エンベデッド・プロセッサがあれば、わずか2ドル分のロジックで柔軟性に優れたエンベデッド・デザインが実現します。カスタマイズしたシングル・チップ・ソリューションを、高性能Stratix™や低コストCyclone™を含む様々なFPGAとマスク・プログラムドHardCopy™ファミリに対応させ、素早く設計を進めることができます。

Nios開発キットのコンセプト	
Niosエンベデッド・プロセッサ	コンフィギュレーション可能なRISC CPUとGNUコンパイラ、JTAGデバッグ
ペリフェラル・ライブラリ	UART、タイマ、DMA、SDRAM、SPI他
Quartus® IIおよびSOPC Builder	システム・デザイン・ソフトウェア
ネットワーク・プロトコル・ソフトウェア・ライブラリ	TCP、IP、UDP、ARP、ICMP プロトコルをサポート
開発ボード	StratixまたはCyclone FPGA、Ethernet、SDRAM他

使い易いNios開発キットには、わずか数分間でカスタム・アプリケーションのコンセプトからシステム設計を行えるソフトウェアやペリフェラルが含まれています。Niosエンベデッド・プロセッサを使って、あなたの次のエンベデッド・デザインを飛躍させてください。それもたった2ドルで。

- 最小コストのエンベデッドFPGAソリューション
- 最高レベルのソフトRISC CPU
- 50以上のペリフェラル・ライブラリ
- 業界で最も完璧な開発キット
- ロイヤリティ不要

**Nios®** — 世界中で評判のソフトCPU

20 YEARS of  
**ALTERA**®

INNOVATION

[www.altera.com/nios](http://www.altera.com/nios)

日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1 新宿アイランドタワー32階  
TEL: (03)3340-9480 FAX: (03)3340-9487 <http://www.altera.co.jp>

販売代理店

**Altira**  
株式会社アルティマ

本社 〒222-8563 横浜市港北区新横浜1-5-5  
☎(045)476-2155  
大阪営業所 ☎(06)6307-7670 名古屋営業所 ☎(052)202-1024  
宇都宮営業所 ☎(028)637-4488 <http://altirainet.com>

**PALTEK** ソリューションサプライヤ  
株式会社 PALTEK

本社 〒222-0033 横浜市港北区新横浜2-3-12 新横浜スクエアビル  
☎(045)477-2009  
大阪営業所 ☎(06)6368-4070 <http://www.paltek.co.jp/>

# ASIC化への選択権を皆様へ



## ASICの問題を排除し利点のみを享受

**高性能。**  
**低消費電力。**  
**低価格。**



HARDCOPY™

HardCopy™デバイスでリスクのない量産を実現してください。HardCopyはFPGAからのシームレスな移行パスを備えた業界唯一のマスク・プログラムド・デバイスです。アルテラは、デバイスやツール、IPを含む業界唯一の完全なソリューションを提供し、最少の先行投資でプロトタイプから量産への移行を可能にします。このソリューションにより、設計者はASIC開発に伴う問題点や莫大な費用に煩わされることなく、コストや性能、消費電力に関する条件を満たすことができます。

- FPGAより50%高速
- FPGAより40%低い消費電力
- ファースト・シリコンでの成功を保証
- リスピン不要
- \$2,000ドルのQuartus® II設計ソフトウェアによる完全サポート



QUARTUS® II

HardCopy Starter Kitで量産設計を始めてください。  
そしてASICの利点のみを享受してください。

20 YEARS of  
**ALTERA**®

INNOVATION

[www.altera.com/hardcopy](http://www.altera.com/hardcopy)

日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿6-5-1 新宿アイランドタワー32階  
TEL: (03)3340-9480 FAX: (03)3340-9487 <http://www.altera.co.jp>

販売代理店



株式会社アルティマ  
本社 〒222-8563 横浜市港北区新横浜1-5-5  
☎(045)476-2155  
大阪営業所 ☎(06)6307-7670 名古屋営業所 ☎(052)202-1024  
宇都宮営業所 ☎(028)637-4488 <http://altimant.com>



ソリューションサプライヤ  
株式会社 PALTEK

本社 〒222-0033 横浜市港北区新横浜2-3-12 新横浜スクエアビル  
☎(045)477-2009  
大阪営業所 ☎(06)6369-4070 <http://www.paltek.co.jp/>