

News

2004年春季号

Views

アルテラ・ユーザのためのニュースレター



Innovation to the Power of *II*

ALTERA



アルテラの終わりなき革新

革新は半導体業界を支える土台です。ムーアの法則、メカルフの法則、ギルダールの法則など、常に難題と直面しつつ、非常に困難で克服しがたいと思われる課題を乗り越えて成長してきました。我々半導体業界は、純粋な技術力と地道な企業努力によって、悲観的な予測を幾度も乗り越えたと共に、技術水準をつねに高めてきたのです。アルテラには、このような障害を克服して新たな標準を生み出す情熱と強い意志が脈々と受け継がれています。

20周年を終えた当社は、21年目の新たな一步を、プログラマブル・ロジック・テクノロジーの画期的な進展といえる新しいアーキテクチャの発表によって踏み出すことができました。過去2年にわたり、性能、集積度、およびコストにおいて当社は新たな水準に到達したばかりですが、今回2つの新ファミリ、Stratix™ II デバイスと MAX® II デバイス — 業界最大かつ最速の FPGA と最も低コストの CPLD — を市場に送り出すことにより、さらにその限界を超えた高性能を追求します。

システムにおける従来の PLD アプリケーションの範囲を超えて FPGA の役割を拡張するため、当社のエンジニアは15年近く使用されてきた4入力のルックアップ・テーブル (LUT) 構造を見直し、Stratix II ファミリを開発しました。革新的な新しいロジック構造をベースにした Stratix II デバイスは、より高いレベルの統合と性能を実現し、FPGA の柔軟性と「Time-to-Market」を活用する手段を提供します。例えば、Stratix II デバイスは大容量のメモリと優れた性能帯域幅を提供しますが、これはさまざまなルータやエッジ・スイッチャの高性能ライン・カードでのデータ処理に最適です。また、無線基地局アプリケーションでは、Stratix II デバイスは VoIP ゲートウェイに最適であり、これによって大幅な性能の向上が実現します。その他にも、かつては ASIC の独占領域であった多くのアプリケーションが Stratix II デバイスの適用対象になっています。我々の目的は部品リストの大部分をアルテラ・デバイスで埋めることです。これにより、システム全体およびサプライ・チェーンのコストを削減すると共に、リスクも大幅に軽減できることを実感していただけるでしょう。

アルテラは、1991年に MAX 7000 アーキテクチャを発表して以来、10年以上に渡って CPLD 市場をリードしてきました。世界中で年間10,000を超える顧客に購入されている MAX デバイスは、多数のシステムに組み込まれ、グルー・ロジックからバス・ブリッジ、パワーアップ・シーケンス、デバイス・コンフィギュレーション、I/O 拡張など、さまざまな機能を実行しています。MAX II デバイスの投入に伴って、当社では CPLD アーキテクチャの見直しを行い、かつてない低価格でより高い集積度を提供できるようになりました。最終的に、MAX II デバイスは従来の CPLD アプリケーションだけでなく、小型 ASSP や標準ロジック・デバイスで使用されるアプリケーションも適用対象になります。

今四半期には、Stratix II ファミリと MAX II ファミリの詳細情報が記載された News & Views の特集号をお届けします。我々は次の20年に向かって新しい道を切り開いていきますが、当社の使命は変わりません。それは、顧客にとって高い価値があるプログラマブル・ソリューションを提供することです。この目標に向かって、絶えざる革新に集中して取り組むことによるのみ、より強い力を獲得できるのです。アルテラの革新に決して終わりはありません。

Erik Cleage,
Senior Vice President of Marketing



4

MAX II CPLD



8

Stratix II FPGA



13

Quartus II
バージョン 4.0

特集記事

MAX II — かつてない最も低コストなCPLD	4
Stratix II — 最新の高性能、高集積FPGA	8
MAX+PLUS IIからQuartus IIソフトウェアへの移行	11
Quartus IIバージョン4.0 — 業界をリードするデザイン開発ソフトウェア	13

デバイス&ツール

HardCopy ストラクチャードASIC: ASICの利点を容易に享受	16
Stratix GX デバイスを量産出荷中	18
Quartus IIソフトウェア・バージョン4.0 — 業界をリードするデザイン開発ソフトウェア	20

寄稿記事

Synplify Proを使用してStratix IIデバイスの性能を向上させる方法	21
Mentor Graphics Precision RTL Synthesis ツールによる最新の Stratix II デザイン	23
マルチギガヘルツ・シリアル・リンクを使用するシステム設計: 障害の克服	25

技術論文

MAX II CPLD: 増大する制御パス・アプリケーションのニーズに対する取り組み	27
FPGA 性能の効果的なベンチマーク手法 — 最新のFPGA アーキテクチャの比較	30
Stratix II FPGA によるデザインのセキュリティ保護	31
新しい革新的なStratix II ロジック構造による比類ない性能とロジック効率	33
SerialLite プロトコルの概要	37

Altera, ACAP, ACCESS, ACEX, ACEX 1K, AMPP, APEX, APEX 20K, APEX 20KC, APEX 20KE, APEX II, Atlantic, Avalon, BitBlaster, ByteBlaster, ByteBlaster II, ByteBlasterMV, Classic, ClockBoost, ClockLock, ClockShift, CoreSyn, Cyclone, DirectDrive, E+MAX, Excalibur, FastLUT, FastTrack, FineLine BGA, FLEX, FLEX 10K, FLEX10KE, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, Flexible-LVDS, HardCopy, HardCopy Stratix, IP MegaStore, Jam, LogicLock, MasterBlaster, MAX, MAX II, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX 7000S, MAX 7000A, MAX 7000AE, MAX 7000B, MAX 3000, MAX 3000A, MAX+PLUS, MAX+PLUS II, MegaCore, MegaLAB, MegaWizard, Mercury, MultiCore, MultiVolt, MultiTrack, NativeLink, Nios, nSTEP, OpenCore, OptiFLEX, PowerFit, PowerGauge, Quartus, Quartus II, RapidLAB, SignalCore, SignalProbe, SignalTap, SignalTap Plus, SignalTap II, SoftMode, Stratix, Stratix II, Stratix GX, Terminator, The Programmable Solutions Company, TriMatrix, True-LVDS, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Adobe and Acrobat are registered trademarks of Adobe Systems Incorporated. ARM and Multi-ICE are registered trademarks and ARM922T and ETM9 are trademarks of ARM limited. HP-UX is a trademark of Hewlett-Packard Company. HyperTransport is a trademark of HyperTransport Consortium. Intel and StrongARM are registered trademarks of Intel. Mentor Graphics is a registered trademark and Exemplar, LeonardoSpectrum, and ModelSim are trademarks of Mentor Graphics Corporation. Microsoft, Windows, Windows 98, and Windows NT are registered trademarks of Microsoft Corporation. PALACE is a trademark of Aplus Design Technologies, Inc. RapidIO is a trademark of RapidIO Trade Association. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Sun is a registered trademark and Solaris is a trademark of Sun Microsystems, Inc. Synplicity, Synplify, Synplify Pro are registered trademarks of Synplicity, Inc. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader. Copyright© 2004 Altera Corporation. All rights reserved.

ご質問、ご意見などがありましたら、お知らせください。

日本アルテラ株式会社

〒163-1332

東京都新宿区西新宿6-5-1

新宿アイランドタワー 32F

私書箱1594号

電話:03-3340-9480

FAX:03-3340-9487

E-mail:Japan@altera.com

URL: http://www.altera.co.jp



I.S. EN ISO 9001



MAX II — かつてない最も低コストなCPLD

MAX II

アルテラは、10年以上に及ぶCPLDにおけるリーダーシップと技術的革新を踏まえ、かつてない最も低コストなCPLDであるMAX[®] IIデバイス・ファミリを発表しました。MAX IIデバイスは、CPLDファミリで最も低いコストと最小の消費電力を実現する革新的な新しいCPLDアーキテクチャをベースにしています。このインスタント・オンで不揮発性のデバイス・ファミリは、他のCPLDの1/2以下の価格で供給され、汎用の低集積度ロジック・アプリケーションをターゲットにしています。さらに、MAX IIデバイスはコストと消費電力の向上だけでなく高集積度も実現しているため、設計者は高コストまたは高消費電力のASSP、ASIC、および標準ロジック・デバイスの代わりにMAX IIデバイスを使用することができます。

CPLDは、広範な電子システムにおいて一般的に制御系アプリケーション(図1参照)に使用されています。これらのアプリケーションは、高いコスト効率を実現するマクロセル・ベースのCPLDよりもさらに高い性能と集積度を必要とします。この結果、複雑なシステムの構築には多くの場合、ASICやASSPが使用されます。しかしながら、これらの代替手段は、制御系アプリケーションに重要な柔軟性および使いやすさに乏しく、また低コストでないため、デザインを困難にします。

ASICおよびASSPは制御系アプリケーションにおいては優れたソリューションを提供できないため、高集積で、高いコスト効率、インスタント・オン、不揮発性のデバイスを実現する新しいCPLDアーキテクチャの要求が高まっていました。アルテラは、かつてないレベルのCPLD集積度を提供する新しいMAX IIファミリにより、このニーズに対応します(表1参照)。0.18μmフラッシュ・プロセスをベースとするMAX IIファミリは、I/Oピンあたり最も低いコストに最適化されています。不揮発性、インスタント・オン、さらに前世代のMAX CPLDと比べ1/2の価格と1/10の消費電力であるMAX IIデバイスは、システム制御に必要なとされる高集積度を実現します。

画期的な新CPLDアーキテクチャ

画期的な新CPLDアーキテクチャをベースとするMAX IIデバイスは、CPLDの価値を再定義します。FPGAと異なり、従来CPLDではマクロセル・ベースのアーキテクチャが採用されています。また、従来のCPLDは、プロダクト・タームと呼ばれるベース・ユニットで構成されており、グローバル配線構造を備えています。しかしながら、マクロセル・ベース構造は、集積度で配線領域が二乗的に増加するため、およそ1,000マクロセルを超えると効率的に拡張できません。集積度が高いほど、ロウ&カラム配線のルック・アップ・テーブル(LUT)アーキテクチャのダイ・サイズ効率がさらに向上します(図2参照)。これにより大幅なコストの利点が提供され、より高い性能、より小さいダイ・サイズ、およびゲートあたりより低い消費電力も実現します。

MAX IIデバイスは、CPLDが使用されているデータ・パス以外のアプリケーションをターゲットとしているため、CPLDとして分類されます。テクノロジーの利点を重視したアーキテクチャやテクノロジー自身ではなく、対象とするアプリケーションをベースにしてこれらのデバイスを分類します。

MAX IIアーキテクチャは、最小のダイ・サイズでI/Oピンあたり最も低いコストを実現することにより、汎用プログラマブル・ロジック・デザインのコストを低減するように設計されています。アルテラは、この新しいアーキテクチャを開発するために次のデザイン手法を採用しました。

図1. CPLDアプリケーション

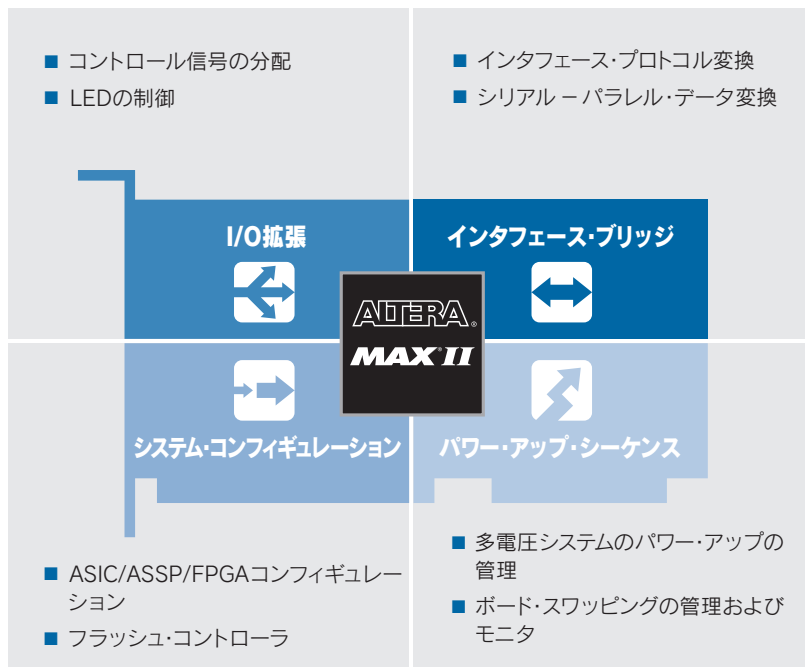


表 1. MAX II ファミリの概要

デバイス	LE 数	等価マクロセル数	最大ユーザ I/O ピン数	ユーザ・フラッシュ・メモリ・ビット数 (Kbit)	パッケージ(1)
EPM240	240	192	80	8,192	100-pin TQFP (2)
EPM570	570	440	160	8,192	100-pin TQFP 144-pin TQFP 256-pin FineLine BGA® (3)
EPM1270	1,270	980	212	8,192	144-pin TQFP 256-pin FineLine BGA
EPM2210	2,210	1,700	272	8,192	256-pin FineLine BGA 324-pin FineLine BGA

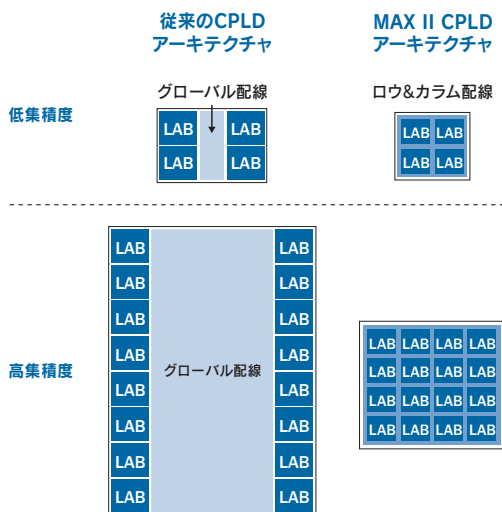
表 1 の注:

- (1) すべてのパッケージが全デバイスにわたってバーティカル・マイグレーションをサポートします。
- (2) TQFP: 薄型クワッド・フラット・パック
- (3) FineLine BGA パッケージ (1.0mm ピッチ)

第一に、MAX II の I/O セルをサイズに最適化し、ダイ・サイズを縮小するためにダイの周りに互い違いに配置しました。また、パッケージは従来の TQFP および FineLine BGA パッケージを採用しました。I/O ピンあたりのコストを重視することにより、MAX II デバイスのサイズはパッドによって決定されます。つまり、デバイスのダイ・サイズは、I/O セルの数とサイズで決まります。I/O セルの数とサイズはデバイスの絶対ダイ・サイズを決定し、デバイス・コストに直接影響を与えるので、最小の I/O セル寸法を採用することが重要です。

第二に、アルテラは MAX II ファミリの製造に低コストで低消費電力のプロセス技術を選択しました。TSMC の 0.18 μ m フラッシュ・プロセス・テクノロジーは、デバイス・コストおよび消費電力を大幅に削減しながらも、顧客のインスタント・オンおよび不揮発性のニーズに対応するため選ばれました。

図 2. 低コスト MAX II アーキテクチャの利点



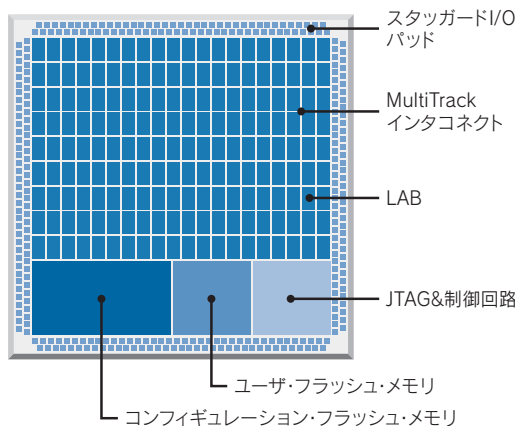
配線が LAB 数とともに指数関数的に増加し、結果として配線がダイの大部分を占める。

配線が LAB 数とともに線形的に増加し、結果として効率的なダイ・サイズが得られる。

最後に、新しいロジック・アーキテクチャは、シリコン領域内で最高の集積度および性能を実現するように適用されました。この結果として誕生したのが、業界でかつてない最も低コストな CPLD である MAX II デバイスです。

図 3 に、LUT ベースのロジック・アレイ・ブロック (LAB) のアレイ、不揮発性フラッシュ・メモリのバンク、および JTAG (Joint Test Action Group) 制御回路で構成された革新的な MAX II CPLD アーキテクチャを示します。MultiTrack™ インタコネクタは、最も効率の良い入力-ロジック-出力の直接接続を使用することにより、性能を最大化し、消費電力を最小化するように設計されています。

図 3. MAX II デバイスのフロアプラン



ボード管理機能

CPLD 自身のコストの削減に加えて、MAX II アーキテクチャは、ボード・レベルの信頼性を向上しながらコストおよびボード・スペースを削減するさまざまなボード管理機能を内蔵しています。

6 ページに続く

業界で初のユーザ・フラッシュ・メモリ

ユーザ・フラッシュ・メモリは、MAX IIデバイスに組み込まれた不揮発性の8Kビットのメモリ・ブロックです。個別のデバイスとして必要とされていた電氣的に消去可能なプログラマブル・リード・オンリ・メモリ (EEPROM) 機能を提供することにより、コストとボード・スペースを削減します。MAX IIデバイスは、この機能を提供する初のCPLDです。ユーザ・フラッシュ・メモリの代表的な用途は、製造ID、ボードのリビジョン番号またはソフトウェアのリビジョン情報またはパワー・マネージメント診断用の統計データなど、ボード上の記録管理データの共有保存領域です。

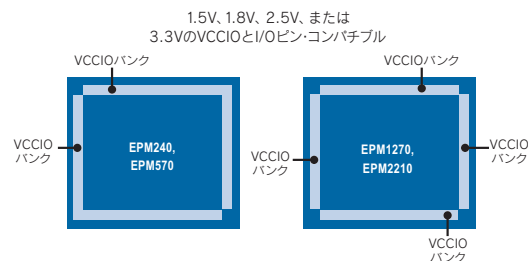
MultiVolt コア

業界初のMultiVolt™コアにより、ユーザはMAX IIデバイスを3種類の電源電圧で動作することができます。これにより、3.3V、2.5V、および1.8Vの電源レールをサポートしながら、0.18μm製造プロセスの性能、コスト、および消費電力の利点を活用します。内部電圧レギュレータは1.8Vまで落とすことができるため、個々のボード・レベル・デザインに最も適した電源レールをユーザが選択することができます。

I/O 機能

新しいCPLDアーキテクチャは、I/Oユーザビリティも向上しています。EPM240およびEPM570デバイスは2個のI/Oバンク、EPM1270およびEPM2210デバイスは4個のI/Oバンクを備えています。各I/Oバンクは、独自のVCCIOピンを備えており、1.5V、1.8V、2.5Vおよび3.3Vをサポートするために独立してコンフィギュレーションすることができます。また、異なるI/O標準規格を個別にサポートすることも可能です。図4にI/Oバンク・コンフィギュレーションの特長と利点、表2にMAX IIデバイスのI/O機能を示します。

図4. MAX II I/Oバンクのコンフィギュレーション



リアルタイム ISP

リアルタイムのイン・システム・プログラマビリティは、リモート・フィールド・アップデートのコストを削減するために設計された柔軟性の高いフィールド・アップグレード・ソリューションを提供します。MAX IIデバイスは、ロジックが実行中の間に、システムをオフにしたり、リコンフィギュレーションする必要なしに新しいプログラミング・ファイルが実行するコンフィギュレーション・フラッシュ・メモリ・ブロックをアップデートする機能を内蔵しています。この機能は、費用のかかるシステム・ダウンタイムを費やしたり遠隔部にエンジニアを送ることなく、ボード管理機能のアップデートを可能にします。

使いやすさ

MAX IIアーキテクチャは、新しいボード管理機能に加えて、2回目のフィッティング結果の改善などの機能を備えており、使いやすさが最適化されています。MultiTrack インタコネクタは、I/OピンからLABを切り離れた構造のためピン固定のデザインが容易になっており、2回目以降のフィッティングの成功率が高く、開発の最終段階におけるデザイン変更に対応できます。

表 2. MAX II の I/O 機能

機能	説明	利点
MultiVolt I/Oバンク	I/Oの各バンクは、3.3V、2.5V、1.8V、または1.5Vのいずれかにバンクの電圧を設定する独自のVCCIOピンを装備。	1つのデバイスで複数の電圧規格をサポート。
3.3V/2.5V/1.8V/1.5V LVTTTL/LVC MOS	複数のI/Oバンクで1.5Vまでの標準LVTTTL/LVC MOS規格をサポート。	広範なアプリケーションのサポートとLVTTTL規格との互換性を実現。
PCIサポート	EPM1270およびEPM2210デバイスはPCI I/O性能をサポート。	32ビット、33MHz PCI規格をサポートし、PCIスレーブおよびアービタとしてMAX IIデバイスを使用可能。
シュミット・トリガ	任意の入力ピンでヒステリシスをプログラム可能。	3.3V入力で最大300mV、2.5V入力で最大160mVの入力においてノイズ許容値を達成。
プログラマブルなドライブ強度とスルー・レート	ドライブ強度の高低の設定は、前世代のMAXファミリでは提供されていません。スルー・レート制御は、前世代のMAXファミリよりもより大きな効果を達成。	シグナル・インテグリティを改善するためのユーザ制御が可能。
ピンごとに独立した出力カインエーブルの制御	デザインにおける出力カインエーブル信号数の制限から解放。	従来のMAXアーキテクチャにおける不足を改善。
プログラム可能なバス・ホールド、プルアップ抵抗、およびオープン・ドレイン	MAX 7000Bと同様のプログラマブルなI/O機能。	外部の部品を使用することなく、より多くのI/O機能を制御可能。

無償のデザイン・ソフトウェア

MAX II デバイスは、CPLD デザインに最適なアルテラの Quartus® II ソフトウェアでサポートされています。現在は MAX+PLUS® II ルック&フィール・オプションが組み込まれて提供されており、MAX+PLUS II ユーザは、新しいユーザ・インタフェースを一から学習することなく Quartus II ソフトウェアを利用できます。また、Quartus II ソフトウェアは、様々な最新のサードパーティ製合成ツールおよびシミュレーション・ツールともシームレスに統合します。

Quartus II Web Edition は無償のソフトウェアであり、日本アルテラの Web サイト、www.altera.co.jp からダウンロード可能です。また、Quartus II Software Starter Suite CD-ROM にも収録されています。

まとめ

今日のシステム設計者は、より小型でより低コストの電子システムの実現に向けてチャレンジしつづけています。従来、CPLD は制御系ファンクション向けに選択されるデバイスでしたが、集積度と性能の限界は高度システム設計者に ASIC および ASSP のようなコストのかかる方法を検討させてきました。アルテラの新しい MAX II CPLD ファミリは、低コスト、低消費電力、より多くのロジックの要求に対応する LUT ベースのアーキテクチャを活用します。MAX II CPLD について詳しくは、www.altera.co.jp/max2 をご参照ください。

Stratix II — 最新の高性能、高集積FPGA



FPGAの性能と集積度は、アルテラの最新FPGA製品、Stratix™ IIデバイス・ファミリーによって新たな水準に到達しました。新しい革新的なロジック構造上に構築されたStratix IIデバイスは、平均で50%高速の性能を実現し、第一世代のStratix™ FPGAと比較して2倍以上のロジック容量を提供します。Stratix IIデバイスによってFPGAデザインの可能性が広がるため、設計者は今日の最新システムにおける厳しい性能要件に対応でき、多くのコストと時間を要するASICの開発が不要になります。高い評価を得ているStratixデバイス・ファミリー・アーキテクチャをベースにしたStratix IIデバイスは、第一世代のStratixデバイスと比較して40%のコスト削減が可能で、システム・レベルの強力な機能セットを備え、多くの重要な拡張機能や新機能が搭載されています。

Stratix II FPGAは、TSMCの90nm、Low-K（低誘電率誘導体）プロセス・テクノロジーを駆使して300mmウェハ上に製造されます。多くの革新技术や業界初の機能が搭載されたStratix II FPGAでは、デバイスの性能と集積度を前例のないレベルまで向上させる新しいFPGAロジック構造が採用されています。この革新的なロジック構造は、従来の4入力ルックアップ・テーブル（LUT）ベースのロジック・エレメント（LE）より効率的にロジック・リソースを使用する、アダプティブ・ロジック・モジュール（ALM）によって構築されます。これにより、Stratix II FPGAでは必要なリソースが少なくなり、特定の機能のロジック・レベルを低減できるので、より低いシステム・コストで高性能を実現できます。性能上の利点としては、500MHzクロック・レートおよび250MHzシステム・クロック周波数のサポートもあります。Stratix IIデバイスの集積度は、180K相当のLEと9MビットのRAMに達し、第一世代と比較して2倍以上増加しています（表1参照）。

今日のデジタル・システムの課題

消費者は最新データへのリアルタイム・アクセスを求めており、エンド・ユーザ装置とインフラストラクチャ装置は性能の限界に達しています。また、エンタプライズ・サーバ、ビデオ・スイッチャ・システム、およびデジタル加入者回線マルチプレクサはすべて、より高速な性能をサポートするロジック・デバイスを必要としています。アルテラはこのような今日のデジタル・システムのニーズに対応するため、厳しい性能およびコスト要件に対応する、またはその水準を超える完全に新しいロジック構造を白紙に戻って開発しました。

なぜFPGAの性能が問題なのか

重要であるにも関わらず見落とされがちなポイントは、高クロック周波数をサポートするFPGAを使用した場合、高速グレードのFPGAではコストが割高になるものの、低性能のFPGAを使用するよりコスト効率が高くなる場合が多いことです。これは、高速性能のFPGAを使用して、バス構造を1/2に分割し2倍の周波数で動作させるとデザイン・サイズを縮小できるので、デザインをより小さなデバイス密度に収めることができるためです。

わかりやすい例として、バックプレーン・アプリケーションで通常使用され、Stratix FPGAとStratix II FPGAの両方に実装できるSPI-4.2インタフェースの場合を考えてみましょう。16チャンネル構成のこのデザインは、Stratix FPGAでは約16,000 LEを使用し、正常に動作させるには最高速のグレードが必要です。Stratix IIデバイスははるかに高速のコア・ロジックとI/O速度をサポートしているため、バスの分割を半分にし、2倍の速度で動作する同じデザインは、Stratix実装と比較してロジック・リソース使用量が半分以下になります。

表1. Stratix IIデバイス・ファミリー

デバイス	ALM数	等価LE数	M512 RAM ブロック数	M4K RAM ブロック数	M-RAM ブロック数	トータルRAM ビット数	18×18ビット 乗算器数 (1)	PLL数 (2)	供給予定
EP2S15	6,240	15,600	104	78	0	419,328	48	6	Q4 2004
EP2S30	13,552	33,880	202	144	1	1,369,728	64	6	Q4 2004
EP2S60	24,176	60,440	329	255	2	2,544,192	144	12	July 2004
EP2S90	36,384	90,960	488	408	4	4,520,448	192	12	Q4 2004
EP2S130	53,016	132,540	699	609	6	6,747,840	252	12	October 2004
EP2S180	71,760	179,400	930	768	9	9,383,040	384	12	Q4 2004

表1の注:

- (1) メモリ・ブロックを使用したソフト・マルチプライヤの数は含まれていません。
- (2) enhancedおよびfast PLLを含みます。

これにより、Stratix IIデバイスでは約75%もコストが低減されます。Stratix II ALMのより効率的なパッケージング機能を使用すると、ロジック使用量をさらに低減できます。ALMについては本号のNews & Viewsで後述します。

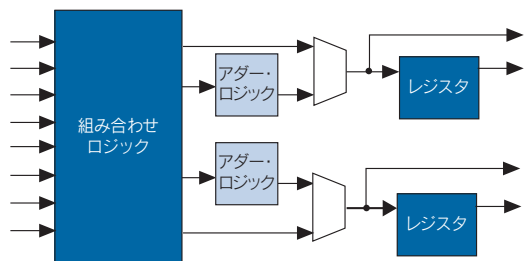
より高速性能と高集積度をサポートするディープ・サブミクロン・ノードでの半導体の開発と製造は、もはや学術研究の領域ではありません。また、従来のFPGAアーキテクチャを新しいプロセス・テクノロジー・ノードに移行しても、過去のように必ずしもより高速な性能を実現できるとは限りません。むしろ、面積—性能—消費電力のトレードオフなどの重要なデザイン上の考慮と新たなアーキテクチャの革新が重要であり、次世代システムにおけるFPGAのコストパフォーマンス要件に対応できるデバイスを製造する必要があります。

伝統からの変革とサブミクロンへの挑戦

過去数年にわたり、サブミクロン・レベルでの半導体デザインに関する問題が注目を集めてきました。この問題が注目を集めているのには十分な根拠があり、リーク電流、誘導結合、電源降下に起因するナノメータ効果は、性能と電源管理の面からFPGAには非常に大きな問題になるためです。

このため、アルテラはロジック・アレイを大幅に変更し、革新的な新しいロジック構造（過去20年にわたりFPGAの基盤となってきた4入力LUTアーキテクチャを性能と効率の両面ではるかにしのぐロジック構造）を開発しました。図1に示すように、Stratix IIデバイス・ファミリのロジック構造は、組み合わせロジック、演算ロジック、およびレジスタ・ロジックから成るALMを使用して構築されます。

図1. Stratix IIのアダプティブ・ロジック・モジュール構造



Stratix II ALMは、リソースを共有する2つの結合されたLEよりはるかに高い能力を提供します。ALMがその他のFPGAアーキテクチャと一線を画するのは、その適合能力です。ALMは、入力幅が1~7の単一のファンクションか、異なる（または同じ）幅の複数の独立したファンクションをサポートできます。例えば、5入力と3入力のファンクションなど、幅が異なる複数のファンクションにデザインを合成できます。固定4入力ベースのアーキテクチャで実装した場合、5入力ファンクションは複数レベルにまたがって構築しなければならず、3入力ファンクションは必要以上にリソースを消費してしましますが、Stratix II ALMでは単一のALMに3入力と5入力のファンクションを両方も配置できます。入力および組み合わせLUTロジックをファンクション間で共有できるので、よりリソースを節約できます。7入力、5入力、および2入力ファンクションの組み合わせや、最大8入力までのファンクションの任意の組み合わせとしてデザインを合成する場合も同様です。最終的な目的は、性能を平均50%向上させ、ロジック使用効率を大幅に（場合によっては4:1まで）増加させることです。

実績ある機能セットの強化

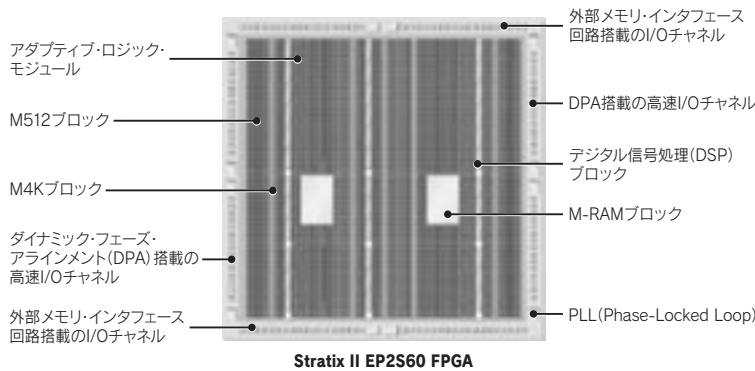
新しいロジック構造だけでなく、Stratix IIデバイスは90nmプロセス用に最適化されており、高い評価を得ている従来のStratix FPGAファミリの機能がさまざまな面で強化されています（10ページの図2参照）。強化内容は次のとおりです。

- **TriMatrix™メモリ**：デバイスあたり9Mビット以上、リソース使用を効率化する新機能により最大370MHzの性能を実現
- **デジタル信号処理ブロック**：最大4倍以上の帯域幅、ラウンディングとサチュレーションおよび混合モードをサポート
- **外部メモリ・インタフェース**：DDR2、SDRAM、QDR SRAM、RLDRAM IIなどの最新メモリ・デバイスをサポート（10ページの表2参照）
- **フェーズ・ロック・ループ**：ジッタ性能とオンザフライ・リコンフィギュレーション機能を強化
- **高速I/Oピン**：ダイナミック・フェーズ・アライメント（DPA）により、150を超える受信チャンネルと送信チャンネルで最大1Gbpsの性能を実現

10ページに続く

インタフェース	最大クロック・レート (MHz)
SDR SDRAM	166
DDR SDRAM	200
DDR2 SDRAM	266
RLDRAM II	300
QDR II SDRAM	250

図2. EP2S260 デバイスのフロアプラン



高速インタフェースにおける 高いシグナル・インテグリティ

真の汎用FPGAであるStratix IIデバイス・ファミリーは、専用DPA回路との高速インタフェースもサポートしています。DPAは、アルテラのトランシーバ・ベース・ファミリーFPGAであるStratix™ GXデバイス・ファミリーによって初めてFPGA市場に導入されました。最大システム性能仕様が向上し、バックプレーン・インタフェースがチップ間インタフェースとなるのに伴い、高速信号アライメント用のフレキシブルで強固なFPGAソリューションに対するニーズが高まっています。

ソース・シンクロナス・クロック構造を使用する高速インタフェースは、転送速度が1Gbps (ギガビット/秒) に急速に近づきつつあります。このような高速転送により、デジタル・デザインでは非常に正確なデータおよびクロック同期が必要であり、非常に厳しいクロック・チャンネルおよびチャンネル間スキュー仕様に対応しなければなりません。トレース長のわずかなミスマッチでもデータ転送エラーになる可能性があるため、設計者は許容されるスキューを維持するために、精密プリント回路基板 (PCB) 設計手法を使用する必要があります。ジッタ、温度、電圧変動など、その他の影響で状況が悪化しているため、単純なスタティック位相アライメント手法では対応しきれません。アルテラは、エンジニアが高速データ転送システムをデザインするときに直面する諸問題を認識し、PCBデザインを大幅に単純化するDPA機能を開発することにより、スキュー誘発の影響によって生じる信号アライメントの問題を解決しました。

デザイン・セキュリティの保証

競争の厳しい今日の商用および軍用市場では、デジタル設計者にとってデザイン・セキュリティが重要な要件になりつつあります。これらのシステムでFPGAがより重要な役割を果たすようになると共に、FPGAに含まれるIP (Intellectual Property) に対する企業や政府の関心が高まっています。アルテラのStratix II デバイスは、128ビットの高度暗号化標準 (AES: Advanced Encryption Standard) によるコンフィギュレーション・ビットストリームの暗号化をサポートする業界初のFPGAです。この新しいAESアルゴリズムは、米国国家安全保障局 (NSA) によってDES (Data Encryption Standard) およびトリプルDESアルゴリズムの後継として開発されました。Stratix II FPGAの構成に使用されるQuartus IIソフトウェアでは、ユーザ定義の128ビット・キーを始め、暗号化されたプログラミング・ファイルをユーザが作成できます。このキーはFPGAの不揮発性領域にセキュリティ保護して保存され、メモリまたはコンフィギュレーション・デバイスから読み込まれたプログラミング・ファイルの復号に使用されます。

量産サポート：アルテラのHardCopy デバイス・ファミリー

量産デザインに対応するため、Stratix II デバイスはアルテラのHardCopy™ ストラクチャードASICファミリーによってサポートされます。Stratix II FPGA用のHardCopy デバイスは、性能の向上と消費電力の低減を可能にし、リスクを大幅に軽減してコストを削減します。HardCopy 設計手法は、量産重視の顧客にプロトタイプから生産に至るまでの独自のソリューションを提供します。半導体業界でこのようなソリューションを提供できるのはアルテラだけです。

まとめ

新しいStratix IIデバイス・ファミリー平均50%高速化、2倍以上の集積度、まったく新しいロジック構造、DPA回路、およびデザイン・セキュリティ機能を備えたデバイス・ファミリーは、2004年にアルテラから発表されたばかりです。今後、Stratix IIデバイス用のHardCopy、多くの新開発キットやIPなどが次々提供される予定です。高性能デザインに取り組む際には、新しいQuartus IIソフトウェアをインストールし、Stratix II デバイスでデザインに着手してください。

Stratix II デバイスの詳細については、31 ページの「Stratix II FPGAによるデザインのセキュリティ保護」と、33 ページの「革新的なStratix IIロジック構造による比類ない性能とロジック効率」を参照してください。

MAX+PLUS IIからQuartus IIソフトウェアへの移行

Quartus IIソフトウェアは、CPLD、FPGA、およびストラクチャードASICの設計に最も使いやすい最良のソフトウェアです。MAX+PLUS IIソフトウェア・ユーザは、Quartus IIソフトウェア・バージョン4.0のルック&フィールが非常に使いやすく、さらに性能および機能の向上、最新のCPLDおよびFPGAデバイスファミリーに使用できることに驚くでしょう。

Quartus II ソフトウェアの利点

Quartus IIソフトウェアのバージョン4.0は、MAX+PLUS IIユーザに迅速なプッシュ・ボタン性能、優れた論理合成サポート、使い慣れたMAX+PLUS IIルック&フィール、およびMAX+PLUS IIプロジェクトからQuartus IIプロジェクトへの変換など、様々な強化されたサポートを提供します。Quartus IIソフトウェア・バージョン4.0は、従来のMAX[®]およびFLEX[®] 10Kデバイスのサポートのほかに、MAX II CPLDファミリーすべてのアルテラの最新FPGAおよびストラクチャードASICデバイスのサポートも追加されています。

表1は、MAX+PLUS IIソフトウェア・ユーザ向けにQuartus IIソフトウェアの利点をまとめたものです。

Quartus IIソフトウェアの新しいMAX+PLUS IIルック&フィール・オプション設定

内蔵のMAX+PLUS IIルック&フィール・オプションにより、ユーザは新しいユーザ・インタフェースを一から学習することなく、Quartus IIソフトウェアのすべての利点を享受することができます。このオプションは、Quartus IIユーザにMAX+PLUS IIソフトウェアと同じベーシック・メニュー構成やツールバーを提供しています(図1参照)。

図1. Quartus IIソフトウェアのMAX+PLUS IIルック&フィール・ツールバー



新しいQuartus IIコンパイラ・ツールは、MAX+PLUS IIコンパイラ・ツールと類似した同様のワン・クリック・コンパイラ機能を提供しています(図2参照)。

図2. Quartus IIのコンパイラ・ウィンドウ



Quartus IIソフトウェアのバージョン4.0の新機能は、MAX+PLUS IIソフトウェアに似たインタフェースのタイミング・アナライザおよびシミュレーション・ツールです。強化されたQuartus IIのシミュレーション・ツール(12ページの図3参照)を使用して、ユーザはシミュレーション入力ファイルをシミュレーション結果で上書きすることにより、MAX+PLUS IIシミュレーション機能をエミュレートできます。ユーザは、機能シミュレーション・ネットリストをコンパイル・プロセスから切り離して作成することができ、コンパイルおよびシミュレーション動作時間を加速することが可能です。

MAX+PLUS II Users



12ページに続く

表1. MAX+PLUS IIソフトウェアを凌ぐQuartus IIの優位点

デザイン手法	サポートされた機能
デバイス・サポート	<ul style="list-style-type: none"> MAX 3000A, MAX 7000S, MAX 7000AE, およびMAX 7000Bファミリに加えて、新しいMAX IIファミリをサポート FLEX 10KE, FLEX 10K, FLEX 10KA, ACEX[®] 1K, およびFLEX 6000ファミリに加えて、Stratix II, Cyclone[™], およびStratixなどの最新のFPGAデバイスをサポート
性能	<ul style="list-style-type: none"> MAX IIデバイスを使用して、CPLD プッシュ・ボタン・デザインのデザイン性能を2倍向上 <ul style="list-style-type: none"> Quartus IIデザイン・スペース・エクスプローラ・スクリプトは、平均で性能を35%向上 MAX 3000A, MAX 7000AE, MAX 7000S, MAX 7000B, FLEX 10K, およびACEX 1Kデザインにおいて、MAX+PLUS IIソフトウェア・バージョン10.2よりも優れた平均性能を提供 <ul style="list-style-type: none"> MAX+PLUS IIソフトウェア・バージョン10.2でコンパイルしたMAXデザインより、デザイン性能を平均15%向上 MAXデザインでデバイス・リソースを平均5%削減
論理合成	<ul style="list-style-type: none"> RTL論理合成は、AHDLサポートに加えて最新のVHDLおよびVerilog HDLを規格サポート RTL Viewerは、論理合成およびデザイン・インプリメンテーションの前にVHDLまたはVerilog HDLデザインの回路図表示を提供 最新のサードパーティ製合成フローのサポート

図3. Quartus IIの新しいタイミング・アナライザおよびシミュレーション・ツール



Quartus IIソフトウェアを お試しください

多くのユーザがすでにQuartus IIソフトウェアの利点に満足しています。

- 「Quartus IIソフトウェアは、MAX+PLUS IIよりもさらに信頼性が高く使いやすくなっています。」
Quintessence Technologies 社 社長、
Hussein Moradi 氏
- 「…MAX+PLUS IIソフトウェアからQuartus IIソフトウェアへの切り替えは非常に簡単でした。今では、新規のアルテラ・デザインにはすべてQuartus IIソフトウェアを使用しています…」
Vytek 社 主席エンジニア、Bill Swanson 氏
- 「私は、Quartus IIの使い勝手の良さ、スピード、またQuartus IIによって得られる優れた品質に強く感銘を受けました…」
Intrinsix 社 主席コンサルタント、
Alfredo Mendez 氏

無償のQuartus II Web Editionソフトウェアは、アルテラのWebサイトのダウンロード・センタからダウンロードすることができます。または、Quartus II Web Editionソフトウェアが収録されているQuartus II Software Starter Suite CD-ROMも提供されています。

さらに、MAX+PLUS IIプロジェクトからQuartus IIプロジェクトへの移行を紹介する新しいオンライン・デモも提供されています。詳しくは、*Quartus II開発ソフトウェア・ハンドブック*、「*Quartus II Design Flow for MAX+PLUS II Users*」の章を参照してください。

CPLD、FPGA、およびストラクチャードASICのすべての新規設計に、Quartus IIソフトウェアを推奨します。MAX+PLUS IIユーザはQuartus IIソフトウェアを使用して、その性能と生産性の利点、また最新の機能と新しいデバイス・ファミリに使用できることを実感してください。Quartus IIソフトウェアへの移行は、MAX+PLUS IIルック&フィール・オプションおよびMAX IIデバイスのサポートを含むアルテラのWebサイトで入手可能な無償のQuartus II Web Editionのバージョン4.0を使用することにより、リスクなしに行うことができます。

Quartus IIバージョン4.0 — 業界をリードするデザイン開発ソフトウェア

Quartus IIソフトウェア・バージョン4.0は、高集積FPGAデザインにおけるアルテラのソフトウェアの技術的リーダーシップをさらに拡大し、アルテラのCPLDデザイン・ツールとしてもリードを続けています。

Stratix II FPGAのデザイン

Stratix IIデバイスは、従来のFPGAファミリーよりも50%性能が向上されており、Quartus IIソフトウェアの強化された論理合成およびタイミング・クロージャ手法の利点により、さらに高い性能のレベルに到達できます。業界をリードするQuartus IIソフトウェアとStratix IIデバイス・ファミリーは、高集積FPGAデザインの比類のない性能と開発効率を実現します。

MAX II CPLDの設計

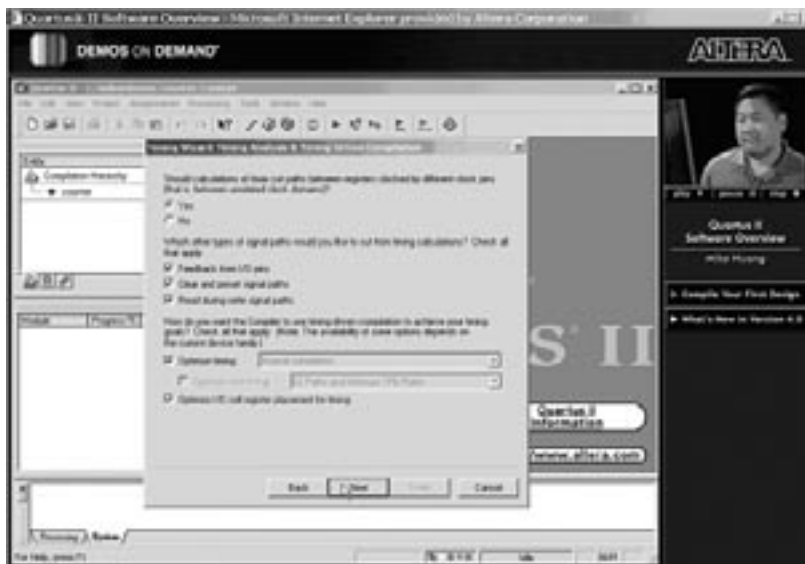
Quartus IIソフトウェアは、使いやすさとCPLD設計におけるデザイン・エントリ、論理合成、配置配線、および検証のための完全なデザイン環境を提供することで、アルテラのCPLDデザイン・ツールにおけるリーダーシップを継続します。Quartus IIソフトウェアは、MAX II CPLDファミリーのサポートに加えて、MAX+PLUS IIルック&フィール・オプションを備えているため、MAX+PLUS IIユーザは新しいソフトウェア・インタフェースを一から学習することなく、Quartus IIソフトウェアに移行することができます。詳しくは、11ページの「MAX+PLUS IIからQuartus IIソフトウェアへの移行」の記事を参照してください。

Quartus II オンライン・デモおよびハンドブック

アルテラのWebサイトでは、Quartus IIソフトウェアの機能およびデザイン手法を紹介する20以上のビデオ・デモを提供しています。オンライン・デモでは、簡単に最新のQuartus IIソフトウェアの機能の動作を見ることができ、また詳しい情報を入手することができます。図1を参照してください。

新しいQuartus II開発ソフトウェア・ハンドブックでは、デザインおよび論理合成、デザインの実装および最適化、検証に関する詳細アプリケーション情報を掲載しています。このQuartus II開発ソフトウェア・ハンドブックは、現在アルテラのWebサイトで提供しています。

図1. Quartus IIオンライン・デモ



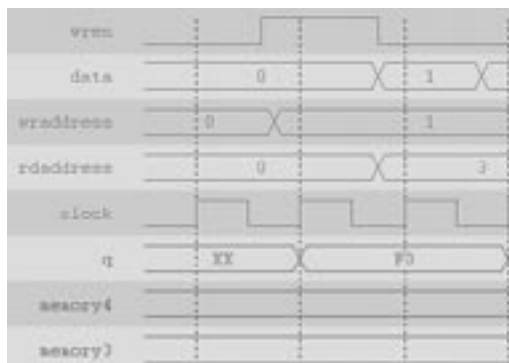
ソフトウェア技術のリーダーシップを拡大する新しい機能

Quartus IIソフトウェア・バージョン4.0は、高集積FPGAデザインを簡素化および加速化する新しい技術を備えています。

メモリ・コンパイラによる波形生成

Quartus IIソフトウェアのメモリ・コンパイラ機能は、パラメータ化およびコンフィギュレーション選択をベースにしたメモリRAMおよびFIFO (First-In First-Out) メモリ動作の波形表示を生成します。この機能により、異なったメモリ・コンフィギュレーション設定の結果を理解しやすくなります。図2を参照してください。

図2. メモリ・コンパイラによる波形生成



14ページに続く

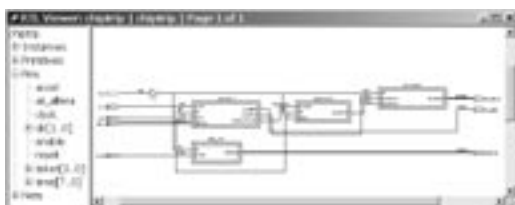


QUARTUS® II

RTL Viewer

新機能のRTL (Registered Transfer Level) Viewerは、動作シミュレーション、論理合成、配置配線ステップを実行する前にデザインの構造を解析することができるデザインの回路図表示を提供します。RTL Viewerにより、設計者はデザインの階層を移動して、デバッグおよび最適化において問題となる項目を簡単に検出することができます。RTL Viewerで選択された項目は、ソース・デザイン・ファイルに直接トレース・バックすることができます。

図3. RTL Viewer



リビジョン

Quartus IIソフトウェアにより、設計者は特定のデザインのための異なるコンパイル設定およびアサインメントを使用して簡単に実験することができます。一連の設定、アサインメント、およびコンパイル結果は、独立したデザイン・リビジョンとして個別に保存および処理することができます。

論理合成機能の強化

Quartus IIソフトウェアのバージョン4.0は、既存のStratix、Stratix GX、およびCyclone™デバイス・ファミリのサポートに加えて、Stratix II FPGAファミリの論理合成最適化サポートを追加しています。

デザイン・スペース・エクスプローラ (DSE) による分散処理のサポート

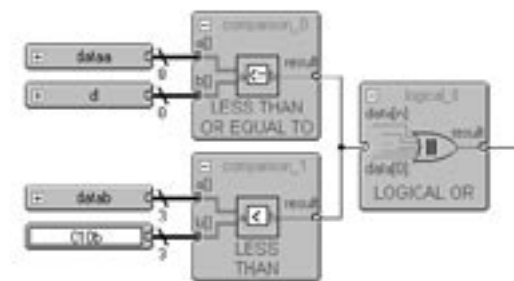
Quartus IIソフトウェアのDSEは、コンパイル設定および論理合成設定の組み合わせを適用することにより、デザイン性能を平均20%向上する自動化オプションを提供しています。Quartus IIソフトウェア・バージョン4.0では、デザイン・スペース・エクスプローラの実行時間を大幅に削減するために、複数のコンピュータが異なる最適化設定を使用して同時にコンパイル可能な分散環境をサポートします。

SignalTap II 拡張トリガ機能

SignalTap® IIロジック解析は、ソフトウェア内のロジック解析機能を統合することで、検証プロセスを容易にします。Quartus IIソフトウェアのバージョン4.0は、バス・ステートと個々の信号を比較し、SignalTap II エンベデッド・ロジック・アナライザのデータ収集を開始する複雑なユーザ定義のトリガ・ロジックを設定可能な新しいグラフィック環境を追加しています。この機能により、イン・システムとシステム速度におけるシステム・デザインの問題を分離できるため、FPGA 設計者にかつてない柔軟性が提供されます。図4を参照してください。

図4. SignalTap II の拡張トリガ例

Result: dataa<=d | datab<310b



Linux プラットフォーム

新しいソフトウェア最適化機能により、Red Hat Linux バージョン7.3または8.0でQuartus IIソフトウェアを使用した場合、コンパイル時間を平均で40%向上します。

Quartus IIソフトウェア・バージョン4.0をお試しください

Quartus IIソフトウェア・バージョン4.0は、CPLD、FPGA、およびストラクチャードASICデザインに対して比類のない性能、開発効率、および使いやすさを提供します。Quartus IIソフトウェア・バージョン4.0は、アルテラのサブスクリプションに加入しているすべてのユーザに現在出荷されています。無償提供されているQuartus II Web Editionソフトウェアは、アルテラのWebサイトからダウンロードできます。または、Quartus II Software Starter Suite CD-ROMに収録されています。

アルテラのデバイス

表1から表14は、アルテラのCPLD、FPGA、HardCopyデバイス、およびコンフィギュレーション・デバイスのロジック・エレメント (LE) 数、マクロセル数およびゲート数、ピン数/パッケージ、I/Oピン数、電源電圧、RAMビット数、およびその他の特長をまとめたものです。

デバイス	LE 数	標準等価マクロセル数	ピン数/パッケージ (1)	最大ユーザ I/Oピン数	電源電圧	ユーザ・フラッシュ・メモリ・ビット数
EPM240	240	192	100-Pin TQFP	80	3.3 V, 2.5 V, 1.8 V	8,192
EPM570	570	440	100-Pin TQFP, 144-Pin TQFP, 256-Pin BGA	76, 116, 160	3.3 V, 2.5 V, 1.8 V	8,192
EPM1270	1,270	980	144-Pin TQFP, 256-Pin BGA	116, 212	3.3 V, 2.5 V, 1.8 V	8,192
EPM2210	2,210	1,700	256-Pin BGA, 324-Pin BGA	204, 272	3.3 V, 2.5 V, 1.8 V	8,192

表1の注:

(1) すべてのBGAパッケージは、1.0mmピッチのFineLine BGA[®]パッケージです。

デバイス	ALM 数 (1)	等価 LE 数 (1)	M512 RAM ブロック	M4K RAM ブロック	M-RAM ブロック	トータル RAM ビット数	ピン数/パッケージ	最大ユーザ I/O ピン数	DSP ブロック数	エンベデッド乗算器数 (2)	電源電圧	PLL 数 (3)
EP2S15	6,240	15,600	104	78	0	419,328	484-Pin BGA, 672-Pin BGA	341 365	12	48	1.2 V	6
EP2S30	13,552	33,880	202	144	1	1,369,728	484-Pin BGA, 672-Pin BGA	341 499	16	64	1.2 V	6
EP2S60	24,176	60,440	329	255	2	2,544,192	484-Pin BGA, 672-Pin BGA, 1,020-Pin BGA	341 499 717	36	144	1.2 V	12
EP2S90	36,384	90,960	488	408	4	4,520,448	1,020-Pin BGA, 1,508-Pin BGA	757 901	48	192	1.2 V	12
EP2S130	53,016	132,540	699	609	6	6,747,840	1,020-Pin BGA, 1,508-Pin BGA	741 1,109	63	252	1.2 V	12
EP2S180	71,760	179,400	930	768	9	9,383,040	1,020-Pin BGA, 1,508-Pin BGA	741 1,173	96	484	1.2 V	12

表2の注:

- Stratix II の ALM 数は、4入力ルック・アップ・テーブル (LUT) ベースの LE 数の2.5倍に相当します。
- 各 DSP ブロックは、4個の18ビット×18ビット乗算器をサポートします。
- enhanced PLL および fast PLL を含みます。

デバイス	LE 数	ピン数/パッケージ	I/Oピン数	電源電圧	トータル RAM ビット数	DSP ブロック数
EP1S10	10,570	484-Pin BGA (2), 672-Pin BGA, 672-Pin BGA (2), 780-Pin BGA (2)	335, 345, 345, 426	1.5 V	920,448	6
EP1S20	18,460	484-Pin BGA (2), 672-Pin BGA, 672-Pin BGA (2), 780-Pin BGA (2)	361, 426, 426, 586	1.5 V	1,669,248	10
EP1S25	25,660	672-Pin BGA, 672-Pin BGA (2), 780-Pin BGA (2), 1,020-Pin BGA (2)	473, 473, 597, 706	1.5 V	1,944,576	10
EP1S30	32,470	780-Pin BGA (2), 956-Pin BGA, 1,020-Pin BGA (2)	589, 683, 726	1.5 V	3,317,184	12
EP1S40	41,250	780-Pin BGA (2), 956-Pin BGA, 1,020-Pin BGA (2), 1,508-Pin BGA (2)	615, 683, 773, 822	1.5 V	3,423,744	14
EP1S60	57,120	956-Pin BGA, 1,020-Pin BGA (2), 1,508-Pin BGA (2)	683, 773, 1,022	1.5 V	5,215,104	18
EP1S80	79,040	956-Pin BGA, 1,020-Pin BGA (2), 1,508-Pin BGA (2)	683, 773, 1,203	1.5 V	7,427,520	22

表3の注:

- Stratix デバイスの注文コードは、LE 数をベースにしています。ゲート数ではありません。
- 実装スペースを削減するFineLine BGAパッケージです。

16ページに続く

表4. APEX 20Kデバイス

デバイス	ゲート数	ピン数/パッケージ	I/Oピン数	電源電圧	LE数	RAMビット数
EP20K30E	30,000	144-Pin TQFP, 144-Pin BGA (1), 208-Pin PQFP	92, 93, 125	1.8 V	1,200	24,576
EP20K60E	60,000	144-Pin TQFP, 144-Pin BGA (1), 208-Pin PQFP, 324-Pin BGA (1), 356-Pin BGA	92, 93, 148, 196, 196	1.8 V	2,560	32,768
EP20K100	100,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA (1), 356-Pin BGA	101, 159, 189, 252, 252	2.5 V	4,160	53,248
EP20K100E	100,000	144-Pin TQFP, 144-Pin BGA (1), 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA (1), 356-Pin BGA	92, 93, 151, 183, 246, 246	1.8 V	4,160	53,248
EP20K160E	160,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA (1)	88, 143, 175, 271, 316	1.8 V	6,400	81,920
EP20K200	200,000	208-Pin PQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA (1)	144, 174, 277, 382	2.5 V	8,320	106,496
EP20K200E	200,000	208-Pin PQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA (1), 652-Pin BGA, 672-Pin BGA (1)	136, 168, 271, 376, 376, 376	1.8 V	8,320	106,496
EP20K200C	200,000	208-Pin PQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA (1)	136, 168, 271, 376	1.8 V	8,320	106,496
EP20K300E	300,000	240-Pin PQFP, 652-Pin BGA, 672-Pin BGA (1)	152, 408, 408	1.8 V	11,520	147,456
EP20K400	400,000	652-Pin BGA, 672-Pin BGA (1)	502, 502	2.5 V	16,640	212,992
EP20K400E	400,000	652-Pin BGA, 672-Pin BGA (1)	488, 488	1.8 V	16,640	212,992
EP20K400C	400,000	652-Pin BGA, 672-Pin BGA (1)	488, 488	1.8 V	16,640	212,992
EP20K600E	600,000	652-Pin BGA, 672-Pin BGA (1), 1,020-Pin BGA (1)	488, 508, 588	1.8 V	24,320	311,296
EP20K600C	600,000	652-Pin BGA, 672-Pin BGA (1), 1,020-Pin BGA (1)	488, 508, 588	1.8 V	24,320	311,296
EP20K1000E	1,000,000	652-Pin BGA, 672-Pin BGA (1), 1,020-Pin BGA (1)	488, 508, 708	1.8 V	38,400	327,680
EP20K1000C	1,000,000	652-Pin BGA, 672-Pin BGA (1), 1,020-Pin BGA (1)	488, 508, 708	1.8 V	38,400	327,680
EP20K1500E	1,500,000	652-Pin BGA, 1,020-Pin BGA (1)	488, 808	1.8 V	51,840	442,368

表4の注:

(1) 実装スペースを削減するFineLine BGAパッケージです。

HardCopyデバイス：ASICの利点を容易に享受

HardCopyストラクチャードASICは、スタンダード・セルのASICの包括的な代替手段を提供します。設計者は、プロトタイプ作成とイン・システム検証も行うことができるQuartus IIデザイン・ソフトウェアの最新機能を使ってHardCopyストラクチャードASICを直接設計することができます。イン・システム検証機能は、実シリコンでテストを行いながらのデザイン変更を容易にするだけでなく、ソフトウェアを含むシステム全体の開発に貢献し、真の「Time-to-Market」の利点を提供します。さらに、実証済みのデザインからHardCopyストラクチャードASICへのシームレスな移行は、ファースト・シリコンにおける動作を保証します。

HardCopyデバイスは、LE数で16,000個から79,000個の集積度、または20万個から100万個の等価標準セル・ゲートで提供されています。HardCopyデバイスの完全にテストされた最初のサンプルは、アルテラでデザインが受諾されてから、わずか8週間で供給されます。

HardCopy Stratix™ HC1S25、HC1S60、およびHC1S80は、現在量産出荷されています。HC1S30およびHC1S40は、2004年第3四半期から出荷される予定です。

多数の顧客に採用されている第一世代のHardCopyデバイスであるHardCopy APEX 20KC™およびHardCopy APEX 20KE™デバイスは、2001年から量産出荷されています。

HardCopyデバイスについて詳しくは、www.altera.co.jp/hardcopyを参照してください。

HardCopyストラクチャードASICに関するお客様の声

「アルテラのHardCopy Stratixデバイスの低リスク、低コスト、量産ソリューションにより、当社は次世代の3G基地局用にASICや標準製品を使用する必要がなくなりました。業界最大級の集積度を誇るStratix FPGAからHardCopyデバイスへのシームレスな移行が提供されることで、当社は早期市場投入およびコストの削減を実現し、新しい市場への進出が可能になりました。」

LG Electronics 社
CDMA System Research Lab 上級副社長
Bong-Bin Park 氏



表 5. HardCopy デバイス

デバイス	ピン数/パッケージ	I/Oピン数	電源電圧	見積りロジック・ゲート数 (1)	LE数	RAMビット数
HC1S25	672-Pin BGA (2)	473	1.5 V	325	25,660	1,944,576
HC1S30	780-Pin BGA (2)	597	1.5 V	400	32,470	2,137,536
HC1S40	780-Pin BGA (2)	615	1.5 V	500	41,250	2,244,096
HC1S60	1,020-Pin BGA (2)	773	1.5 V	700	57,120	5,215,104
HC1S80	1,020-Pin BGA (2)	773	1.5 V	1,000	79,040	5,658,048
HC20K400	652-Pin BGA, 672-Pin BGA (2)	488, 488	1.8 V	200	16,640	212,992
HC20K600	652-Pin BGA, 672-Pin BGA (2)	488, 508	1.8 V	300	24,320	311,296
HC20K1000	652-Pin BGA, 672-Pin BGA1, 1,020-Pin BGA (2)	488, 508, 708	1.8 V	460	38,400	327,680
HC20K1500	652-Pin BGA, 1,020-Pin BGA (2)	488, 808	1.8 V	625	51,840	442,368

表5の注:

- (1) デジタル信号処理 (DSP) ブロックまたはメモリは含まれていません。
- (2) 実装スペースを節減するFineLine BGAパッケージです。

表 6. Cyclone デバイス

デバイス	LE数	ピン数/パッケージ	I/Oピン数	電源電圧	RAMビット数
EP1C3	2,910	100-Pin TQFP, 144-Pin TQFP (1)	65, 104	1.5 V	59,904
EP1C4	4,000	324-Pin BGA (1), 400-Pin BGA (1)	249, 301	1.5 V	78,336
EP1C6	5,980	144-Pin TQFP, 240-Pin PQFP, 256-Pin BGA (1)	98, 185, 185	1.5 V	92,160
EP1C12	12,060	240-Pin PQFP, 256-Pin BGA (1), 324-Pin BGA (1)	173, 185, 249	1.5 V	239,616
EP1C20	20,060	324-Pin BGA (1), 400-Pin BGA (1)	233, 301	1.5 V	294,912

表6の注:

- (1) 実装スペースを節減するFineLine BGAパッケージです。

表 7. ACEX デバイス

デバイス	ゲート数	ピン数/パッケージ	I/Oピン数	電源電圧	LE数	RAMビット数
EP1K10	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA (1)	66, 92, 120, 136	2.5 V	576	12,288
EP1K30	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA (1)	102, 147, 171	2.5 V	1,728	24,576
EP1K50	50,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA (1), 484-Pin BGA (1)	102, 147, 186, 249	2.5 V	2,880	40,960
EP1K100	100,000	208-Pin PQFP, 256-Pin BGA (1), 484-Pin BGA (1)	147, 186, 333	2.5 V	4,992	49,152

表7の注:

- (1) 実装スペースを節減するFineLine BGAパッケージです。

18ページに続く



Stratix GXデバイスを量産出荷中

すべてのStratix GXデバイスは、現在量産認定済みデバイスとして出荷されています(表8参照)。また、高速アプリケーション向け開発キットStratix GX Editionも出荷されています。このキットには、開発ボード、レイアウト・ファイル、回路図、デザイン例、および高速ボード・レイアウト・ガイドラインが含まれています。

Stratix GXデバイスのリリースから、アルテラは高速I/Oデザイン向けの完全なソリューションをユーザーに提供することに取り組んできました。特性評価レポート、ユーザー・ガイド、ボード・レイアウト・ガイドライン、およ

び開発ボードを提供することで、アルテラは高速I/Oデバイスのデザイン・プロセスの簡略化を目指しています。この取り組みをさらに広げるために、アルテラとInnocor社は、Stratix GXのSerialLiteプロトコルのサポートを発表しました。SerialLiteプロトコルは、その他のプロトコルよりも実装面積、レイテンシ、およびオーバーヘッドの問題を軽減することを目的とした、軽量、ポイント・ツー・ポイント・プロトコルとして設計されています。新しい無償のSerialLiteプロトコルは、優れた拡張性で不可欠な機能を提供することを目的としており、その他のシリアル・プロトコルを補完する役割を果たします。

表 8. Stratix GXデバイス

デバイス	LE数	トランシーバ・チャンネル数	ピン数/パッケージ	I/Oピン数	電源電圧	RAMビット数	ソース・シンクロナス・チャンネル数
EP1SGX10C	10,570	4	672-Pin BGA (1)	330	1.5 V	920,488	22
EP1SGX10D	10,570	8	672-Pin BGA (1)	330	1.5 V	920,488	22
EP1SGX25C	25,660	4	672-Pin BGA (1)	426	1.5 V	1,944,576	39
EP1SGX25D	25,660	8	672-Pin BGA (1), 1,020-Pin BGA (1)	426, 542	1.5 V	1,944,576	39
EP1SGX25F	25,660	16	1,020-Pin BGA (1)	542	1.5 V	1,944,576	39
EP1SGX40D	41,250	8	1,020-Pin BGA (1)	548	1.5 V	3,423,744	45
EP1SGX40G	41,250	20	1,020-Pin BGA (1)	548	1.5 V	3,423,744	45

表8の注:

(1) 実装スペースを節減するFineLine BGAパッケージです。

表 9. Mercuryデバイス

デバイス	ゲート数	ピン数/パッケージ	I/Oピン数	電源電圧	CDRチャンネル数	LE数	RAMビット数
EP1M120	120,000	484-Pin BGA (1)	303	1.8 V	8	4,800	49,152
EP1M350	350,000	780-Pin BGA (1)	486	1.8 V	18	14,400	114,688

表9の注:

(1) 実装スペースを節減するFineLine BGAパッケージです。

表 10. Excaliburデバイス

デバイス	ゲート数	ピン数/パッケージ	I/Oピン数	電源電圧	LE数	RAMビット数	エンベデッド・プロセッサ
EPXA1	100,000	484-Pin BGA (1), 672-Pin BGA (1)	186, 246	1.8 V	4,160	53,248	32-Bit ARM922T™
EPXA4	400,000	672-Pin BGA (1), 1,020-Pin BGA (1)	426, 488	1.8 V	16,640	212,992	32-Bit ARM922T
EPXA10	1,000,000	1,020-Pin BGA (1)	711	1.8 V	38,400	327,680	32-Bit ARM922T

表10の注:

(1) 実装スペースを節減するFineLine BGAパッケージです。

表 11. Cyclone FPGA用シリアル・コンフィギュレーション・デバイス

デバイス	ピン数/パッケージ	電源電圧	説明
EPCS1	8-Pin SOIC (1)	3.3 V	Cycloneデバイスに対応したイン・システム・プログラミングが可能な1Mビットのシリアル・コンフィギュレーション・デバイス
EPCS4	8-Pin SOIC	3.3 V	Cycloneデバイスに対応したイン・システム・プログラミングが可能な4Mビットのシリアル・コンフィギュレーション・デバイス

表11の注:

(1) Small Outline Integrated Circuitパッケージです。

デバイス	ピン数/パッケージ	電源電圧	説明
EPC1441	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3 or 5.0 V	すべての FLEX [®] および ACEX [®] デバイスに対応した 441K ビットのコンフィギュレーション・デバイス
EPC1	8-Pin PDIP, 20-Pin PLCC	3.3 or 5.0 V	APEX [™] , FLEX および ACEX デバイスに対応した 1M ビットのコンフィギュレーション・デバイス
EPC2	20-Pin PLCC, 32-Pin TQFP	3.3 or 5.0 V	Stratix, Stratix GX, Cyclone, APEX II, APEX, FLEX, Mercury [™] , ACEX および Excalibur [™] デバイスに対応したイン・システム・プログラミングが可能な 1.6M ビットのコンフィギュレーション・デバイス
EPC4	100-Pin PQFP	3.3 V	Stratix, Stratix GX, Cyclone, APEX II, APEX, FLEX, Mercury, ACEX および Excalibur デバイスに対応したイン・システム・プログラミングが可能な 4M ビットのコンフィギュレーション・デバイス
EPC8	100-Pin PQFP	3.3 V	Stratix, Stratix GX, Cyclone, APEX II, APEX, FLEX, Mercury, ACEX および Excalibur デバイスに対応したイン・システム・プログラミングが可能な 8M ビットのコンフィギュレーション・デバイス
EPC16	88-Pin BGA (1), 100-Pin PQFP	3.3 V	Stratix, Stratix GX, Cyclone, APEX II, APEX, FLEX, Mercury, ACEX および Excalibur デバイスに対応したイン・システム・プログラミングが可能な 16M ビットのコンフィギュレーション・デバイス

表 12 の注:

(1) Ultra FineLine BGA パッケージです。

デバイス	マクロセル数	ピン数/パッケージ	I/O ピン数	電源電圧	スピード・グレード
EPM3032A	32	44-Pin PLCC/TQFP	34	3.3 V	-4, -7, -10
EPM3064A	64	44-Pin PLCC/TQFP, 100-Pin TQFP	34, 66	3.3 V	-4, -7, -10
EPM3128A	128	100-Pin TQFP, 144-Pin TQFP, 256-Pin BGA (1)	80, 96, 98	3.3 V	-5, -7, -10
EPM3256A	256	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA (1)	116, 158, 161	3.3 V	-7, -10
EPM3512A	512	208-Pin PQFP, 256-Pin BGA (1)	172, 208	3.3 V	-7, -10

表 13 の注:

(1) 1.0mm ピッチの FineLine BGA パッケージです。

デバイス	マクロセル数	ピン数/パッケージ	I/O ピン数	電源電圧	スピード・グレード
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-5, -6, -7, -10
EPM7032AE	32	44-Pin PLCC/TQFP	36	3.3 V	-4, -7, -10
EPM7032B	32	44-Pin PLCC/TQFP, 49-Pin BGA (2)	36, 36	2.5 V	-3, -5, -7
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 68, 68	5.0 V	-5, -6, -7, -10
EPM7064AE	64	44-Pin PLCC/TQFP, 100-Pin TQFP, 100-Pin BGA (1)	36, 68, 68	3.3 V	-4, -7, -10
EPM7064B	64	44-Pin TQFP, 49-Pin BGA (2), 100-Pin TQFP, 100-Pin BGA (1)	36, 41, 68, 68	2.5 V	-3, -5, -7
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128AE	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA (1), 144-Pin TQFP, 256-Pin BGA (1)	68, 84, 84, 100, 100	3.3 V	-5, -7, -10
EPM7128B	128	100-Pin TQFP, 100-Pin BGA (1), 144-Pin TQFP, 256-Pin BGA (1)	84, 84, 100, 100	2.5 V	-4, -7, -10
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-6, -7, -10
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7256S	256	208-Pin PQFP/RQFP	164	5.0 V	-7, -10, -15
EPM7256AE	256	100-Pin TQFP, 100-Pin BGA (1), 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA (1)	84, 84, 120, 164, 164	3.3 V	-5, -7, -10
EPM7256B	256	100-Pin TQFP, 144-Pin TQFP, 169-Pin BGA (2), 208-Pin PQFP, 256-Pin BGA (1)	84, 120, 141, 164, 164	2.5 V	-5, -7, -10
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA (1), 256-Pin BGA	120, 176, 212, 212	3.3 V	-7, -10, -12
EPM7512B	512	144-Pin TQFP, 169-Pin BGA (2), 208-Pin PQFP, 256-Pin BGA (1), 256-Pin BGA	120, 141, 176, 212, 212	2.5 V	-5, -7, -10

表 14 の注:

- (1) 1.0mm ピッチの FineLine BGA パッケージです。
(2) 0.8mm ピッチの Ultra FineLine BGA パッケージです。

アルテラのツール

Quartus IIソフトウェア・バージョン 4.0 — 業界をリードするデザイン開発 ソフトウェア



Quartus IIソフトウェアのバージョン4.0は、アルテラのサブスクリプションに加入しているすべてのユーザに現在出荷されています。バージョン4.0のリリースでは、新製品のMAX II CPLDおよびStratix II FPGAをサポートし、アルテラのソフトウェア設計環境はさらに拡張され業界をリードします。Quartus IIソフトウェアのバージョン4.0について詳しくは、13ページの「Quartus IIソフトウェア・バージョン4.0 — 業界をリードするデザイン開発ソフトウェア」の記事を参照してください。

MAX+PLUS IIユーザへ : Quartus II ソフトウェアへの移行

アルテラは、CPLD、FPGA、およびストラクチャードASICのすべての新規設計に、Quartus IIソフトウェアを推奨します。現在Quartus IIソフトウェアは、新製品のMAX II CPLDデバイス・ファミリのサポートに加えて、MAX+PLUS IIルック&フィール・オプションを備えています。これにより、MAX+PLUS IIユーザは新しいソフトウェア・インタフェースを一から学習することなくQuartus IIソフトウェアに移行することができます。詳しくは、11ページの「MAX+PLUS IIからQuartus IIソフトウェアへの移行」の記事を参照してください。

Quartus IIオンライン・デモ

アルテラのWebサイトでは、Quartus IIソフトウェアの機能およびデザイン手法を紹介する20以上のビデオ・デモを提供しています。オンライン・デモでは、簡単に最新のQuartus IIソフトウェアの機能の動作を見ることができます。オンライン・デモは、www.altera.co.jp/quartusdemosでご覧いただけます。

Quartus IIソフトウェア・ハンドブック

新しい*Quartus II*開発ソフトウェア・ハンドブックでは、デザインおよび論理合成、デザインの実装および最適化、検証に関する詳細アプリケーション情報を掲載しています。この*Quartus II*開発ソフトウェア・ハンドブックは、現在アルテラのWebサイトで提供されています。

Synplify Proを使用してStratix IIデバイスの性能を向上させる方法

Steve Pereira
Technical Marketing Manager
Synplicity

先頃発表されたStratix IIデバイス・ファミリは、FPGAテクノロジーの新時代の到来を告げるものです。設計者がこれらの最新技術を活用できるように、Synplicityは製品発表前約1年にわたってアルテラと密接なコラボレーションを展開してきました。両者のパートナーシップによって、最大の性能と最小の面積を追求するStratix IIデバイスの設計手法が生まれたのです。Synplify Pro[®]ツールは、アルテラとSynplicityの共同の努力が結実した理想的なソフトウェアであり、複雑なデザインのハードウェア実装を可能にします。この記事では、デザインの設定と合成の微調整によってStratix IIの機能を強化する4つの推奨方法について説明します。これらの方法は、組み合わせせて使用することも、個別に使用することも可能です。

デザインの設定によるタイミングまたは面積の改善

デザインを正確に設定すると、性能が大幅に向上し、面積を縮小できます。次の4つの方法では、デザイン設定時のベスト・プラクティスに基づいて説明します。

クリア・ボックスVQMまたはブラック・ボックス用タイミング・モデルの追加

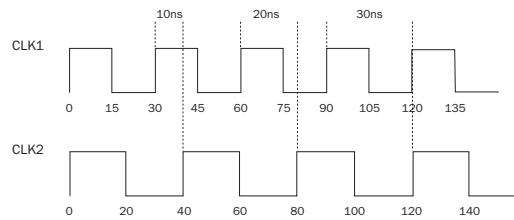
クリア・ボックス・ファイルまたはタイミング・モデルが提供されている場合、Synplify Proツールはパス・タイミングを認識しているため、タイミング制約に基づいてボックスの周りのロジックを変更できます。クリティカル・パスの始点または終点がブラック・ボックス内にある場合、Verilog Quartus Mappedファイル(.vqm)を追加すると、通常は性能が向上します。

正確なクロック制約の指定

制約条件が低過ぎても高過ぎても性能が低下します。ユーザーは制約条件を20%以上オーバーしてはなりません。最大の性能を獲得するには、重要なクロックに10%の負の Slackを持たせます。これによってクリティカル・パスが規制されます(詳細については「ルート制約」参照)。フロント・パネルの f_{MAX} フィールドは迅速な実行には適していますが、最高の性能を必要とする場合には使用しないでください。関連のないクロックはSynplify Pro Synopsys Design Constraintファイル(.sdc)の関連性のないクロック・グループに入れます。使用するクロックが同じグループにある場合、Synplify Proツールはクロック間パスのワースト・ケースにおけるセットアップ時間を算出します。

例: 図1に、同じクロック・グループに属する2つのクロックのタイミング図を示します。Synplifyはそれらが再び一致するまでクロックを進めます。次に、クロック間の最小セットアップ時間を計算します(この場合は10ns)。

図1. 同じグループ内の2つのクロックのタイミング図



警告: 2つのクロックに関連がない場合、再びクロックが一致するまでに数百クロック周期が必要になる可能性があります。これにより、ワースト・ケースのセットアップ時間が非常に小さく(100psなどに)なることがあります。設計者はログ・ファイルのClock Relationships Tableでセットアップ時間を確認できます。セットアップ時間が短か過ぎる場合、クロックの関連性が高くなるように制約を再設定することをお勧めします。

タイミング例外の指定

Synplify Proツールに対し、フォルス・パスやマルチサイクル・パスなどのタイミング例外をすべて指定します。この情報によってこれらのパスが無視され、真のクリティカル・パスだけに集中できます。

例: Synplify Pro 7.5ツールでは、タイミング・ドリップのトライ・ステートからマルチプレクサへの変換を有効にすることができます。トライステート・パスにおいてタイミング余裕度が無い場合、Synplify Proソフトウェアはその論理を自動的にマルチプレクサに変換することによってパスを高速化します。通常パス上のデータは重要ではなく、バス・マスタが待機しなければならないとはいえ、数クロック・サイクルは保持することができます。

I/Oピンの制約

デザインにI/Oタイミング制約が含まれる場合、クリティカル・パスがIOEを通る可能性があります。Synplify Proソフトウェアはこれらのパスを最も重要と見なし、最適化しようとしています。通常、I/Oパスは物理的にこれ以上最適化できず、最も重要なパスなので、Synplify Proソフトウェアはデザインの残りの部分の最適化を中止します。Synplify Pro 7.3リリースでは、新たに“Use clock period for unconstrained IO switch”オプションが追加されています。このオプションが有効の場合、非制約I/Oパスはタイミングの最適化には含まれません。

[22ページに続く](#)

デザインのチューニングによる タイミングまたは面積の改善

上記の方法でデザインを設定した後で、さらにデザインの性能や面積を改善するオプションがあります。

標準の最適化オプション

次の4つの最適化方法の有効性は、デザインによって異なります。これらの方法によってすべてのデザインが改善されるわけではありません。最良の方法は、デザインを分析し、次の最適化オプションによって性能が改善されるかどうかを確認することです。

- **Retiming & Pipelining**: これらのオプションによって性能が50%程度向上する可能性があります。
- **Resource Sharing**: 原則として、面積を小さくさせる場合にはこのオプションをオンに、速度を向上させる場合はオフにします。
- **FSM Compiler**: FSMコンパイラはステート数に基づいています。
- **FSM Explorer**: FSM Explorerによってタイミング・ドリブンのステート・エンコードが可能です。

リソースの割り当て

アルテラ・デバイスの専用マクロ・ブロックを使用すると、通常は最適なソリューションが得られますが、常に最適であるとは限りません。ロジック内で十分にパイプライン化されたマルチプライヤは、多くの場合高速化に有効なソリューションですが、面積が大きくなることがあります。ユーザは、デザイン要件に基づいてSynplify Proツール内でマクロ・ブロックを構成できます。次の属性(デフォルト属性は下線付き)を追加することにより、特定のリソース実装を使用するように設定できます。

- Multiplier `syn_multstyle {logic | lpm_mult}`
- RAM `syn_ramstyle {registers | block_ram | no_rw_check}`
- Block_ram generates ALTSYNCRAM
- ROM `syn_romstyle {logic | block_rom | lpm_rom}`
- Shift Registers `syn_srlstyle {registers | altshift_tap}`

最適化の制御

Synplify Proツールでは、ユーザのデザイン要件に基づいてロジックを構成および制御するディレクティブと属性を提供します。最もよく使用される属性とディレクティブは次のとおりです。

- **syn_keep (ソース・コード内)**: 合成中にRTLネットを保持し、ルックアップ・テーブル(LUT)のパッキングと複製を防止します。-thru制約を適用できるので、タイミング例外にも有効です。

- **syn_preserve**: レジスタのシーケンシャル最適化を無効にすることにより、削除、マージ、インバータ・プッシュスルー、およびFSM抽出を防止します。
- **syn_replicate (制約ファイル内)**: レジスタの複製を防止します。
- **syn_maxfan (制約ファイル内)**: 最大ファン・アウト制限、レジスタの複製のトリガおよびバッファリングを制御します。この制御は、モジュールとインスタンスに対してはハード制限ですが、グローバルに設定された場合はソフト制限です。
- **syn_direct_enable (制約ファイル内)**: レジスタのイネーブル・ピンに強制的に接続します。追加のロジックがD入力パスに移動されます。

属性とディレクティブの詳細については、Synplify Proのオンライン・ヘルプとリファレンス・マニュアルを参照してください。

配線制約

-route制約は、最も重要であるにも関わらず最も知られていないタイミング制約であると言えます。これにより、最小限の労力で+10%性能が向上する可能性があります。面積の大幅な縮小にも効果的です。

-route制約は、指定された遅延をSynplify Proツールの配線推定値に追加します。正の値を追加すると配線遅延推定値が大きくなり、危険度が増加します。負の値を追加すると配線遅延推定値が小さくなり、危険度は低下します。

Synplify Proのタイミング推定値がPowerFit™フィットの値と異なる場合、Synplify Proツールが真のクリティカル・パスを最適化できなくなります。-routeスイッチによって、合成推定値と配置配線遅延を合わせることができます。配線遅延を調整すると、多くの場合より良い結果が得られます。

-route制約を使用して、合成時にフィットと同じクリティカル・パスを認識し、フィットと同じスラックを推定するように設定できます。多くのクロックがフィット・タイミングで失敗する場合は、クロックに-routeを適用できます。フィット・タイミングで失敗するパスがわずらかしい場合は、それらのパスだけに-routeを適用できます。

まとめ: 推奨設定

デザインを正しく設定し、ここで説明する機能と制約を使用することにより、必要な性能を達成できるだけでなく、多くの場合それを上回る性能を実現できます。筆者は、次の設定を使用して、50%のデザインで f_{MAX} が25%以上増加することを確認しました。使用した設定は、Clear Box VQMを追加、パスまたはクロックに-route制約を適用、Resource SharingをOffに設定、Pipelining/RetimingをOnに設定、“use clock period for unconstrained IO”をOffに設定、以上です。

Mentor Graphics Precision RTL Synthesis ツールによる 最新の Stratix II デザイン

Rakesh Jain, Mentor Graphics

アルテラの Stratix II デバイスは、高性能および高集積度デザインをターゲットとしています。Stratix II FPGA では、アダプティブ・ロジック・モジュール (ALM) と呼ばれる画期的なロジック構造が導入されており、これによって演算やデータ処理機能をより効率的に実装できます。Precision[®] RTL Synthesis は、Stratix II ファミリー独自のアーキテクチャの特長を知り尽くしたツールです。Stratix II のすべての機能をサポートし、デザインの最適な実装を実現します。

Stratix II デザイン・フロー

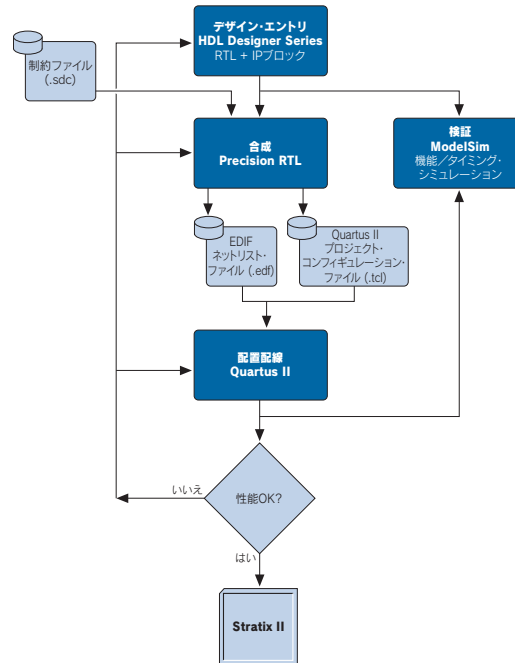
デザイン・エントリからデバイスのプログラミングに至る設計手法 (図1参照) については、Stratix II デバイスは Stratix デバイスと同じです。Mentor Graphics[®] HDL Designer[™] Series または Precision Synthesis (いずれも FPGA Advantage[®] 製品の一部で、ModelSim[®] にも含まれます) を使用して、デザインの RTL (Registered Transfer Level) の記述を作成します。次に、必要なターゲット・テクノロジーを選択し、デザイン制約を業界標準の SDC (Synopsys Design Constraint) 形式で入力してから、Precision Synthesis を使用してデザインを合成します。合成が完了したら、合成時に指定された制約を Quartus II ソフトウェアに転送するツール・コマンド言語 (Tcl) ファイルと、ターゲット・アーキテクチャ用に最適化された EDIF ネットリスト・ファイルの2つのファイルが生成されます。Quartus II ソフトウェアを使用してデザインの配置配線を行います。ModelSim シミュレータを使用して機能とタイミングのシミュレーションを実行し、デザイン・フローの各ステージでデザインを検証します。

ALM のサポート

アルテラは、Stratix II ファミリー独自のロジック構造である ALM を導入しました。ALM には 8 つの入力があり、これによって 6 または 7 入力のルックアップ・テーブル (LUT) や 2 個の独立した 4 入力 LUT などのさまざまな構成を効率的にサポートできます。各 ALM は演算処理のロジック・レベル数を低減する 2 つのエンベデッド・フル・アダーを内蔵しているため、共有演算モードで 1 つのキャリー・チェーンを使用して 2 つの 4 入力ファンクションまたは 3 つの数値を加算することができます。Stratix II ALM の詳細については、33 ページの「革新的な Stratix II ロジック構造による比類ない性能とロジック効率」を参照してください。

Stratix II の ALM 構造の優れた柔軟性により、実装の可能性が大きく広がります。Precision RTL Synthesis では、デザインの機能とタイミング制約に

図1. Stratix II デザイン・フロー



基づいて各 ALM の最適な構成を選択することによって、各種 LUT のサイズの分配を調整します。

以下に示す単純な 8:1 マルチプレクサのデザインの場合、Precision は Stratix II デバイスでは 2 個の LUT5 と 1 個の LUT7 を、Stratix デバイスでは 6 個の LUT4 を使用します。図2に示すように、このデザインの場合、クリティカル・パス上のロジック・レベル数が Stratix II では 3 LUT から 2 LUT に減少します。独自の Stratix II ALM アーキテクチャにより、より小さい面積でより高速性能のデザインが可能になります。

```

architecture RTL of MUX81_ALL is
begin
  main:process (SEL,A,B,C,D,E,F,G,H)
  begin
    case SEL is
      when "000" => Y <= A;
      when "001" => Y <= B;
      when "010" => Y <= C;
      when "011" => Y <= D;
      when "100" => Y <= E;
      when "101" => Y <= F;
      when "110" => Y <= G;
      when "111" => Y <= H;
      when others => Y <= H;
    end case;
  end process main;
end architecture RTL;
  
```

24 ページに続く

同様に、Precision Synthesisはビルトイン・アダーなどのALMのその他の機能を使用して、デザインの性能を最大化し、ロジック使用量を低減します。

DSPブロックのサポート

Stratix IIデバイスは、加算、減算、乗算、積和や乗算累積などの集中的な算術演算の実装に最適化された専用デジタル信号処理 (DSP) ブロックを搭載しています。これらの演算は、有限インパルス応答 (FIR) フィルタ、無限インパルス応答 (IIR) フィルタ、高速フーリエ変換 (FFT)、離散コサイン変換 (DCT)、エンコーダ/デコーダ機能、エラー修正/検出機能などを使用する多くのDSPデザインで一般的に使用されます。

Precision RTL Synthesisは、専用DSPリソースでの実装用にHDLコードから適切なメガファンクション (altmult_accum、altmult_addまたはlpm_mult) を推定します。

TriMatrixメモリのサポート

TriMatrixメモリは、3つの異なるサイズのエンベデッドRAMブロック (512ビットのM512ブロック、4KビットのM4Kブロック、および512KビットのM-RAMブロック) で構成されています。これらのメモリ・ブロックには、全二重デュアル・ポート、シングル・デュアル・ポート、シングル・ポートRAM、ROM、およびFIFO (First-In First-Out) ブロックを実装できます。M512ブロックとM4Kブロックは、シフトレジスタとして構成することも可能です。Stratix IIデバイスでは、

メモリ・ブロックがアドレス・ストール機能の使用をサポートしており、追加のクロック・イネーブル機能を提供します。

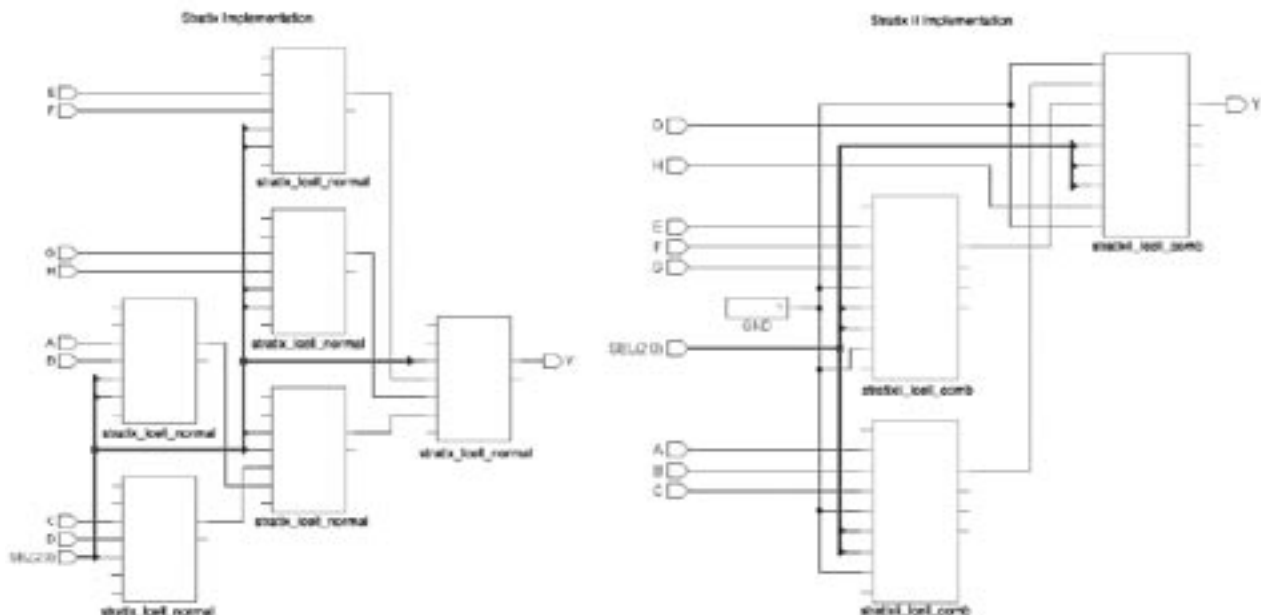
Precision RTL Synthesisは汎用HDLの記述からメモリとシフトレジスタを推定し、altsyncramおよびaltshift_tapsメガファンクションを使用して適切なStratix IIメモリ・ブロックにそれらを実装します。例えば、アドレス・ストール・オプションを使用するRAMを示す次のHDLコードからaltsyncramメガファンクションを推定します。

```
always @ (posedge clk)
begin
  if (!addr_stall)
    real_addr = addr;
  if (wren)
    mem[real_addr] = din;
  dout = mem[real_addr];
end
```

まとめ

ALM構造、DSPブロック、およびメモリ・リソースを使用するStratix IIデバイス独自のアーキテクチャは、さまざまなデザイン・アプリケーションに卓越した柔軟性を提供します。この柔軟性により、デザインの最適な実装結果を得るために合成ツールが果たす役割がより重要になります。Precision RTL Synthesisは、最新の最適化アルゴリズムを使用して、新しいStratix II ALM、DSPブロック、およびメモリ・ブロック・リソースを利用するデザインの最適な実装を追求します。

図2. 8:1 マルチプレクサの実装におけるStratix IIデバイスとStratixデバイスの比較



マルチギガヘルツ・シリアル・リンクを使用する システム設計：障害の克服

Brad Griffin
Product Marketing Director
Cadence Design Systems, Inc.

Stratix GX 高速シリアル・インタフェース (HSSI) リンクまたは Stratix II 1-Gbps 高速インタフェース・リンクを備えた競争力のあるシステムを構築するには、マルチギガヘルツ (MGH) シリアル・データ・リンクを使用する必要があります。しかしながら、MGH シリアル・データ・リンクに関しては3つの問題点があり、システム設計者にとってプロジェクトを予定通り予算内で遂行するための障害となっています。問題点は以下のとおりです。

- IBIS (I/O Buffer Information Specification) モデルは MGH シリアル・データ・リンクをサポートしていません。
- 暗号化された SPICE モデルには互換性と収束の問題があります。
- 信号喪失の影響を把握するには大量のランダムビット・シーケンスをシミュレートする必要があるため、高周波数信号はシミュレーション・ツールに対して高い性能を要求します。

IBIS モデル

MGH シリアル・リンクのシミュレーションでは、アクティブまたはパッシブ・ドライバ・プリエンファシスおよびレシーバのイコライゼーションなど、高度なドライバとレシーバ動作のモデリング能力が要求されます。レシーバはより複雑化し、パッシブおよびアクティブのアナログ・イコライザとともに、デジタルのデジション・フィードバック・イコライザ (DFE) が組み込まれる場合もあります。このような動作は業界標準の IBIS 仕様では十分にサポートされていないので、解析を行う場合、ユーザはトランジスタレベルの SPICE シミュレータに頼らざるを得ませんでした。

SPICE モデル

MGH シリアル・リンクは独自の機能であり、I/O バッファの SPICE モデルは通常、暗号化された形式でのみ配布されます。モデルを暗号化すると配布時のセキュリティが確保されますが、そのモデルのユーザは暗号化をサポートしているシミュレータを使用しなければなりません。したがって、シミュレートされる回路内の他のデバイスが、暗号化をサポートしているシミュレータと互換性がない場合は問題が生じます。

性能

最も重要なのは性能の問題です。トランジスタレベルの SPICE モデルを使用する回路シミュレータで、数十ビットのシミュレーションを実行する場合、1回のシミュレーション結果を得るのに1日かかってしまいます。

Stratix GXのためのソリューション

こうした MGH の問題による障害を克服するため、アルテラと Cadence Design Systems は、Stratix GX FPGA のためのソリューションを共同開発しました。Allegro プラットフォーム用 Stratix GX デザイン・イン・キットと呼ばれるこのソリューションは、MGH アプリケーション用 DML (Device Modeling Language) MacroModel、および Cadence プリント回路基板 (PCB) デザイン環境にネイティブなサンプル・トポロジーと電子的制約を備えた、シリコン・デザイン・イン・キットです。

Allegro システム・インタコネクト・デザイン・プラットフォームは、統合された制約管理機能を備えた理想的な統合シミュレーション環境とデザイン環境を実現することでよく知られています。しかしながら、IBIS からトランジスタレベルの I/O バッファ・モデルへの移行では、Allegro シミュレーション環境が標準 IBIS モデルで表される範囲を超える動作モデリング構造をサポートしていることを、システム設計者が理解していないことがあります。

シリコン・デザイン・イン・キット

電気的および物理的デザイン・インでは、半導体企業が提供しているドキュメントを解釈する必要があるため、作業が遅れる場合があります。ドキュメントを解釈し、デバイスが性能要件を満たしているかを検査して解析するのに、複雑なデバイスの場合は数週間を要することがあります。シリコン・デザイン・イン・キットを利用すれば、デザイン・イン時間が高速化されます。単にドキュメントを使用するのではなく、キットを利用することで、デザイン・イン・プロセスを大幅に簡素化しデザイン・サイクルを月単位で短縮することができます。

シリコン・デザイン・イン・キットには、電気的トポロジーにおける回路動作を示すサンプルがあり、トポロジー限界を境界制約テンプレートとしてとりこむことができます。システム設計者は、自分のシステム要件に基づいてこのサンプル・トポロジーを修正して、Altera® HSSI トランシーバがシステムの仕様を満たすのに必要なインタコネクトをドライブするためにどのような変更が必要なのかを、すぐに判断することができます。

[26ページに続く](#)

このキットには、境界制約テンプレートに準拠するインタコネクットの物理サンプルを含む電子的なりフェレンスPCBデザインが用意されています。物理的に実装されたこれら制約を使用して、実用構造を再利用するか、または変更が性能に及ぼす影響を簡単に確認することができます。

DML (Device Modeling Language) マクロモデル

DMLマクロモデルはSPICE構文で記述される動作ドライバまたはレシーバIOCellモデルであり、Allegro PCB SI時間領域シミュレータでサポートされている回路素子を使用します。

MacroModelは強力な動作デバイス・モデリング能力を提供します。テーブルベースのIBISデータをノードベースのSPICE回路記述の柔軟性と組み合わせ、さらにSPICE回路素子（抵抗、コンデンサ、インダクタなど）、各種の電圧源、および電流源を追加します。これらの手法により、AllegroまたはAllegro PCB SIを使用して以下のような高度なMGH動作を簡単にモデリングすることができます。

- アクティブまたはパッシブ・ドライバ・プリアンファシス
- アクティブまたはパッシブ・レシーバ・イコライゼーション
- レシーバ増幅

慎重に構築されたMacroModelは、トランジスタレベルのデバイス・モデル精度に匹敵し、しかもシミュレーション速度は数百倍です。例えば、トランジスタレベルのモデルでは5時間かかる100ビット・ストリームの詳細MGHシミュレーションが、MacroModelでは約1分で行えます。これらのモデルをAllegro PCB SIで直接使用することにより、生産性が向上するとともに、使い慣れたモデルの統合デザイン・フローが実現します。

Stratix IIのデザインに関する問題と解決策

アルテラとCadenceは、Stratix IIデバイスに関連する高速システムのデザインの問題にも取り組んでいます。前述のとおり、最大データ転送速度1-GbpsをサポートするStratix IIデバイスを利用するシステムでは、MGHアプリケーションの場合と同じ信号の完全性の問題が多く発生します。SPI-4.2、RapidIO™、NPSIなどの高速インタフェースを備えたStratix IIシステムに対して、Cadenceとアルテラはデザイン・イン・エイドを提供しています。

デザイン・イン・キットおよびモデルの入手

通常、ユーザがシリコン・デザイン・イン・キットおよびモデルを入手することは困難です。Cadenceはアルテラおよび他の半導体企業と協力して、一連のデザイン・インのためのサポートを提供しています。Allegro PCB SI用のMacroModelを最も簡単に開発する方法は、完全に文書化された実用モデルを使用することです。これは、既存の実用モデルを編集する方が、新しいモデルを作成するよりも簡単だからです。MGHドライバおよびレシーバのサンプルは www.allegrosi.com から入手できます。サンプルをコピーし、新しいモデルのベースとして使用してください。これにより、パラメータの調整、VI曲線の置き換え、その他の変更が可能になります。経験を積んだAllegro PCB SIユーザは、優れたサンプルを使用して、複雑なドライバおよびレシーバをすばやくモデリングし、MGHシリアル・データ・リンクのシミュレーションに使用することができます。

詳細について

詳細については、www.altera.com または www.allegrosi.com をご参照ください。または、アルテラの代理店にお問い合わせください。

MAX II CPLD : 増大する制御パス・アプリケーションのニーズに対する取り組み

ニーズを満たす新しいアーキテクチャ

長年にわたり、電子システムの複雑化が進んでいます。その一方で、特に家電、自動車、およびコンピュータ・アプリケーションにおける競争激化と経済的な要因により、製造業者がこうしたシステムに設定できる価格は、システムの能力が向上しているにもかかわらず、低く抑えられています。さらに、システムのモバイル化が進んで電池への依存度が高くなるにつれて、さまざまなアプリケーションでシステムの消費電力が重視されています。その結果、高集積度、高速性能、低消費電力を低価格で実現するCPLDファミリに対するニーズが高まっています。

パワー・アップ・シーケンス、I/O 拡張、システム構成と初期化、インタフェース間ブリッジなどの制御パス・アプリケーションは一般に、CPLDで実装されます。CPLDは、インスタント・オン、不揮発性の要件を満たし、しかも堅牢な低コストI/Oピンを備えているため、これらのアプリケーションに最適です。低コスト、高集積度、高I/Oピン数のMAX IIデバイス・ファミリはこのような機能に最適化されています。

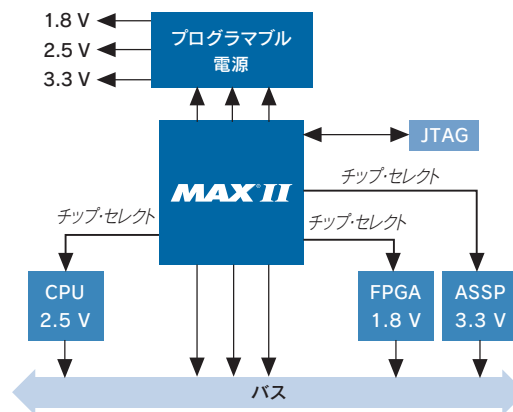
パワー・アップ・シーケンス

MAX IIデバイスは、I/Oピン1本あたりコストが低く、集積度が高いため、パワー・アップ・シーケンスに最適です。パワー・アップ・シーケンスとは、デバイスの障害やI/Oピンのグリッチを発生させずに、ボードを完全な動作状態にするプロセスです。このプロセスは、ボードの電圧プレーン数が増え、ボードが複雑化するにつれて難しくなります。

このアプリケーションでは、CPLDにより、プリント回路基板 (PCB) は全デバイスの要件に従ってパワー・アップします。パワー・アップ・シーケンスは通常、事前定義された間隔、または同じボード上の他のデバイスからのレディ信号の受信に基づきタイミングを制御するCPLDのステート・マシンで管理されます。CPLDはすべてのデバイス・リセットを制御するため、個々のチップ・セレクトに対する論理選択も制御します。マルチ電圧システムのパワー・アップ機能では、瞬時に起動してPCBの他の電源プレーンのパワー・アップ・シーケンスを管理できるCPLDが求められます。

図1に、一般的なMAX IIデバイスのパワー・アップ・シーケンス・アプリケーションを示します。この例では、複数の電源レールで異なる電圧レベルのデバイスをサポートしています。制御ロジックを使用して各デバイスのパワー・アップ・シーケンスが管理されます。電圧レベル数が増えるにつれて、パワー・アップ制御ロジックが複雑になり、ロジック容量が大きいインスタント・オン・デバイスが必要になります。また、MAX IIデバイスを使用して、パワー・アップ完了までクリティカル・バス信号を制御して、パワー・アップ・プロセス中にそれらの信号がドライブされないようにすることができます。

図1. マルチ電圧システムのパワー・アップ管理



パワー・アップ・シーケンスに関与する他のデバイスとインタフェースするには、多数のI/Oピンが必要です。この要件は、システムのパワー・アップ・シーケンスを完了するのに必要な信号の数が増えるほど大きくなります。このため、新しいシステムでは高集積CPLDを使用して制御ロジックを実装します。

システム・コンフィギュレーションと初期化

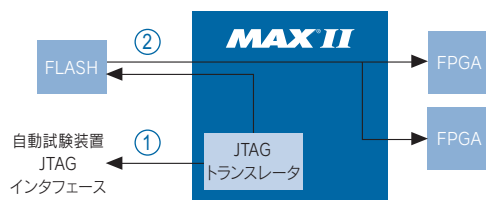
パワー・アップ後、多くの揮発性デバイスをコンフィギュレーションまたは初期化して、動作可能な状態にしなければなりません。このデバイス・コンフィギュレーション・アプリケーションは、MAX II CPLDによって実装した場合に最もコスト効果が高くなります。

28ページに続く

例えば、MAX IIデバイスを使用して、FPGAをコンフィギュレーションするステート・マシンを実装することができます。一般に、メモリ・コントローラを使用してFPGAへのビットストリーム・ダウンロードを同時に管理します。MAX II CPLDを使用すると、低コストの汎用フラッシュ・デバイスをシステム・ボード上でコンフィギュレーションに使用することができます。ベンダ固有のシリアル・コンフィギュレーション・デバイスまたはマイクロコントローラなどの代替ソリューションは、MAX II CPLDほどコスト効果が高くありません。

図2に示すとおり、MAX IIデバイスは汎用フラッシュ・メモリにインタフェースして、複数のFPGAをコンフィギュレーションすることができます。コスト効果が高く柔軟なこのソリューションは、共有の低コスト・フラッシュ・メモリ・デバイスをシステム・ボード上で使用することにより実装されます。高集積MAX II CPLDを使用して、フラッシュ・メモリ・デバイスに複数のページを含む複雑なコンフィギュレーション・システムを実装したり、必要に応じてFPGAをリコンフィギュレーションすることも可能です。

図2. FPGA コンフィギュレーション管理およびフラッシュ・コントローラ



ステップ1: MAX IIデバイス上のJTAGトランスレータを介してフラッシュをプログラム
ステップ2: FPGAをコンフィギュレーション

MAX IIデバイスは、ユーザがアクセス可能な8Kビット・フラッシュ・メモリを内蔵しており、ASSPが必要とする初期化データを保存しておくことができます。小型シリアル・フラッシュ・メモリを使用してこのデータを保存する場合に比べて、ボードのコンポーネント数およびコストが削減されます。MAX II CPLDはこの機能を提供する最初で唯一のPLDです。

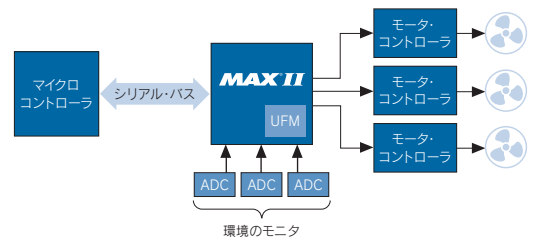
他のCPLDと同様に、MAX IIデバイスは、ディスクリット不揮発性デバイスからFPGAへ、または製造時にそのようなメモリをプログラムするために、ビットストリームをロードすることができます。図2に示すとおり、MAX IIデバイスのJTAGトランスレータ機能では、MAX IIデバイス・ピンを介してフラッシュ・ストレージ・デバイスをコンフィギュレーションすることができます。これによって、JTAG非対応デバイスでMAX II JTAG回路を使用可能にして、製造時の複雑さとコストを低減します。

I/O 拡張

I/Oリソースの不足は、デジタル・システム設計者に共通するボード・レベルの問題です。半導体のプロセスが微細化するにつれて、I/Oパッド・リングがダイ・サイズに占める割合が大きくなり、半導体の単価を左右しています。その結果、多くの半導体製造業者はデバイスあたりの汎用I/Oピン数を削減して、ダイ・サイズの最小化を図っています。その一方で、I/O信号の分配要件が高くなるのに伴って、多くのボード・システムはますます複雑化しています。追加I/Oピンのニーズに対応するために、FPGAとCPLDの両方がI/O拡張機能で使用されます。

I/O拡張には、複数のチップへの信号分配を制御したり、LEDやスイッチを制御するCPLDのアドレス・デコーディング機能が主に関係しています。このような機能には多数のI/Oピンが必要です。図3の例は、1本の2線式シリアル・バスのみでシステムの複数のデバイスを制御するようI/O機能を制限したマイクロコントローラを示しています。この例では、MAX IIデバイスは制御データを分配して複数のファン・モータ・コントローラを管理します。MAX IIデバイスは、アナログ→デジタル・コンバータ(ADC)からパラレル情報を受け取り、データをパラレルからシリアルに変換し、2線式シリアル・バスを介してそのデータをマイクロコントローラに送信することもできます。また、8Kビットのオンチップ・ユーザ・フラッシュ・メモリを使用して、モータの周波数やデューティ・サイクルなどの情報を保存することができます。

図3. 制御信号の分配



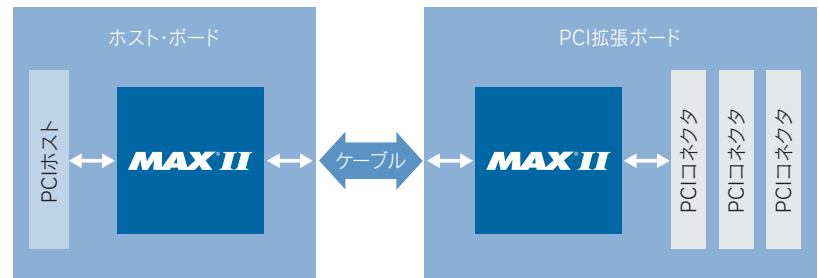
インタフェース・ブリッジ

PCB上のコンポーネント間の通信を簡素化することは重要な課題です。このアプリケーションはインタフェース・ブリッジとして分類され、互換性のないバス標準や電圧レベルの変換やシリアル・パラレル変換処理を含んでいます。これらの変換処理の一部は業界標準ですが、PLDの使用を必要とするデザイン固有の変換もあります。このようなアプリケーションでは、FPGAまたはCPLDを使用できますが、多数のI/Oピン数が必要な場合がよくあります。MAX II CPLDは、必要なデバイス集積度がI/Oピンの要件によって決定される場合に、最も低コストでこの機能を実装する手段になります。さらに、高集積MAX IIデバイスを使用することで、複雑なバス・システムのサポートが可能になります。例えば、MAX IIデバイスは32ビット、33MHz、PCI互換のIPコアをサポートします。

MAX IIデバイスは、このアプリケーションで頻繁に必要なワイド入力ファンクションにアドレス・デコーディングを実装することができます。この場合、ロジック・ブロックからの使用可能な出力が不足してリソースが失われることはありません。性能およびフィッティングに関する要件は、入力の共有を多用せずに満たすことができ、2回目のフィッティングが改善します。また、ソフトウェアを使用してLUTベースのアーキテクチャのワイド入力ファンクションを最適化することで、高速かつ効率的にロジックを実装します。

図4は、2枚のボード間でPCIブリッジを構成する2個のMAX IIデバイスを示しており、オプションのアドオン・ボードがPCIバス・サブシステムに統合されています。大型のMAX IIデバイスを、33 MHzで動作する32ビットPCIターゲットとしてPCIバスに追加できます。これらのデバイスは、ケーブルを介して、またはバックプレーン構成の一部として物理的に分離することができます。MAX IIデバイスは他のバス・システムのリピータとして機能することも可能です。この種の構成では、バスのドライブ強度、およびバス上でサポート可能なデバイス数が増加します。

図4. PCIバス・ブリッジ



複数の機能を1つのデバイスに統合

エンド・ユーザ向けの電子システム・アプリケーションの多くでは、コストとサイズの両方が重視されます。2つ以上の主要な制御バス・アプリケーションを1つのデバイスに統合することにより、コストとボード・スペースを大幅に節約して、最終製品の競争力を高めることができます。最大2,210個のロジック・エレメント、272本のI/Oピン、および8Kビットのユーザ・フラッシュ・メモリを搭載するMAX IIデバイスは、これらアプリケーションの統合に最適なプラットフォームです。

まとめ

制御バス機能はますます複雑になってきているため、従来のCPLDアーキテクチャでは要求される高度な機能を低コストでサポートすることができません。画期的な新しいCPLDアーキテクチャと独自の機能を備えたアルテラの新しい低コストMAX II CPLDファミリを使用すれば、設計者は小型で強力な新システムを低コストで導入することができます。

FPGA 性能の効果的なベンチマーク手法 — 最新のFPGA アーキテクチャの比較

設計者ができるだけ低コストでシステムの処理速度を最大限に高めたい場合には、FPGA の性能が非常に重要な要素となります。また、システム性能のマージンを高めることによって、リスクを管理することも可能になります。FPGA アーキテクチャの複雑化や開発ツールの急激な進歩に伴い、FPGA の性能比較が困難になってきています。

デザイン工程の早期段階で、FPGA を選定する指針として、ベンダが提供する性能比較結果が使用されることがよくあります。業界標準のベンチマーク手法が確立されていないため、FPGA ベンダは独自のベンチマーク手法に頼らざるを得ません。このため、結果が不正確になったり、極端に偏ったりする可能性があります。

アルテラは、ベンチマーク結果を有意義なものにするには、公平で客観的なベンチマーク手法が不可欠であることを認識しています。アルテラはベンチマーク結果の正確さを保証するために、多大なリソースを投資しています。表1、2、および3に、アルテラとザイリンクスのプログラマブル・ロジック・ファミリ間の相対 f_{MAX} 性能の比較を示します。

関連資料

- ホワイト・ペーパー「Stratix vs. Virtex-II Pro FPGA Performance Analysis」
- ホワイト・ペーパー「Cyclone vs. Spartan-3 FPGA Performance Analysis」
- ホワイト・ペーパー「FPGA Performance Benchmarking Methodology」

表 1. アルテラとザイリンクスの高性能 FPGA における相対 f_{MAX} 性能の比較

比較カテゴリ	アルテラ		ザイリンクス	
	FPGA ファミリ	相対 f_{MAX} 性能	FPGA ファミリ	相対 f_{MAX} 性能
130-nm FPGA	Stratix	1.0	Virtex-II Pro	1.0
90-nm FPGA	Stratix II	1.5 (1)	次世代ファミリ	1.0 ~ 1.2 (2)

表1の注:

- (1) Stratix™ II の相対比較はStratixファミリに対するものです。
- (2) 130-nm プロセスの現行 Virtex-II Pro ファミリから予測した90-nmトランジスタをベースにした次世代のザイリンクス・ファミリの性能

表 2. アルテラとザイリンクスの低コスト FPGA における相対性能の比較

Cyclone の相対 f_{MAX} 性能	Spartan-3 の相対 f_{MAX} 性能
>1.5	1.0

表 3. アルテラとザイリンクスの CPLD における相対性能の比較

MAX II の相対 f_{MAX} 性能	CoolRunner II の相対 f_{MAX} 性能
~1.4	1.0

Stratix II FPGAによるデザインのセキュリティ保護

商業的、軍事的環境における競争の激化や、世界的規模で製造、出荷される製品が増加するにつれて、IP (Intellectual Property) および機密システム・データの保護に対する設計者の関心が高まっています。SRAM ベースのFPGAは、従来からデザインのセキュリティが問題にならない箇所で使用されてきました。この事実がStratix II FPGAによって全面的に覆されます。これは設計者が自分のデザインがセキュリティ保護される安心感を持って、高集積度FPGAの利点と柔軟性を活用できるためです。Stratix II デバイスは、128ビット不揮発性キーによる高度暗号化標準 (AES: Advanced Encryption Standard) アルゴリズムを使用して、コンフィギュレーション・ビットストリームを暗号化する業界初のFPGAです。

デザイン・セキュリティ

FPGA がグルー・ロジックからシステムのコア・ロジックに移行するのに伴い、またFPGAを媒介として市場に供給される顧客開発のIPが増加するに伴って、デザイン・セキュリティの重要性が高まっています。例えば、軍事用途に使用される複雑化した電子装置の増加、商用電子環境における競争の激化、世界的規模で製造、出荷される製品の増加などがこの背景にあります。その結果、設計者は機密システム情報や独自IPを保護するニーズの高まりに直面しています。

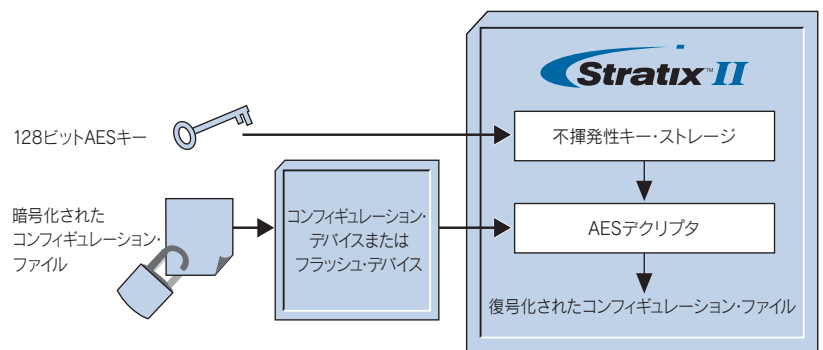
特定の製品に必要なセキュリティのレベルは、システムの機能、用途、物理的位置などのさまざまな要素によって決まります。さらに、通常は重要なシステム機能を実行する部品だけが実際に保護を必要とします。過去、このような機能はほとんどが柔軟性に欠けるASICや集積度ははるかに低い他の不揮発性デバイスに実装されていました。SRAMベースFPGAは、柔軟性と集積度の両方を備えた唯一のプログラマブル・デバイスです。しかし、これらは揮発性デバイスであり、コンフィギュレーション・データを格納するのに外部メモリを必要とするため、デザイン・セキュリティが問題となる箇所には従来から使用されていませんでした。電源投入時に、コンフィギュレーション・データが外部メモリからFPGAに送られます。この方式では、送信中にビットストリームが中断される可能性があります。Stratix II デバイスは、コンフィギュレーション・ビットストリームの暗号化によって、SRAMベースFPGAの柔軟性と集積度、さらにデザイン・セキュリティも提供します。

デザイン・セキュリティを可能にする Stratix II FPGA

Stratix IIのデザイン・セキュリティは、コンフィギュレーション・ファイルの暗号化によって可能になります。Stratix II デバイスは、AES内蔵の解読回路と128ビット不揮発性キー・ストレージを備えています。図1は機密性の高いコンフィギュレーション・フローを示します。このフローは、次の3つのステップで実装されます。

1. 128ビットAESキーがStratix IIデバイスの不揮発性キー・ストレージにプログラムされます。
2. Quartus IIソフトウェアは、同じAESキーを使用して、暗号化されたコンフィギュレーション・ファイルを生成し、このファイルがコンフィギュレーション・デバイスまたはフラッシュ・メモリに格納されます。
3. 電源投入時に、コンフィギュレーション・デバイスまたはフラッシュ・メモリ・デバイスは、暗号化されたコンフィギュレーション・ファイルをStratix II デバイスに送ります。Stratix II デバイスは格納されたAESキーを使用して、ファイルの解読と自身のコンフィギュレーションを行います。

図1. Stratix IIにおける機密性の高いコンフィギュレーション・フロー



AESは、DES (Data Encryption Standard) の後継として、米国国立標準技術研究所 (NIST) によって開発された新しい暗号化標準です。米国政府機関が機密および非機密情報の保護にAESを使用することが、米国連邦情報処理標準 (FIPS) によって承認されています (FIPS-197を参照)。この標準は、国際的に採用される見通しです。

32ページに続く

AESは、暗号化と復号化に様々なサイズで表現される同一のキーを使用します。アルテラは最適なセキュリティと効率を得るために、128ビット・キーを選択しました。研究によって、DESキーを数秒で破ることができるマシンを構築できたとすれば、同じマシンで128ビットAESキーを破るには、約149兆年かかることが明らかになっています(出典:NIST)。

AES暗号化では、暗号化されたコンフィギュレーション・ファイルはシステムにのみ存在します。キーがなければ、コンフィギュレーション・ファイルを解読、解析、または別のFPGAのコンフィギュレーションに使用することはできないので、IPの盗用が防止されます。Stratix II FPGAの不揮発性メモリには、システムのパワーダウン時に外部バックアップ・バッテリーを必要としません。

米国輸出規制

Stratix IIファミリに対する米国輸出規制は、一般に米国輸出規制分類番号(ECCN) 3A001または3A991によって管理されます。

Stratix IIファミリの復号化機能は、コンフィギュレーション・ビットストリームの保護に限定されるので、Stratix IIファミリの暗号化/復号化機能が輸出管理区分に影響を与えることはありません。輸出関連の質問については、opexp_imp@altera.comにご連絡ください。

まとめ

ASICおよびASSP (Application-Specific Standard Product: 特定用途向け標準製品) からFPGAへの移行が進むにつれて、FPGAに搭載されるIPを保護する必要性が高まっています。アルテラのStratix II FPGAは、128ビットの不揮発性キーを使用してIP保護を提供する業界初の高集積度FPGAです。

この新しいデザイン・セキュリティ機能によって、デザイナーは自分のデザインを保護しながら、FPGAの柔軟性を活用できるようになりました。

新しい革新的なStratix IIロジック構造による 比類ない性能とロジック効率

サブミクロン・プロセス・ジオメトリの進歩は90nmで一つの壁に突き当たる事が証明されています。サブミクロン時代の到来により、半導体メーカーは性能、消費電力、および面積のトレードオフの選択を迫られています。かつてのように、FPGAを使用すれば自動的に高速性能と高集積度がもたらされることはありません。現行世代の4入力ルックアップ・テーブル (LUT) ベースのアーキテクチャが性能の限界に達している状況に対応するために、アルテラは「まったく新しいロジック構造の開発」という最も効果的な方法の採用に踏み切りました。

革新という強い伝統の下で前進を続けてきたアルテラは、90nm ベースのStratix IIファミリ用に、各カスタム・ロジック・ファンクションの入力幅ごとに適応してLUTリソースを使用する新しいロジック構造を開発しました。この新しい革新的なロジック構造により、Stratix IIファミリは消費電力を最小限に抑えながら、平均50%の性能向上を実現します。このようなStratix IIロジック構造の柔軟性は、特定のデザインでロジック・リソース要件を大幅に (平均25%) 低減します。

80のデザインのベンチマーク結果から、Stratix IIファミリは性能とロジック効率の両方でStratixファミリを大きく上回ることが確認されています。図1に、全体的なベンチマーク・デザイン・セットの結果を示します。各データ・ポイントはデザインを比較した比率を示します。 R_p と R_l は、デザインの性能とロジック効率を比較した比率を表します。

Stratix IIアダプティブ・ロジック・モジュール

Stratix IIデバイスのロジック構造は、カスタム・ロジック・ファンクションの実装において、ロジック・アレイ・ブロック (LAB) のマトリックスをベースにしています。各LABには、Stratix IIデバイス用ロジックの基本ビルディング・ブロックであるアダプティブ・ロジック・モジュール (ALM) が8個含まれています。各ALMは、同じ入力幅や異なる入力幅のロジック・ファンクション、またはロジック処理と演算処理の組み合わせを実行するように構成できます。34ページの表1に、ALMでサポートされる各種構成を示します。

Stratix IIの性能とロジック効率の利点

調査結果から、入力幅の広いLUTを使用するFPGAロジック・ファブリックの方が、入力幅の狭いLUTを使用するファブリックより最適な性能が得られることが確認されています。35ページの図2に示すように、LUTの入力幅が狭いほど面積効率は高くなるので、コストは低下します。性能とコストの曲線の交点、すなわち最適なコスト・パフォーマンスを実現するために、FPGAロジック構造の開発は過去10年にわたり主に固定サイズの4入力LUTをベースにしてきました。

図1. 顧客デザインのベンチマーク結果による相対的な性能とロジック効率の比較
注 (1)

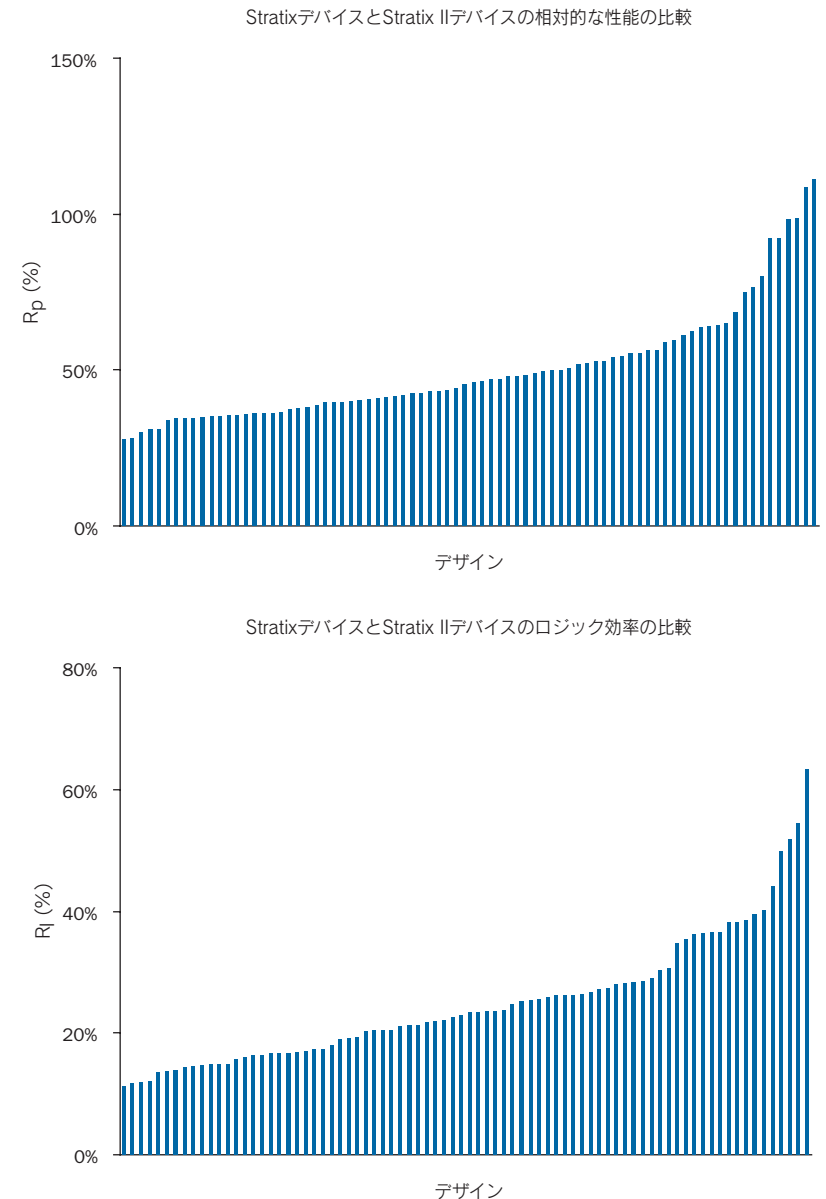


図1の注:
(1) デザインの性能とロジック使用率は、デザインの詳細、最適化手法、CADソフトウェアのアルゴリズム、およびデバイスの機能によって異なります。ベンチマーク・データは標準的な結果を示します。個々の結果は異なる場合があります。

34ページに続く

表 1. ALM 組み合わせロジックおよび演算構成 注 (1)

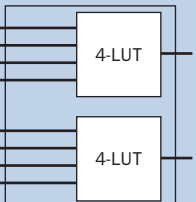
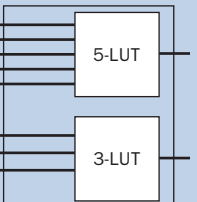
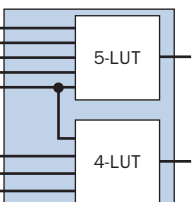
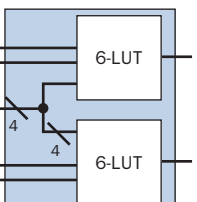
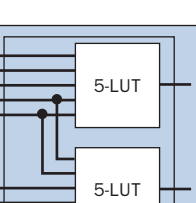
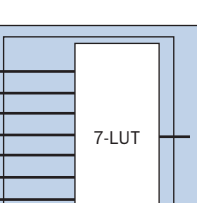
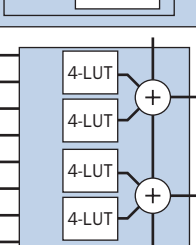
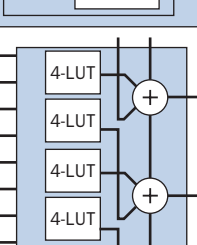
構成	説明	構成	説明
	<p>2個の独立した4入力(または3入力以下) LUT</p> <ul style="list-style-type: none"> 4入力LUTのFPGAと下位互換 Stratix IIファミリへの簡単な移行が可能 		<p>1個の5入力LUTと1個の3入力LUT</p> <ul style="list-style-type: none"> 2個のLUTは独立 5入力LUTと2入力LUT構成も可能
	<p>1個の5入力および1個の4入力LUT</p> <ul style="list-style-type: none"> 1つの入力を2個のLUT間で共有 5入力LUTは最大4個の独立した入力を保有 4入力LUTは最大3個の独立した入力を保有 Quartus IIソフトウェアは、この構造を自動検出 		<p>6入力LUTのサポート</p> <ul style="list-style-type: none"> 1個のALMは任意の6入力ファンクションをサポート可能 4本の共有入力を持つ2個の6入力ファンクションは、同一のロジック動作を持ち、1個のALMに適合 例: 4x2クロスバー・スイッチおよび6入力ANDゲート
	<p>2個の5入力LUT</p> <ul style="list-style-type: none"> LUT間の入力のうち2個は共有 各5入力LUTに対して3個の独立した入力 		<p>7入力LUTのサポート</p> <ul style="list-style-type: none"> 拡張モードの1個のALMは、7入力ファンクションの一部を実装可能 Quartus IIソフトウェアは、該当する7入力ファンクションを自動的に認識し、1個のALMに適合
	<p>ロジック演算組み合わせ動作</p> <ul style="list-style-type: none"> 2個の全加算器がALMに内蔵 4個の4入力LUTは、演算の前処理用ロジックとして使用可能 例: 総和をとる前のデータ選択 		<p>複合演算動作</p> <ul style="list-style-type: none"> 複合演算動作の専用回路 例: 3入力加算器構造

表1の注:

(1) アーキテクチャの詳細については、Stratix IIデバイス・ハンドブックを参照してください。

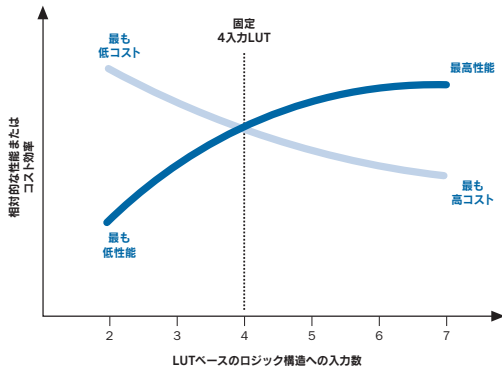
アルテラのStratix II FPGAは、固定4入力LUTのFPGAにおけるコスト・パフォーマンスのトレード・オフの障壁を突破し、システムの性能を向上しコストを削減するアーキテクチャを提供します。最大7入力の入力幅を持つLUTをサポートすることにより、Stratix IIデバイスは、入力数の多いLUTベースのFPGAに匹敵する高い性能を提供します。さらに、汎用性の高いStratix IIのALMは、4入力LUTベースのFPGAよりも優れたロジック効率を提供します。

Stratix IIファミリは、第1世代のStratixデバイスと比べて平均で50%の性能向上を実現することがデータにより実証されています。

ALMあたり4入力以上のロジック機能をサポートする入力を持つStratix IIのロジック構造は、以下を実現することにより性能を向上します。

- 組み合わせロジック全体で必要なロジック・レベル数の低減
- 固定4入力LUTの実装に必要なプログラマブル配線の削減
- 一般配線リソースの要求の緩和

図2. 相対的な性能、コスト効率、およびLUT入力サイズの比較の概念図



固定サイズの4入力LUT FPGAアーキテクチャでは、4入力以外のロジック・ファンクションを実装するときには効率低下します。Stratix II ALMの適応性により、固定サイズのLUT FPGAアーキテクチャにおけるLUTの部分使用によるロジック・リソースの非効率利用を、以下の方法で最小限に抑えることができます。

- 入力数の多いファンクションと少ないファンクションをバッキングする (図3参照)
- 共通入力を持つ異なる組み合わせロジックでロジック・リソースを共有することにより、ロジックの二重化の必要性を低減する
- 複雑な演算ファンクションを実装し、ロジックと演算処理を結合する (総和と減算の前にデータを選択する場合など)
- アダー・ツリーなどの入力数の多い演算ファンクションを実装する

Stratix IIファミリは、高性能システムを効率的に実装するための理想的なデザイン・プラットフォームを提供します。

ケース・スタディ1 — クロスバー・スイッチ

多くのテレコミュニケーション・デザインでは、データ・パスでFPGAを使用して入出力データを処理する場合があります (クロスバー・スイッチなど)。図4に、4×2クロスバー・スイッチの実装におけるStratixとStratix IIの比較を示します。このスイッチには、4つのデータ入力ポート (AからD)、2セットの選択入力ポート (SelectAとSelectB)、および2つのデータ出力ポートがあります。2セットの選択信号 (1セットあたり2ビット) を使用して、入力ポートから出力ポートへのデータを切り替えます。

Stratixデバイスでこのクロスバー・スイッチを実装するには、4つのロジック・エレメント (LE) が使用されます。入力を出力に切り替えるごとに、2つのLEがカスケードされます。各LEは1つのロジック・レベルを表します。システム速度は、2つのロジック・レベルとデータ・パスのプログラマブル配線遅延によって制限されます。

この同じ回路をStratix IIデバイスで実装する場合、4×2スイッチの各ビットを2つの6入力ファンクションとして考えることができます。各ファンクションは、異なる選択ラインに基づいて、出力に表れる同じ入力データ (AからD) を選択します。ALMは4つの共通入力を持つ2つの6入力ファンクションを実装し、同じロジック・ファンクションを実行できるので、4×2クロスバー・スイッチの各ビットを1つのALMに統合できます。このため、1つのロジック・レベルの削除とプログラマブル配線によって性能を向上させると同時に、ロジック・リソースの使用量を1/2に低減します。36ページの表2を参照してください。

図3. Stratix II ALMのロジック効率例

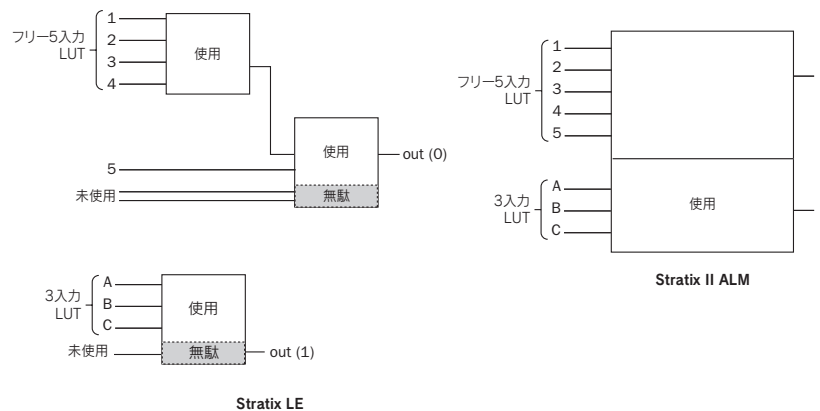
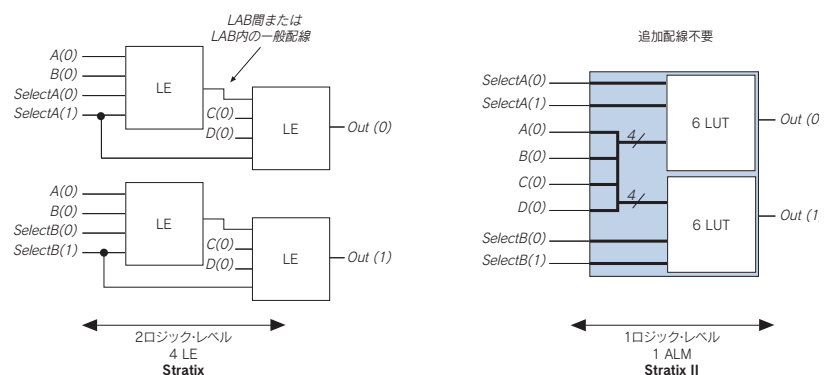


図4. 4×2クロスバー・スイッチの実装におけるStratix IIとStratix IIの比較



36ページに続く

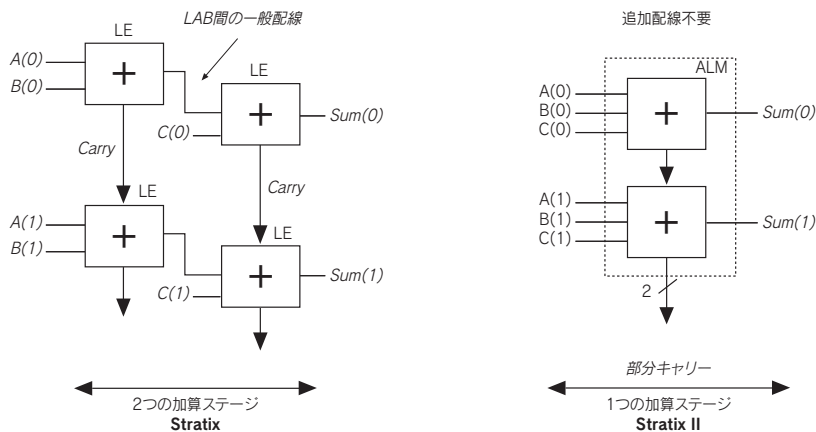
ケース・スタディ2 — アダー・ツリー

デジタル信号処理 (DSP) アプリケーションでは、アダー・ツリーを使用して大量の処理サンプル (数) を合計する例がよく見られます。例えば、3G無線基地局チャネル・カードの関連器には、スペクトラム拡散信号によって転送されるデータを回復する大規模なアダー・ツリーがあります。Stratix II ALMは、3つの数を一度に合計することにより、アダー・ツリーの実装で優れた性能とロジック効率を提供します。図5に、StratixとStratix IIでのシンプルな3入力加算器の実装例を示します。

延と、各加算ステージ間のプログラマブル配線の遅延によって性能が制限されます。

Stratix II ALMは、2つの加算ステージを1つのステージに統合する三項の数値演算を (共有演算モードで) サポートしているため、加算ステージの数を削減し、余分なプログラマブル配線を除去することによって性能が向上します。アダー・ツリーへの入力数が増加するほど、性能の向上が顕著になります。完全にパイプライン化されたアダー・ツリーの実装では、Stratix II デバイスは加算ステージを削減することによって待ち時間を短縮します。

図5. Stratix II ALMによる3入力加算器の利点



2入力の演算処理しかサポートしていないFPGAロジック構造で3つの数を加算する場合、2つの数を繰り返し加算することによって合計が得られます。このバイナリ・ツリー形式の合計では、各加算ステージの遅延

Stratix II デバイスでは性能が向上するだけでなく、アダー・ツリーのロジック・リソース要件が大幅に低減されます。図5に示すとおりバイナリ・アダー実装では4 LEを使用しますが、Stratix II デバイスではすべての加算器を1つのALMに統合できます。

表2に、Stratix デバイスとStratix II デバイスのアダー・ツリーのベンチマーク比較を示します。

まとめ

Stratix IIの革新的なロジック構造により、第一世代のStratix デバイスよりも大幅に高い性能とロジック効率を実現します。平均的に、Stratix II FPGAでは既存のデザインで性能が50%高速化し、ロジック効率が25%向上します。Stratix II FPGAファミリは、低コストで高性能システムを実装するための優れたソリューションを提供します。

	性能 (MHz) (1)		ロジック使用量	
	Stratix II	Stratix	Stratix II (ALUT)	Stratix (LE)
8ビット、4×2クロスバー・スイッチ	696.86 (2)	472.81 (2)	16	32
128数アダー・ツリー (パイプライン)	339.31	313.58	1,489	2,279
128数アダー・ツリー (非パイプライン) (3)	108.92	64.41	1,209	2,279

表2の注:

- (1) デザインの性能とロジック使用率は、デザインの詳細、最適化手法、CADソフトウェアのアルゴリズム、およびデバイスの機能によって異なります。ベンチマーク・データは一般的な結果を示します。個々の結果は異なる場合があります。
- (2) 性能 (MHz) は、クリティカル・パスの伝播遅延から算出されたものです。
- (3) 各加算ステージ間にはパイプライン・レジスタが挿入されています。

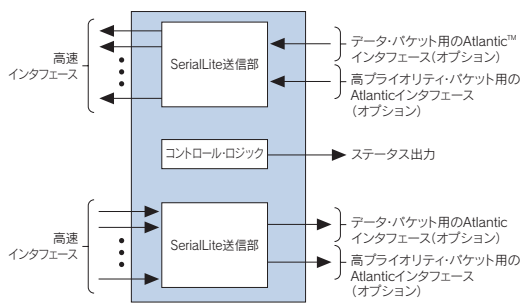
SerialLite プロトコルの概要

ここでは、SerialLite プロトコルの概要を示し、他のシリアル標準規格との関係とともに、その基本的な機能について説明します。SerialLiteは、軽量のポイント・ツー・ポイント・シリアル・プロトコルで、パケット・データとストリーミング・データの両方のアプリケーションに適しています。図1を参照してください。

SerialLite プロトコルは、以下の目的に沿って設計されています。

- 高性能：最高3.125 GbpsのI/O速度をサポートすること
- 軽量：アルテラのStratix GX FPGAでの使用ロジック・エレメント (LE) 数が700個未満であること
- わかりやすいマニュアルが付属し、安定したプラットフォーム上ですぐに使用可能でシンプルなこと
- 効率のかつ柔軟であり、設計者がSerialLiteの機能の中から最も役立つ機能を活用でき、不要な機能を削除できること
- オープン・ソースですべてのプラットフォームからアクセス可能なこと

図1. SerialLite ブロック図



その他のシリアル・プロトコルとの比較

高速のシリアル通信プロトコルとして、SerialLiteをSerial RapidIO™およびPCI Expressを頂点とするその他のシリアル・プロトコルと比較することは有意義です。これらのプロトコルやその他の類似プロトコルは、SerialLiteのターゲットとは異なるアプリケーションに対応します。これらは、大規模ネットワーク、またはエンド・ユーザがシステムを選択可能な相互運用システムのメッシュをサポートするために作成された多機能プロトコルです。これらの要件から、以下の特性が必要になります。

- 機能はハイ・レベルで定義され、非常に豊富な機能セット、またはシームレスな相互運用を可能にする高度なオプション管理方式が必要になります。
- ネットワークにはスイッチがあり、データはこれらのスイッチを通過して目的の宛先に送信されるため、これらのプロトコルにはアドレス情報が含まれていなければなりません。したがって、フレーミングとカプセル化が比較的複雑になります。

A点からB点へのデータの転送

SerialLite プロトコルは、多機能プロトコルとは異なり、データがある場所から別の場所に転送するというシンプルな問題の解決を目的として作成されています。システム設計者には、オプション機能の相互運用性を確保する責任があります。このプロトコルはデータルーティングしないため、データのアドレス指定は不要です。これは、プロトコルを大幅に合理化して、多くの機能をオプションにできることを意味します。SerialLite プロトコルを実装するIPコアの存在により、設計者は手作業によるシリアル方式の設計に関する細かな作業から解放されます。これらの特性により、SerialLite プロトコルは、FPGAでの実装に特に適したものになります。このFPGAでは、設計者がオプションを完全に制御でき、設計時に不要なロジックをなくすことができます。表1では、いくつかのシリアル・プロトコルを比較しています。

特長	SerialLite	Serial RapidIO	PCI Express	10G Ethernet (XAU)	InfiniBand	CSIX over PICMG
データ・リンク層より上位の層が必須		▲	▲	▲	▲	▲
スイッチング・サポートが必須		▲	▲	▲	▲	▲
任意のレーン数	▲					
任意の周波数	▲					
レーン極性の反転	●				▲	
レーンの順序の反転	●		▲		▲	
パケット・データ	●	▲	▲	▲	▲	▲
ストリーミング・データ	●					
同期動作	●					
非同期動作	●			▲	▲	
プライオリティ・データ	●	▲			▲	▲
データ・エラーの検出なし	●					
CRC-16	●	▲	▲		▲	
CRC-32	●			▲	▲	
チャネル多重化(2)	●	▲	▲	▲	▲	▲
フロー制御	●	▲	▲	▲	▲	▲
エラー・トリライ	●	▲	▲		▲	

表1の注:

- (1) ▲ = 必須動作 ● = オプション動作
- (2) 宛先アドレス指定は、チャネル多重化より高度な形式と考えられるため、この機能を活用すれば、アドレス切り替えをサポートするすべてのプロトコルは理論上チャネル多重化をサポートできます。

38ページに続く

機能の説明

SerialLiteは、リンク層でのパケットのカプセル化と物理層でのデータ・エンコーディングを定義しています。表2に、各層に関連するSerialLite機能を詳述します。

表 2. 物理層とリンク層の機能	
物理層	
送信側	受信側
パラレル→シリアル変換 8B/10Bエンコーディング IDLEキャラクタ変換 クロック補償の挿入 キャラクタ	シリアル→パラレル変換 8B/10Bデコーディング レーン・アライメント カンマ制御シンボルを使用したキャラクタ・アライメント 実行時の不一致エラーと無効なキャラクタ・エラーのチェック クロック許容差補償
リンク層	
送信側	受信側
パケット・カプセル化 パケット・ネスティング IDLEキャラクタ生成 リンク初期化 フロー制御 (オプション) CRC生成 (オプション) マルチレーン用のレーン・ストライピング リンク	パケット・カプセル化の削除 リンク初期化 ネストされたパケットの分離 IDLEキャラクタの削除 FCS検証 (オプション) フロー制御コマンドの生成 エラー・ハンドリング 不良パケット再送要求コマンド (オプション)

リンク・コンフィギュレーション

シリアル・リンクは、1つまたは複数のレーンで構成することができます。各レーンは、1対のトランシーバ間の全二重接続です。リンクの片側にあるトランシーバの集まりは、まとめてポートと呼ばれます。

データ・エンコーディング

SerialLiteは、IEEE 802.3-2002標準規格の第36項で規定される、業界標準の8B/10Bエンコーディング方式を使用して物理レーンをエンコーディングします。これにより、クロック信号がデータと共に正常に送信され、レシーバ側で確実にクロックを回復できます。

同期動作と非同期動作

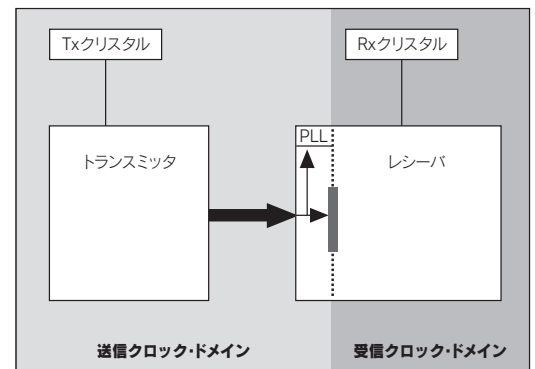
レーンの両端のトランシーバが、同じクリスタルからクロック供給されている場合は、同期性を維持したままデータをトランシーバからレシーバに移動できます。これは、「同期」または「シングル・クリスタル」構成と呼ばれます。

その他の場合、トランスミッタは所定の許容差を持つ基準周波数で駆動されます。レシーバのメイン・ロジックは、同じ周波数と許容差を持つ別のクリスタルで駆動されます。これは、「非同期」または「マルチ・クリスタル」構成と呼ばれます。

トランスミッタとレシーバの公称周波数は同じですが、実際の周波数は許容差のためにいくらか異なります。ワースト・ケースの周波数差違は、一方が範囲内の最高速端、他方が最低速端の場合に発生します。

トランスミッタは、クロック信号を送信データ・ストリームに埋め込みます。レシーバは、フェーズロック・ループ (PLL) を使用して受信データ・ストリームからの送信クロックを回復します。このため、レシーバ内には実際には、2つの周波数が存在します。1つは、データ・ストリームから回復される送信クロック周波数で、もう1つはレシーバのクリスタルで駆動されるレシーバ基準クロックです (図2)。このレシーバ内の周波数の若干の不一致は、データの到着がレシーバの処理速度より少し速い (適切に処理しなければ、データが失われる可能性がある) か、少し遅く (問題にならない) なることを意味します。

図2. 非同期 (マルチ・クリスタル) 構成



この周波数の不一致を補償するために、受信パスに「エラスティック・バッファ」が配置されています。データは回復された送信クロックを使用してエラスティック・バッファに書き込まれます。データは受信基準クロックを使用してエラスティック・バッファから読み出されます。エラスティック・バッファは、クロック補償シーケンス・セットの削除または挿入により、送信クロック・ドメインと受信クロック・ドメイン間の差違を補償します。

SerialLiteロジック以外のロジックに対するクロック補償シーケンスの管理は、SerialLiteプロトコルにより透過的に処理されます。これはクロック補償シーケンスに対しては、若干帯域幅が損失することを意味します。

シリアル・プロトコルでは特異なことですが、SerialLiteで、非同期モードでの動作または同期モードでの動作が可能です。非同期モードでは自動的に補償が行われます。同期モードでは補償は行われず、補償に必要なオーバーヘッドとロジックを削除できます。この選択は設計時に行えます。

リンクの初期化とトレーニング

リンクの初期化とトレーニングは、レーン内のデータとリンク内のレーンを同期するプロセスです。このプロセスは、レーン初期化、リンク・デスクュー、およびリンクアップの3つのステージで発生します。初期化は、SerialLite 準拠コアで自動的に処理されます。ロジックを最大限節約するには、レーンの極性またはレーンの順序、あるいはその両方を反転しないことを選択します。これらのステージでの動作は、以下のとおりです。

- **レーン初期化**：個々のレーンは、この手順を通してコード・グループ同期を確立し、正しいレーンの極性を判別します。
- **リンク・デスクュー**：このプロセスはマルチレーン・リンクにのみ適用されます。リンク内のレーン間のデスクューを実行し、正しいレーンの順序を決定します。
- **リンクアップ**：このステージはリモート・ポートが初期化を完了するのを待って、リンク初期化の完了を宣言します。

ユーザ・パケット・タイプ

SerialLite プロトコルは、データ・パケットとプライオリティ・パケットの2種類のユーザ・パケット・タイプをサポートします。この2つのパケット・タイプは、図1に示す2つの Atlantic インタフェースを介して転送されます。

- **データ・パケット**：データ・パケットには、「カット・スルー」データ・フローが使用されます。つまり、トランスミッタは、レーン全体に配置できる十分なデータを受信すると、直ちにパケットの送信を開始します。大きなパケットの場合、トランスミッタがパケットの最後まで受信しないうちに、レシーバはパケットの最初の部分を上位レベルのロジックに渡します。
- **プライオリティ・パケット**：プライオリティ・パケットには、「ストア&転送」データ・フローが使用されます。つまり、トランスミッタはパケット全体を受信するまでパケットの送信を開始しません。この処理は、パケットの再送オプションをサポートするために必要です。

ユーザ・パケットのカプセル化

SerialLite はパケット・シンボルの先頭と末尾をラッピングして、データとプライオリティ・パケットをカプセル化します。PAD シンボルは、ワード境界を維持するために条件付きで挿入されます。オプションにより、巡回符号 (CRC) を生成し、ユーザ・パケットの末尾に追加して、エラーの発生を防止することも可能です。図3に、ユーザ・パケットをカプセル化する方法を示します。

図3. ユーザ・パケットのカプセル化

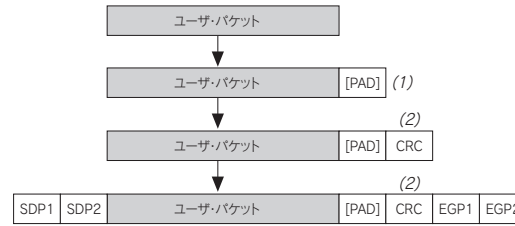


図3の注:

- (1) ユーザ・パケットのキャラクタ数が奇数の場合はPADが必要です。
- (2) オプション

エラー防止

SerialLite は、オプションによりデータまたはプライオリティ・パケット、あるいはその両方に対するCRC エラー・チェック機能を提供し、エラーを防止します。CRC 多項式については、CRC-16とCRC-32の2種類がサポートされています。CRCは、図4に示すように、SOP (Start-Of-Packet) の2番目のシンボルからオプションで挿入されたPADシンボルまでのすべてのバイトを対象とします。SOPの2番目のシンボルが保護されるのは、エラー時リトライ機能を実装した場合に使用されるパケット番号が含まれているためです。

図4. CRCの対象範囲



図4の注:

- (1) オプション。

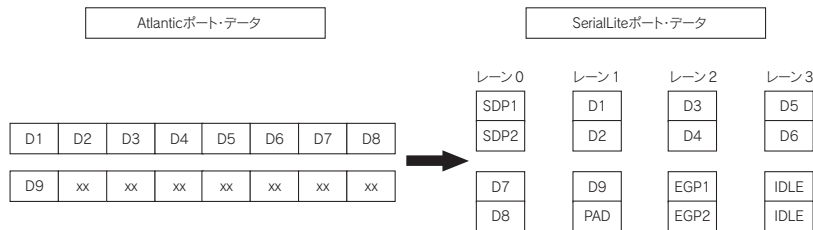
レーン・ストライピング

レーン・ストライピングは、パケット・バイト・ストリームをリンク内の複数のレーンに分配するプロセスです。SerialLite は、データのワード (2 バイト) を各レーンに同時に分配します。このため、すべての送信データは、ワードでアライメントされます。

40ページに続く

図5に、9バイト・パケットを4レーンのリンクにストライピングする例を示します。

図5. レーン・ストライピングの例



フロー制御 (オプション)

フロー制御はオプションの機能で、これを実装すると受信システムのデータ処理能力以上のデータを送信しないようにすることができます。標準的な設定としては、近傍のトランスミッタが遠隔のレシーバにデータを送信する構成があります。フロー制御では、遠隔のレシーバが受信データに対して「バック・プレッシャ」を行使できます。これにより、レシーバは着信データがレシーバ・バッファからオーバフローする前に、遅れを取り戻す機会が得られます。フロー制御では、送受信クロックの周波数許容差を補償することは求められていません。この補償はクロック補償機能によって自動的に処理されます。フロー制御が必要となるのは、SerialLite 外のロジックでデータを十分に速く処理できないと、設計者が予測するシステムだけです。外部ロジックがデータを十分に速く受け入れられない場合、内部ストレージは満杯になります。フロー制御を実装していれば、ストレージが一杯になるとデータ送信は自動的に一時停止します。

SerialLiteは、「一時停止」フロー制御方式を利用しています。遠隔のレシーバがそれ以上データを受信できない場合、遠隔のトランスミッタがフロー制御パケット（一時停止パケット）を近傍のレシーバに送信し、データの送信をユーザが定義した期間停止するよう近傍のトランスミッタに指示します。設計者は「満杯」になる時点よりどの位前に送信を一時停止するかを決めます。この決定では、一時停止コマンドがレシーバに届くまでの時間、および一時停止コマンドが動作するまでの間に「送信中」となるデータ量を考慮する必要があります。

エラー時リトライ (オプション)

エラー時リトライはオプション機能で、プライオリティ・データ送信の信頼性を確保するメカニズムを提供します。標準的な設定としては、近傍のトランスミッタが遠隔のレシーバにデータを送信する構成があります。エラー時リトライを使用すると、遠端ではエラー付きで受信したプライオリティ・パケットの再送を要求できます。これには、遠隔のトランスミッタが受信したすべて

のプライオリティ・パケットに対して肯定応答を返す必要があります。再送が可能なのは、プライオリティ・パケットのみで、通常のデータ・パケットは不可能です。肯定応答には、以下の2つのタイプがあります。

- ACK: 受信パケットは正常でエラーがない
- NACK: 受信パケットにエラーがある

SerialLiteは、パケット番号を管理するため、順番の違うパケットをトラップし、失われたデータを再取得するために再送を再開し、複数回送信されたパケットを廃棄することができます。タイムアウト・メカニズムもあるため、肯定応答パケットが失われても、それに対応できます。

エラー時リトライ・オプションを実装していない場合、すべてのパケットは、レシーバからの肯定応答なしに送信されます。

まとめ

SerialLite プロトコルは、ある点から別の点に情報を転送するための強固なデータ・トランスポート機能を備えています。物理層とデータ・リンク層にのみ絞られているため、シンプルで軽量なプロトコルです。このプロトコルは、最小限のコンフィギュレーションで、アプリケーションでの必要に応じて多数の機能を追加できる、唯一のシリアル・プロトコルです。

SerialLiteは多機能プロトコルでサポートされる上位のOSI参照モデル層、ブライント・インターオペラビリティまたはデータ・ルーティングを必要としない設計者向けに作成されています。また、広範なデータ転送アプリケーションの主要要件にも対応しているため、古い方式からシリアル方式に移行しようとする設計者は、シリアル通信に関する複雑な詳細事項に煩わされる必要がありません。アプリケーションの上位レベルの要件に的を絞り、SerialLite 準拠のコアによる詳細事項の実装を可能にすることにより、設計者は何週間もの作業を節約し、アプリケーションの上位レベルに的を絞ることができます。

参考資料

下記のSerialLiteに関する資料は、www.seriallite.orgでご覧いただけます。

- tratix FPGatix FPGatiA
- tratix FPGatix FPGatiA
- tratiatixratiGxratixratiA FPGA

完全なリファレンス・デザインおよびアルテラ MegaCore® ファンクションは、2004年5月以降に提供されます。

製造中止品に関する情報

アルテラは、FPGA ファミリーから特定のデバイスの製造を中止します (表1 参照)。新しい製品および注文コードに移行できるように12ヶ月の最終注文期間とさらに6ヶ月の最終出荷期間が設定されています。

表 1. 製造中止品情報					
製品ファミリ	該当製品	オーダ・コード	最終受注期限	最終出荷期限	製品変更通知
FLEX® 10KA	特定の製品	EPF10K10AQI208-3	12/15/04	06/15/05	PDN0314
FLEX 10KE	特定の製品	EPF10K50SFI484-2	12/15/04	06/15/05	PDN0314
FLEX 6000	特定の製品	EPF6016AQI208-2 EPF6016AQI208-3 EPF6016ATI144-2 EPF6024ABI256-2 EPF6024AQI208-3	12/15/04	06/15/05	PDN0314
FLEX 8000	特定の製品	EPF81188AQI208-3 EPF8282ALI84-4 EPF8452AQI160-3 EPF8636AGC192-3 EPF8636ARC208-3 EPF8636ARC208-4 EPF8820ARI208-4	12/15/04	06/15/05	PDN0314
APEX™ 20K	特定の製品	EP20K100BC356-1V EP20K100FC324-1V EP20K100FC324-2V EP20K100FC324-3V EP20K100QC208-3V EP20K100QI208-2V EP20K100QC240-3V EP20K100QI240-2V EP20K100TC144-1V EP20K100TC144-3V EP20K200BC356-1XV EP20K200FC484-1XV EP20K200FC484-3V EP20K200RI240-2V EP20K400BC652-1V EP20K400BC652-2V EP20K400BC652-2XV EP20K400BC652-3V EP20K400FC672-1V EP20K400FC672-1XV EP20K400FC672-2V EP20K400FC672-3V	07/22/05	01/22/06	PDN0401
APEX 20KE	特定の製品	EP20K200EBI356-2X EP20K200EFI672-2X EP20K200EQI240-2X EP20K30EQC208-1 EP20K30EQC208-1X EP20K30EQC208-2 EP20K30EQC208-2X EP20K30EQC208-3 EP20K60EFI324-2 EP20K60EQI208-2X	06/15/05	12/15/05	PDN0316
コンフィギュレーション・デバイス	下記のデバイス・ファミリから特定の製品： EPC1064、EPC1064V、EPC1213、およびEPC1441 EPC16	EPC1064TC32 EPC1064VLC20 EPC1064VPC8 EPC16UC88AA	12/15/04 12/15/04	06/15/05 06/15/05	PDN0314 PDN0315

アルテラへのお問い合わせ

アルテラからの情報やサービスが従来よりも迅速に行えるようになりました。お問い合わせの内容やご希望のサービスに応じて、下記へご連絡ください。

	情報提供元	連絡先
資料のご請求 (1)	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-476-2155 06-6307-7670
	株式会社 PALTEK	045-477-2009 06-6369-4070
	Web サイト	英 語 http://www.altera.com 日本語 http://www.altera.co.jp
価格・納期等について	株式会社アルティマ	045-476-2155 06-6307-7670
	株式会社 PALTEK	045-477-2009 06-6369-4070
技術的なご質問	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-476-2155 06-6307-7670 052-202-1024 028-637-4488
	株式会社 PALTEK	045-477-2009 06-6369-4070
	E-mail (日本アルテラ)	japan@altera.com
	FTP Site (US)	ftp.altera.com
製品案内	Web サイト	http://www.altera.co.jp

注:

- (1) Quartus II Installation and Licensing Manual、Introduction to Quartus II Manual、および MAX+PLUS II Getting Started Manual はアルテラの web サイトから入手できます。他の MAX+PLUS II のマニュアルについては、日本アルテラの販売代理店へお問い合わせください。