

アルテラの3.3-V、ISP対応のMAX 7000Aデバイス



図1に示されているように、最近になって多くの技術者はデザインを3.3-Vの電源電圧動作環境に移行させるようになってきました。しかしながら、プログラマブル・ロジック・デバイスの業界では、これまでイン・システム・プログラマビリティ(ISP)をサポートした適切な

3.3-Vソリューションが提供されていなかったため、3.3-VのISP対応デバイスを期待していた設計者の多くはマイクロプロセッサやメモリ用の3.3-V電源とプログラマブル・ロジック・デバイス(PLD)用の5.0-V電源の双方を用意する必要に迫られていました。

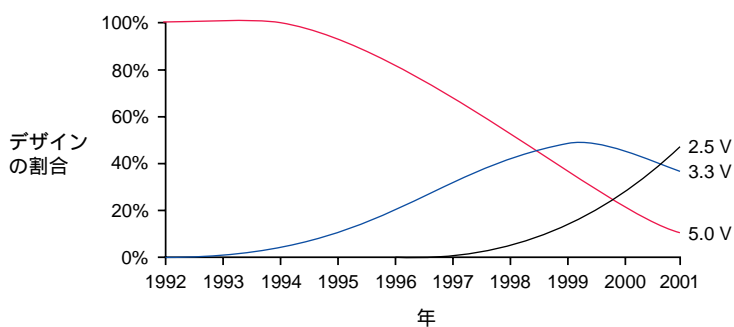
こうした問題に対応するため、アルテラは3.3-VのISP対応の最初のデバイスであるMAX[®] 7000Aデバイスと、その最初の製品としてEPM7128Aを発表しました。MAX 7000Aデバイスを使用することにより、プリント基板(PCB)上のすべてのデバイスに必要な電源は3.3-Vのみとなります。さらに、3.3-Vデバイスの製造に採用されている最先端プロセスにより、MAX 7000Aデバイスは同じパッケージとスピード・グレードで供給されている既存のMAX 7000デバイスよりも40%低い消費電力で動作します。また、MAX 7000AデバイスはFPGA(Field Programmable Gate Array)のベンダから供給されている競合製品よりも大幅に低消費電力となっています。3ページにある図2を参照して下さい。

MAX 7000AデバイスはMAX 7000Sデバイスとピン互換および機能互換となっており、高速の伝搬遅延時間と低消費電力特性、そして新しいプログラミングおよびテスト用言語であるJam[™]に対するサポートを提供しています。5.0 nsの伝搬遅延時間を実現したMAX 7000Aデバイスは、量産用のデザイン・ニーズに対応したもっとも高速なソリューションを提供します。

ISPの利点

「Time-To-Market」の要求の増大と共に、設計技術者はシステム・レベル製品の開発期間を短縮し、その生産をスムーズに進めることができる手法を継続的に探究するようになってきました。MAX 7000Aデバイスに提供されているISP機能を活用することによって、デバイスのプログラムとテストをひとつの工程で行えるようになるため、生産の効率を改善することができます。また、ISP対応デバイスのメンテナンスやアップグレードは簡単に行うことができるため、設計上のミスや修正や新しい機能や特長の追加、また新しい標準規格に対応した変更などが容易に実現できます。これらの特長により、システムのアップ・グレードがフィールドでも実施できるようになるため、アップグレードに要する時間と費用を大幅に節減することができます。ISPはPCB上にハンダ付けされたデバイス内のデザインの変更を可能にするため、ISP対応のMAX 7000Aデバイスを採用することで、リードの破損、ハンダ付け不良、静電気放電(ESD)などによって生じるコストの増加や品質の問題も解決されます。

図1 デザインの3.3-V電源電圧環境への移行



Source: Altera Applications

3ページに続く

目 次

特集記事

アルテラの3.3-V、ISP対応のMAX 7000Aデバイス .. 1	
Customer Application: アルテラのデバイスが アルカテル社の開発工程を短縮	20

アルテラ・ニュース

Advin Systemsがプログラミング/テスト用言語、 Jamをサポート	4
アルテラの1998年版データブックが完成	4
新しいデータ通信メガファンクションが登場	11
供給中: 「Altera Digital Library CD-ROM」と 「In-System Programmability CD-ROM」の 最新バージョン	13
アルテラのメガファンクション	22
アルテラがAPEX、ASCENDプログラムを発表	25
アルテラ・アプリケーション・セミナーのご案内	31

デバイス&ツール

アルテラが革新的なラファエロの アーキテクチャを発表	5
FLEX 10K-1 を出荷開始	5
EPF10K100B が1998年第2 四半期に登場	5
EPF6024A を出荷開始	5
MAX 9000Aの最初のデバイスを出荷開始	6
MAX 7000Sの工業用温度範囲品を供給開始	6
MAX 7000Sデバイスに対するイン・サーキット・ テストのサポート	6
MAX 7000Sの高速デバイス	6
MAX 7000の新プロセスへの移行	6

MegaWizard Plug-In	7
Verilog HDL論理合成を標準機能として出荷開始	7
MAX+PLUS II のバージョン8.2による 新製品のサポート	7
タイミング・ドリブンの コンパイルーションの改善点	7
製造中止品	22

技術論文

FLEX 10KのEAB性能を改善するためのテクニック ...	8
WegaWizard Plug-Inを使用した メガファンクションのパラメータ化	12
FLEXデバイス: 新世代のプロセス技術	14
FLEX 10KAとFLEX 6000Aデバイスの コンフィギュレーション	16
Questions & Answers	18
FLEX 10KのEABにSFIFOを実現する方法	23
アルテラの応用技術からのデザイン・ヒント: VHDLのIF文を効率的に使用する方法	24

定期掲載記事

アルテラの新規刊行資料	25
サード・パーティ・ベンダによる プログラミング・サポート	26
現在のソフトウェア・バージョン	26
アルテラのプログラミング・ハードウェアによる サポート状況	26
アルテラ・デバイス・セレクション・ガイド	27
アルテラへのアクセス方法	30



質問やアイデアがありましたら、日本
アルテラまで、お知らせ下さい。

日本アルテラ(株)
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
電 話: 03-3340-9480
FAX: 03-3340-9487
E-mail: japan@altera.com

Altera, ASCEND, APEX, AMPP, BitBlaster, ByteBlaster, Classic, FastTrack Interconnect, FLEX, FLEX \square 10K, FLEX 10KA, FLEX \square 8000, FLEX 6000, FLEX 6000A, JambuPitch, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX \square 7000S, MAX 7000A, MAX \square 5000, MAX, MAX+PLUS, MAX+PLUS \square II, MegaCore, MegaWizard, MultiCore, MultiVolt, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Advin Systems is a registered trademark of Advin Systems, Inc. Alcatel is a registered trademark of Alcatel Telecom GMBH. Verilog and Cadence are registered trademarks of Cadence Design Systems. Exemplar Logic is a registered trademark of Exemplar Logic, Inc. Integrated Silicon Systems is a registered trademark of Integrated Silicon Systems, Inc. Mentor Graphics is a registered trademark of Mentor Graphics, Inc. Data \square I/O is a registered trademark of Data I/O Corporation. SIS is a registered trademark of SIS \square Microelectronics, Inc. Synopsys is a registered trademark of Synopsys, Inc. Synplicity is a registered trademark of Synplicity, Inc. Viewlogic is a registered trademark of Viewlogic Systems. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001

Copyright © 1998 Altera Corporation. All rights reserved.

アルテラの3.3-V、ISP対応のMAX 7000Aデバイス

1ページからの続き

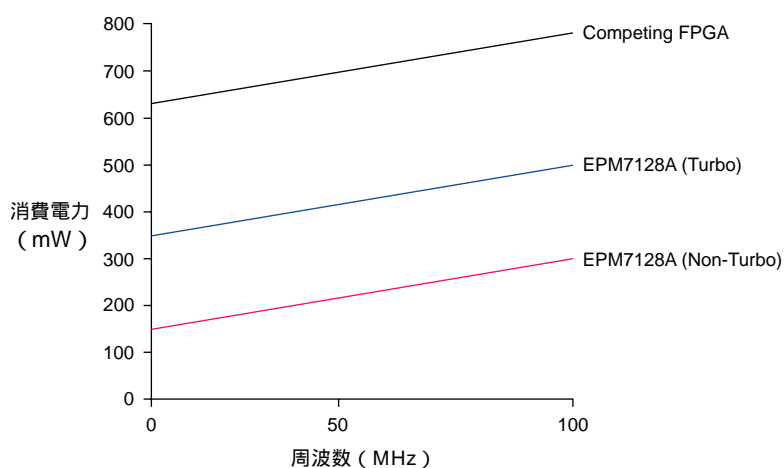
ISPを容易にするJamのサポート

MAX 7000Aデバイスは、ISPのための新しい標準フォーマットとなったプログラミング/テスト用言語、Jamをサポートしています。JamはIEEE 1149.1のJTAG (Joint Test Action Group) インタフェースを使用した電子システムのプログラムとテストを可能にします。ISPの利点をフルに活用できるようにするため、このプログラミング/テスト用言語、Jamは各社独自のファイル・フォーマット、ベンダ固有のアルゴリズム、大規模なファイル・サイズ、長いプログラミング時間などのこれまでPLDをイン・システムでプログラミングするとき直面していた問題点に対応したものとなっています。アルゴリズムの圧縮、短いプログラミング・パルス幅、アーキテクチャに依存しないデザインのサポートにより、Jam言語は大幅に縮小されたファイル・サイズと高速のプログラミング時間を実現します。

MAX 7000Aの特長

0.35ミクロンの4層メタルEEPROMプロセスで製造されるMAX 7000Aファミリには、32から1,024マクロセルまでの集積度をカバーする44ピンから256ピンまでの幅広いデバイスが提供されています。MAX 7000Aデバイスは、薄型クワッド・フラット・パック (TQFP)、プラスチック・クワッド・フラット・パック (PQFP)、ボール・グリッド・アレイ (BGA)、プラスチック・J-リード・チップ・キャリア (PLCC) を含む豊富なパッケージ・オプションで供給されます。MAX 7000Aデバイスには、従来のMAX 7000デバイスで実現されていたオン・チップのJTAGバウンダリ・スキャン・テスト (BST) 回路、プログラマブルなスルー・レート・コントロール、オープン・ドレイン出力オプション、プログラマブルなパワー・セービング・モードなどの幅広い

図2 MAX 7000A の競合デバイスの消費電力特性



機能が提供されています。また、MAX 7000Aデバイスは最新のピン・ロック機能を実現しており、イン・サーキット・テスト (ICT)、エンベデッド・プロセッサ、アルテラまたはサード・パーティのプログラミング・ハードウェアを使用してプログラムすることができます。さらにMAX 7000AのMultiVolt™ I/Oインタフェース機能を使用することにより、5.0-V、3.3-V、2.5-Vのシステムとのインタフェースが可能で、表1はMAX 7000Aファミリで提供されるデバイスの一覧表です。

MAX 7000Aデバイスの詳細については、1998年版データブックに掲載されている「MAX 7000A Programmable Logic Device Family」のデータシートを参照して下さい。この英語版のデータシートはアルテラのウェブ・サイト、<http://www.altera.com>からダウンロードすることができます。また、このデータシートの日本語版も近く刊行され、日本アルテラの日本語ウェブ・サイト、<http://www.altera.com/japan/> から日本語PDFフォーマットでダウンロードできるようになる予定です。

表1 MAX 7000A ファミリのデバイス

機能	EPM7032A	EPM7064A	EPM7128A	EPM7256A	EPM7384A	EPM7512A	EPM71024A
ユーザブル・ゲート数	600	1,250	2,500	5,000	7,500	10,000	20,000
マクロセル数	32	64	128	256	384	512	1,024
最大ユーザI/O数	36	68	100	164	212	212	212
t _{PD} (ns)	5	5	5	6	7.5	7.5	7.5
t _{FSU} (ns)	2.5	2.5	2.5	2.5	3	3	3
t _{CO1} (ns)	3.5	3.5	3.5	4	4.5	4.5	4.5
f _{CNT} (ns)	178.6	178.6	178.6	151.5	125	125	125
パッケージ	44-pin PLCC 44-pin TQFP	44-pin PLCC 44-pin TQFP 84-pin PLCC 100-pin TQFP	84-pin PLCC 100-pin TQFP 144-pin TQFP	100-pin TQFP 144-pin TQFP 208-pin PQFP 256-pin BGA	144-pin TQFP 208-pin PQFP 256-pin BGA	144-pin TQFP 208-pin PQFP 256-pin BGA	208-pin PQFP 256-pin BGA

Advin Systemsがプログラミング/テスト用言語、Jamをサポート

プログラマブル・ロジック・デバイス (PLD) 用プログラムのメーカーであるAdvin Systems社が、新しいプログラミング/テスト用言語であるJam™に対応したプログラムの新製品、PILOT-JVPを発表しました。このPILOT-JVPは下記のような特長を持っています。

- MAX+PLUS IIのソフトウェアによって生成されるJam File (.jam) をサポート
- 各デバイス・メーカーの新製品が入手可能になった時点でこれらを同時にサポート
- コアとなるプログラミング・ソフトウェアにはアルテラや他のPLDベンダから提供されるものを使用
- Windows 95のユーザ・インタフェース
- 低電圧デバイスをサポート
- BBS (Bulletin Board Service) とワールド・ワイド・ウェブを通じた無期限の無償ソフトウェア・アップグレード・サービス
- 工業用製品の品質

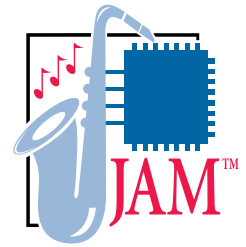
ユニバーサル・プログラマ、PILOT-JVPには、各PLDベンダによって生成されるJam Fileを解釈、変換するJam Playerの機能が内蔵されています。Jam Fileにはすべてのプログラミング・アルゴリズムに関するインストラクションが含まれているため、PILOT-JVPは各PLDベンダの規定した条件に正確にしたがい、

エラーを発生させることなく各デバイスをプログラムすることができます。

Jam Playerの機能は、PILOT-JVPに内蔵される形となっています。各PLDベンダの開発ツール (例えば、アルテラのMAX+PLUS® II 開発システム) は、すべての新しいプログラミング・アルゴリズムに対応したJam Fileを自動的に生成します。必ずしも個々の新製品に常に新しいプログラミング・アルゴリズムが必要になることはないため、PILOT-JVPは新製品をすぐにサポートできるようになります。そして、新製品のデバイスごとにプログラミング・アルゴリズムをその都度プログラマ内部に実現する必要がなくなります。

PILOT-JVPはアルテラのPLDに対するフル・サポートに加え、Jam Fileでプログラム可能な他社のPLD製品もサポートする予定です。

Advin Systems社および他のサード・パーティのプログラマ・ベンダによって提供されるプログラミング/テスト用言語、Jamの詳細については、Jamのウェブ・サイト、<http://www.jamisp.com>でご確認下さい。



アルテラの1998年版データブックが完成

アルテラのFLEX® 10K、FLEX 8000、FLEX 6000、MAX® 9000、MAX 7000 (以前、Michelangeloのコード名で呼ばれていたMAX 7000Aを含む)、MAX 5000、Classic™、コンフィギュレーションEPROMの各デバイス・ファミリ、およびMAX+PLUS® II 開発ツール、プログラミング・ハードウェアに関する包括的な情報を提供するアルテラの1998年版データブックが刊行されました。この1998年版データブックの入手を希望される方は、各販売代理店または日本アルテラへご請求下さい。なお、日本アルテラでは、このデータブックに収録されている主要なデバイス・ファミリのデータシートやアプリケーション・ノートの日本語化を進めており、順次、印刷物として提供する一方、日本アルテラの日本語ウェブ・サイト、<http://www.altera.com/japan/> を通じてダウンロードできるようにする予定です。



アルテラ製品の最新情報については、アルテラのウェブ・サイト、<http://www.altera.com>でご確認下さい。

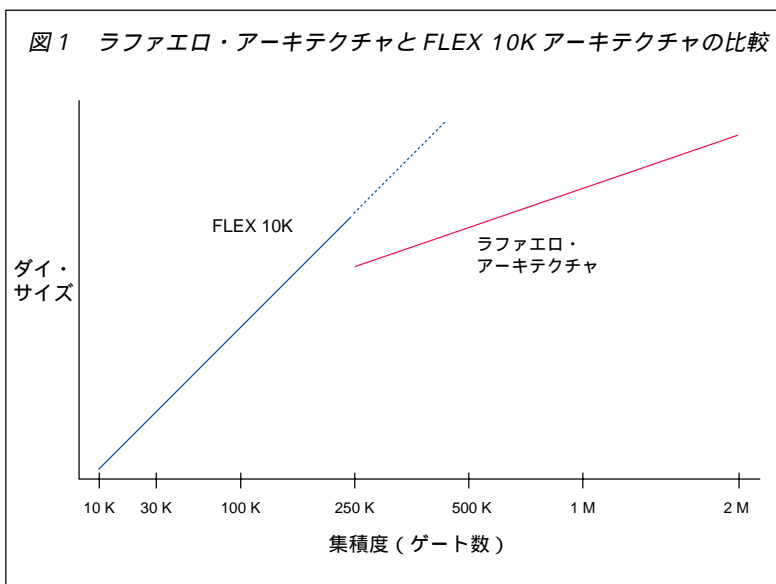
Raphael (ラファエロ) 最新情報

アルテラが革新的なラファエロのアーキテクチャを発表

革新的なアーキテクチャが採用された「ラファエロ」のコード名で呼ばれているアルテラの次世代デバイスは、業界初のMultiCore™アレイ・プログラブル・ロジック・デバイス(PLD)です。ラファエロ・デバイスは、ルック・アップ・テーブル(LUT)、プロダクト・ターム、エンベデッド・アレイ・ブロック(EAB)の各アーキテクチャ構造を1個のPLDに集積化したものとなっており、現在供給されているもっとも高集積なPLDよりもさらに15倍以上も高い集積度を提供します。アルテラは、ラファエロ・アーキテクチャを採用した最初のデバイスを1999年の初めにリリースする予定です。ラファエロ・デバイスは、下記のような特長を提供する予定です。

- 0.25ミクロンの5層メタル・プロセスで製造を開始し、0.18ミクロンの6層メタル、0.15ミクロンの7層メタル・プロセスへの移行を予定
- 最大2百万ゲートの集積度
- 100MHzのシステム性能
- 4次元の階層配線構造
- 強化されたPLL(Phase-Locked Loop)機能

ラファエロ・デバイスは、プログラブル・ロジックの集積度と性能を次世代の要求に対応した新たなレベルまで引き上げるために最先端のプロセス・テクノロジーと革新的なアーキテクチャとを結合させた画期的な製品となります。図1はラファエロ・アーキテクチャの集積度とダイ・サイズの関係性を最大250,000ゲートまでデザインに最適化されているFLEX® 10Kデバイスのアーキテクチャの場合と比較したものです。



FLEX 10K-1 を出荷開始

さらに高速で高集積なデバイスに対するニーズの高まりに対応するため、アルテラはEPF10K50V-1とEPF10K100A-1の両最高速バージョン製品の出荷を開始しました。プロセス技術の改良とMAX+PLUS® IIの機能強化により、これらの-1グレードのデバイスは従来-3グレードのデバイスよりも性能を100%向上させます。これらの高集積FLEX 10Kデバイスは業界でもっとも高速な製品となっています。

EPF10K100B が1998年第2四半期に登場

アルテラはEPF10K100Bの最初の出荷を1998年の第2四半期(4~6月期)に開始する予定です。0.25ミクロンの5層メタル・プロセスで製造されるEPF10K100Bはさらに高い性能をさらに低コストで提供します。

コア部分が2.5-Vで動作するEPF10K100Bは、同じスピード・グレードとパッケージで供給されるFLEX 10Kデバイスよりもさらにロー・パワーです。また、EPF10K100BはMultiVolt™ I/O機能により、2.5-V、3.3-V、5.0-Vデバイスとインタフェースすることができます。

EPF10K100Bはまず最初に240ピンのプラスチック・クワッド・フラット・パック(PQFP)で供給される予定となっており、これに続いて208ピンのPQFPパッケージと、実装スペースを削減するボール・グリッド・アレイ(BGA)パッケージでの出荷も計画されています。

EPF6024A を出荷開始

FLEX 6000ファミリの最初の3.3-V動作デバイスであるEPF6024Aが入手可能となりました。量産用ゲートアレイのデザインに対する代替デバイスとなっているFLEX 6000デバイスは、業界でもっとも経済的なPLDファミリです。24,000ゲートの集積度を提供するEPF6024Aは、このロー・コストなPLDファミリをさらに高い集積度レベルにまで拡張した製品です。EPF6024Aは現在、208ピンのPQFPパッケージで入手可能となっており、256ピンのBGAパッケージ、144ピンのTQFPパッケージ、240ピンのPQFPパッケージでの供給も予定されています。EPF6024Aの100,000個発注時の提供予定単価は\$9.50となっており、EPF6024Aは20,000ゲート規模のゲートアレイのデザインに対するロー・コストな代替デバイスとなります。

6 ページに続く

MAX 最新情報

MAX 9000Aの最初のデバイスを出荷開始

最大10nsという高速の伝搬遅延時間を提供するMAX[®] 9000Aデバイスは、同じパッケージとスピード・グレードで供給されるMAX 9000デバイスよりもさらに大幅に強化された性能を実現し、併せてコストの低減も実現します。現在、これらの高性能デバイスは大量に供給できる状態となっています。表1はMAX 9000Aデバイスの供給状況を示したものです。

デバイス名	t _{PD} (ns)	供給開始 予定	84-Pin PLCC	208-Pin RQFP	240-Pin RQFP	356-Pin BGA
EPM9320A	10	供給中	√	√		√
EPM9480A	10	1998年3Q		√	√	
EPM9560A	10	供給中		√	√	√

MAX 7000Sの工業用温度範囲品を供給開始

工業用の動作温度範囲を保証した64マクロセルから256マクロセルのMAX 7000Sデバイスが入手可能となっています。-7のスピード・グレードのEPM7256S、-10のスピード・グレードのEPM7128S、EPM7192S、EPM7256Sの各デバイスが工業用温度範囲の製品として出荷されています。

MAX 7000Sデバイスに対するイン・サーキット・テストのサポート

アルテラは、イン・サーキット・テスト (ICT) を使用したMAX 7000Sデバイスのプログラミングをフルにサポートしています。ICT機器を使用した効率的なプログラムを実行するためには、専用のプログラミング・アルゴリズムに対応したデバイスを使用する必要があります。このICTのプログラミングに対応したデバイスの発注コードの最後には“F”のサフィックスが付加されます。例えば、-10スピード・グレードの100ピンTQFPパッケージのEPM7128SをICTでプログラムする場合のデバイス発注コードは、EPM7128STC100-10Fとなります。MAX 7000SデバイスをICTでプログラムするための専用プログラミング・アルゴリズムに対応したその他のデバイス発注コードについては、日本アルテラまたは販売代理店へお問い合わせ下さい。

MAX 7000Sの高速デバイス

MAX 7000Sデバイスは、あらゆるマクロセル数において、プロダクト・ターム・ベースの業界最高速デバイスとなっています。MAX 7000Sデバイスには現在、最大5nsのピン間遅延を保証したさらに高性能な製品が提供されています。表2はMAX 7000Sデバイスに提供されているパッケージ・オプションとスピード・グレード、およびその供給状況 / 供給開始予定を示したものです。

デバイス名	パッケージ	スピード・グレード	供給状況 / 予定
EPM7032S	44-pin PLCC	-6, -7, -10	1998年3月
	44-pin TQFP	-6, -7, -10	1998年3月
EPM7064S	44-pin PLCC	-5, -6, -7, -10	供給中
	44-pin TQFP	-5, -6, -7, -10	供給中
	84-pin PLCC	-6, -7, -10	供給中
	100-pin TQFP	-6, -7, -10	供給中
EPM7128S	84-pin PLCC	-6, -7, -10, -15	供給中
	100-pin TQFP	-6, -7, -10, -15	供給中
	100-pin PQFP	-6, -7, -10, -15	供給中
	160-pin PQFP	-6, -7, -10, -15	供給中
EPM7160S	84-pin PLCC	-7, -10, -15	1998年5月
	100-pin TQFP	-7, -10, -15	1998年5月
	160-pin PQFP	-7, -10, -15	1998年5月
EPM7192S	160-pin PQFP	-7, -10, -15	供給中
EPM7256S	208-pin RQFP	-7, -10, -15	供給中
	208-pin PQFP	-7, -10, -15	供給中

MAX 7000の新プロセスへの移行

アルテラはMAX 7000Sデバイスの生産を0.65ミクロンのプロセスから0.5ミクロン・プロセスに移行させています。表3は新プロセスへの移行予定を示したものです。

デバイス名	関係書類 注(2)	移行予定	プロセス
EPM7032	PCN9703 ADV9708	1998年8月	0.5ミクロン
EPM7064	PCN9703 ADV9708	完了	0.5ミクロン
EPM7064S	PCN9703 ADV9708	完了	0.5ミクロン
EPM7128E EPM7128S	PCN9703 ADV9708	完了	0.5ミクロン
EPM7160	PCN9703 ADV9708	1998年10月	0.5ミクロン
EPM7192E EPM7192S	ADV9708 ADV9708	1998年4月	0.5ミクロン
EPM7256S EPM7256E	PCN9703 ADV9708	完了	0.5ミクロン

注:

- (1) この移行に伴うデータシート上のパラメータおよび注文コードの変更はありません。
- (2) アルテラはこれらのプロセス変更通知、代理店連絡書などの関係ドキュメントをワールド・ワイド・ウェブ、<http://www.altera.com>を通じて提供しています。

MAX+PLUS II 最新情報

MegaWizard Plug-In

MegaWizard™ Plug-Inはメガファンクションのパラメータ化を特定のツールに依存せずに実現する手法を提供します。この新しい機能はMAX+PLUS II のバージョン8.2以降で提供され、またサード・パーティのEDAデザイン・ツールとのインタフェースを使用したスタンド・アロン・ツールとしても提供されます。MegaWizard Plug-Inは、現在 LPM (Library of Parameterized Modules) のファンクションに対応したものが供給されています。

MegaWizard Plug-Inの詳細については、12ページの「MegaWizard Plug-Inを使用したメガファンクションのパラメータ化」を参照して下さい。

Verilog HDL 論理合成を標準機能として出荷開始

アルテラはMAX+PLUS IIのバージョン8.2以降からVerilog HDLの論理合成を標準機能として提供しています。この新しいオプションの提供により、ユーザはテキスト・ベースのHDLデザインとしてVHDLまたはVerilog HDLのいずれかを選択できるようになりました。

これらエントリ・レベルのHDLツールのサポートにより、MAX+PLUS II のテキスト・エディタまたは標準的テキスト・エディタを使用してVHDLのデザイン・ファイル(.vhd)またはVerilog HDLのデザイン・ファイル(.v)を作成して、MAX+PLUS II のソフトウェアでダイレクトにコンパイルすることができます。

MAX+PLUS II のソフトウェアはVerilog HDLのほとんどの合成構文をサポートしています。現在のところ、Verilog HDLの論理合成機能はWindows 95またはWindows NTをプラットフォームにする製品が入手可能です。なお、VHDLまたはVerilog HDLの論理合成機能は無償で提供されています。詳細については、日本アルテラまたは販売代理店へお問い合わせ下さい。

MAX+PLUS II のバージョン8.2による新製品のサポート

MAX+PLUS II のバージョン8.2ではいくつかのアルテラの新製品に対するサポートが提供されており、アルテラから新たにリリースされたFLEX 10K、FLEX 6000、MAX 9000ファミリの新製品に対するコンパイル、シミュレーション、タイミング解析、プログラミング/コンフィギュレーションがフルにサポートされています。また、FLEX 10KA、FLEX 6000、MAX 9000、MAX 7000 (MAX 7000SおよびMAX 7000Aを含む) ファミリの他の新製品については、コンパイル、シミュレーション、タイミング解析がサポートされています。MAX+PLUS II のバージョン8.2による個別のデバイスに対するサポート状況については、MAX+PLUS II のHelp機能で確認して下さい。

タイミング・ドリブン・コンパイルの改善点

アルテラはMAX+PLUS II のバージョン8.2において、クリティカル・パスの推定と選択機能の改善、パーティショニング中のダイナミック・ウェイト・アロケーション機能の追加を行い、タイミング・ドリブン・コンパイルの性能を大幅に強化しました。MAX+PLUS II のバージョン8.2によるタイミング・ドリブン・コンパイルはデザインの性能を平均で25%も改善します。同じデザインをMAX+PLUS IIのバージョン8.1でコンパイルした場合との比較でも、MAX+PLUS II のバージョン8.2はデザインの性能を15%も改善します。

MAX+PLUS II のバージョン8.2によるタイミング・ドリブン・コンパイルでは、フィッティングの最適化でも一定した結果が得られます。タイミング・コンストレーンを変更した場合でも、タイミング・ドリブン・コンパイルは、性能の要求が満足されるようにフィッティングを常に最適化しようとします。

ただし、デザイン性能の改善レベルはデバイス・リソースの使用率に影響されます。下記の表4はタイミング・ドリブン・コンパイルを実行したときに性能がどの程度改善されるかを示したものです。

デバイスの使用率	期待される性能の改善率
50%未満	30%
50%以上	15% ~ 20%

タイミング・ドリブン・コンパイルが実行された場合、MAX+PLUS II のソフトウェアは、すべてのタイミング要求を満たすようにデザインをフィッティングさせるようにします。この場合、平均的なコンパイル時間は約10倍程度増加します。

タイミング・ドリブン・コンパイルに関する詳細については、MAX+PLUS II のバージョン8.2のHelp機能またはアルテラの発行しているテクニカル・ブリーフ、TB-36「Timing-Driven Compilation Improvements in MAX+PLUS II Version 8.2」(日本語版発行予定)で確認するか、日本アルテラの応用技術部へお問い合わせ下さい。

FLEX 10KのEAB性能を改善するためのテクニック

デザインをFLEX[®] 10Kデバイスに実現する場合、複数のクリティカル・パスが1個のエンベデッド・アレイ・ブロック (EAB) を通じてドライブしている状態になることがあります。この記事はEABに関連したデータ・パスの性能を改善するときを使用できる3種類のテクニックについて解説したものです。これらのテクニックはFLEX 10KのEABを使用するとき非常に有効です。

ソースとディスティネーションのパスをひとつのクリークに配置する

ソースとディスティネーションとなるロジック・エレメント (LE) とEABをひとつの同じクリーク内に配置することで、ソースとディスティネーションとなるLEとEABが同じロウに配置されるため、発生する可能性があるカラム・インタコネクによる遅延を排除することができます。このテクニックは、1個のEAB、例えば256×8構成のメモリ・ブロックが使用される場合に最適です。ただし、さらに大規模なメモリ・ブロック (複数のEABが必要) を使用するデザインに対しては、下記のテクニックの使用が適当です。

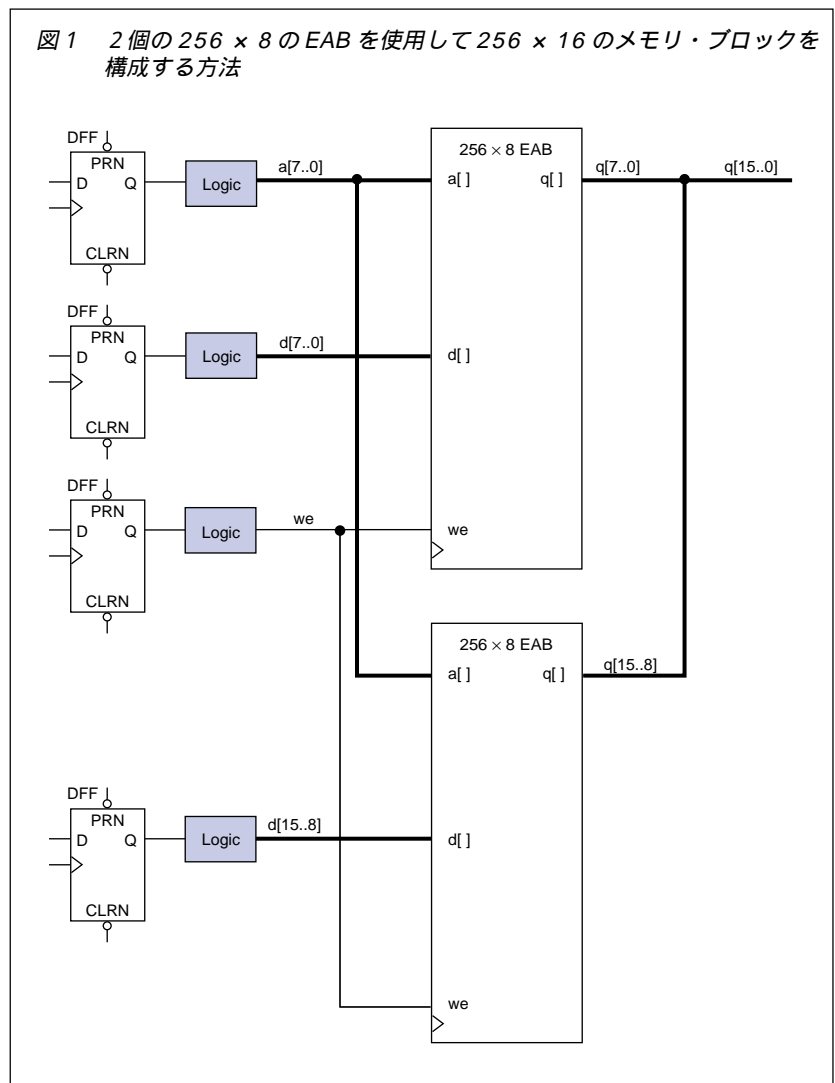
複数のEABを使用

256×8よりも大容量のメモリ・ブロックを構成する場合は、複数のEABを使用する必要があります。例えば、256×16構成のメモリ・ブロックは2個のEABで実現されます。この場合、双方のEABには同じアドレスが使用されるため、アドレスとライト・イネーブル入力は共通になります。LPM (Library of Parameterized Modules) ライブラリのメモリ・ファンクションが使用された場合、MAX+PLUS[®] II のソフトウェアはメモリ・ブロックを複数のEABに自動的に分割します。図1は2個のEABで実現された256×16のメモリ・ブロックの構成を示しています。

図1に示されている2個のEABは異なるロウの位置に配置されるため、アドレスとライト・イネーブル信号は片方のEABをドライブするときカラムのインタコネクを通じて伝送されることになります。ここで、デザイン内のクリティカル・パスがEABに対するアドレスまたはライト・イネーブル信号となっている場合は、カラム・インタコ

ネクトの配線遅延がデザインの性能を低下させることになります。こうした状態を避けるためには、このメモリ・ブロックをEABのサイズのブロック (256×8) 単位にマニュアルで分割し、アドレスとライト・イネーブルのロジックを個々のEABに対して2重に作成します。そして、EABと対応するライト・イネーブル、アドレス、データのロジックをひとつのクリークに配置します。このように各EABに対応するロジックを重複して作成し、同じクリークに配置することで、EABのドライブにカラム・インタコネクを使用する必要がなくなります。

図1 2個の256×8のEABを使用して256×16のメモリ・ブロックを構成する方法



データ用ロジックの各ビットは1個のみのEABをドライブすることになるため(図1を参照)、データ用のロジックを重複して作成する必要はありません。クリークの使用は、EABのドライブにカラム・インタコネクトを必要しないようにするのに十分な効果があります。このEABに対応させてロジックを重複して作成するテクニックは複数のEABを必要とするあらゆるメモリ・ブロックの構成に有効です。図2は256×16のメモリ・ブロックの構成において、各EABごとに対応するロジックを重複して実現した例を示したものです。

重複したロジックを作成する場合、レジスタをドライブする重複部分のロジックがそれぞれのレジスタに対するセットアップ・タイムとホールド・タイムの違反を起こさないようにすることが重要です。一方のレジスタに対するセットアップ・タイムとホールド・タイムが規格内になり、もう一方のレジスタで守られないような状態になると、2つのレジスタが異なる値を持つようになり、不正なシステム動作が発生する結果となります。レジスタをドライブするそれぞれのロジックがクロックに同期して動作している場合は、システムのスピードがMAX+PLUS IIのタイミング・アナライザで与えられた最高動作周波数を超えない限り、システム内でセットアップ・タイムやホールド・タイムの違反が発生することはありません。

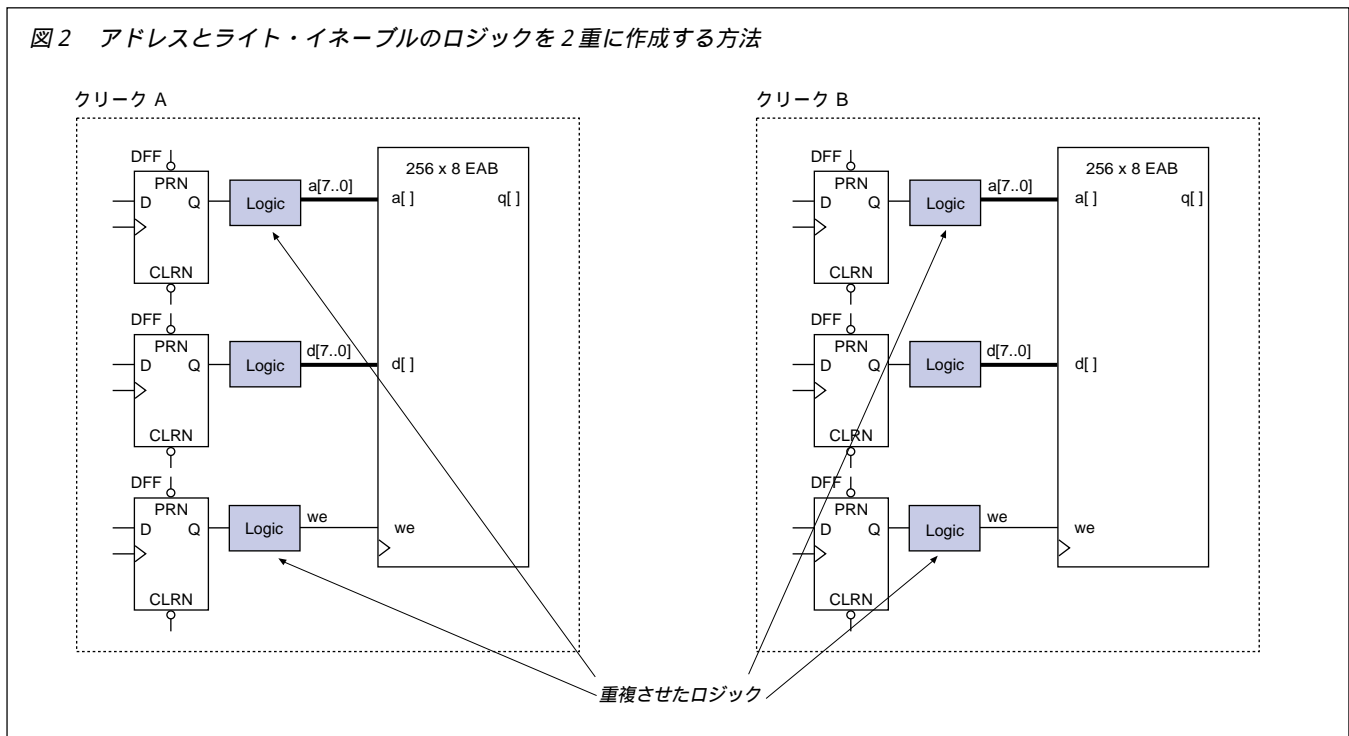
このテクニックを使用する場合は、MAX+PLUS IIのソフトウェアが重複したロジックをどのように処理するかを考慮しておくことが重要です。MAX+PLUS IIはデザインが最小のサイズになるようにコンパイルするため、重複しているロジックを検出して、取り除きます。ただし、次に示す3つ方法のいずれかを使用する

ことで、ソフトウェアが重複したロジックを取り除かないようにすることができます。

MAX+PLUS IIのコンパイラがデザイン内のすべての重複したロジックを取り除かないようにする場合は、Global Project Logic Synthesis (Assignメニュー)を選び、Define Synthesis Styleを選択した後、Advanced Optionsを選択して、Register Optimizationのオプションをオフに設定し、OKボタンを2回押してこの変更をセーブします。

MAX+PLUS IIのコンパイラが個々のレジスタごとに重複したロジックを取り除かないようにする設定は、各レジスタごとのRegister Optimizationのオプションをオフにすることで行えます。この設定を行うレジスタを選択した後でLogic Options (Assignメニュー)を選び、次にIndividual Logic Optionsを選択、そしてAdvanced Optionsを選択します。ここで、Register Optimizationのオプションをオフに設定し、OKのボタンを2回押してこの変更をセーブします。

MAX+PLUS IIのコンパイラが階層化されたサブ・デザイン内の重複したロジックを取り除かないようにする場合は、Hierarchy Display (MAX+PLUS IIメニュー)から該当するサブ・デザインを選択した上で、Logic Options (Assignメニュー)を選びます。次に、Define Synthesis Styleを選択します。そして、Advanced Optionsを選択し、ここでRegister Optimizationのオプションをオフに設定して、OKのボタンを2回押してこの変更をセーブします。



10 ページに続く

FLEX 10KのEAB性能を改善するためのテクニック
9ページからの続き

個別のレジスタごとにRegister Optimizationのオプションをオフに設定することで、重複させる必要があるレジスタを残し、コンパイラが不要なレジスタを取り除くようにすることができます。

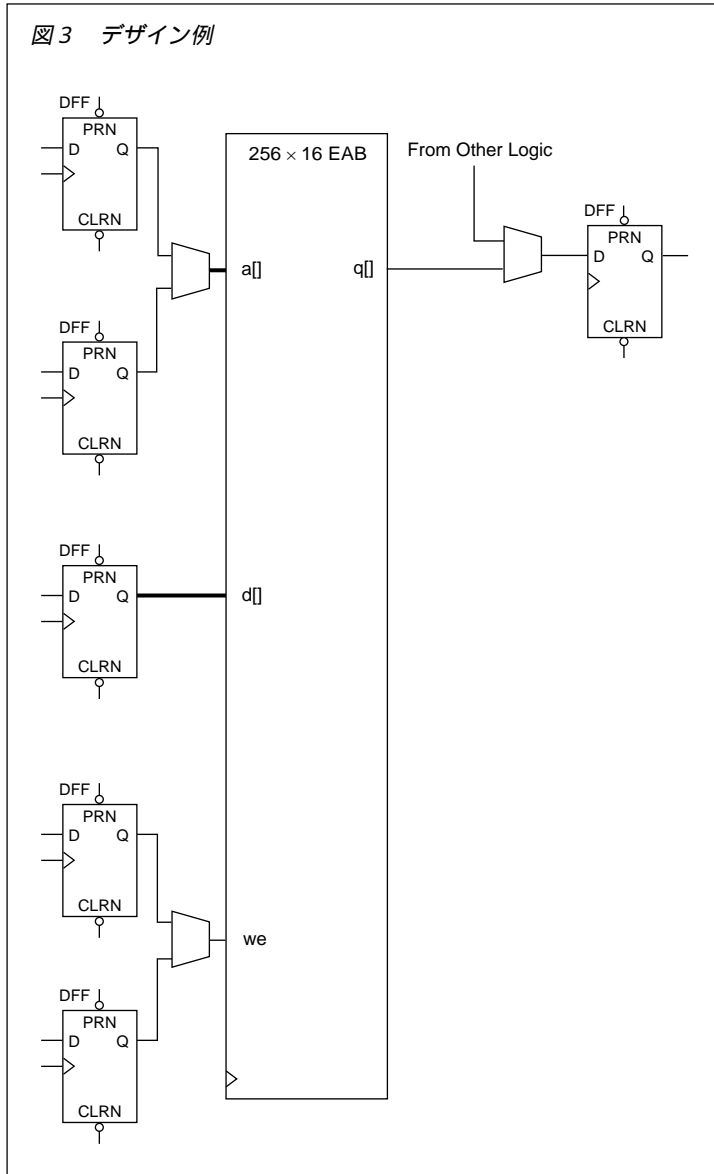
EABの出力レジスタを使用

各EABは出力ポートにオプションのレジスタ・バンクを持っています。これらのレジスタを使用してデザインにパイプラインを追加することによって、レイテンシ・サイクルは増加しますがシステム性能を向上させることができます。デジタル信号処理（DSP）などを含むほとんどのアプリケーションでは、レイテンシ・サイクルを増加させても、システム性能を向上させることのほうが重要になります。

このテクニックの使用方法を、図3に示されている256×16のメモリ・ブロックがアドレスとライト・イネーブルの双方のポートが2個のレジスタのいずれか一方でコントロールされる比較的単純なデザインの例で説明します。この図で示されているアドレスとライト・イネーブルの入力に接続されているマルチプレクサはアドレスとライト・イネーブルをコントロールするレジスタを選択します。また、このメモリ・ブロックの出力は他のロジックからの信号とマルチプレクスされ、マルチプレクサの出力がレジスタをドライブしています。

表1はこの図3のデザインのパイプラインの段数を変化させたり、コントロール・ロジックを重複させるかどうかの条件を変えて、EPF10K50V-1にコンパイルしたときに得られたレジスタ性能です。すべての性能値はMAX+PLUS IIのバージョン8.2を使用して得られたものです。

FLEX 10KのEAB性能を向上させるテクニックの詳細については、日本アルテラの応用技術部へお問い合わせ下さい。



最適化テクニック	f _{MAX} (MHz)	クリティカル・パスのソース	クリティカル・パスの経路	クリティカル・パスのディスティネーション
なし	79	EABの入力レジスタ	EABメモリとマルチプレクサの出力	出力レジスタ
出力レジスタをパイプライン化	116	WEのレジスタ	マルチプレクサとカラム・インタコネクト	EABのWEレジスタ
出力レジスタをパイプライン化し、コントロール・ロジックを重複化	120	WEのレジスタ	マルチプレクサ	EABのWEレジスタ

新しいデータ通信用メガファンクションが登場



アルテラが推進しているAMPPSM (Altera Megafunction Partners Program) に参加しているパートナー企業から、データ

通信関連のデザインの作成時間を短縮化する2種類の新しいメガファンクションが提供されました。これらのメガファンクションはすでにアルテラのデバイス・アーキテクチャに最適化されたものとなっているため、ユーザは全体のデザインの改良にさらに多くの時間を注ぐことができます。これら双方のメガファンクションはAMPPのパートナー企業によって最適化され、アルテラによる検証を受けています。

High-Level Data Link Controller (HDLC)

Integrated Silicon Systems (ISS) 社は、ポイント・ツー・ポイントの通信に使用されるデータ・パケットを生成するためのHDLC (High-Level Data Link Controller) メガファンクションを提供しています。標準的なデジタル信号処理 (DSP) によるアプローチと比較して、このアルテラのFLEX[®] デバイスに実現されるHDLCは、より高速のデータ・レートを實現し、「Time-To-Market」の期間をさらに短縮します。このHDLCのメガファンクションはX.25、フレーム・リレー、ISDN (BおよびDチャンネル) に対応した機能を実現するためのメガファンクションとなっています。このメガファンクションの特長は下記の通りです。

- フラグの挿入
- マルチチャンネル動作
- シリアル・データ・ストリーム出力に対するゼロ・インサージョン・トランスペアレンシィ、またはバイト・パラレル・データ・ストリーム出力に対するオクテット・インサージョン・トランスペアレンシィ機能をサポート

このメガファンクションはシングル・チャンネル・モードで、50MHzの動作スピードと最大400Mbpsのデータ・レートをサポートしており、EPF10K30デバイス内の296個のロジック・エレメントのみを使用して實現されます。ISS社では、現在このファンクションをFLEX 6000デバイスにも最適化する作業を進めています。このメガファンクションの価格およびカスタマイズに関する情報については、ISS社または同社の日本代理店、(株)スピナカー・システムズへお問い合わせ下さい。

Integrated Silicon Systems, Ltd.
50 Malone Road, Belfast, BT9 5BS,
Northern Ireland
TEL: (44)1232-664-664
FAX: (44)1232-669-664
<http://www.ISS-DSP.com>

(株)スピナカー・システムズ
東京都中央区新川2-21-10 梶谷第一ビル5F
TEL: 03-3351-2275 FAX: 03-3351-2614
<http://www.spinnaker.co.jp>

スピード・マッチング用非同期FIFO

SIS Microelectronics社から提供されているSpeedbridgeメガファンクションは、スピード・マッチング用FIFO (First-In-First-Out) バッファで、非同期インタフェースを通じた信頼性の高いデータ転送を実現します。Speedbridgeメガファンクションのような非同期FIFOの機能を使用することで、システム全体の開発とデバッグに要する時間が短縮されます。高速のデータ転送用に設計されたこのメガファンクションは10/100イーサネットMACや多くのネットワーク・プロトコル・インタフェースを構成するためのキー・モジュールとなっています。Speedbridgeのリードおよびライトのポートはそれぞれ独立しており、リードとライトの動作にはそれぞれ連続した別個のクロックと同期イネーブル信号が使用できるようになっています。

SIS Microelectronics社は各デザインの要求に応じてFIFOの深さとデータ幅をカスタマイズします。このカスタマイズによって実現できる非常に効率的な例としては、データの深さを浅くしたSpeedbridgeメガファンクションとパラメータ化されたFIFOファンクション (アルテラのcsfifo) を使用したデータ・バッファ用の非同期インタフェースを実現する方法が上げられます。

アルテラが提供しているソリューション・ブリーフ、SB13 (Speedbridge Megafunction) には、このSpeedbridgeメガファンクションをアルテラのFLEX 10KおよびFLEX 8000ファミリのデバイスに實現したときの性能に関する情報が提供されています。この資料はアルテラのウェブ・サイト、<http://www.altera.com>からダウンロードすることができます。

SIS Microelectronics社は、ユーザがアルテラのMegaWizardTM Plug-In Managerを使用してこのメガファンクションをカスタマイズして使用できるようにしたSpeedbridgeのパラメータ付きバージョンも提供する予定です。アルテラのMegaWizardTM Plug-In Managerの詳細については、12ページの「MegaWizard Plug-In を使用したメガファンクションのパラメータ化」を参照して下さい。

このメガファンクションの価格やカスタマイズに関する情報については、SIS Microelectronics社へ直接お問い合わせ下さい。

SIS Microelectronics, Inc.
1831 LeftHand Circle Suite E,
P.O.Box 1432,
Longmont, CO, 80501, USA
TEL: (303)776-1667
FAX: (303)776-5947

MegaWizard Plug-Inを使用したメガファンクションのパラメータ化

アルテラはサード・パーティのツールを使用せずにメガファンクションのパラメータ化が行えるようにしたMegaWizard™ Plug-Inの提供を開始しました。この新しい機能はMAX+PLUS® II のバージョン8.2で提供されており、サード・パーティのEDAツールとのインタフェースによるスタンドアローン・ツールとしても使用可能です。MegaWizard Plug-Inは非常に高い柔軟性を提供しており、デザインのソース・コードを変更することなく、メガファンクションをカスタマイズすることができます。特別なデザイン・フローを必要とした従来の方法とは異なり、このMegaWizard Plug-Inを使用したメガファンクションのパラメータ化方法は、あらゆるハードウェア記述言語（HDL）またはあらゆるEDAツールのネットリスト・ファイル内でパラメータ化されたメガファンクションを使用できるようにしています。図1はMegaWizard Plug-Inを使用してメガファンクションのパラメータ化を行うときのデザイン・フローを示したものです。



MAX+PLUS II によるデザイン・サポート

現在、このMegaWizard Plug-InはLPM (Library of Parameterized Modules) ライブラリに対して提供されています。LPMは、演算、メモリ、カウンタ、マルチプレクサなどの標準的なロジック・ファンクションをコンフィギュレーションが可能な業界標準規格ファンクションとして提供したものです。LPMはアルテラを始め、ケイデンス、エグゼンプラ・ロジック、メンター・グラフィックス、シノプシス、ビューロジックなどの主要なEDAベンダによってサポートされています。

また、アルテラのFFT (Fast Fourier Transform)、デジタル信号処理 (DSP)、PCI (Peripheral Component Interconnect) 関連のMegaCore™ファンクションに対する

MegaWizard Plug-Inも開発中となっています。AMPP (Altera Megafunction Partners Program)に参加しているパートナー企業もMegaWizard Plug-Inを使用して各メガファンクションのパラメータ化を行っています。MegaWizard Plug-Inによるパラメータ化が完了したAMPPメガファンクションについての最新情報は、アルテラのウェブ・サイト、<http://www.altera.com>で確認して下さい。

MegaWizard Plug-Inの使用方法

MAX+PLUS II のバージョン8.2において、MegaWizard Plug-Inによるパラメータ化されたメガファンクションの作成は、下記の手順で行います。

1. 下記のいずれかの方法でMegaWizard Plug-In Managerを起動します。

MAX+PLUS II のいずれかのソフトウェア・アプリケーションからMegafunction Plug-In Managerを選択。MAX+PLUS II のグラフィック・エディタの中のEnter Symbolのダイアログ・ボックス (Symbolメニュー) で、MegaWizard Plug-In Managerのボタンを選択。

2. MegaWizard Plug-In Managerのウィンドウで、新しいカスタム・メガファンクションのバリエーションを作成するか、既存のカスタム・メガファンクションのバリエーションの修正を行うかを選択します。そして、Nextのボタンを押します。図2を参照して下さい。

図2 MegaWizard Plug-In Managerのウィンドウ



3. MegaWizard Plug-In Managerは設定の必要な情報を入力するウィンドウを順番に表示します。これらのウィンドウで、使用したいHDL (VHDL、Verilog HDLまたはAHDL (Altera Hardware Description Language))の指定、追加が必要なパラメータの規定、I/Oピンなどのバウンダリ条件の選択などを行います。図3はこのひとつの例を示したものです。

図3 カスタマイズするメガファンクションの選択



4. Finishのボタンを押して選択、入力した内容をセーブします。MegaWizard Plug-Inは新しいメガファンクションのバリエーションを作成し、これをデザイン内でインスタンス化できるようにします。

これで作成したカスタム・メガファンクションのバリエーションをデザイン内でインスタンスできるようになります。MegaWizard Plug-Inの詳細については、MAX+PLUS IIバージョン8.2のHelp機能を参照するか、日本アルテラの応用技術部へお問い合わせ下さい。

供給中：「Altera Digital Library CD-ROM」と 「In-System Programmability CD-ROM」の最新バージョン

アルテラは「Altera Digital Library CD-ROM」および「In-System Programmability CD-ROM」のアップデートを行い、日本アルテラおよび販売代理店を通じて提供しております。

「Altera Digital Library CD-ROM」のバージョン-4には下記の内容が含まれています。

アルテラのすべてのデバイス・ファミリに関する情報

最新版のデータシートとアプリケーション・ノート

AMPP Catalog、ソリューション・ブリーフ、Microperipheral MegaCore™ファンクション・ライブラリに関する詳細なテクニカル・インフォメーション、アルテラのメガファンクションを含む最新のメガファンクションに関するすべての情報

アルテラがサポートしているイン・システム・プログラマビリティ (ISP)、およびJam™ プログラミング/テスト用言語に関するすべての資料

デジタル信号処理 (DSP)、バス・インタフェース、広帯域通信、ネットワークの各アプリケーションを含むアルテラのターゲット・アプリケーション・プログラムに関する情報

各種テクニカル・ブリーフ、ソリューション・ブリーフの日本語版

「In-System Programmability CD-ROM」のバージョン-4には、アルテラのMAX® 9000 (MAX 9000Aを含む)、MAX 7000S、MAX 7000Aファミリの各デバイスに提供されているISP機能に関するすべての最新情報が含まれています。また、このCD-ROMにはプログラミング/テスト用語、Jamに関する情報も提供されています。

これらのCD-ROMの入手を希望される方は、日本アルテラまたは販売代理店へご連絡下さい。

アルテラの提供する製品やサービスに関する最新情報は、アルテラのウェブ・サイト、<http://www.altera.com>で確認することができます。また、プログラミング/テスト用語、Jamの詳細については、<http://www.jamisp.com>をアクセスして下さい。

FLEXデバイス：新世代のプロセス技術

プログラマブル・ロジックのアーキテクチャを実現するための製造プロセスがさらに最先端のテクノロジーに移行すると共に、連続した配線構造が提供するセグメント化された配線構造に対する優位性がさらに明確になってきています。この記事では、プロセス・テクノロジーの改良を行う上で連続した配線構造を採用したプログラマブル・ロジック・デバイス (PLD) がいかに有効であるかを、シリコン上に実現されるデジタル回路の構成に必要なとなるリソースに対しての評価を通じて解説します。

デジタル回路をシリコン上に実現するためには、拡散とメタル配線の2つの工程が必要になります。拡散 (Diffusion) はシリコン上にトランジスタを配置するための工程であり、メタル配線 (Metalization) はトランジスタ間を接続して回路を構成するための工程です。プロセス技術の改良によるロー・コスト化と高性能化の利点が最大になるようにするためには、ダイをシュリンクする効果、すなわちトランジスタ・サイズの縮小化とメタル配線の多層化にデバイスのアーキテクチャが対応できるようになっている必要があります。

FLEX®デバイスの連続した配線構造はこのダイのシュリンクから得られる効果にフルに対応できるようになっており、ダイ・サイズの縮小による効果を最大にすることができます。例えば、FLEXデバイスの専用の配線ラインはトランジスタを使用せずに信号をデバイス内部のロウおよびカラム方向に伝送させることができる

デバイス全体をカバーしたメタル・ラインで構成されており (図1を参照)、これらのメタル・ラインは複数のメタル配線層に効率的にマッピングできます。この多層メタル配線を効率的に使用することで、最小のダイ・サイズへの縮小と最低のコストが実現できます。

これに対して、FPGA (Field Programmable Gate Array) のセグメント化された配線構造は、プログラマブル・スイッチ・マトリックス (PSM) によって接続される短いメタル・セグメントによって構成されています。そして、各PSMは複数のプログラマブル・インタコネクト・ポイント (PIP) によって構成されており、標準的なPSMは8個のPIPで構成されています。各PIPには6個のパス・トランジスタと6ビットのSRAMが含まれており、パス・トランジスタをコントロールしています。SRAMの1ビットは5個のトランジスタで構成されます。したがって、1個のPIPには計36個のトランジスタが必要になります。図2を参照して下さい。セグメント化された配線構造のアーキテクチャでは、多数のトランジスタをシリコン内部に拡散する必要があり、追加されるメタル配線層を効率的に使用することができないため、プロセス技術の改良によるダイ・サイズの縮小を効率的に実現することができません。この結果、使用される特定のプロセス・テクノロジーに対しては、連続した配線構造のほうがセグメント化された配線構造よりも小さなダイ・サイズとロー・コスト化を実現します。

図1 デバイス全体をカバーするメタル・ラインによって構成される専用インタコネクト

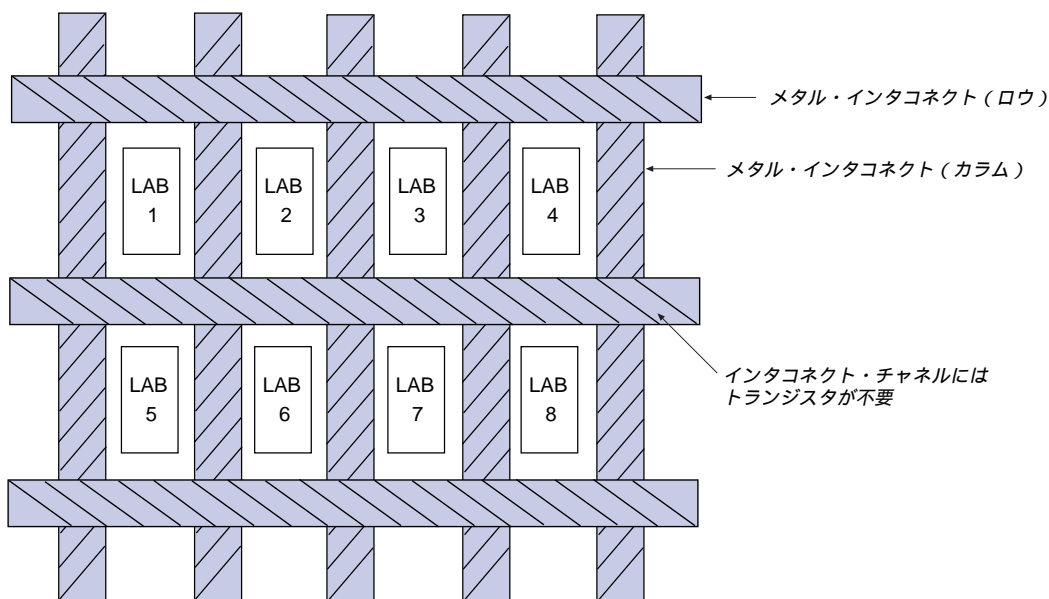
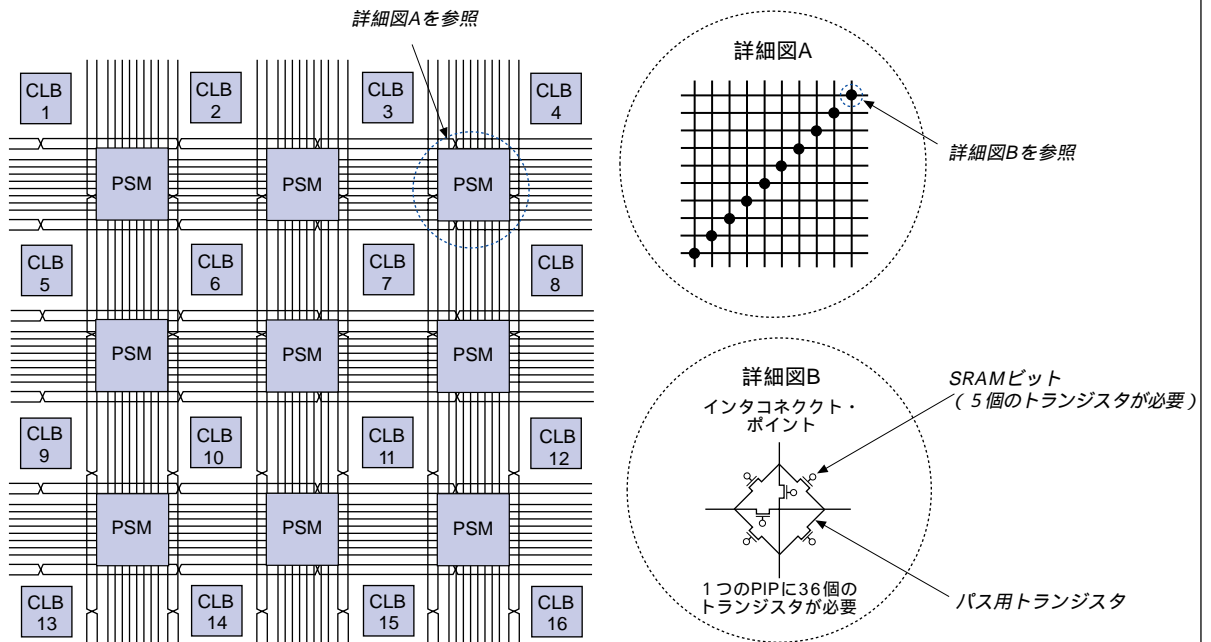


図2 水平および垂直方向の各配線セグメントの接続に使用されるPSM



連続した配線構造とセグメント化された配線構造との基本的な違いは、実際のダイ・サイズを比較することで明らかになります。例えば、0.35ミクロン・プロセスで製造されたFPGAデバイスのダイ・サイズは、ほぼ同等のリソースを内蔵しているアルテラの0.35ミクロン・デバイスであるEPF10K100Aのダイ・サイズの約2倍にもなっています。実際のところ、0.35ミクロンのFPGAデバイスのダイ・サイズは、アルテラの同等の集積度を持つ0.35ミクロン・デバイスであるEPF10K100Aではなく、0.5ミクロン・プロセスのデバイスであるEPF10K100のダイ・サイズに近くなっています。表1は0.35ミクロンのFPGAデバイスのダイ・

サイズを、2種類のプロセス・テクノロジーで製造された同等集積度のアルテラのデバイス、EPF10K100のダイ・サイズと比較したものです。

プロセス・テクノロジーが新しい世代に移行した場合、FLEXデバイスの連続した配線構造は多層メタル配線構造の採用による利点をダイ・サイズの縮小にフルに活用できます。これに対して、FPGAデバイスのダイ・サイズの縮小は、セグメント化された配線バスの構成に必要なトランジスタの数が障害となり、一定の制限を受けることになります。

表1 EPF10K100 と XilinxのXC4062XL とのダイ・サイズ比較

デバイス名	プロセス・ジオメトリ (ミクロン)	集積度	相対的なダイ・サイズ 注(1)
XC4062XL	0.35μ	4,608個相当のLE、LAB非内蔵	1.91
EPF10K100GC503-4	0.5 μ	4,992個のLEと24,576 EABビット	2.38
EPF10K100ARC240-3	0.35μ	4,992個のLEと24,576 EABビット	1.00

注：
 (1) 0.35ミクロンのEPF10K100を1.0にしたときの相対的なダイ・サイズ
 Source: Altera Applications

FLEX 10KAおよびFLEX 6000Aデバイスのコンフィギュレーション

News & Views の1998年冬季号に掲載された「FLEX 10KAデバイスのコンフィギュレーション」には一部不正確な情報が含まれていました。この記事では、この訂正を行うと共に、FLEX 6000Aデバイスのコンフィギュレーション方法についても解説します。

アルテラのFLEX® 10KAおよびFLEX 6000Aファミリのデバイス（EPF10K50VおよびEPF10K130Vを含む）は、BitBlaster™シリアル・ダウンロード・ケーブル、またはByteBlaster™パラレル・ポート・ダウンロード・ケーブルを使用して、パッシュ・シリアル（PS）またはJTAGのモードでコンフィギュレーションすることができます。これらのダウンロード・ケーブルはPSおよびJTAGモードでのコンフィギュレーションをサポートしており、5.0-Vの電源プレーンを持つプリント基板上に実装されているFLEX 10KAまたはFLEX 6000Aデバイスにコンフィギュレーション・データを供給することができます。変更されたデザイン・データをデバイスにダイレクトにダウンロードすることによって、デバイスの試作が容易になり、何回にもおよび設計変更も短時間で処理することができます。FLEX 10KAデバイス（EPF10K50VおよびEPF10K130Vを含む）とFLEX 6000Aデバイスは5.0-Vシステムとのインタフェースもサポートしているため、5.0-Vで動作するBitBlasterまたはByteBlasterダウンロード・ケーブルを使用したコンフィギュレーションが可能です。

この記事では、BitBlasterまたはByteBlasterダウンロード・ケーブルを使用したJTAGおよびPSモードのコンフィギュレーションについて解説し、併せてこれらのデバイス・コンフィギュレーションのサポートに必要なプリント基板の設計方法について解説します。

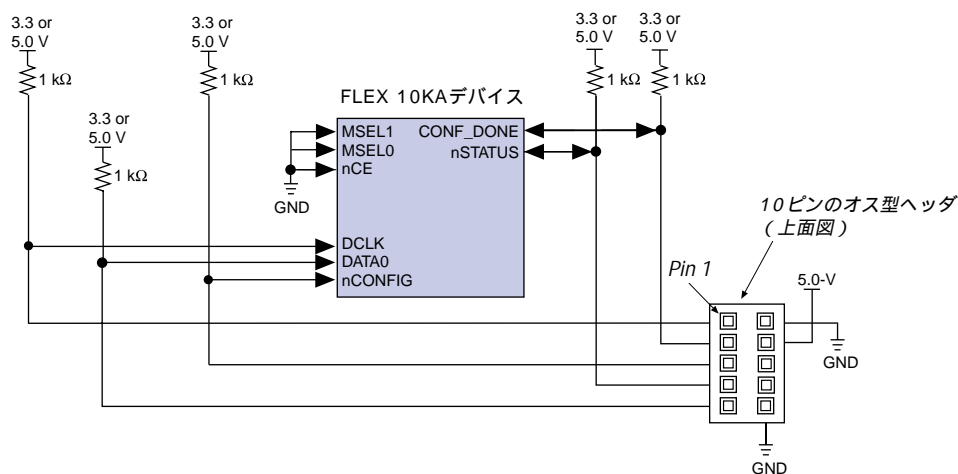
PSまたはJTAGモードのコンフィギュレーション

BitBlasterまたはByteBlasterダウンロード・ケーブルでFLEX 10KAデバイスまたはFLEX 6000Aデバイスをコンフィギュレーションする場合、まずプリント基板がPSまたはJTAGモードでのコンフィギュレーションをサポートできる配線になっている必要があります。BitBlasterおよびByteBlasterダウンロード・ケーブルは5.0-VのTTL互換入力ピンを持っており、2.4-V以上のハイ・レベルの出力電圧（ V_{OH} ）が要求される5.0-VのTTL互換信号を出力することができます。FLEX 10KAおよびFLEX 6000AデバイスはMultiVolt™ I/Oピンを持っているため、これらのデバイスのI/Oピンは5.0-Vの入力と V_{OH} が2.4-V以上となるTTLレベルの出力電圧に対応できます。FLEX 10KAまたはFLEX 6000AデバイスをBitBlasterあるいはByteBlasterダウンロード・ケーブルでコンフィギュレーションする場合は、デバイスの V_{CCINT} ピンと V_{CCIO} ピンが3.3-Vの電源パターンに接続されている必要があります。このとき、 V_{CCIO} ピンが2.5-Vの電源に接続された場合は、この2.5-Vの出力ピンがBitBlasterまたはByteBlasterが必要とする5.0-VのTTL互換のロジック・レベルをドライブできなくなるため、 V_{CCIO} ピンを2.5-Vに接続することはできません。

PSモードのコンフィギュレーション

FLEX 10KAデバイスとFLEX 6000AデバイスはPSモードでコンフィギュレーションすることができます。この場合、各ピンは3.3-Vまたは5.0-Vの電源にプル・アップすることができます。図1および図2を参照して下さい。

図1 ByteBlaster ダウンロード・ケーブルを使用してFLEX 10KAデバイスをPSモードでコンフィギュレーションするときの回路図



IEEE 1149.1 (JTAG) モードのコンフィギュレーション

FLEX 10KAデバイス、IEEE 1149.1 (JTAG)のインタフェースを使用してコンフィギュレーションすることができます。この場合、各ピンを図3に示すように3.3-Vまたは5.0-Vの電源にプルアップすることができます。

FLEX 10KAデバイスおよびFLEX 6000Aデバイスの詳細については、1998年版データブックに掲載されている「FLEX 10K

Embedded Programmable Logic Family」および「FLEX 6000 Programmable Logic Device Family」の各データシート（双方共に日本語版を発行予定）を参照して下さい。また、BitBlasterおよびByteBlasterダウンロード・ケーブルの詳細については、同じく1998年版データブックに掲載されている「BitBlaster Serial Download Cable」および「ByteBlaster Parallel Port Download Cable」のデータシートをそれぞれ参照して下さい。

図2 ByteBlaster ダウンロード・ケーブルを使用してFLEX 6000A デバイスをPSモードでコンフィギュレーションするときの回路図

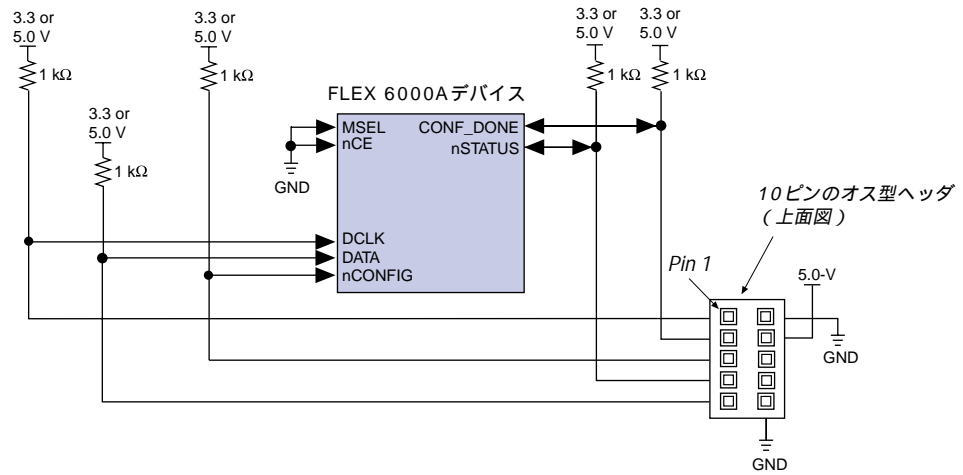
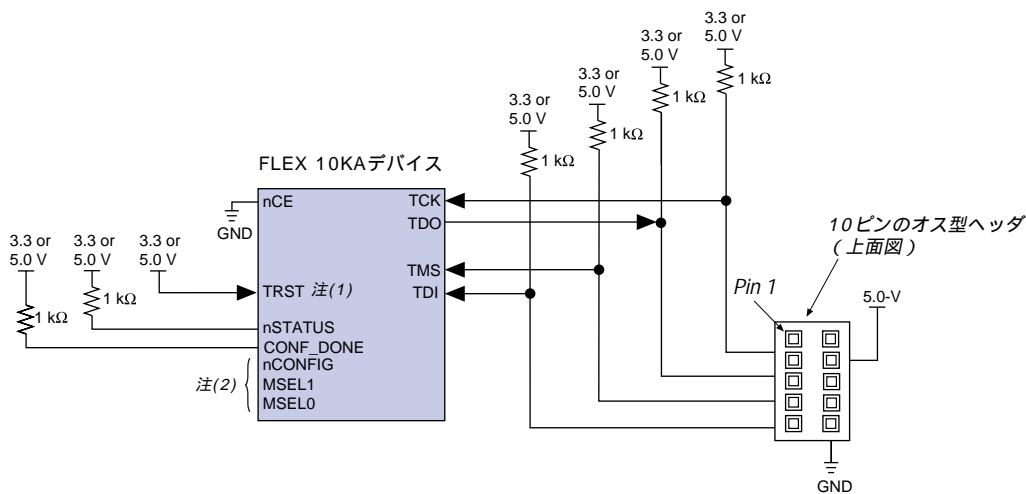


図3 ByteBlaster ダウンロード・ケーブルを使用してFLEX 10KA デバイスをJTAGモードでコンフィギュレーションするときの回路図



注：

- (1) 144ピンTQFPパッケージのFLEX 10KAデバイスにはTRSTピンがないため、これらのデバイスを使用するときはこの接続を無視することができます。
- (2) nCONFIG、MSEL0、MSEL1の各ピンは対応するコンフィギュレーション・モードがサポートされる電圧レベルに接続する必要があります。JTAGコンフィギュレーション・モードのみを使用する場合は、nCONFIGピンをV_{CC}（3.3-Vまたは5.0-V）に、MSEL0とMSEL1のピンをグラウンドに接続します。

Questions & ANSWERS

Q EPM7064Sの - 5のスピード・グレードのデバイスは、MAX+PLUS® II のどのバージョンからサポートされているのでしょうか？

A EPM7064Sの - 5のスピード・グレードのデバイスはMAX+PLUS II のバージョン8.2でフル・サポートされています。MAX+PLUS II のバージョン8.1でこのデバイスをデザインする場合は、MAX+PLUS II の8.14へのアップデートが必要です。このアップデートに必要なファイルはアルテラのウェブ・サイト、<http://www.altera.com>から入手できます。

Q デバイスを絶対最大定格で規定されている接合温度で正常に動作させることは可能でしょうか？

A 絶対最大定格はデバイスの信頼性の確保のために規定されているものであり、正常な機能動作を保証するための規格ではありません。アルテラのデバイスの正常な機能動作は絶対最大定格 (Absolute Maximum Rating) の接合温度ではなく、推奨動作条件で示されている範囲で保証されます。

絶対最大定格の詳細については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices*」を参照して下さい。この資料はアルテラのウェブ・サイト、<http://www.altera.com>からも入手できます。

Q MAX+PLUS II のバージョン8.2で、EPF6024AQC208のピン配置とプログラマ・オブジェクト・ファイル (.pof) を生成する方法を教えてください。

A MAX+PLUS II のバージョン8.2でEPF6024AQC208のピン配置とプログラマ・オブジェクト・ファイル (.pof) を生成する場合は、下記の手順でパスワードを入力する必要があります。

1. Device (Assignメニュー) を選択します。
2. Deviceのダイアログ・ボックスの、「Device Family」のドロップ・ダウン・リスト・ボックスから「FLEX 6000」を選択し、OKのボタンを押します。
3. MAX+PLUS II のProgrammerからSelect Device (Options メニュー) を選択し、「Device Family」のドロップ・ダウン・リスト・ボックスから「FLEX 6000」を選択します。
4. 「Available Devices」のドロップ・ダウン・リスト・ボックスから「EPF 6024AQC208」(任意のスピード・グレード) を選択します。
5. Enableを選択します。
6. 「Password」のボックスに、4R0EYZ (Rの次は「オー」ではなく、数字の「ゼロ」) を入力します。

7. Add を選択すると、パスワードが「Existing Passwords」のボックスに現れます。

8. OKのボタンを押して、この変更をセーブします。

以上の手順を実行することで、EPF6024AQC208がMAX+PLUS II のバージョン8.2でフル・サポートされるようになります。

Q FLEX® 10KまたはFLEX 6000デバイスがユーザ・モードに入った後でDATA、DATA0、DCLKの各ピンの信号をトグルさせても問題ありませんか？

A DATA、DATA0、DCLKはコンフィギュレーションのときにのみ使用される専用ピンです。コンフィギュレーションが完了し、デバイスがユーザ・モードに入った状態になっていれば、これらのピンがトグルしてもコンフィギュレーション・データに影響を与えることはありません。

Q VHDLのデザインで、LPM_HINTのパラメータを使用してアルテラのデバイスに固有の複数のパラメータを指定する場合は、どのように記述したら良いのでしょうか？

A VHDLのデザインで、LPM_HINTのパラメータを使用して複数のパラメータを指定することができます。この場合は、下記のようにGENERIC MAPのステートメントの中で、各パラメータをカンマで区切り、全体を“ ”の記号で囲う必要があります。

```
inst_1: lpm_mult
  GENERIC MAP (
    lpm_widtha => 8,
    lpm_widthb => 8,
    lpm_widthp => 16,
    lpm_widths => 1,
    lpm_hint => "USE_EAB= ON,
                INPUT_A_IS_CONSTANT= YES")
.
```

LPM_HINTの詳細については、MAX+PLUS II のHelp機能を利用して確認下さい。

Q FLEX 10Kのプロジェクトで、あるグローバル信号がロジック・アレイ・ブロック (LAB) 内の最初のロジック・エレメント (LE) を除く他の任意のLEから供給できるようにしたところ、MAX+PLUS IIのコンパイラが、「No fit Found」のエラー・メッセージを出力しました。どうしてでしょうか？

A FLEX 10Kデバイスでは、複数のLEのサブセットからグローバル信号がドライブされるようにすることができます。(詳細はデータシートで確認して下さい) ロジック・セルの指定がないと、MAX+PLUS II はグローバル信号をドライブするロジックを適切な位置 (すなわち、各LABの最初のLE) に自動的に配置します。この場合は不正なアサインメントが原因となって、

MAX+PLUS II のコンパイラが “ no fit ” のエラー・メッセージを出力したものと考えられます。

Q FLEX デバイスのnCONFIGのピンにはどのような立ち上がり時間が要求されるのでしょうか？

A nCONFIGのピンがある信号からドライブされている場合は、入力信号の立ち上がり時間が最大40nsの規格に適合している必要があります。デバイスのV_{CC}が安定した状態に到達している状態のときは、nCONFIG信号の立ち上がり時間がこの規格を超えないようにする必要があります。

nCONFIGのピンがV_{CC}に接続されている場合は、許容されるnCONFIGの立ち上がり時間は、V_{CC}の許容最大立ち上がり時間と同じ100msとなります。nCONFIGピンはデバイスがパワー・オン・リセット(POR)を完了するのに必要な電圧よりも低い電圧レベルのV_{IH}でアクティブとなるため、このような長い立ち上がり時間が許容されます。このため、デバイスがPORの動作を完了するときに、nCONFIGがHighレベルになっていることが認識されます。

Q 窓 (ウィンドウ) 付きパッケージのEPROMベースのデバイスは何回まで再プログラム可能なのでしょうか？

A アルテラの窓付きパッケージのEPROMベース・デバイスは、25回までのプログラム/イレーズ (消去) を行うことができます。

窓 (ウィンドウ) 付きパッケージのEPROMベース・デバイスの詳細については、1998年版データブックに掲載されている「*Operating Requirements for Altera Devices*」を参照して下さい。この資料はアルテラのウェブ・サイト、<http://www.altera.com>から入手することもできます。

Q FLEX デバイスに電源を投入した後に実行されるバウンダリ・スキャンで、すぐに「Fail」が発生するのですが、どうしてでしょうか？

A アルテラのアプリケーション・ノート、AN 39 (*Boundary-Scan Testing in Altera Devices*) で解説されている通り、FLEXデバイスに対するバウンダリ・スキャン・テストはコンフィギュレーションの実行前後にはサポートされていますが、コンフィギュレーションの期間中はサポートされていません。コンフィギュレーションの前にこのテストが実行されるようになっている場合は、nCONFIGのピンがLowレベルを維持するようにしておく必要があります。

Q MAX+PLUS IIを使用するコンピュータのオペレーティング・システムをアップ・グレードしたときは (例えば、Windows 95からWindows NTへ)、MAX+PLUS IIのソフトウェアを動作させるための新たなオーソライゼーション・コードが必要になるのでしょうか？

A これは所有されているMAX+PLUS IIのソフトウェア・ガードの種類によって事情が異なり、ソフトウェア・ガードの種類によっては新たなオーソライゼーション・コードの入手

が必要になります。ソフトウェア・ガードの種類を確認するときは、MAX+PLUS IIのAuthorization Code (Optionsメニュー) を選択して下さい。ソフトウェア・ガードの認識コード番号がAuthorization Codeのダイアログ・ボックスの中にある「Method」のボックスに表示されます。ソフトウェア・ガードの番号が“T”のコードで始まっている場合は、新しいオーソライゼーション・コードを入手する必要はありません。ただし、ソフトウェア・ガードが“D”、“E”、または“S”のコードで始まっている場合は、新たなオーソライゼーション・コードの入手が必要です。お持ちのソフトウェア・ガードが“D”で始まるコードになっている場合は、日本アルテラの販売代理店へご連絡下さい。また、“E”または“S”で始まるコードになっている場合は、アルテラのウェブ・サイト、<http://www.altera.com>から新しいオーソライゼーション・コードを入手することができます。

Q MAX 9000用に作成したプログラマ・オブジェクト・ファイル (.pof) でMAX 9000Aデバイスをプログラムすることは可能でしょうか？

A はい、できます。ただし、MAX 9000AデバイスにはMAX 9000デバイスには提供されていない新しい機能が追加されています。このため、MAX 9000用のPOFでMAX 9000Aデバイスをプログラムする場合は、これらの新しい機能が自動的にディセーブルされます。

Q MAX+PLUS IIはWindows 3.1、Windows 3.11に対するサポートをいつの時点で終了しますか？

A PC用のMAX+PLUS IIのバージョン8.3以降では、Windows 95とWindows NTのオペレーティング・システムのみがサポートされる予定です。ただし、アルテラのスタンドアロン・プログラマ (ASAP2) は、1998年末まで、Windows 3.1とWindows 3.11をサポートする予定です。

Q VHDLで記述したデザインをアルテラ・ハードウェア記述言語 (AHDL) のデザインに取り込むには、どのようにしたら良いでしょうか？

A AHDLのデザインにVHDLで記述したデザインを取り込むときは、下記の手順で行います。

1. VHDLのデザインをコンパイルします。
2. Create Default Include File (Fileメニュー) を選択して、.incの拡張子となるInclude Fileを作成します。
3. AHDLのテキスト・デザイン・ファイル (.tdf) の先頭でIncludeのステートメントを使用して、作成したInclude Fileが参照されるようにします。

```
INCLUDE "<デザイン名>.inc";
```

4. TDF内でVariableの宣言文を使用してこれをインスタンス化するか、またはイン・ラインでの記述を使用してこのVHDLのサブデザインが参照されるようにします。

Customer Application

アルテラのデバイスがアルカテル社の開発工程を短縮

継続的な拡大を続けるエレクトロニクス市場では、さらに短期間に製品を市場に投入することが設計者に求められています。この「Time-To-Market」の要求の高まりとデザインの複雑性の増大は、設計者に開発プロセスの再検討を促しています。従来の伝統的なシミュレーションや検証の方法では、新しいシステムや開発期間の要求に適合できなくなっています。

アルカテル社の設計チームは、パーティカル・マイグレーションが可能でテストを容易にするアルテラのデバイスを好んでいた。

テレコミュニケーション機器の業界のリーダーとなっているAlcatel Telecom社（以下、アルカテル社）は、最近新たな問題に直面しました。同社の技術者は光ファイバを使った広帯域通信サービス（ケーブルTV、音声放送）や狭帯域通信サービス（POTS、ISDN、2MbpsのG.703、リース回線など）の伝送、分配を行う同社の光通信システム、1570 BB Cablephoneの開発期間を短縮する必要に迫られていました。この1570 BB Cablephoneの設計チームはシステムの集積化と製造工程でのテストを行うことができる柔軟性の高いハードウェア・ソリューションを必要としていました。

これらの機能を実現するため、1570 BB Cablephoneの設計チームは、アルテラのFLEX® 10K、FLEX 8000、MAX® 7000の各デバイスを実装したハードウェア・シミュレータ（Hardware Simulator）と開発キット（Development Kit）と呼ばれる2種類の開発用ボードを作成しました。アルカテル社の設計チームは、パーティカル・マイグレーション（集積度の異なる同一ファミリのデバイスをピン配置が等価な同一パッケージで提供すること）を提供し、テストを容易にするアルテラのデバイスを好んでいました。また、アルテラ・デバイスのデザインは使いやすいアルテラの開発システム、MAX+PLUS® IIによってサポートされており、MAX+PLUS IIはアルカテル社ですでに使用されていたシノプシス社のDesign Compilerとのシームレスな統合化も提供していました。

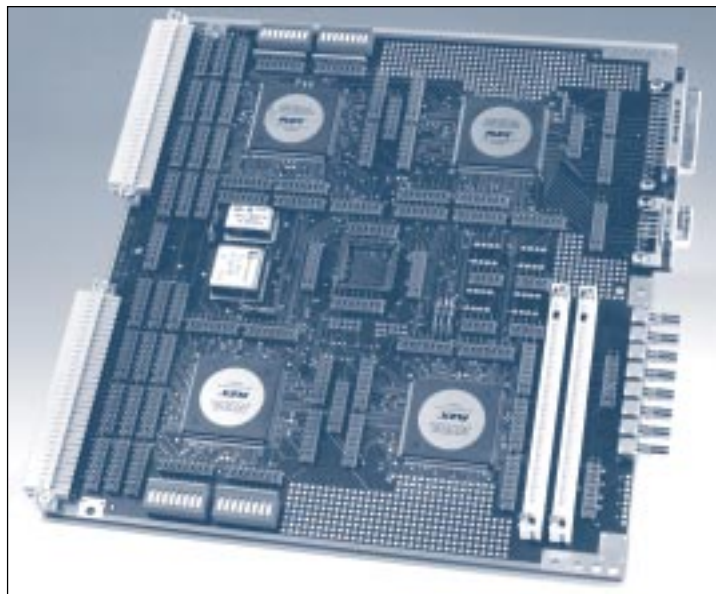
ハードウェア・シミュレータ

アルカテル社の設計チームは、ASICベースのハードウェアを構築する前に、作成したデザインをテストできる手法を必要としていました。開発されたハードウェア・シミュレータは、リアル・タイムでの信号処理機能のハードウェア・モデルの構築を可能にし、ハードウェアの完全なテストを実現しました。開発されたハードウェア・シミュレータの概要は以下の通りです。

- 200,000ゲート規模のPLDが実装された233mm×210mmのサイズの開発用ボード（図1を参照）
- 4個のEPF10K50を実装
- 1個のEPM7032を実装
- 2個の標準SIMMメモリ・モジュール用スロット
- 2個のVoltage-Controlled Oscillator（48.640 MHzと16.384 MHz）
- オン・ボードのパワー・オン・リセット回路
- ユーザ・アプリケーションのためのスペース

アルカテル社では最高の性能を得るため、このハードウェア・シミュレータの機能モジュールを分割して、これらを4個のEPF10K50RC240-4で実現しました。このデバイスはスピード・グレードや集積度の異なる他のFLEX 10Kデバイス（EPF10K70やEPF10K100）とピン互換となっているため、

図1 200,000ゲートのPLDが実装された233mm x 210mmサイズの開発用ボード



アルカテル社はプリント基板を再設計することなく、このハードウェア・シミュレータを400,000ゲートまで拡張することができます。EPM7032LC44はクロック・ツリーの機能を実現しており、システム・クロックの分周と分配を行うことができます。

アルカテル社の設計チームは、このハードウェア・シミュレータによる試作ボードとMAX+PLUS II 開発システムを使用して、どの信号処理アルゴリズムをASIC内部に実現すべきかを決定することができました。MATLABとVHDLで記述された複数の信号処理アルゴリズムがテストされ、いくつかの協調検証モデルが作成されました。試作ボードはリアル・タイムでの信号処理を可能にするエミュレーション・モデルを作成する機能を実現しました。このときエミュレーションされた信号処理アルゴリズムは、新たに開発されたASICの一部に組み込まれています。

開発キット

アルカテル社はASICが半導体メーカーで生産されている段階でもシステムの統合化テストが実施できる手法を必要としていました。この開発キットを使用することで、ASICベースのハードウェアが完成する前の段階でも、実際にシステムが動作する環境であるリアル・タイムの条件でのシステムの統合化テストが実行できるようになりました。アルカテル社はVHDLで記述されたASIC内部のいくつかの機能をEPF81188デバイスに変換し、システムの統合化テストを数日間で完了することができました。この開発キットの概要は以下の通りです。

- 20,000ゲート規模のPLDを実装した233mm x 160mmサイズの開発用ボード (図2を参照)
- 2個のEPF81188を実装
- 2個のVoltage-Controlled Oscillator (双方共に16.384MHz)
- オン・ボードのパワー・オン・リセット回路
- ユーザ・アプリケーションのためのスペース

この試作ボードをベースに作成したエミュレーション・モデルを使用することで、アルカテル社はソフトウェアのデバッグを完全に行うことができました。9週間後にASICを使用したハードウェアが完成し、ソフトウェアのテストを問題なく行うことができました。システムの統合化工程の最後に、アルカテル社はプリント基板(PCB)上の1個のASICに問題があることを発見しました。この問題の原因

は実現されたPLL (Phase-Locked Loop) になっているようでしたが、ソフトウェア・シミュレーションではこの原因を検出できませんでした。この問題の原因を発見するため、アルカテル社の設計チームは開発キットによる試作ボードを使用して、このPLL回路のハードウェアを実現しました。ASICデザインのEPF81188への変換と、問題の原因の発見はわずか2日間で完了しました。アルカテル社はデザインの変更指示書を作成し、これをASICのデザインに反映させることができました。

アルカテル社は、システム・デザインが完了した後で、使用するPCBのテストを行う電気的なツールを必要としていました。アルテラのデバイスを使用した試作ボードは一般的な信号発生装置よりも大幅に低価格で非常に柔軟性の高いものとなっているため、同社はこの開発キットの試作ボードを使用したテスト装置の構築を容易に実現することができました。この開発キットはアルカテル社の電気的なテスト・ツールの一部となり、同社の1570 BB Cablephone用のPCBをテストする開発工程で使用されています。

22ページに続く

ASICデザインの
EPF81188への変換と、
問題の原因の発見はわずか
2日で完了した。

アルカテル社の連絡先:

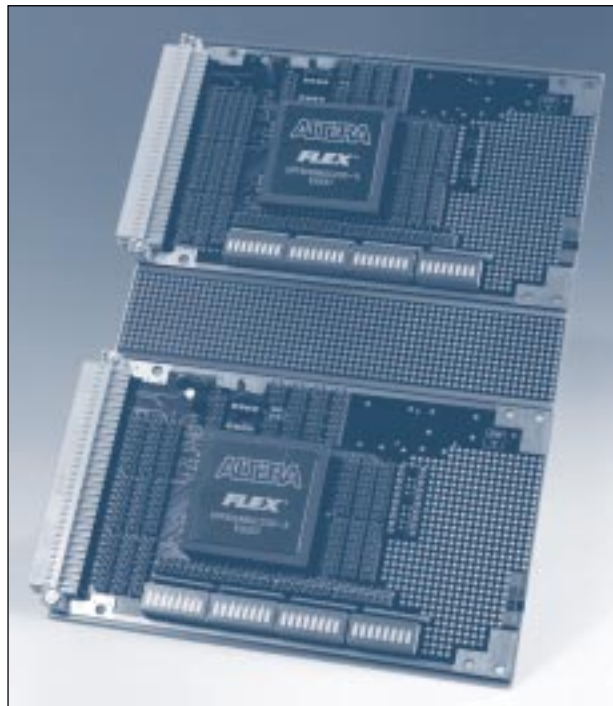
Lothar Brodbeck
AS/EC1

Alcatel Telecom
Lorenzstraße 10
70435 Stuttgart
Germany

E-Mail:

lothar.brodbeck
@ks.sel.alcatel.de

図2 20,000ゲートのPLDを実装した233mm x 160mmの開発キット



Customer Applications: 21ページからの続き

この開発キットは、製造工程の最後で実施される生産ライン・テストのための自動テスト・システムの中に使用されています。

まとめ

アルテラのデバイスはアルカテル社のシステムの統合化と生産ラインでのテストを容易にする方法を実現しました。アルテラのデバイスを採用したデザインとハードウェアは、1570 BBの開発工程の短縮に非常に有効でしたが、アルカテル社は開発した2種類の開発用ボードを一般ユーザへ販売することも計画しています。

アルテラのメガファンクション

アルテラのメガファンクション・プログラムは、ユーザの実現する個別のアプリケーションに対応したソリューションを提供するためのものです。提供されるこれらのソリューションにはアルテラのMegaCore™ファンクション、Altera Megafunctions Partners Program (AMPPSM)のメガファンクションが含まれており、「Time-To-Market」の期間を大幅に短縮する統合化ソリューションがユーザに提供されています。この完全なメガファンクション・ソリューションには、提供されるロジック・コアと共にこれらのメガファンクションをシステム内で動作させる上で重要な各種のドキュメントも含まれています。アルテラのメガファンクション・プログラムは、デジタル信号処理 (DSP)、PCI (Peripheral Component Interconnect)、ワイヤレス通信、広帯域通信などのマーケットに絞ったものとなっています。詳細については、アルテラのウェブ・サイト、<http://www.altera.com>でご確認ください。

アルテラのメガファンクション・ソリューションには次の製品が含まれています。

FLEX DSP

- DSPビルディング・ブロック
- DSPイメージング・ファンクション
- DSPワイヤレス、広帯域通信
- DSPエラー・コレクションおよびエンコード/デコード

バス・インタフェース

- PCI (Peripheral Component Interconnect)
- USB (Universal Serial Bus) バス
- CAN (Controller Area Network) バス
- I²Cインタフェース
- IEEE 1494 (Firewire)

コミュニケーション

- データ・コミュニケーションおよびテレコミュニケーション
- ATM (Asynchronous Transfer Mode)

製造中止品

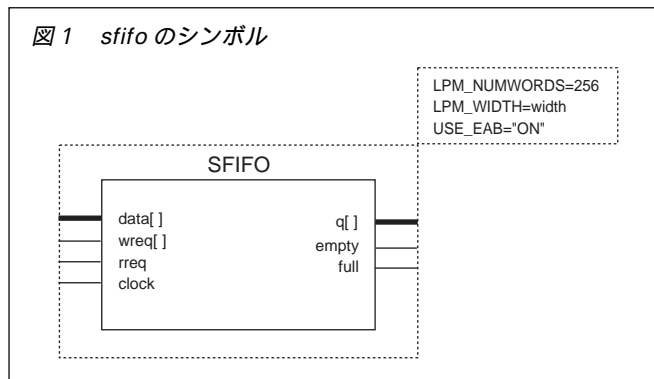
過去数カ月にわたって、アルテラはいくつかの製品の製造中止を発表しました。(下記の表を参照) アルテラはこれらの製造中止品に関する情報が記載された製造中止通知書 (PDN: Product Discontinuance Notices) およびアルテラ販売代理店連絡通知書 (ADV: Altera Distributes Advisories) を発行しています。特定デバイスのPDNまたはADVの入手を希望される場合は、日本アルテラまたは販売代理店へご連絡下さい。なお、すべての製造中止品のリストと一部のPDNとADV

についてはアルテラのウェブ・サイト、<http://www.altera.com>でも提供されています。なお、各半導体メーカーの製造中止品を専門に供給している米国のロチェスタ・エレクトロニクス社は、多数のアルテラの製造中止品の供給を引き続きサポートする予定です。詳細についてはロチェスタ・エレクトロニクス社のウェブ・サイト、<http://www.rocelec.com>をご覧ください。同社の日本代理店、小松セミコン (株) (電話: 03-3573-6828) へお問い合わせ下さい。

製造中止品				
デバイス・ファミリ	製造中止デバイス	最終受注	最終出荷	製造中止通知番号
FLASHlogic	EPX880 および EPX8160 (すべてのパッケージ、温度範囲、スピード・グレードの製品)	6/30/97	6/30/98	PDN 9625
MAX 7000	EPM7256SRC208-12	12/31/97	3/31/98	PDN 9713

FLEX 10KのEABにSFIFOを実現する方法

MAX+PLUS® IIのソフトウェアには、ロジック・セルをベースにしたサイクル・シェア型のFIFO、またはインタリーブド・メモリFIFOファンクションとして動作する同期型のFIFO (First-In-First-Out) が提供されています。この記事は、インタリーブド・メモリFIFOファンクションの使用方法を解説したものです。このインタリーブド・メモリFIFOを使用することで、2つのエンベデッド・アレイ・ブロック (EAB) 間でリードとライトの動作を同時に行えるようになり、デザインの性能を改善することができます。図1は、この同期型FIFO、sfifoのシンボルを示しています。



インタリーブド・メモリFIFOファンクションの動作は下記の点でランダム・アクセス・メモリ (RAM) の動作とは異なります。

リードまたはライトの動作は連続したアドレスに対して実行される。(リードまたはライトの動作はメモリ・ブロック1、2、3のような順序で実行される。)

データのワードは複数のメモリ・ブロックにストアされる。

sfifoは連続したメモリ・アドレスへのアクセスを行うことで、FLEX® 10Kの一方のEABからのリード動作を行いながら、もう一方のEABに対するライト動作を行うことができます。このため、このsfifoファンクションには、サイクル・シェアドFIFOで要求されるような2倍の周波数のクロックは必要ありません。

sfifoのファンクションは8ビットのデータ幅ごとに2個のEABを使用し、2個のEABだけで最大512ワードまでのデータをストアすることができます(256×8の構成でも、512×8の構成のFIFOでも2個のEABで構成可能)。このため、sfifoファンクションは小容量および大容量のFIFOアプリケーションで高い性能を実現します。例えば、-1スピード・グレードのEPF10K50Vにコンパイルされた512×8構成のFIFO機能は69MHzで動作します。

sfifoファンクションは他のFIFOと同じような動作を行います(ライト動作はemptyのフラグがHighになったときに有効となり、リード動作はfullのフラグがHighになったときに有効となる)。このsfifoファンクションは、MAX+PLUS IIを使用して、回路図、Verilog HDL、VHDL、またはアルテラ・ハードウェア記述言語 (AHDL) のデザインに入力し、コンパイルすることができます。

表1と表2はこのsfifoファンクションのポートとパラメータを示したものです。このsfifoファンクションをインタリーブド・メモリFIFOとして使用する場合はclockx2のポートが不要となり、USE_EABのパラメータをHighに設定します。

表1 sfifo ファンクションのポート

ポート名	機能
aclr	非同期クリア
clock	システム・クロック
clockx2	2倍の周波数のシステム・クロック。sfifoをインタリーブド・メモリFIFOとして使用する場合は、このポートは不要。
data[]	データ入力
rreq	リード・リクエスト
wreq	ライト・リクエスト
threshlevel[]	スレッシュホールド出力がアクティブになるレベルをコントロールする信号。スレッシュホールド出力はFIFOがほとんどフルまたはエンプティの状態になったことを示す信号。
q[]	データ出力
empty	エンプティ・フラグ
full	フル・フラグ
usedw[]	FIFOにストアされるデータのワード数
threshold	threshlevel[]で入力された値よりも多いワードにデータがストアされたときに出力される信号。

表2 sfifo ファンクションのパラメータ

パラメータ名	機能
LPM_WIDTH	データ・バスの幅
LPM_NUMWORDS	FIFOの深さ(ワード数)
USE_EAB	sfifoをインタリーブド・メモリFIFOとして動作させる場合には、これをHighに設定。

Design Tips

Altera Applications

VHDLのIF文を効率的に使用する方法

News & Viewsでは今回から4回にわたって、MAX+PLUS® IIのソフトウェアがサポートしているVHDLのデザインでロジック・セルの使用効率を最適化する方法について解説する予定です。この記事はその第1回目の解説です。次号以降では、下記の内容を解説する予定です。

ステート・マシンのコーディング・スタイル
MAX+PLUS II VHDLにおける演算オペレータの使用方法
階層化インスタンスエイションの重要性

この記事で解説されるデザイン・テクニックを使用することで、論理合成されるデザインでのロジック・セルの最適化を簡単に実現することができます。例えば、If文を効率的に使用することで、デザインの性能を大幅に改善することができます。

If文の使用はロジック・セルの使用効率の最適化をはかる上で良い方法です。If文がPROCESSのステートメントの中で使用された場合、この記述はプライオリティ・エンコーディングで実現され、シーケンシャルにデコードされます。ただし、場合によっては、このプライオリティ・エンコーディングの方法を再検討する必要があります。

以下に示されているのはVHDLで記述した2種類のデザイン例と、MAX+PLUS IIによって生成されたそれぞれのレポート・ファイル(.rpt)で示された論理式です。例1はIf文の使用方法が非効率な記述例を、例2はこれを改善した記述方法を示しています。

例1では、ELSIF節の使用により、output3がすべてのステートのデコーディング結果で決定されるようになり、このためにより複雑なロジックが必要になります。

例1

```
PROCESS(current_state,x,y,z)
BEGIN
  output1 & output2 & output3 <=
    "000";
  IF current_state = (s1 OR s3 OR
    s4) THEN output1 <= x;
  ELSIF current_state = (s0 OR s2 OR
    s5) THEN output2 <= y;
  ELSIF current_state = (s6 OR s7 OR
    s8) THEN output3 <= z;
  END IF;
END PROCESS;
```

例1のデザインに対してMAX+PLUS IIが出力したレポート・ファイルの論理式は下記の通りです。

```
output3 = z and ((s6 or s7 or s8) and
  (not(s0) and not(s1) and not(s2)
  and not(s3) and not(s4) and not(s5)))
```

この論理式はステート・マシンを、一般的にFLEX®デバイスにより効率的に構成できる「ワン・ホット・ステート・マシン」として実現することを想定しています。

例2では、出力が相互に排他関係となるようにするプライオリティ・エンコーディングを取り除くために、If文が分離されています。この記述から得られた結果は、使用されるロジックのリソースを削減することができる非常に少量のロジックで構成される論理構成となっています。これによって、デバイス内部のルーティング（配線の容易性）が増大し、性能が大幅に改善されます。

例2

```
PROCESS(current_state,x,y,z)
BEGIN
  output1 & output2 & output3 <= "000";
  IF current_state = (s1 OR s3 OR
    s4) THEN output1 <= x;
  END IF;
  IF current_state = (s0 OR s2 OR s5)
    THEN output2 <= y;
  END IF;
  IF current_state = (s6 OR s7 OR s8)
    THEN output3 <= z;
  END IF;
END PROCESS;
```

MAX+PLUS IIで例2の記述をコンパイルしたときに生成されるレポート・ファイルの論理式は下記ようになります。

```
output3 = z & (s6 or s7 or s8)
```

VHDLの記述でロジック・セルの使用効率の最適化をはかるため手法に関するさらに詳しい情報は、MAX+PLUS IIのHelp機能でも提供されています。また、これらに関するご質問については、日本アルテラの応用技術部までご連絡下さい。

アルテラがAPEX、ASCENDプログラムを発表

アルテラはエグゼンプラ・ロジック社とシンプリシティ社とプログラブル・ロジック・デバイス (PLD) 用の新たなデザイン・ソフトウェアと設計手法を開発するための提携を発表しました。APEXSM (Altera Partnership with Exemplar Logic) と呼ばれるアルテラとエグゼンプラ・ロジック社との提携プログラム、ASCENDSM (Altera and Synplicity Cooperative ENgineering Development) と呼ばれるシンプリシティ社との提携プログラムは、それぞれの会社が保有する技術およびマーケティングに関するリソースの共有をベースに締結されています。これらのプログラムを通じて、1,000,000ゲートを超えるPLDのデザインに対応でき、設計者の生産性を向上させる使いやすい新たなデザイン・ツールが開発される予定です。

生産性と性能の向上

APEXプログラムを通じて、アルテラとエグゼンプラ・ロジック社は下記の目標の達成に注力する予定です。

- 設計者の生産性の改善
- デバイス性能の最大化
- アルテラの次世代PLDに対応した最先端のデザイン・ソフトウェアと設計手法の開発とマーケティング

双方の企業はエグゼンプラ・ロジックの論理合成ツールおよび配置配線ツールとアルテラのMAX+PLUS[®] II 開発ソフトウェア間の統合化をさらに強化する手法を開発する予定です。配置の効率を改善することによって、アルテラとエグゼンプラ・ロジックの

両社はデザインの性能と自動化をさらに向上させ、最適化のためのエンジンの性能をさらに強化する予定です。

卓越したデザイン機能の創造

ASCENDプログラムを通じて、アルテラとシンプリシティの両社は下記の目標の達成に注力する予定です。

- 優れた論理合成機能とハイレベルな設計手法の創造
- フロアプランニング、タイミング・コンストレン、タイミング解析、メガファンクションの集積化、LPM (Library of Parameterized Modules) など機能の改善
- 実現されるデザイン品質の向上

双方の企業は、シンプリシティ社の主力商品となっている合成エンジン、SynplifyとアルテラのMAX+PLUS II 開発ソフトウェアとで得られる最適化レベルの改善にも注力する予定です。

結論

APEXとASCENDの両プログラムは、アルテラがシノプシス社との5年間にわたる戦略的な提携関係の締結を機会に開始した次世代デバイスに対応した最先端デザイン・ツールを開発するというアルテラの目標をさらに次の段階に進めたものです。アルテラは高集積なPLDを使用する設計者に対して最先端のデザイン・ツールを提供するため、サード・パーティの主要なデザイン・ツール・ベンダとの提携を推進しており、これらの提携プログラムはこのアルテラが推進している活動から生まれたものです。

アルテラの新規刊行資料

アルテラが刊行した下記の新しい資料は、販売代理店またはアルテラのワールド・ワイド・ウェブ・サイト、<http://www.altera.com>を通じて入手できます。なおカッコ内の記号はドキュメント番号です。一部の資料は日本語版も刊行されており、アルテラの日本語ウェブ・サイト、<http://www.altera.com/japan/>を通じて提供される予定です。

- 1998 Data Book (A-DB-0198-01)
- FLEX 10K PCI Prototype Board Data Sheet (A-DS-PCI-01)
- Altera Digital Library CD-ROM version 3 (P-CD-ADL-03)
- In-System Programmability CD-ROM version 4 (M-CD-ISP-04)
- MAX+PLUS II & ACCESS Partner EDA Tool Compatibility Guide (P25-05870-00)

- SB 31: *F²C Megafunctions* (A-SB-031-01)
- TB 33: *Evaluating MAX 7000S Device Utilization & Fitting* (M-TB-033-01) 「日本語版有り」
- TB 34: *MAX 7000S Power Consumption* (M-TB-034-02) 「日本語版有り」
- TB 35: *Download the PLS_WEB MAX+PLUS II Software for Free* (M-TB-035-01)
- TB 36: *Timing-Driven Compilation Improvements in MAX+PLUS II Version 8.2* (M-TB-036-01)
- TB 37: *Power Consumption in FLEX 10K Devices* (M-TB-037-01)
- TB 38: *FLEX 10KA-1 Devices: The Fastest High-Density Devices Available*

サード・パーティ・ベンダによる プログラミング・サポート

Data I/O社とBP Microsystems社では、アルテラのデバイスをサポートしたプログラミング・ハードウェアを供給しています。各デバイスのプログラミング・アルゴリズムがData I/O社の電子掲示板、「Keep Current Express-Bulletin Board Service」(KCE-BBS)およびBP Microsystems社のBBSを通じて提供されています。アルテラのコンフィギュレーションEPROM、MAX[®] 9000、MAX 7000ファミリの各デバイスに対するサポート状況は下記の表の通りです。なお、ここに示されている情報は変更されることがあります。

サード・パーティ・ベンダによるプログラミング・サポート		
デバイス名	Data I/O(1)	BP Microsystems(2)
EPC1064	√	√
EPC1213	√	√
EPC1	√	√
EPC1441	注(3)	√
EPM7032	√	√
EPM7064	√	√
EPM7064S	√	√
EPM7096	√	√
EPM7128E	√	√
EPM7128S	√	√
EPM7160E	√	√
EPM7192E	√	√
EPM7192S	√	√
EPM7256E	√	√
EPM7256S	√	√
EPM9320	√	√
EPM9320A	√	√
EPM9400	√	√
EPM9480	√	√
EPM9560	√	√
EPM9560A	√	√

表中の注：

- (1) これらのデバイスは、Data I/O社の3900システムのバージョン5.6、およびUniSiteのバージョン5.6でサポートされています。
- (2) これらのデバイスはBP Microsystems社のバージョン3.29のプログラムでサポートされています。
- (3) Data I/O社はEPC1441デバイスのサポートを予定しています。詳細はデータ・アイオー・ジャパン(株)(電話：03-3779-2151)へお問い合わせ下さい。BP Microsystems社の製品については、日本総代理店、丸紅ソリューション(株)(電話：03-5778-8660)へお問い合わせ下さい。

現在のソフトウェア・バージョン

アルテラのソフトウェアの最新バージョンは下記の通りとなっています。

MAX+PLUS[®] II : バージョン8.2
(PC、Sun SPARCstation、HP 9000シリーズ700/800、IBM RISC System/6000の各プラットフォーム)

アルテラのプログラミング・ハードウェアによるサポート状況

下記の表はアルテラの各デバイスに対するプログラミング・アダプタの最新情報を示したものです。正しいプログラミングを行うためには、下記に示されている「現在のソフトウェア・バージョン」を使用することが必要です。

表1 アルテラのプログラミング・アダプタ(1/2) 注(1)		
デバイス名	パッケージ	アダプタ
EPC1064(2), EPC1064V(2), EPC1441(3)	DIP, J-lead TQFP	PLMJ1213 PLMT1064
EPC1(3), EPC1213(2)	DIP J-lead	PLMJ1213 PLMJ1213
EPM9320A	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9320-84 PLMR9000-208NC(4) PLMR9000-240NC(4)
EPM9320	PGA J-lead (84-pin) RQFP (208-pin)	PLMG9000-280 PLMJ9320-84 PLMR9000-208
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC(4) PLMR9000-240NC(4)
EPM9560	PGA (280-pin) RQFP (208-pin) RQFP (240-pin) RQFP (304-pin)	PLMG9000-280 PLMR9000-208 PLMR9000-240 PLMR9000-304
EPM7032S	J-lead (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMT7000-44
EPM7032, EPM7032V	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7064S	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMT7000-100NC(4)
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7128S	J-lead (84-pin) PQFP (100-pin) TQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC(4) PLMT7000-100NC(4) PLMQ7128/160-160NC
EPM7128, EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/160-160

表1 アルテラのプログラミング・アダプタ(2/2) 注(1)

デバイス名	パッケージ	アダプタ
EPM7160S	J-lead PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC(4) PLMQ7128/7160-160NC(4)
EPM7160E	J-lead PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7192S (4)	PQFP (160-pin)	PLMQ7192/256-160NC
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/7256-160
EPM7256S (4)	RQFP (208-pin)	PLMQ7256-208NC
EPM7256E	PQFP (160-pin) PGA (192-pin) RQFP (208-pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208

注：

- (1) MAX 5000およびClassicデバイス用のアダプタについては、1998年版のデータブックでご確認下さい。アルテラは、0.8ミクロン・プロセスのEPM5032、EPM5064、EPM5130用プログラミング・アダプタの交換プログラムを提供しております。
- (2) FLEX 8000用コンフィギュレーションEPROM
- (3) FLEX 10K、FLEX 8000、FLEX 6000用コンフィギュレーションEPROM
- (4) これらのデバイスはキャリア付きで出荷されません。

下記の表2は、BitBlaster™およびByteBlaster™ダウンロード・ケーブルでプログラミングおよびコンフィギュレーションできるアルテラのデバイス・ファミリを示したものです。

表2 BitBlaster と ByteBlaster の対応表

デバイス名	パッケージ	対応ハードウェア製品名
FLEX 10K FLEX 10KA	すべてのパッケージ	PL-BITBLASTER PL-BYTEBLASTER
FLEX 8000	すべてのパッケージ	PL-BITBLASTER PL-BYTEBLASTER
FLEX 6000	すべてのパッケージ	PL-BITBLASTER PL-BYTEBLASTER
MAX 9000 MAX 9000A	すべてのパッケージ	PL-BITBLASTER PL-BYTEBLASTER
MAX 7000S MAX 7000A	すべてのパッケージ	PL-BITBLASTER PL-BYTEBLASTER

アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドはアルテラのFLEX 10K、FLEX 8000、FLEX 6000、MAX 9000、MAX 7000ファミリの各デバイスの概要をまとめたものです。その他のアルテラ・デバイスに関する情報は1998年版データブックに掲載されています。各デバイスの現在の供給状況については販売代理店にお問い合わせ下さい。

FLEX 10Kデバイス (1/2)

デバイス名	標準ゲート数	ピン数 / パッケージ・オプション	I/Oピン数(1)	温度範囲	スピード・グレード	フリップ・フロップ	ロジック・エレメント	RAMビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin QFP	59, 102, 134	C	-3, -4	720	576	6,144
EPF10K10	10,000	144-Pin TQFP, 208-Pin QFP	102, 134	I	-4	720	576	6,144
EPF10K10A	10,000	144-Pin TQFP, 208-Pin QFP	102, 134	C	-1, -2, -3	720	576	6,144
EPF10K10A	10,000	144-Pin TQFP, 208-Pin QFP	102, 134	I	-3	720	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin QFP, 240-Pin QFP	102, 147, 189	C	-3, -4	1,344	1,152	12,288
EPF10K20	20,000	144-Pin TQFP, 208-Pin QFP, 240-Pin QFP	102, 147, 189	I	-4	1,344	1,152	12,288
EPF10K30	30,000	208-Pin QFP, 240-Pin QFP, 356-Pin BGA	147, 189, 246	C	-3, -4	1,968	1,728	12,288
EPF10K30	30,000	208-Pin QFP, 240-Pin QFP	147, 189	I	-4	1,968	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin QFP, 240-Pin QFP, 256-Pin BGA	102, 147, 189, 189	C	-3, -4	1,968	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin QFP, 240-Pin QFP, 256-Pin BGA	102, 147, 189, 189	I	-4	1,968	1,728	12,288
EPF10K40	40,000	208-Pin QFP, 240-Pin QFP	147, 189	C	-3, -4	2,576	2,304	16,384
EPF10K50	50,000	240-Pin QFP, 356-Pin BGA, 403-Pin PGA	189, 274, 310	C	-3, -4	3,184	2,880	20,480
EPF10K50	50,000	240-Pin QFP	189	I	-4	3,184	2,880	20,480
EPF10K50V	50,000	240-Pin QFP, 356-Pin BGA	189, 274	C	-1, -2, -3, -4	3,184	2,880	20,480
EPF10K50V	50,000	240-Pin QFP, 356-Pin BGA	189, 274	I	-4	3,184	2,880	20,480
EPF10K70	70,000	240-Pin QFP, 503-Pin PGA	189, 358	C	-3, -4	4,096	3,744	18,432
EPF10K70	70,000	240-Pin QFP	189	C	-2	4,096	3,744	18,432
EPF10K100	100,000	503-Pin PGA	406	C	-3, -4	5,392	4,992	24,576

28 ページに続く

アルテラ・デバイス・セレクション・ガイド
27ページからの続き

FLEX 10Kデバイス (2/2)									
デバイス名	標準ゲート数	ピン数 / パッケージ・オプション	I/Oピン数(1)	温度範囲	スピード・グレード	フリップ・フロップ	ロジック・エレメント	RAMビット数	
EPF10K100A	100,000	240-Pin QFP, 356-Pin BGA, 600-Pin BGA	189, 274, 406	C	-1, -2, -3	5,392	4,992	24,576	
EPF10K100A	100,000	240-Pin QFP, 356-Pin BGA, 600-Pin BGA	189, 274, 406	I	-3	5,392	4,992	24,576	
EPF10K130V	130,000	599-Pin BGA, 600-Pin BGA	470, 470	C	-2, -3, -4	7,120	6,656	32,768	
EPF10K250A	250,000	599-Pin BGA, 600-Pin BGA	470, 470	C	-1, -2, -3	12,624	12,160	40,960	
EPF10K250A	250,000	600-Pin BGA	470	I	-3	12,624	12,160	40,960	

注:

(1) 6本の入力専用ピンを含む

FLEX 8000デバイス								
デバイス名	ユーザブルゲート数	ピン数 / パッケージ・オプション	I/Oピン数(1)	温度範囲	スピード・グレード	フリップ・フロップ	ロジック・エレメント	
EPF8282A	2,500	84-Pin PLCC, 100-Pin TQFP	68, 78	C	A-2	282	208	
		84-Pin PLCC, 100-Pin TQFP	68, 78	C, I	A-3			
		84-Pin PLCC, 100-Pin TQFP	68, 78	C, I	A-4			
EPF8282AV (2)	2,500	100-Pin TQFP	78	C	A-4	282	208	
EPF8452A	4,000	160-Pin PQFP	120	C	A-2	452	336	
		84-Pin PLCC, 100-Pin TQFP, 160-Pin PGA/PQFP	68, 120	C, I	A-3			
		84-Pin PLCC, 100-Pin TQFP, 160-Pin PGA/PQFP	68, 120	C, I	A-4			
EPF8636A	6,000	208-Pin PQFP	136	C	A-2	636	504	
		84-Pin PLCC, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	68, 118, 136	C	A-3			
		84-Pin PLCC, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	68, 118, 136	C, I	A-4			
EPF8820A	8,000	144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	112, 120, 152	C	A-2	820	672	
		144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP, 225-Pin BGA	112, 120, 152	C	A-3			
		144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP, 225-Pin BGA	112, 120, 152	C, I	A-4			
EPF81188A	12,000	208-Pin PQFP, 232-Pin PGA, 240-Pin PQFP	148, 184	C	A-2	1,188	1,008	
		208-Pin PQFP, 232-Pin PGA, 240-Pin PQFP	148, 184	C, I	A-3			
		208-Pin PQFP, 232-Pin PGA, 240-Pin PQFP	148, 184	C, I	A-4			
EPF81500A	16,000	240-Pin PQFP, 280-Pin PGA, 304-Pin RQFP	181, 208	C	A-2	1,500	1,296	
		240-Pin PQFP, 280-Pin PGA, 304-Pin RQFP	181, 208	C, I	A-3			
		240-Pin PQFP, 280-Pin PGA, 304-Pin RQFP	181, 208	C	A-4			

注:

(1) 4本の入力専用ピンを含む

(2) Vは3.3-Vの電源電圧を示すコード

MAX 9000デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数(1)	温度範囲	スピード・グレード
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	C	-15
	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	C, I	-20
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	C	-10
	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	C, I	-15
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	C	-15, -20
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	C	-15, -20
EPM9480A	480	208-Pin RQFP, 240-Pin RQFP	146, 175	C	-10, -12
	480	208-Pin RQFP, 240-Pin RQFP	146, 175	C, I	-15
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	C	-15
	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	C, I	-20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	C	-10, -12
	560	208-Pin RQFP, 240-Pin RQFP, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	C, I	-15

注:

(1) 4本の入力専用ピンを含む

FLEX 6000デバイス								
デバイス名	ユーザル・ゲート数	ピン数 / パッケージ・オプション	I/Oピン数(1)	温度範囲	スピード・グレード	フリップ・フロップ	ロジック・エレメント	
EPF6016	16,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin QFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	C	-2	1,320	1,320	
		100-Pin TQFP, 144-Pin TQFP, 208-Pin QFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	C, I	-3	1,320	1,320	
EPF6016A (2)	16,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin QFP, 240-Pin PQFP, 256-Pin BGA	81, 117, 171	C	-2	1,320	1,320	
		100-Pin TQFP, 144-Pin TQFP, 208-Pin QFP, 240-Pin PQFP, 256-Pin BGA	81, 117, 171	C, I	-3	1,320	1,320	
EPF6024A (2)	24,000	140-Pin TQFP, 208-Pin QFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 214	C	-2	1,960	1,960	
		140-Pin TQFP, 208-Pin QFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 214	C, I	-3	1,960	1,960	

注：

- (1) 4本の入力専用ピンを含む
(2) Aは3.3-Vの電源電圧を示すコード

MAX 7000デバイス								
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	温度範囲	スピード・グレード	t _{PD} (ns)	f _{CNT} (MHz)	
EPM7032, EPM7032S	32	44-Pin PLCC/TQFP	36	C	-6	6	150	
EPM7032, EPM7032S	32	44-Pin PLCC/TQFP	36	C	-7	7.5	125	
EPM7032, EPM7032S	32	44-Pin PLCC/TQFP	36	C, I (1)	-10	10	100	
EPM7032	32	44-Pin PLCC/TQFP	36	C, I	-12	12	90.9	
EPM7032	32	44-Pin PLCC/TQFP	36	C, I	-15	15	76.9	
EPM7032V	32	44-Pin PLCC/TQFP	36	C	-12	12	90.9	
EPM7032V	32	44-Pin PLCC/TQFP	36	C	-15	15	76.9	
EPM7032V	32	44-Pin PLCC/TQFP	36	C, I	-20	20	62.5	
EPM7064S	64	44-Pin PLCC/TQFP	36	C	-5	5	178.6	
EPM7064, EPM7064S	64	44-Pin PLCC/TQFP, 68-Pin PLCC (1), 84-Pin PLCC, 100-Pin PQFP (1)/TQFP (2)	36, 52, 68	C	-6	6	150	
EPM7064, EPM7064S	64	44-Pin PLCC/TQFP, 68-Pin PLCC (1), 84-Pin PLCC, 100-Pin PQFP (1)/TQFP (2)	36, 52, 68	C, I (2)	-7	7.5	125	
EPM7064, EPM7064S	64	44-Pin PLCC/TQFP, 68-Pin PLCC (1), 84-Pin PLCC, 100-Pin PQFP (1)/TQFP (2)	36, 52, 68	C, I (1)	-10	10	100	
EPM7064	64	44-Pin PLCC/TQFP, 68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	36, 52, 68	C	-12	12	90.9	
EPM7064	64	44-Pin PLCC/TQFP, 68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	36, 52, 68	C, I	-15	15	76.9	
EPM7096	96	68-Pin PLCC (1), 84-Pin PLCC, 100-Pin PQFP/TQFP	52, 64, 76	C	-7	7.5	125	
EPM7096	96	68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP/TQFP	52, 64, 76	C, I	-10	10	100	
EPM7096	96	68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	52, 64, 76	C, I	-12	12	90.9	
EPM7096	96	68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	52, 64, 76	C	-15	15	76.9	
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	C	-6	6	150	
EPM7128E, EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP (2), 160-Pin PQFP	68, 84, 100	C, I (2)	-7	7.5	125	
EPM7128E, EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP (2), 160-Pin PQFP	68, 84, 100	C	-10(P)	10	100	
EPM7128E	128	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	C, I	-12	12	90.9	
EPM7128E, EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP (2), 160-Pin PQFP	68, 84, 100	C, I	-15	15	76.9	
EPM7128E	128	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	C	-20	20	62.5	
EPM7160S	160	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	64, 84, 104	C, I (2)	-7	7.5	125	
EPM7160E, EPM7160S	160	84-Pin PLCC, 100-Pin PQFP/TQFP (2), 160-Pin PQFP	64, 84, 104	C	-10(P)	10	100	
EPM7160E	160	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	C, I	-12	12	90.9	
EPM7160E, EPM7160S	160	84-Pin PLCC, 100-Pin PQFP/TQFP (2), 160-Pin PQFP	64, 84, 104	C, I (1)	-15	15	76.9	
EPM7160E	160	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	C	-20	20	62.5	
EPM7192S	192	160-Pin PQFP	124	C, I (2)	-7	7.5	125	
EPM7192S	192	160-Pin PQFP	124	C	-10	10	100	
EPM7192E	192	160-Pin PQFP/PGA	124	C, I (2)	-12(P)	12	90.9	
EPM7192E, EPM7192S	192	160-Pin PQFP/PGA (1)	124	C, I	-15	15	76.9	
EPM7192E	192	160-Pin PQFP/PGA	124	C	-20 (1)	20	62.5	
EPM7256S	256	208-Pin RQFP, 208-Pin PQFP	132, 164	C	-7	7.5	125	
EPM7256S	256	208-Pin RQFP, 208-Pin PQFP	132, 164	C	-10	10	100	
EPM7256E	256	160-Pin PQFP, 192-Pin PGA, 208-Pin RQFP	132, 164	C, I (2)	-12(P)	12	90.9	
EPM7256E, EPM7256S	256	160-Pin PQFP (1), 192-Pin PGA (1), 208-Pin RQFP (2)	132, 164	C, I	-15	15	76.9	
EPM7256E	256	160-Pin PQFP, 192-Pin PGA, 208-Pin RQFP, 208-Pin RQFP (2)	132, 164	C	-20 (1)	20	62.5	

注：

- (1) MAX 7000Sデバイスには提供されていません。
(2) MAX 7000Sデバイスにのみ提供されています。

30ページに続く

アルテラ・デバイス・セレクション・ガイド
29ページからの続き

MAX 7000Aデバイス							
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	温度範囲	スピード・グレード	t _{PD} (ns)	f _{CNT} (MHz)
EPM7032A	32	44-Pin PLCC/TQFP	36	C	-5	5	178.6
EPM7032A	32	44-Pin PLCC/TQFP	36	C, I	-7	7.5	125
EPM7032A	32	44-Pin PLCC/TQFP	36	C	-10	10	100
EPM7064A	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 68	C	-5	5	178.6
EPM7064A	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 68	C, I	-7	7.5	125
EPM7064A	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 68	C	-10	10	100
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 144-Pin TQFP	68, 84, 100	C	-5	5	178.6
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 144-Pin TQFP	68, 84, 100	C	-6	6	150
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 144-Pin TQFP	68, 84, 100	C	-7	7.5	125
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 144-Pin TQFP	68, 84, 100	C, I	-10	10	100
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	84, 120, 164	C	-6	6	150
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	84, 120, 164	C	-7	7.5	125
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	84, 120, 164	C, I	-10	10	100
EPM7384A	384	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	120, 176, 212	C	-7	7.5	125
EPM7384A	384	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	120, 176, 212	C, I	-10	10	100
EPM7384A	384	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	120, 176, 212	C	-15	15	76.9
EPM7512A	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	120, 176, 212	C	-7	7.5	125
EPM7512A	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	120, 176, 212	C, I	-10	10	100
EPM7512A	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA	120, 176, 212	C	-15	15	76.9
EPM71024A	1,024	208-Pin PQFP, 256-Pin BGA	176, 212	C	-7	7.5	125
EPM71024A	1,024	208-Pin PQFP, 256-Pin BGA	176, 212	C	-10	10	100
EPM71024A	1,024	208-Pin PQFP, 256-Pin BGA	176, 212	C, I	-15	15	76.9

アルテラへのアクセス方法

	情報提供元	連絡先
資料のご請求	日本アルテラ株式会社	☎ 03-3340-9480
	株式会社アルティマ	☎ 045-939-6113 ☎ 06-307-7670
	株式会社パルテック	☎ 045-477-2009 ☎ 06-390-0817
	ワールド・ワイド・ウェブ	英語 http://www.altera.com 日本語 http://www.altera.com/japan/
価格・納期等について	株式会社アルティマ	☎ 045-939-6113 ☎ 06-307-7670
	株式会社パルテック	☎ 045-477-2009 ☎ 06-390-0817
技術的なご質問	日本アルテラ株式会社	☎ 03-3340-9480
	株式会社アルティマ	☎ 045-939-6113 ☎ 06-307-7670 ☎ 052-202-1024 ☎ 028-637-4488
	株式会社パルテック	☎ 045-477-2009 ☎ 06-390-0817
	ブリティン・ボード (米国本社)	☎ 001-1-408-954-0104
	E-mail (日本アルテラ)	japan@altera.com
	FTP Site (US)	ftp.altera.com
	CompuServe (US)	go altera
製品案内	World-Wide Web	http://www.altera.com/japan/

1998 アプリケーション・セミナーのご案内

日本アルテラでは、下記の要領で1998アプリケーション・セミナーを東京、横浜、大阪の3会場で開催します。今年のアルテラ・アプリケーション・セミナーではジェネラル・セッションとアプリケーション・セッションの2つのセミナーが開催されます。ジェネラル・セッションでは「アルテラ製品の概要」や「アルテラ・プログラマブル・ロジックの基礎」など、主にアルテラ・プログラマブル・ロジック・デバイスに関する全般的な情報、将来の動向などについて、開発用ソフトウェアMAX+PLUS II のデモンストレーションを交えながら、ご紹介いたします。また、アプリケーション・セッションでは、大規模な回路設計を効率よく行うための手法、メガファンクションを有効に使う方法や、メモリの実現方法などの具体例を用いてご紹介いたします。また、これまで主にゲートアレイが使われてきた10万ゲートを超える大規模デザインにプログラマブル・ロジックが対応可能となり、このような状況でのゲートアレイとプログラマブル・ロジックの最適な設計手法の違いなどについてもご紹介いたします。

セミナーの受講は無料ですが、事前のお申し込みが必要です。下記の申込書に必要事項をご記入の上、日本アルテラまたは販売代理店へFAXでご返送ください。登録完了後、受講票をお送りします。各セッション共に定員になりしだい締め切らせていただきます。なお、競合会社の方の受講はお断りいたします。なお、各セミナー会場で受講者の中から抽選で各セッションごとに2名様にMAX+PLUS II ソフトウェアを差し上げます。

開催日と会場

- 5月26日(火) 東京：大東京火災新宿ビルB1ホール
(新宿駅西口、または南口より徒歩15分)
- 5月28日(木) 横浜：パシフィコ横浜 会議センター 501
ホール(桜木町駅、4番ポールより市営バスで5分、徒歩15分 横浜駅東口、17番ポールより市営バスで15分)
- 6月2日(火) 大阪：大阪ガーデンパレス 2階桜
(新大阪駅より徒歩15分)

セミナーの内容(各会場共に同一)

ジェネラル・セッション(9:30-11:45)

- アルテラ・プログラマブル・ロジックのご紹介 -

アルテラ製品の概要 / 将来の動向

- 現在、最大25万ゲートまでをカバー
- 2001年、200万ゲートをカバー

アルテラ・プログラマブル・ロジックの基礎

- プログラマブル・ロジック・アーキテクチャ

MAX、FLEXファミリ最新情報

- FLEX 10KE : 高集積、高性能ファミリ
- MAX 7000A : 3.3V動作、ISP機能
- ラファエロ (Raphael) : 次世代プログラマブル・ロジック

MAX+PLUS II 開発ツールのご紹介

- MAX+PLUS II ver.8.3 デモンストレーション

アプリケーション・セッション(13:15-17:00)

- アルテラ・プログラマブル・ロジックに適した設計手法 -

ゲートアレイとプログラマブル・ロジックの設計手法の違い

効率的な論理設計手法

- LPM、インスタンス化
- フィットング、性能の最適化

メモリ・インプリメンテーション

- 効率の良いメモリ・インプリメンテーション手法

アルテラ・メガファンクション・ソリューション

- アルテラ・プログラマブル・ロジックに最適化されたメガファンクション(IP製品)、メガコア、AMPPメガファンクションなど

- メガファンクション・デザイン・テクニック : PCI、他

このフォームをコピーして必要事項を記入の上、日本アルテラまたは販売代理店へFAXまたは郵送して下さい。(FAX番号は最終ページに記載されています。)

1998 アルテラ・アプリケーション・セミナー受講申込書

フリガナ 会社名	
所属部署 / 役職	
フリガナ 氏名	
住所 〒	
TEL	FAX
email	
代理店 : アルティマ パルテック 不明 / その他 なし	

受講希望セミナー

ご希望のセッションの にチェックをつけて下さい。

5/26(火) 東京会場 ジェネラル・セッション アプリケーション・セッション	<input type="checkbox"/>
5/28(木) 横浜会場 ジェネラル・セッション アプリケーション・セッション	<input type="checkbox"/>
6/2(火) 大阪会場 ジェネラル・セッション アプリケーション・セッション	<input type="checkbox"/>

アプリケーション・セミナーへの参加は：
 今回が初めて
 以前にも参加したことがある

FLEXでボリュームをリード!



FLEXはハイ・ボリュームでロック



FLEX® プログラマブル・ロジックは、量産に求められるあらゆる条件に低コストおよび高性能で対応。他社製品を大きくリードしています。アルテラはFLEX 6000、FLEX 10Kファミリにより、次のゲートアレイ・デザインの理想的なソリューションを提供します。

高性能を低コスト・チケットで

FLEX 6000 ファミリは、業界で最も低いゲート単価を提供しております。OptiFLEX™ アーキテクチャによりFLEX 6000はダイ・サイズの最小化を実現するとともにシステム性能とデザイン効率を大幅にアップします。

オンチップ・メモリや更なる高集積度が必要なコスト重視のデザインには、FLEX 10Kが主役です。独自のエンベデッド・アーキテクチャとFastTrack Interconnect™の組み合わせにより、量産にふさわしい価格で最高の集積度と性能が得られます。

どちらの製品ファミリも電源電圧は3.3Vまたは5.0Vの製品から選択可能。ボール・グリッド・アレイ (BGA) など先進のパッケージを用意しております。

MAX+PLUS II でロックンロール

MAX+PLUS II でロックンロール

アルテラの使いやすいMAX+PLUS® II 開発システムは、柔軟性が高く、またあらゆる主要EDA設計ツールと完全な互換性をもち、どのような設計フローでも最高の合成結果を引き出せるように最適化されています。

ファミリ	電源電圧	集積度	ロジック・エレメント	オンチップ・メモリ	価格
FLEX 10K	3.3V および 5.0V	10,000 ~ 250,000 ゲート	576 ~ 12,160	6 Kbits ~ 40 Kbits エンベデッドRAM	\$7.50*
FLEX 6000	3.3V および 5.0V	16,000 ~ 24,000 ゲート	1,320 ~ 1,960	ロジックのみ	\$6.50**

* EPF10K10A の 1998 年末時の量産予定価格。 ** EPF6016A の 1998 年末時の量産予定価格。その他の FLEX 10K、FLEX 6000 デバイスの価格についてはアルテラ販売代理店へお問い合わせください。

今すぐ、アルテラでロック

アルテラのホームページで、最新のデバイス・モデル・ファイルやFLEX 10KおよびFLEX 6000 デバイス・ファミリの詳細情報を掲載した1998年版のデータブックをダウンロードして下さい。



www.altera.com/guitar

The
ALTERA
Advantage

ALTERA® 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 Altera Corporation

101 Innovation Drive, San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>