

## アルテラが FLEX 10KE デバイスを発表

アルテラはこのたび、FLEX® 10Kエンベデッド・プログラマブル・ロジック・デバイスの機能をさらに強化した新バージョン、FLEX 10KE デバイスを発表しました。0.25ミクロンの5層メタル・プロセスで製造され、コア部分の電源電圧が2.5Vとなっている FLEX 10KE デバイスは、さらに高機能で高速性能のデザインを低価格で実現しようとしているシステム設計者のニーズに適合する製品です。

EPF10K100Bを含む FLEX 10KE デバイスにはさらに強化された新しい機能が追加されており、アルテラが開発したエンベデッド・アーキテクチャの性能とシリコン使用効率をこれまでにない高いレベルまで引き上げています。この新しい強化された機能をプログラマブル・ロジックの実現する「Time-to-Market」の利点と結合させることにより、FLEX 10KE デバイスは高速デザインのゲートアレイからプログラマブル・ロジックへの移行をさらに加速させることとなります。

### 強化された機能

FLEX 10KE デバイスの"E" は "Enhanced" された機能を表しています。FLEX 10KE デバイスには、下記のようなデザインの性能と使用効率をさらに高めるパワフルなシステム・レベルの機能が数多く含まれています。

RAM の容量が従来の2倍になった(4Kビット)エンベデッド・アレイ・ブロック (EAB) 150MHz の FIFO (First-In First-Out) 性能を実現するデュアル・ポート RAM 機能  
同一デバイス内で3.3VのPCI仕様準拠ピンと5.0V対応ピンが設定できるピンごとに選択可能なI/O クランピング・ダイオード  
従来のBGA (Ball-Grid Array) パッケージに比較してプリント基板の実装スペースを約半分までに縮小する1.0mmピッチのFineLine BGA™ パッケージのオプションを提供  
低消費電力

2.5V、3.3V、5.0Vの複数の電源電圧を使用したシステムをサポートする MultiVolt™ I/O動作

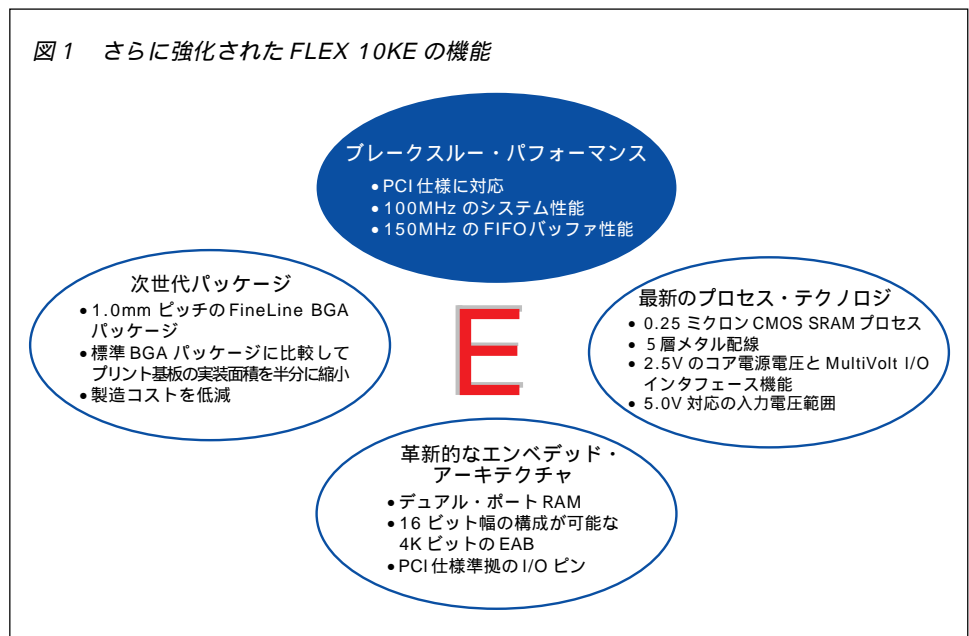


図1は、さらに強化された FLEX 10KE の機能をまとめたものです。

### 革新的なエンベデッド・アーキテクチャ

アルテラは、ロジック・アレイ・ブロック (LAB) と EAB を結合させたエンベデッド・プログラマブル・ロジック・アーキテクチャを1995年に開発したパイオニアです。この新しいアーキテクチャは業界初のエンベデッド PLD となった FLEX 10K デバイスの性能と集積度を飛躍的に向上させました。FLEX 10KE デバイスは、このユニークなエンベデッド・アーキテクチャを維持しながら、従来の製品ファミリーにさらに強力な機能を追加しています。FLEX 10KE デバイスは既存の FLEX 10K および FLEX 10KA デバイスとピンおよび機能互換となっています。

図1 さらに強化された FLEX 10KE の機能



(4ページに続く)

# Break Out of the Pack



## 高性能

最高 178 MHz までのシステム性能を実現する高速プログラマブル・ロジック・デバイス

## 高集積

最大 250,000 ゲートまでのプログラマブル・ロジック・デバイス

## 最先端ソフトウェア

MAX+PLUS II 業界でもっとも優れた開発ツール

## パワフルなメガファンクション

アルテラの MegaCore ファンクション・ライブラリと AMPP パートナから提供されるパワフルなメガファンクション群

## EDA チームワーク

ACCESS パートナ企業の EDA ツールとのシームレスな統合化



# ALTERA®

アルテラは6月15日から17日まで、  
サンフランシスコ、モスコーネ・センタで開催された  
第35回 Design Automation Conference (DAC)  
に参加、出展しました。

## 目 次

### 特集記事

アルテラが FLEX 10KE デバイスを発表 .....	1
Customer Application : NEC がアルテラの デバイスを使用して Simple Node を開発 .....	18

### アルテラ・ニュース

AMPP カタログ バージョン - 3 .....	15
デザイン性能を測定するためのベンチマーク .....	21
ASIC の代替製品として使用された FLEX 6000 デバイス .....	22
新しい Jam 言語に対するハードウェア・サポート .....	23
ACCESS プログラムを通じて サポートされる EDA ツール .....	24
アルテラの欧州テクニカル・センタが完成 .....	24
AMPP メガファンクションの新製品 .....	25
ALTERA PLD WORLD '98 の開催と 発表技術論文募集のお知らせ .....	30

### Devices & Tools

600 ピン BGA パッケージの FLEX 10K デバイスが登場 .....	6
EPF10K30A を供給開始 .....	6
0.25 ミクロン・プロセスの EPF10K100B を 1998 年 8 月から出荷開始 .....	6
FLEX 6000 ファミリの新製品が近く登場 .....	6
3.3V と 5.0V のデバイスを提供する FLEX 6000 ファミリー .....	6
FLEX 6000 デバイスの供給状況 .....	6
新製品、EPC2 デバイスを発表予定 .....	6
MAX 9000A デバイスの供給状況 .....	7
MAX 9000 デバイスの工業用温度範囲品を提供 .....	7
EPM7128A デバイスを出荷開始 .....	7
MAX 7000S デバイスの供給状況 .....	7

MAX 7000 デバイスの新プロセスへの移行 .....	7
PC 用 MAX+PLUS II に ネットワーク・ライセンスを 7 月から提供 .....	8
MAX+PLUS II のバージョン 9.1 に対する バージョン・コントロール・ライセンス .....	8
SunOS 4 オペレーティング・ システムに対するサポートの中止 .....	8
MegaCore ファンクションの入手方法 .....	8
Microperipheral MegaCore Library 用 オーソライゼーション・コード .....	8
アルテラが ByteBlasterMV ダウンロード・ケーブルを発表 .....	9
PCI ターゲット用 MegaCore ファンクションの新製品 .....	9
製造中止品情報 .....	9

### 技術論文

適切な URAT メガファンクションを選択する方法 .....	10
次世代の BGA パッケージ .....	12
FLEX デバイスによる FIFO ソリューション .....	13
Design Tips from Altera Applications : 効率的なステート・マシンの構成方法 .....	14
Questions & Answers .....	16

### 定期掲載記事

アルテラの新規刊行資料 .....	26
サード・パーティ・ベンダによる プログラミング・サポート .....	26
現在のソフトウェア・バージョン .....	26
アルテラのプログラミング・ ハードウェアによるサポート状況 .....	27
アルテラ・デバイス・セレクション・ガイド .....	28
FAX レスポンス・フォーム .....	31



質問やアイディアがありましたら、日本  
アルテラまで、お知らせ下さい。

日本アルテラ (株)  
東京都新宿区西新宿 2-1-1  
新宿三井ビル私書箱 261 号  
電 話 : 03-3340-9480  
FAX : 03-3340-9487  
E-mail: japan@altera.com

Altera, ASCEND, ACCESS, AMPP, BitBlaster, ByteBlaster, ByteBlasterMV, FineLine BGA, EPC2, FLEX, FLEX□10K, FLEX 10KE, FLEX□10KA, FLEX□8000, FLEX 6000, FLEX 6000A, Jam, MAX 9000, MAX 9000A, MAX 9000S, MAX 7000, MAX 7000E, MAX□7000S, MAX 7000A, MAX□5000, MAX, MAX+PLUS, MAX+PLUS□II, MegaCore, MegaWizard, MultiCore, MultiVolt, OpenCore, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Advin Systems is a registered trademark of Advin Systems, Inc. Alcatel is a registered trademark of Alcatel Telecom GMBH. Verilog and Cadence are registered trademarks of Cadence Design Systems. Exemplar Logic is a registered trademark of Exemplar Logic, Inc. Integrated Silicon Systems is a registered trademark of Integrated Silicon Systems, Inc. Mentor Graphics is a registered trademark of Mentor Graphics, Inc. Data□I/O is a registered trademark of Data I/O Corporation. SIS is a registered trademark of SIS□Microelectronics, Inc. Synopsys is a registered trademark of Synopsys, Inc. Synplicity is a registered trademark of Synplicity, Inc. Viewlogic is a registered trademark of Viewlogic Systems. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001

Copyright © 1998 Altera Corporation. All rights reserved.

アルテラが FLEX 10KE デバイスを発表  
(1 ページからの続き)

### デュアル・ポート RAM

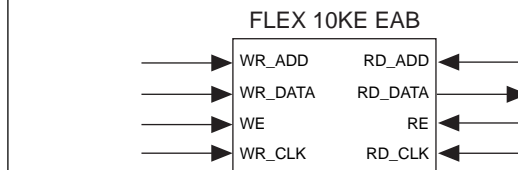
FLEX 10KE デバイスの各 EAB は 4K ビットのメモリ構造となっており、16 ビット・データ幅までのデュアル・ポート RAM を構成することができます。これらの強化された機能により、高速メモリ、FIFO (First-In First-Out) バッファ、特殊なロジック・ファンクションなどのメガファンクションをこれまでにない高い性能と効率で実現できるようになります。また、FLEX 10KE デバイスの EAB はデュアル・ポートのアプリケーションをサポートしており、大容量メモリ・ブロックの構成にも対応できます。図 2 は FLEX 10KE の EAB で実現できるデュアル・ポート RAM ブロックの構成を示したものです。

### 最先端プロセス・テクノロジー

FLEX 10KE デバイスは、最先端の 0.25 ミクロン 5 層メタル・プロセスによって製造され、このプロセスには複数のメタル・レイヤによる配線を最適化することができるトランジスタ・フリーの連続したメタル配線構造が採用されています。このアーキテクチャはメタル・レイヤの多層化 (stacking) を可能にしています。この「メタル・フレンドリ」なアーキテクチャはダイ・サイズの縮小にも貢献し、他社の同等 FPGA (Field Programmable Gate Array) 製品に比較してそのダイ・サイズが約半分にまで縮小されています。FPGA には多数のトランジスタを使用する配線構造が採用されており、メタル配線の多層化と複数のメタル・レイヤを効率的に使用することが困難になっています。このため、FPGA ではダイ・サイズが増大し、経済性と性能の両方が犠牲になってしまいます。

図 3 は FLEX 10KE デバイスのダイ・サイズが、最新のプロセス・テクノロジーと効率的なメタル配線構造によって、他社の同等 FPGA に比較して 2 分 1 以下まで縮小されている様子を示したものです。

図 2 FLEX 10KE のデュアル・ポート RAM ブロック



### 性能のブレイクスルー

FLEX 10KE デバイスは、性能の大幅な改善を実現します。0.25 ミクロンの 5 層メタル・プロセスの採用と新しい EAB 構造により、FLEX 10KE デバイスは現在要求されている性能に対応できるさらに高いシステム帯域幅を実現します。例えば、FLEX 10KE デバイスには、6.5ns のアクセス・タイムのメモリ・ブロックを使用して 256 × 16 構成で最高 150MHz で動作する FIFO バッファを実現することができます。表 1 は FLEX 10KE-1 デバイスで構成した FIFO の性能を示しています。

表 1 FLEX 10KE に構成した FIFO のスピード

FIFO サイズ (d × w)	FLEX 10KE-1 (MHz)	FLEX 10KA-1 (MHz)
16 × 32	150	128
32 × 32	125	81
64 × 32	115	81
128 × 32	100	78
256 × 32	98	76

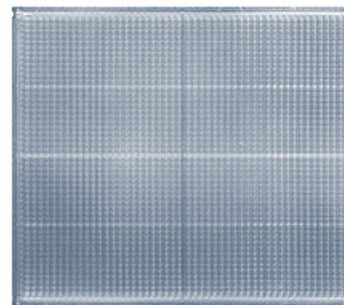
図 3 FLEX 10KE デバイスのダイ・サイズの比較



アルテラ  
EPF10K100E  
相対ダイ・サイズ = 0.6  
0.25 ミクロン  
4,992 個のロジック・セル  
12 個の EAB



アルテラ  
EPF10K100A  
相対ダイ・サイズ = 1.0  
0.35 ミクロン  
4,992 個のロジック・セル  
12 個の EAB



他社の  
同等 FPGA 製品  
相対ダイ・サイズ = 1.91  
0.35 ミクロン  
4,608 個のロジック・セル  
EAB なし



### 3.3V PCI 仕様準拠

すべての FLEX 10KE デバイスは PCI Special Interest Group (PCI-SIG) の *PCI Local Bus Specification Revision 2.1* の仕様をサポートします。これらのデバイスは 100MHz のシステム・スピードを提供しており、100-Mbit や 1-Gbit のイーサネットと接続されるような最先端の通信アプリケーションに対して、66 MHz の PCI 性能をサポートすることができます。

また、FLEX 10KE デバイスは各 I/O ピン、入力専用ピンおよびクロック専用ピンにプルアップ I/O クランピング・ダイオードを内蔵しており、同一デバイス内に PCI 準拠のピンと 5.0V 対応のピンを同時に設けることが可能です。このクランピング・ダイオードは、信号レベルを  $V_{CCIO}$  の値にクランプする働きをし、3.3V の PCI 仕様に準拠させるときに必要となります。このクランプ電圧の設定は、アルテラの MAX+PLUS® II ソフトウェア内に提供されているユーザ・セレクトラブルなオプションを使用し、ピンごとに個別に行うことができます。このため、FLEX 10KE デバイスを使用して 5.0V のローカル・バスと 3.3V の PCI バスをブリッジすることが可能になります。

### 低消費電力と MultiVolt I/O インタフェース

FLEX 10KE デバイスのコア部分の電源電圧は 2.5V となっており、消費電力が大幅に低減されています。また、FLEX 10KE デバイスには MultiVolt I/O インタフェースが提供されており、コア部分を 2.5V で動作させながら、I/O ピンを 2.5V、3.3V、または 5.0V のデバイスとインタフェースすることができます。

### 革新的な FineLine BGA パッケージ

FLEX 10KE デバイスは、1.0mm ピッチの FineLine BGA パッケージでも供給される予定となっています。この 1.0mm ピッチの FineLine BGA パッケージは、より多くのピン数をさらに小さなパッケージ・サイズで実現します。この革新的な FineLine BGA パッケージは 100ピンから 672ピンまでのピン数の範囲をカバーしており、その実装面積は標準的な 1.27 mm ピッチの BGA パッケージの半分以下となっています。FineLine BGA パッケージの詳細については、12 ページの「次世代の BGA パッケージ」をご覧ください。

FLEX 10KE デバイスは、薄型クワッド・フラット・パック (TQFP)、プラスチック・クワッド・フラット・パック (PQFP)、パワー・クワッド・フラット・パック (RQFP) の各パッケージでも供給される予定です。詳細は表 2 を参照してください。

### 供給予定

FLEX 10KE デバイスの最初の製品として、1998年8月から 100,000ゲートの EPF10K100B の供給が開始されます。このデバイスは現在供給中の EPF10K100A のアーキテクチャを 0.25ミクロン・プロセスに移行させた製品であり、EPF10K100A よりも高い性能を低価格で実現します。EPF10K100B の最新の納入状況については、各販売代理店へお問い合わせください。

50,000ゲートの EPF10K50E は、1998年の第4四半期 (10～12月期) にリリースされる予定です。他の FLEX 10KE デバイスは 1999年初めから供給が開始される予定です。9 ページの表 3 には、FLEX 10KE デバイスの供給予定が表示されています。

表 2 FLEX 10KE デバイスの特長

機能	EPF10K30E	EPF10K50E	EPF10K100E	EPF10K100B	EPF10K130E	EPF10K200E	EPF10K250E
ゲート数 (ロジックと RAM)	30,000	50,000	100,000	100,000	130,000	200,000	250,000
ユーザブル・ゲート数	22,000 to 119,000	36,000 to 199,000	62,000 to 257,000	62,000 to 257,000	82,000 to 342,000	123,000 to 513,000	149,000 to 474,000
ロジック・エレメント数	1,728	2,880	4,992	4,992	6,656	9,984	12,160
EAB 数	6	10	12	12	16	24	20
トータル RAM ビット数	24,576	40,960	49,152	24,576	65,536	98,304	81,920
パッケージ・オプション	144-pin TQFP 208-pin PQFP 256-pin BGA 484-pin BGA	144-pin TQFP 208-pin PQFP 240-pin PQFP 256-pin BGA 484-pin BGA	208-pin PQFP 240-pin PQFP 256-pin BGA 356-pin BGA 484-pin BGA	208-pin PQFP 240-pin PQFP 256-pin BGA	240-pin PQFP 484-pin BGA 672-pin BGA	240-pin RQFP 599-pin PGA 600-pin BGA 672-pin BGA	240-pin RQFP 599-pin PGA 672-pin BGA

( 9 ページに続く )

# Devices & TOOLS

## FLEX 最新情報

### 600 ピン BGA パッケージの FLEX 10K デバイスが登場

アルテラは 600 ピン BGA パッケージの EPF10K100A と EPF10K130V を現在出荷中です。このパッケージは 400 本以上の I/O ピンをサポートしており、多数の I/O ピンを必要とするアプリケーションに FLEX<sup>®</sup> 10K デバイスの提供の高い性能が活用できます。これらの新しいパッケージ・オプションの詳細については、各販売代理店へお問い合わせください。

### EPF10K30A を供給開始

EPF10K30A は、多くの設計技術者が必要とする非常に高い性能を実現することができます（8 ビットの 16 タップ FIR フィルタが 126 MHz で動作可能）。EPF10K30A は、144 ピンの薄型クワッド・フラット・パック（TQFP）および 208 ピンと 240 ピンのプラスチック・クワッド・フラット・パック（PQFP）の各パッケージで出荷されています。また、356 ピンの BGA パッケージの製品が 1998 年 7 月にリリースされる予定となっています。

### 0.25 ミクロン・プロセスの EPF10K100B を 1998 年 8 月から出荷開始

EPF10K100B の出荷が 1998 年 8 月から開始される予定です。0.25 ミクロンの 5 層メタル・プロセスで製造されている EPF10K100B はロー・コストで高い性能を実現するデバイスです。EPF10K100B のコア部分は 2.5V の電源電圧で動作し、3.3V で動作する同規模の FPGA（Field Programmable Gate Array）よりも低消費電力で動作します。また、この EPF10K100B は MultiVolt<sup>™</sup> 機能により、2.5V、3.3V、または 5.0V のデバイスとのインターフェースが可能です。EPF10K100B は、208 ピンおよび 240 ピンの PQFP、256 ピンの BGA パッケージで出荷されます。

### FLEX 6000 ファミリの新製品が近く登場

アルテラは FLEX 6000A ファミリの新製品として、EPF6016A と EPF6010A の出荷を 1998 年 6 月から開始しています。これら双方のデバイスは 0.35 ミクロンの 3 層メタル・プロセスで製造され、そのコア部分の電源電圧は 3.3V となっています。EPF6016A は 16,000 ユーザブル・ゲート、EPF6010A は 10,000 ユーザブル・ゲートの集積度を提供します。詳細については販売代理店へお問い合わせください。

### 3.3V と 5.0V のデバイスを提供する FLEX 6000 ファミリー

アルテラは 3.3V 動作の EPF6024A と、5.0V 動作の EPF6016 を供給中です。これらのデバイスは、高い性能をゲートアレイと同等の価格で実現しています。これらの製品は、量産向けのアプリケーションに対してこれまでにない低価格で高い柔軟性と迅速な「Time-to-Market」の双方を実現するデバイスです。詳細は下記の表 1 を参照してください。

機能	EPF6016	EPF6024A
プロセス・テクノロジー	0.5 ミクロン	0.35 ミクロン
電源電圧	5.0V	3.3V
ピン・マイグレーション機能	Yes	Yes
ゲート数	8,000 ~ 16,000	12,000 ~ 24,000
ロジック・エレメント数	1,320	1,960
ユーザ I/O 数（最大）	204	218
パッケージ・オプション	144-pin TQFP 208-pin PQFP 240-pin PQFP 256-pin BGA	144-pin TQFP 208-pin PQFP 240-pin PQFP 256-pin BGA

### FLEX 6000 デバイスの供給状況

下記の表 2 は、FLEX 6000 ファミリの各デバイスの供給状況を示したものです。

デバイス名	供給状況	100-Pin TQFP	144-Pin TQFP	208-Pin PQFP	240-Pin PQFP	256-Pin BGA
EPF6010A	供給中	√	√			
EPF6016	供給中		√	√	√	√
EPF6016A	供給中	√	√	√		
EPF6024A	供給中		√	√	√	√

## コンフィギュレーション EPROM 最新情報

### 新製品、EPC2 デバイスを発表予定

アルテラは、リプログラマブルなコンフィギュレーション EPROM の最初の製品、EPC2 を 1998 年 10 月にリリースする予定です。この EPC2 は 1 個で 130,000 ゲートまでの FLEX デバイスをコンフィギュレーションすることができ、IEEE Std. 1149.1 の JTAG（Joint Action Test Group）パウンダリ・スキャン・テスト（BST）ポートを通じてイン・システムでプログラムすることができます。アルテラはこの EPC2 を 20 ピンの PLCC、32 ピンの TQFP パッケージで供給する予定です。EPC2 は同一パッケージで供給されている他のアルテラ製コンフィギュレーション EPROM とピン互換で提供される予定です。この EPC2 は 3.3V または 5.0V で動作します。

## MAX 最新情報

### MAX 9000A デバイスの供給状況

最大10nsのピン間遅延を提供するMAX<sup>®</sup> 9000Aデバイスは、従来のMAX 9000デバイスを凌ぐ非常に高い性能と低価格化を実現しています。高性能を実現するEPM9320AとEPM9560Aの両デバイスは、現在大量に出荷されています。下記の表1は、これらのデバイスで現在出荷中となっているパッケージ・オプションを示したものです。

デバイス名	t <sub>PD</sub> (ns)	供給状況	84-Pin PLCC	208-Pin RQFP	240-Pin RQFP	356-Pin BGA
EPM9320A	10	供給中	√	√		√
EPM9560A	10	供給中		√	√	√

### MAX 9000 デバイスの工業用温度範囲品を提供

アルテラは、工業用温度範囲の動作を保証した-10スピード・グレードのEPM9560を240ピンのパワー・クワッド・フラット・パック (RQFP) パッケージで提供しています。また、工業用温度範囲を保証した-10スピード・グレードのEPM9560Aが208ピンRQFPパッケージで、またEPM9320Aが84ピンのPLCCと208ピンのPLCCパッケージで、それぞれ1998年5月から出荷されています。

### EPM7128A デバイスを出荷開始

業界をリードするアルテラのMAXアーキテクチャをベースにしたEPM7128AはMultiVolt I/Oピン機能をサポートすると共に、5.0Vで動作する従来のMAX 7000Sデバイスとピン互換となっており、最大5.0nsのピン間遅延を実現しています。アルテラは現在、-7、-10のスピード・グレードのEPM7128Aを84ピンのPLCC、100ピンと144ピンのTQFPパッケージで供給しています。

また、EPM7256Aの出荷は1998年の6月から開始されており、EPM7064Aは1998年の第3四半期(7~9月期)から出荷される予定です。これら3種類のMAX 7000AデバイスはMAX+PLUS IIのバージョン9.0でサポートされる予定です。

### MAX 7000S デバイスの供給状況

MAX 7000Sデバイスは、5nsのスピード・グレードを持つプロダクト・ターム・ベースの最高速PLDです。これらのデバイスは、ISP機能、IEEE Std. 1149.1 準拠のJTAG BST回路の内蔵、128個以上のマクロセル、オープン・ドレイン出力オプションなどの特長を持っています。表2はMAX 7000Sデバイスに提供されているパッケージ・オプション、スピード・グレードと各製品の供給状況をまとめたものです。

デバイス名	パッケージ	スピード・グレード	供給状況
EPM7032S	44-pin PLCC	-7, -10	供給中
	44-pin TQFP	-7, -10	供給中
EPM7064S	44-pin PLCC	-5, -6, -7, -10	供給中
	44-pin TQFP	-5, -6, -7, -10	供給中
	84-pin PLCC	-6, -7, -10	供給中
	100-pin TQFP	-6, -7, -10	供給中
EPM7128S	84-pin PLCC	-6, -7, -10, -15	供給中
	100-pin TQFP	-6, -7, -10, -15	供給中
	100-pin PQFP	-6, -7, -10, -15	供給中
	160-pin PQFP	-6, -7, -10, -15	供給中
EPM7160S	84-pin PLCC	-6, -7, -10	供給中
	100-pin TQFP	-6, -7, -10	供給中
	160-pin PQFP	-6, -7, -10	供給中
EPM7192S	160-pin PQFP	-7, -10, -15	供給中
EPM7256S	208-pin RQFP	-7, -10, -15	供給中

### MAX 7000 デバイスの新プロセスへの移行

アルテラはMAX 7000デバイスの製造を0.65ミクロン・プロセスから0.5ミクロン・プロセスに移行させています。表3は、新しいプロセスへの移行予定とこの移行に関する関係書類を示したものです。これらの関係資料はアルテラのウェブ・サイト、<http://www.altera.com>にあるCustomer Notificationのページからダウンロードすることができます。

デバイス名	関係書類 注(2)	移行予定	プロセス
EPM7032	PCN9703 ADV9803	1998年8月	0.5ミクロン
EPM7064 EPM7064S	PCN9703 ADV9708	完了	0.5ミクロン
EPM7128E EPM7128S	PCN9703 ADV9708	完了	0.5ミクロン
EPM7160E	PCN9703 ADV9803	1998年10月	0.5ミクロン
EPM7192E EPM7192S	ADV9708 ADV9708	完了	0.5ミクロン
EPM7256S EPM7256E	PCN9703 ADV9708	完了	0.5ミクロン

注:

- (1) この移行に伴うデータシート上のパラメータおよび注文コードの変更はありません。
- (2) アルテラはこれらのプロセス変更通知書、連絡書などの関係ドキュメントをワールド・ワイド・ウェブ・サイト、<http://www.altera.com>を通じて提供しています。

( 8 ページに続く )

Devices & Tools (7ページからの続き)

## TOOL 最新情報

### PC用 MAX+PLUS II にネットワーク・ライセンスを7月から提供

1998年7月にリリース予定となっているMAX+PLUS® IIのバージョン9.0から、PCおよびワークステーションをプラットフォームにする双方の製品に対してフローティング・ノード・ライセンスが提供されるようになります。PCベースのMAX+PLUS II にフローティング・ノード・ライセンスが付加された製品の発注コードはPLS-NET/PC、WSベースの場合はPLS-WS/xxです。フローティング・ノード・ライセンスが付加されたPCプラットフォームのMAX+PLUS II は、UNIXまたはWindows NT ベースのライセンス・サーバから動作させることができます。このときのライセンス・ファイルには、UNIXサーバのホストID、またはWindows NT サーバのネットワーク・インタフェース・カード(NIC)のIDが使用されます。

フローティング・ノード・ライセンスが提供される基本システム製品の標準販売価格は、ノードあたり\$6,995となる予定です。また、PCおよびUNIXのフローティング・ノード・ライセンスに対するメンテナンス契約(発注コード:PLAESW-FLOAT)の標準価格は、ノードあたり\$1,695となる予定です。なお、アルテラはソフトウェア・ガード付きの固定ノードとなっているMAX+PLUS II製品(PLS-MAGNUMとPLS-BASE)を今後も継続して販売します。

アルテラは、現在PC用固定ノードの基本システムもしくはWSフローティング・ノード・ライセンスと有効なメンテナンス契約を保有されているユーザに対して、この新しいフローティング・ノード・ライセンスを特別キャンペーン価格で提供しています。この特別キャンペーン価格はノードあたり198,000円、メンテナンス価格は147,000円となっており、これらの価格は1998年の7月1日から9月30日までの限定期間のみに適用されます。ただし、必ずノード・ライセンスとメンテナンスを一括購入することが条件となっています。この特別キャンペーンに関する詳細については、販売代理店へお問い合わせください。

### MAX+PLUS II のバージョン 9.1 に対するバージョン・コントロールド・ライセンス

アルテラはMAX+PLUS II のバージョン 9.1 から、新たにバージョン・コントロールド・ライセンスを提供する予定です。このバージョン・コントロールド・ライセンスにより、新たにリリースされた機能を使用するためには、有効なメンテナンス契約を締結していることが必要です。アルテラはメンテナンス契約を締結されているユーザに対して、MAX+PLUS II のバージョン 9.1 がリリースされる前に新しいライセンス・ファイルを送付します。また、ライセンス・ファイルは、アルテラのウェブ・サイト、<http://www.altera.com> を通じて生成することもできます。

### SunOS 4 オペレーティング・システムに対するサポートの中止

アルテラは、1998年10月にリリースされる予定となっているMAX+PLUS II のバージョン9.1から、MAX+PLUS IIのSunOS 4.x

オペレーティング・システムに対するサポートを中止する予定です。

SunOS 4システムはここ数年間にわたってアップデートされておらず、新しいUltraSPARC上では動作しません。また、またこのOSでは、Verilog HDLの合成機能やMegaWizard™ Plug-InなどのMAX+PLUS II に統合化された新しい機能をサポートすることができません。MAX+PLUS II のバージョン 9.1 以降でサポートされるUNIXオペレーティング・システムは、Solarisの2.5以降、HP-UXの10.20以降、およびIBMのAIX 4.1以降になる予定です。

### MegaCore ファンクションの入手方法

アルテラのウェブ・サイト、<http://www.altera.com/html/products/megacore.html> から、アルテラの提供する最新のMegaCore™ファンクションをダウンロードすることができます。アルテラのウェブ・サイトにはアップデートされた最新ファンクションのファイルが提供されており、アルテラのMegaCoreファンクションを使用したデザインがすぐに開始できるようになっています。

MegaCoreファンクションがウェブ・サイトからダウンロードできるようになったため、アルテラではMAX+PLUS II のバージョン 8.3 から、これらのファンクションをMAX+PLUS II CD-ROMに収録して配布することを中止します。

### Microperipheral MegaCore Library用オーソライゼーション・コード

現在、アルテラはMicroperipheral MegaCore Library (発注コード:PLSM-MICROLIB)に含まれている7種類のMegaCoreファンクションに対して、各ファンクションごとに個別のオーソライゼーション・コードを発行しております。このPLSM-MICROLIBに含まれているファンクションは下記の通りです。

- a8237 プログラマブルDMAコントローラ
- a8251 プログラマブル・コミュニケーション・インタフェース
- a8255 プログラマブル・ペリフェラル・インタフェース・アダプタ
- a8259 プログラマブル・インタラプト・コントローラ
- a6402 UART (Universal Asynchronous Receiver / Transmitter)
- a16450 UART
- a6850 ACIA (Asynchronous Communications Interface Adapter)

これまで、アルテラはこのライブラリ全体に対して1つのオーソライゼーション・コードを発行していましたが、今後はこれら各ファンクションごとに個別のライセンスを提供し(標準販売価格は各ファンクションあたり\$1,995)、それぞれのファンクションに対して個別のオーソライゼーション・コードを発行することになりました。なお、ライブラリ全体に対するライセンスも従来どおり提供されます(標準価格:\$7,995)。すでにMicroperipheral MegaCore Library全体を購入され、7種類の個別のオーソライゼーション・コードをお持ちでない方は、販売代理店へご連絡ください。

アルテラのMegaCoreファンクションは、アルテラのウェブ・サイト、<http://www.altera.com/html/products/megacore.html> を通じて提供されています。このウェブ・サイトをアクセスすることで、



常に最新の Microperipheral MegaCore Library を入手することができます。なお、MAX+PLUS II CD-ROMに収録されている古い MegaCore ファンクションのファイルは使用しないでください。

## アルテラが ByteBlasterMV ダウンロード・ケーブルを発表

アルテラは、3.3Vと5.0Vの双方のISP（イン・システム・プログラマビリティ）対応デバイスをサポートするByteBlasterMV™ パラレル・ポート・ダウンロード・ケーブル（発注コード：PL-BYTEBLASTERMV）を発表しました。

このByteBlasterMVダウンロード・ケーブルはPC側の25ピン標準パラレル・ポートとインタフェースすることができ、ターゲット・デバイスが実装されるボードとの接続にはByteBlaster™およびBitBlaster™ダウンロード・ケーブルと同じ10ピンのコネクタが使用できます。このダウンロード・ケーブルは、従来のByteBlaster用に設計されたポートとの完全な互換性を確保して

います。ByteBlasterMVダウンロード・ケーブルを使用することで、PCベースのMAX+PLUS IIを使用するユーザはMAX® 9000、MAX 7000SおよびMAX 7000Aの各デバイスをイン・システムでプログラムすることができ、またFLEX® 10K、FLEX 8000およびFLEX 6000の各デバイスを標準パラレル・ポートを通じ、イン・サーキットでコンフィギュレーションすることができます。詳細については、アルテラのウェブ・サイト、<http://www.altera.com> に提供されている「ByteBlasterMV Parallel Port Download Cable」のデータシートを参照するか、各販売代理店にお問い合わせください。

## PCI ターゲット用 MegaCore ファンクションの新製品

アルテラは、FLEX 10KおよびFLEX 6000デバイスをターゲットにした新しいPCI ターゲット・インタフェース用 MegaCore ファンクションを発表しました。（発注コード：PLSM-PCIT1、標準販売価格は\$4,995）このMegaCoreファンクションに関する詳細については、販売代理店へお問い合わせください。

## 製造中止品情報

アルテラはいくつかの製品の製造中止を発表しております（下記の表を参照してください）。アルテラはこれらの製造中止品に関する情報が記載された製造中止通知書（PDN: Product Discontinuation Notices）およびアルテラ連絡通知書（ADV: Altera Distributes Advisories）を発行しています。特定デバイスのPDNまたはADVの入手を希望される場合は、日本アルテラまたは販売代理店へご連絡ください。なお、すべての製造中止品のリストと一部のPDNとADVについてはアルテラのウェブ・サイト、<http://www.altera.com> でも提供されています。

なお、各半導体メーカーの製造中止品を専門に供給している米国のロチェスタ・エレクトロニクス社は、多数のアルテラの製造中止品の供給を引き続きサポートする予定です。詳細についてはロチェスタ・エレクトロニクス社のウェブ・サイト、<http://www.rocelec.com> をご覧になるか、同社の日本代理店である小松セミコン(株)電話:03-3573-6828へお問い合わせください。

製造中止品				
デバイス・ファミリ	製造中止デバイス	最終受注	最終出荷	製造中止通知番号
FLASHlogic	EPX880 および EPX8160（すべてのパッケージ、温度範囲、スピード・グレードの製品）	6/30/97	6/30/98	PDN9625
	EPX740（すべてのパッケージ、温度範囲、スピード・グレードの製品）	3/31/97	9/30/97	PDN9516

アルテラが FLEX 10KE デバイスを発表  
5 ページからの続き

## MAX+PLUS II によるソフトウェア・サポート

FLEX 10KE デバイスに対するソフトウェア・サポートは、1998年7月にリリースされる予定のMAX+PLUS IIのバージョン9.0から提供される予定です。詳細は、販売代理店へお問い合わせください。

## まとめ

デュアル・ポートRAM、FineLine BGA、MultiVolt I/O 機能と2.5Vの電源電圧などのさらに強化された機能により、FLEX 10KE デバイスはデバイスの性能と効率を向上させます。FLEX

10KE デバイスに関する詳細については、日本アルテラまたは販売代理店へお問い合わせください。

表3 FLEX 10KE デバイスの供給開始予定

デバイス名	供給開始予定
EPF10K30E	1999 年前半
EPF10K50E	1998 年 Q4
EPF10K100E	1999 年前半
EPF10K100B	1998 年 8 月
EPF10K130E	1999 年前半
EPF10K200E	1999 年前半
EPF10K250E	1999 年前半

## 適切な URAT メガファンクションを選択する方法

UART (Universal Asynchronous Receiver/Transmitter) は、マイクロプロセッサまたはマイクロコントローラのセントラル・プロセッシング・ユニット間を接続するときに、ローコストでシリアルな通信を行うキー・モジュールとなります。UART のプロトコルはプログラマブル・ロジック・デバイス (PLD) に実現できるようになっており、アルテラの Microperipheral MegaCore™ ファンクション・ライブラリや Altera Megafunction Partners Program (AMPP<sup>SM</sup>) プログラムに参加しているパートナー企業から多くの UART ファンクションが提供されています。

### UART について

UART の基本プロトコルは、1 本のデータ・ラインと 1 本のステータス・ラインを通じて双方向に転送されるシリアル・インフォメーションの送信と受信の動作によって構成されます。各データのペケットには、データ・ビット、ストップ・ビット、パリティ・ビットの各数値が含まれています。一般的に、UART は、5V の信号を -12V の信号に、また 0V の信号を +12V の信号に、またその逆の変換を行う RS-232 のハードウェアとして使用されます。

多くの UART はプロセッサとのインタフェースを持っており、コマンドと設定条件をレジスタに書き込むことで、UART に動作を指令できるようになっています。また、UART はそのタイプによって、受信データに対する多様なバッファ・サイズを持っています。あるキャラクタが UART 側で受信されると、このキャラクタはバッファに転送され、CPU (Central Processing Unit) に割り込み (インタラプト) が送信されます。CPU はバッファにストアされたデータを読み込み、次のペケットに対するスペースを作成します。

UART のファンクションは、チップセット (ASSP) やマイクロコントローラに応じて、異なる略称で呼ばれており、異なる要求の組合わせに対応しています。下記にいくつかの略称をリストしました。

- ACIA (Asynchronous Communications Interface Adapter)
- DAR (Dual Asynchronous Receiver Transmitter)
- DUART (Dual Universal Asynchronous Receiver Transmitter)
- MUART (Multifunction Universal Asynchronous Receiver Transmitter)
- SIO (Serial Input Output)
- USART (Universal Synchronous/Asynchronous Receiver/Transmitter)

MIDI (Musical Instrument Digital Interface) や IrDA (Infrared Data Association) の通信インタフェースにも UART の機能が使用されています。

### プログラマブル・ロジックで実現される UART の利点

プログラマブル・ロジックで実現される UART は、ASSP (Application-Specific Standard Product) として提供されている UART に比較して、下記のような重要な利点を持っています。

- さらに高速なデータ・レート
- システム・コストの低減
- 「Faster Time-to-Market」の実現

### さらに高速なデータ・レート

性能の点から見ても、プログラマブル・ロジックは、さらに高速なデータ・レートを実現します。例えば、AMPP パートナである CAST 社は、1.5Mbps の転送レートを簡単に達成できる c16550 と呼ばれるメガファンクションを提供しています。システム・レベルから見た場合、1 個の PLD 内に実現される UART の機能は、システムに要求されるインストラクションのサイクル数を低減することができるため、システム全体の性能を上げることが可能です。

### システム・コストの低減

通常、マイクロコントローラにはパラメータの設定によって、3 種類から 4 種類の UART 機能が提供されます。デザインによっては、これらの UART の機能全体が活用されることもありますが、多くのデザインでは標準製品に含まれていないような特殊な機能が要求されます。例えば、大容量の FIFO (First-In First-Out) バッファ付きで、ポー・レートの生成機能がない c16550 タイプの UART が必要になることがあります。

このような要求のデザインを既存の ASSP 製品を使用して実現すると、使用されないポー・レート生成機能に対しても費用を負担し、さらにボード上に FIFO バッファ用のメモリを追加する必要が生じ、全体のシステム・コストを上昇させる結果となります。これらのコストの上昇分は、リプログラマブルなユーザによるパラメータの設定が可能になっている UART のメガファンクションを 1 個の PLD で実現することで解消できます。リプログラマブルな UART のメガファンクションを使用することによって、試作段階で実現した機能を簡単に変更することもできます。

### 「Faster Time-to-Market」の実現

UART 機能の実現には、プログラマブル・ロジックがもっとも柔軟性の高いソリューションを提供し、市場参入までの期間の短縮、いわゆる「Faster Time-to-Market」の実現にも大きく貢献します。例えば、CAST 社は、C1645Q、C1655Q、C685Q、C8251 などの標準プロトコルを持った多数の UART メガファンクションを提供しており、ユーザによるカスタマイズが可能となっている

メガファンクション、C\_UARTも供給しています。また、CAST社は、各UARTメガファンクションごとにVHDLシミュレーション・テストベンチも提供しており、各メガファンクションのプロトコル機能が保証されるようになっています。

### UART メガファンクションの重要なパラメータ

UARTのメガファンクションを必要とするデジタル・デザインを開始する場合は、まず以下のパラメータや条件を決定しなければなりません。

- システム内に何個のUARTが必要か？
- バック・エンドのバスのタイプは何か？(インテル、モトローラ、またはその他の特定バスか？)
- ボー・レート・ジェネレータは必要か？ 必要な場合は、その周波数は？
- 1キャラクタあたりの情報のビット数は？
- ストップ・ビットは何ビットか？
- どのようなタイプのパリティ・チェックを使用するか？
- 実現されるUARTに与えられるデータの方向は？(レシーバか、トランスミッタか、その両方か？)
- UARTに要求されるプロトコルは固定か、またはプログラマブルなプロトコルが必要か？
- FIFOバッファの深さは？

### 正しいUART メガファンクションを選択するためのチェック・リスト

下記のチェック・リストは、各デザインのニーズに対応した最適なUARTメガファンクションを選択するときに役立ちます。このチェック・リストに関する詳細については、日本アルテラの実用技術部までお問い合わせください。

要求される機能(該当するすべての項目にチェック・マーク):

- 16450の機能
- 16550の機能
- 6402の機能
- 6850の機能
- 8251の機能
- C\_UARTの機能
- MIDIの機能
- その他(右に記入): \_\_\_\_\_

カスタム・コア(該当するすべての項目にチェック・マーク):

- 非同期
- 同期
- HDLC
- 上記のすべて

プロトコル:

- 固定
- プログラマブル

データのビット数:

- 5
- 6
- 7
- 8
- その他(右に記入): \_\_\_\_\_

ストップ・ビット数:

- 1
- 2
- その他(右に記入): \_\_\_\_\_

パリティ:

- Odd (奇数)
- Even (偶数)
- 両方
- パリティなし

FIFOの深さ:

- 受信側の深さ: \_\_\_\_\_
- 送信側の深さ: \_\_\_\_\_

### その他のソリューション

UARTのメガファンクションは、アルテラのMicroperipheral MegaCore Library、またはCAST, Inc. やFastman, Inc. を含むAMPPのパートナー企業から提供されています。これらのメガファンクションは、MAX+PLUS IIのソフトウェアで提供されているOpenCore™機能を利用することによって、ライセンスの購入前に評価できるようになっています。この購入前の評価を可能にしたシステムでは、UARTのメガファンクションをデザイン内でインスタンス化し、シミュレーションできるようになっていますが、プログラミング・ファイルを生成することはできません。

### まとめ

アルテラのプログラムを通じて提供されているUARTメガファンクションに関するさらに詳しい情報については、日本アルテラの実用技術部へお問い合わせ頂くか、アルテラのウェブ・サイト、<http://www.altera.com> をアクセスしてご確認ください。

## 次世代の BGA パッケージ

FineLine BGA™パッケージと呼ばれる1.0mm ピッチのボール・グリッド・アレイ (BGA) パッケージは、実装面積の縮小を実現するアルテラの革新的な最先端パッケージです。このパッケージはプリント基板 (PCB) のサイズの最小化を実現すると共に、高集積プログラマブル・ロジック・デバイス (PLD) の抱える課題の解消にも貢献しています。現在、1.0mm ピッチの FineLine BGAパッケージはあらゆるパッケージの中でもっとも効率の高いボード実装面積を実現しており、従来の1.27mmピッチのBGAパッケージの半分以下のスペースでボードに実装可能です。また、標準的なクワッド・フラット・パック (QFP) パッケージと比較した場合でも、その実装面積は大幅に縮小されます。

### 特長

FineLine BGAパッケージは、下記のような特長を持っています。

- 100ピンから672ピンまでのピン数
- 試作が容易
- 従来のハンダ・リフロー工程で実装可能

表1は今後供給が予定されているFineLine BGAパッケージの一覧表です。

### 高いパッケージ効率

FineLine BGAパッケージは、従来の1.27mmピッチのBGAパッケージや標準的なQFPパッケージよりもボードの実装面積をさらに縮小するだけでなく、ピンの実装密度もさらに向上させます。表2は、1.0mmピッチのFineLine BGAパッケージの効率を、1.27mmピッチのBGA、プラスチック・クワッド・フラット・パック (PQFP)、薄型クワッド・フラット・パック (TQFP) の各パッケージと比較したデータです。

表2に示されているように、144ピンのTQFPパッケージの実装スペースは672ピンのFineLine BGAパッケージとほぼ同じになり、従来の356ピンBGAパッケージには672ピンのFineLine BGAパッケージのほぼ2倍に相当する実装スペースが必要になります。

平均的には、1.0mmピッチのFineLine BGAパッケージの実装スペースが、1.27mmピッチのBGAパッケージの半分以下となります。また、この実装スペースの削減は、パッケージの低コスト化と共にユーザの製造コストを低減します。図1を参照してください。

### まとめ

アルテラは1.0mmピッチのFineLine BGAパッケージを提供すると共に、今後もさらに柔軟性に富んだ最先端パッケージを継続的に提供して行く予定です。FLEX® 10KE、FLEX 10KA、FLEX 6000、MAX® 7000Aの各デバイスには、この1.0mmピッチのFineLine BGAパッケージが提供される予定です。なお、これらのFineLine BGAパッケージは、業界標準となっているJEDEC Publication No.95の仕様に適合しています。FineLine BGAパッケージに関する詳細については、日本アルテラの応用技術部、または販売代理店へお問い合わせください。

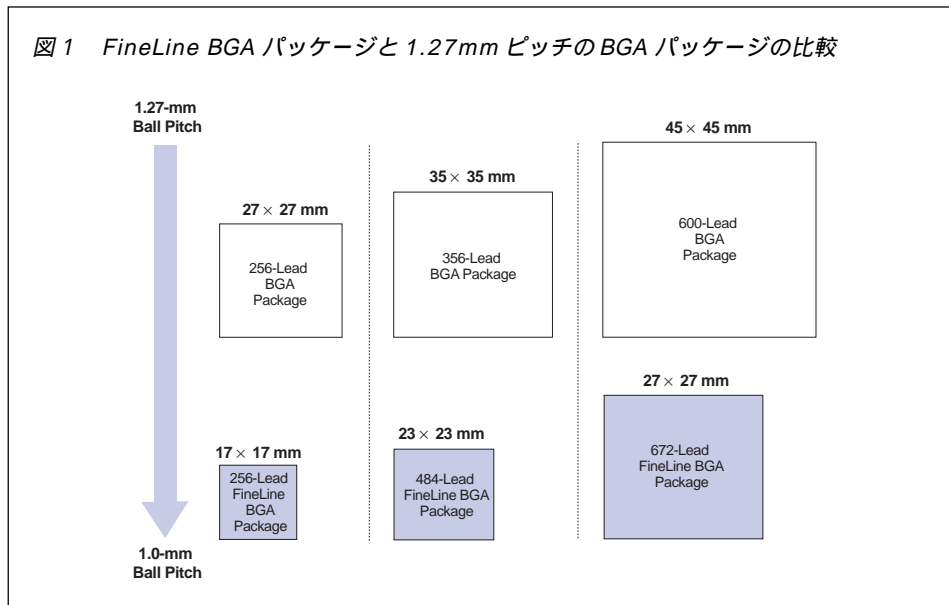
表1 供給予定の FineLine BGA パッケージ

ピン数	パッケージ・サイズ (mm)
100	11 × 11
256	17 × 17
484	23 × 23
672	27 × 27

表2 パッケージの比較データ

パッケージ	TQFP	PQFP	1.27mm BGA	FineLine BGA
パッケージ・サイズ (mm)	22 × 22	28 × 28	35 × 35	27 × 27
ボードの占有面積 (in <sup>2</sup> )	0.8	1.5	1.9	1.1
ピン数	144	208	356	672
占有面積あたりのピン数 (ピン数 / in <sup>2</sup> )	200	140	180	600

図1 FineLine BGA パッケージと 1.27mm ピッチの BGA パッケージの比較





## FLEX デバイスによる FIFO ソリューション

アルテラは FLEX<sup>®</sup> デバイスをターゲットにした複数の FIFO (First-In First-Out) バッファのデザイン・ソリューションを提供しています。FIFO バッファは、デザイン内のあるサブシステムから別のサブシステムにデータを転送するためのバッファとして使用されます。例えば、FIFO バッファは複数のソースから共通のバスに転送されるデータを保持するときに使用されます。バスがビジーの状態になっている場合は、データが FIFO バッファにストアされ、フリーの状態になっている場合は FIFO バッファがデータをバスに転送します。

ほとんどの FIFO バッファのデザインは FLEX 10K のエンベデッド・アレイ・ブロック (EAB) を使用して構成することができ、高性能で大容量な FIFO をロジックとメモリ間のトレードオフなしで実現できます。また、デザインの要求によっては、ロジック・エレメント (LE) を使用した FIFO バッファのほうが、良好なソリューションになることがあります。

FIFO バッファを使用する場合は、さまざまなシステム上の要求を考慮する必要があります。例えば、FIFO バッファがリードとライトの動作を同時に行う必要があるかどうかを検討する必要があります。FIFO バッファによっては、リードとライトの動作に別個のクロックが使用されるタイプがあり、リードとライトに同じクロックが使用されるタイプもあります。アルテラは、これらすべての要求に適合する複数の FIFO ソリューションを提供しています。

### インタリーブド・メモリ FIFO

インタリーブド・メモリ FIFO バッファは、1本のリード/ライト・クロックを持つ比較的深い構成のバッファに適しています。この FIFO バッファには、8ビットのデータ幅ごとに2個の EAB が使用されます。この構成で、最大512ワードまでの深さの FIFO バッファを追加の EAB を使用せずに実現できます。

各 EAB は与えられた 1 クロック・サイクルでリードまたはライト動作を行うことができます。2 個の EAB を使用することにより、リードとライトの動作を同時に行うことができます。データはライト動作が行われない EAB からプリ・フェッチされるようになっており、同じ EAB にリードとライトの動作が同時に行われたときに発生するデータのコンフリクトが防止されます。この構成の FIFO バッファは、FLEX 10KA デバイスで 80MHz の性能を実現することができます。

### サイクル・シェアド FIFO

サイクル・シェアド FIFO は、インタリーブド・メモリ FIFO バッファよりも少ない数の EAB で構成できるため、FIFO バッファに多くの EAB を必要とするデザインに適しています。この FIFO バッファには 1 本のリード/ライト・クロックが使用され、各 EAB が 2 倍の周波数のクロックで時分割されて使用されます。この場合、2 倍された連続したクロック・サイクルでリード/ライトの動作を行います。この結果、33MHz のスループットを持つサイクル・シェアド FIFO バッファは 1 本の 66MHz クロックで実現でき、FLEX 10KA デバイスでは 40MHz の性能を達成することができます。

### アービトレイド FIFO

FIFO のアプリケーションによっては、リードとライトの同時動作が不要になります。例えば、ATM (Asynchronous Transfer Mode) のデザインには、53 バイトのセル全体のリードまたはライト動作をバースト・モードで行うための FIFO バッファが必要になることがあります。このような ATM のデザインには複数の FIFO バッファが使用され、一方のポートから 1 個分のセルを一方の FIFO バッファに対して書き込み、もう一方のポートから別の FIFO バッファからセル 1 個分のデータを読み出します。リードとライトの動作を同時に行う必要がないアプリケーションには、このアービトレイド FIFO バッファが使用できます。アービトレイド FIFO バッファは、1 個の EAB でデータをストアすることができます。この FIFO バッファには、リードとライトの優先順位を決定するパラメータが提供されています。このアービトレイド FIFO バッファには 1 本のリード/ライト・クロックが使用され、FLEX 10KA デバイスに実現された場合は 80MHz 以上で動作します。

### LE ベースの同期 FIFO

ターゲット・デバイスに内蔵されている EAB の数を超えるような、多くの FIFO バッファが必要になることがあります。また、FLEX 6000 デバイスのように EAB を内蔵していないデバイスに FIFO バッファを構成する必要がある場合もあります。このいずれのケースにも、LE ベースの同期 FIFO は経済的なソリューションとなります。この FIFO バッファでは、データをストアするためにシフトレジスタが構成されます。この LE ベースの FIFO は、リードとライトが 1 本のクロックで行われる複数の浅い、データ幅の広い FIFO バッファの構成に最適です。LE ベースの同期 FIFO は高速のアプリケーションに適しており、100MHz 以上の性能を実現することができます。

### LE ベースの非同期 FIFO

リードとライトに別のクロックを必要とするアプリケーションには、LE ベースの非同期 FIFO が理想的なソリューションとなります。33MHz の PCI バスから 50MHz のバック・エンドにデータを転送するためのバッファとして FIFO が必要になることがあります。これらの FIFO バッファは、"Asynchronous"、または "Two-Clock"、"Bisynchronous" と呼ばれています。LE ベースの非同期 FIFO は、データをストアするレジスタ・バンクによって構成されます。ライト・カウンタの値がデコードされてどのレジスタにデータをライトするかが決定され、リードされるレジスタの決定にはマルチプレクサが使用されます。

複数のレジスタとマルチプレクサで構成されるメモリの構造では、リード動作に使用されるマルチプレクサがライト・デコーダから独立しているため、リードとライトの動作を同時に行うことができます。また、この構造では、リードとライトを別のクロックで行うことができます。この FIFO バッファのコントロール回路は、システム内でメタステーブルによる障害の発生を防止するようになっています。

(15 ページに続く)

# Design Tips

## Altera Applications

### 効率的なステート・マシンの構成方法

この記事はアルテラの応用技術部門が4回の連載でお送りしている「実践的なデザイン手法」に関する解説の第2回目です。今回は、VHDLを使用した効率的なステート・マシンの作成方法について解説します。次回以降の *News & Views* では、下記の内容を解説する予定です。

MAX+PLUS® II のVHDLでの算術演算子の使用法  
階層を持ったインスタンス化の重要性

この記事で解説されているデザイン・テクニックを使用することで、効率的なステート・マシンと非効率的なステート・マシンの違いを理解することができ、デザイン全体の性能を向上させるのに大いに役立ちます。

非効率的なステート・マシンが使用されている場合は、要求される性能の達成が困難になります。デザインが要求される性能を達成できるようにするため、アルテラの応用技術はステート・マシンのコーディングを下記のガイドラインにしたがって行うことを推奨します。

ステート・マシンからすべての算術演算機能とデータ・パスを取り除く。  
ステート・マシンのコントロール・ロジックはIF文の中のみ使用する。  
各ステートの規定を除き、信号を規定する <= の右辺にコントロール変数や信号名を記述しない。

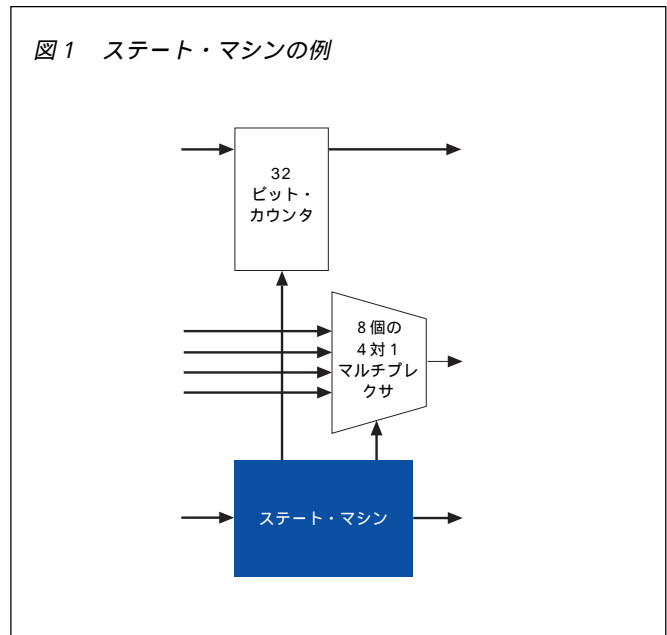
図1は、1個のカウンタと8個の4対1マルチプレクサをダイレクトにコントロールしているステート・マシンを表したものです。

以下に示す MAX+PLUS II のVHDLによる記述例は、この図1に示したステート・マシンを2種類の異なる方法で作成したものです。例1はこのステート・マシンを非効率的な方法で構成したものであり、これに対して例2はより効率的な方法で構成しています。

#### 例1：非効率的なコーディング方法

```
.
.
.
ELSIF (clk'EVENT AND clk = '1') THEN
    muxout <= muxa;
    CASE state IS
        WHEN s0 =>
            IF (sm_in(4) = '1' AND sm_in(2) =
                '1') THEN
                state <= s6;
```

図1 ステート・マシンの例



```
    muxout <= muxc;
    count <= count - '1';
    ELSIF (sm_in(1) = '1') THEN
        state <= s5;
        count <= count + '1';
    ELSE
        state <= s2;
        muxout <= muxb;
    END IF;
    WHEN s1 =>
```

この例1の記述では、すべてのマルチプレクサの出力信号がIF文の中でコントロールされており、これによってマルチプレクサのコントロール信号に対して追加のロジックが生成される可能性があります。また、カウンタはIF文の中でインクリメントされるか、デクリメントされるかが規定されており、これによって参照されるカウンタが2つになってしまう可能性があります。

## 例 2 : 効率的なコーディング方法

```

.
.
.
ELSIF (clk'EVENT AND clk = '1') THEN
    muxsel <= "00";
    count_en <= "0";
    count_ud <= "0"; -- "1" = count up,
    -- "0" = count down
    CASE state IS
        WHEN s0 =>
            IF (sm_in(4) = '1' AND sm_in
(2) = '1') THEN
                state <= s6;
                muxsel <= "10";
                count_en <= "1";
            ELSIF (sm_in(1) = '1') THEN
                state <= s5;
                count_en <= "1";
                count_ud <= "1";

```

```

ELSE
    state <= s2;
    muxsel <= "01";
END IF;
.
.
.

```

これに対して、例 2 では IF 文の中でコントロール信号が規定されていますが、マルチプレクサとカウンタは IF 文の外側で宣言されています。この記述スタイルは、ステート・マシンが追加のロジックを作成することなくカウンタとマルチプレクサだけをコントロールするようになるため、より効率的になります。ここで、カウンタとマルチプレクサは別個の独立した構造のものとして宣言されており、ステート・マシンの中で参照されることはありません。カウンタとマルチプレクサをステート・マシンの記述から分離することによって、より効率の高い結果が得られます。

ステート・マシンの効率的な作成方法に関する詳細については、日本アルテラの応用技術部へお問い合わせください。

## AMPP カタログ バージョン - 3

AMPP カタログのバージョン - 3 が 1998 年 6 月に完成しました。このカタログには、Altera Megafunction Partners Program (AMPP<sup>SM</sup>) の概要と、各 AMPP パートナ企業の横顔とメガファンクション製品が紹介されています。

この AMPP カタログ (英語版) の入手を希望される方は、日本アルテラまたは販売代理店へご請求ください。この AMPP カタログはアルテラのウェブ・サイト、<http://www.altera.com> から PDF フォーマットでダウンロードすることもできます。



## FLEX デバイスによる FIFO ソリューション (13 ページからの続き)

この FIFO はリードとライトにそれぞれ独立したクロックが使用されるアプリケーションに最適であり、他の FIFO バッファと結合させて、独立したリードとライトのクロックを持つさらに大容量の FIFO バッファを構成することもできます。この FIFO は FLEX 10KA デバイスで 60MHz の性能を達成することができます。

## 組み合わせによるソリューション

アルテラは、その他の特定のデザインに対して、複数の FIFO バッファを組み合わせたソリューションも提供しています。例えば、256 x 16 構成の非同期 FIFO バッファは、1 個の小規模な LE ベースの非同期 FIFO バッファと、1 個の EAB ベースの FIFO バッファを結合させることによって実現できます。このタイプの FIFO バッファはクロック・レートのバッファに LE を使用し、データのストアには EAB の提供するサイズと性能を活用する構成となっています。

サイクル・シェアド FIFO バッファは、MAX+PLUS II のソフトウェアの中に csfifo という名前提供されています。他のタイプの FIFO バッファは今後リリースされる MAX+PLUS II の中で提供される予定です。これらすべてのファンクションはパラメータ化されているため、ユーザはシステムに要求されるパラメータを設定することができ、デザインの要求に応じたカスタム・ロジックを簡単に作成することができます。

## まとめ

FIFO 機能を内蔵している FLEX デバイスは、FIFO バッファを必要とするデザインに最適なソリューションを提供します。これらのソリューションは多様な要求の FIFO に適合しており、高い性能と大きな容量を低価格で実現します。

アルテラの FIFO バッファ・ソリューションの詳細については、日本アルテラの応用技術部、または販売代理店のフィールド・アプリケーション・エンジニアへお問い合わせください。

# Questions & ANSWERS

**Q** EPF10K100B や FLEX<sup>®</sup> 10KE デバイスは、FLEX 10K や FLEX 10KA 用に作成されたファイルからでもコンフィギュレーションできるのでしょうか？

**A** いいえ、FLEX 10KE デバイスおよび EPF10K100B は FLEX 10K や FLEX 10KA デバイスとは異なる機能を持っており、FLEX 10K または FLEX 10KA デバイス用のファイルから EPF10K100B や FLEX 10KE デバイスをコンフィギュレーションすることはできません。例えば、EPF10K100B はピンごとに PCI 仕様に準拠した電圧にクランプできる機能を提供していますが、この機能は EPF10K100A には提供されていません。また、FLEX 10KE デバイスの強化された RAM の構造は、FLEX 10K や FLEX 10KA デバイスとは異なります。

**Q** MAX+PLUS<sup>®</sup> II の VHDL 出力ファイルを使用して VITAL によるシミュレーションを実行するときに、セットアップ・タイムやホールド・タイムの違反はどのような方法でチェックできますか？

**A** VITAL シミュレータが MAX+PLUS II の出力ファイルに対するシミュレーションを実行する場合、デフォルトの設定ではセットアップ・タイムやホールド・タイムの違反に関するメッセージを返してきません。セットアップ・タイムやホールド・タイムの違反に関するメッセージを表示させるためには、下記の操作が必要です。

1. VHDL/VITAL ファイル、alt\_vtl.vhd のファイル (UNIX ワークステーションでは /usr/maxplus2/vhdl93/vital/v3\_0 のディレクトリ、PC の場合は <ドライバ名> \maxplus2\vhdl93\vital\v3\_0 のディレクトリ) をエディットし、CONSTANT Definition を True Statement に変更して下記の通りになります。

```
CONSTANT DefTimingMsgOn : BOOLEAN := TRUE
```

2. 変更された alt\_vtl.vhd のライブラリ・ファイルを再度チェックします。これで、VITAL シミュレータがセットアップ・タイムとホールド・タイムのエラーをレポートするようになります。

**Q** FLEX 10K または MAX<sup>®</sup> 7000A で、 $V_I$  が 5.0V までになっているときの最大入力リーク電流はいくらになるのでしょうか？

**A** 「FLEX 10K Embedded Programmable Logic Family」のデータシート (1998 年版データブックに収録、日本語版有り) には、最大入力リーク電流が、 $V_I = V_{CC}$  or GND のときに 10 $\mu$ A であると記述されていますが、この規格は  $V_I$  が GND から推奨動作範囲の最大値、すなわち 5.0V でも有効になります。

**Q** MAX+PLUS II に提供されているシーケンシャルな信号グループ (またはバス) に名前を指定する方法を入力または

出力ピンに使用する場合は、どのように行えば良いのでしょうか？

**A** シーケンシャルな信号グループ (またはバス) に対するネーミング機能は入力ピンまたは内部ノードには使用できませんが、出力ピンに対しては使用できません。この機能が出力ピンに対して使用された場合は、MAX+PLUS II が下記のようなエラー・メッセージを表示します。

```
"Illegal assignment-- a[12..9], b[2..0] on pin  
<番号>"
```

入力ピンのアレイには、a[12..9], b[2..0] のようなネーミングを行うことができます。

これを出力ピンに対して行う場合は、以下の方法で行ってください。

1. グループを 2 つの出力バスに分割し、a[12..9] をある出力ピンに、b[2..0] を別の出力ピンに指定します。

または、

2. WIRE のプリミティブを使用し、このバスが適合するビット幅を持ったひとつのバス c[7..0] になるように名前を変更します。

**Q** アルテラのデバイスに対するエンベデッド・プロセッサまたはイン・サーキット・テストを使用したイン・システム・プログラマビリティ (ISP) のサポートを得るためには、どうすれば良いのでしょうか？

**A** エンベデッド・プロセッサまたはイン・サーキット・テストを使用してアルテラのデバイスに対する ISP を実現する場合は、まずアルテラの ISP サポート・プログラムへの参加を登録してください。このプログラムに参加されると、アルテラの実用技術部門から、ISP の実現に関して幅広いサポートが提供されます。

また、このプログラムに参加されると、MAX+PLUS II でシリアル・ベクタ・フォーマットのファイル (.svf) や Jam<sup>™</sup> Composer の使用を可能にするためのオーソライゼーション・コードがアルテラから e-mail を通じて送付されます。SVF ファイルや Jam Composer に対するサポートが確実に行われるようにするため、アルテラでは MAX+PLUS II を最新バージョンにアップ・デートすることを推奨します。

アルテラの ISP サポート・プログラム、インサーキット・テスト、エンベデッド・プロセッサによる ISP サポートに関する詳細については、日本アルテラの実用技術部へ e-mail (japan@altera.com) でお問い合わせください。

**Q** "F" のサフィックスが付いた MAX 7000 デバイスをイン・システムでプログラムする方法を教えてください。

**A** イン・システム・プログラミングはアダプティブなアルゴリズムまたは一定のアルゴリズムのいずれかで実行することができます。イン・サーキット・テスト (ICT) によっては、アダプティブなアルゴリズムをサポートするのが困難になるため、アルテラでは一定のアルゴリズムでテストしたデバイスを供給し



ています。この一定のアルゴリズムでテストされた MAX 7000 デバイスには、オーダ・コードの末尾に "F" のサフィックスが捺印されています。BitBlaster™ シリアル・ダウンロード・ケーブル、ByteBlaster™ パラレル・ダウンロード・ケーブル、ByteBlasterMV™ パラレル・ダウンロード・ケーブル、エンベデッド・プロセッサを使用するシステムでは、アダプティブなアルゴリズムを使用して MAX 7000 デバイスをイン・システムでプログラムすることができます。

**Q** UART ( Universal Asynchronous Receiver/Transmitter ) の MegaCore™ ファンクション、a16450 の最小バス・トランザクション・レングスは、何サイクルになるでしょうか？

**A** a16450 UART MegaCore ファンクションの最小バス・トランザクション・レングスは、シングル・サイクルのリードおよびライト動作です。

デフォルトの設定で、a16450 MegaCore ファンクションは下記のような状態になります。

a[ ] と cs の入力信号はレジスタを通して供給される。  
dout[ ] の出力信号はレジスタ付き出力となる。

これらのデフォルトの設定が使用された場合、a16450 MegaCore ファンクションは、リードまたはライトを 2 クロック・サイクルで実行します。最初のクロック・サイクルでは、入力レジスタがイネーブルにされ、a[ ] と cs の入力信号がアサートされるようになります。そして、この最初のクロック・エッジで a[ ] と cs がレジスタに書き込まれます。2 番目のクロック・サイクルでライト動作を行う場合は、wr をアサートして次のクロック・エッジに同期させてデータを書き込む必要があります。2 番目のクロック・サイクルでリードを行う場合は、rd をアサートして 2 番目のクロック・エッジに同期して有効なデータが dout[ ] に現れるようにする必要があります。

入力と出力の信号のレジスタを制御するパラメータを変更することによって、a[ ] と cs の信号に対する入力レジスタ、dout[ ] に対する出力レジスタを削除することができます。これらの入出力レジスタを削除することで、シングル・クロック・サイクルでのリードまたはライト動作を行うことができます。

**Q** アルテラのデバイスの湿度に対する感度や推奨される取扱い方法に関する情報は、どこから入手できますか？

**A** アルテラのデバイスの湿度に対する感度や推奨される取扱い方法に関する情報は、下記の 3 ヶ所から入手することができます。

アルテラのデバイスの JEDEC 基準のモイスチャ・レベルに関する情報は、アルテラのウェブ・サイト、<http://www.altera.com> の Altera Customer Notifications のページに提供されています。

ドライパックとデバイスの取扱い方法に関するガイドラインは、アプリケーション・ノート、AN 71 「*Guidelines for Handling J-Lead & QFP Devices*」に記述されています。この

AN 71 は 1998 年版データブックに収録されており、アルテラのウェブ・サイトからダウンロードすることができます。

表面実装デバイスのリフローに関するガイドラインは、アプリケーション・ノート、AN 81( *Reflow Soldering Guidelines for Surface-Mount Devices* ) に記述されています。この AN 81 は 1998 年版データブックに収録されており、日本語版を販売代理店または日本アルテラのウェブ・サイトから入手することもできます。

**Q** FLEX 10KE デバイス ( EPF10K100B を含む )、FLEX 10KA デバイス ( EPF10K50V および EPF10K130V を含む ) および FLEX 6000 デバイスを使用する場合、電源投入時に特別なシーケンスが必要ですか？

**A** FLEX 10KE、FLEX 10KA、3.3V の FLEX 6000 デバイスを使用する場合、電源投入時に特別なシーケンスは必要ありません。これらのデバイスは任意の電源投入シーケンスを許容します。

MultiVolt I/O 機能により、これらのデバイスでは、異なる電源電圧で動作するシステム間のブリッジを 1 個のデバイスで行うことができます。例えば、V<sub>CC</sub> が 3.3V に達する前に、5.0V の入力信号で FLEX 10KE、FLEX 10KA、または 3.3V の FLEX 6000 デバイスをドライブすることが可能となっており、電源の投入前でも信号をこれらのデバイスに供給することが可能です。

**Q** 下記のようなエラー・メッセージが表示されましたが、どうしてでしょうか？

"Initialization failed. Check licensing server name and port number in the license file"

**A** PLS-WEB バージョン 8.2 の MAX+PLUS II を動作させようとしたときにこのようなネットワーク・ライセンスに関するエラー・メッセージが表示されることがあります。このエラー・メッセージは、PLS-WEB のバージョン 8.1 用に生成されたネットワーク・ライセンス・ファイルを使用していた場合に示されます。PLS-WEB バージョン 8.2 を動作させるための新しいライセンス・ファイルはアルテラのウェブ・サイト、<http://www.altera.com> から入手することができます。

このエラー・メッセージは、license.dat ファイルに改行コードが含まれている場合にも表示されることがあります。feature の行に改行コードが含まないようにしてください。

**Q** 5.0V の MAX デバイスで、V<sub>CCINT</sub> ピンの電源電圧を供給する前に入力ピンをドライブすることはできますか？

**A** アルテラは、5.0V の MAX デバイスで V<sub>CCINT</sub> を供給する前に入力ピンをドライブすることは推奨していません。入力をドライブする前に、V<sub>CCINT</sub> に規定されたレベルを与え、デバイスのサブストレートが正しい電圧にバイアスされるようにしてください。このようにすることで、入力信号が規定されたロジック・レベルの限界値からオーバーシュートしたり、アンダシュートすることがなくなり、デバイスがラッチアップすることも防止されます。

# Customer Application

## NEC がアルテラのデバイスを使用して Simple Node を開発

「新しいコンセプトの製品の設計には Cut & Try といった冒険がどうしても必要ですが、これは設計の失敗などの危険と背中合わせでもあります。この危険を忘れさせ自由な冒険を許してくれるデバイスが PLD なのです。」

西村裕介氏談

さらに高速で便利でかつ、経済的な通信システムに対する要求の高まりと共に、企業内および公衆回線のネットワークにおけるトラフィック量が急激に増加しています。こうした需要に対処するため、ネットワーク関連の技術者は、音声とデータを識別することができ、既存の専用回線、ISDN 回線、公衆回線の各ネットワーク上に効率的に送信することができる新しいネットワークの構築を探究するようになってきました。こうした新しいシステムは次世代のあらゆるシステム上でも動作する必要があります。こうした課題は、静岡日本電気(株)様に「Simple Node」という新製品を開発させるきっかけとなりました。

### ハイブリッド・マルチプレクシング機能つき統合ノード

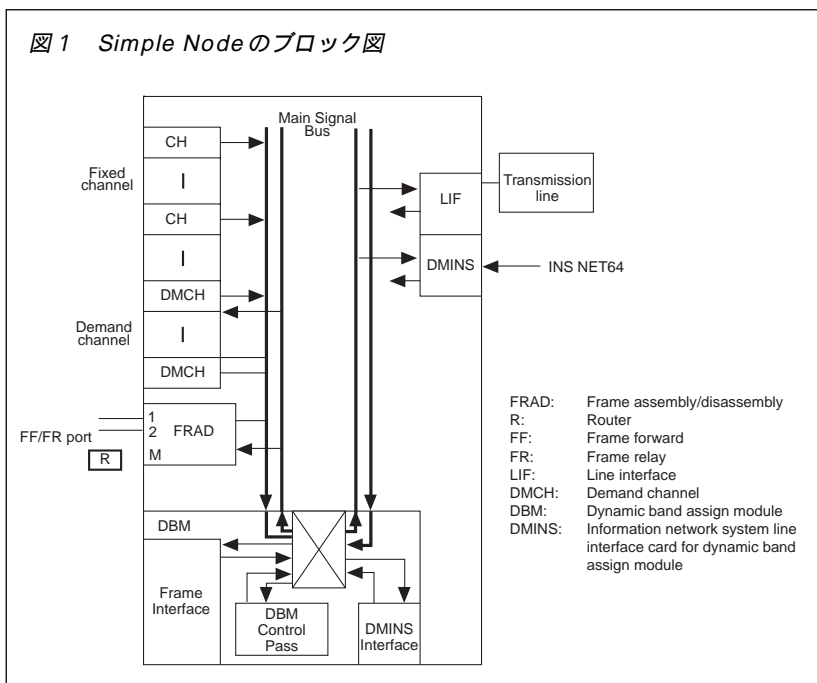
NEC が開発した Simple Node は時分割 (TDM : Time-Division Multiplexer) 機能と PBX (Private Branch Exchange) 機能を結合させたハイブリッド・マルチプレクシング機能を使用して、統合化したノードを実現しています。ハイブリッド・マルチプレクシングは、異なるスピードと時間遅延を持つ音声とデータ信号の双方が効率的に送信され、通信コストを低減できるように、

回路のバンド幅と使用するバンド・パスの双方を最適化します。

この Simple Node は低速で遅延の小さい音声データ信号と、低速で大きな遅延を持ったホスト・ターミナルのデータ信号、そして高速で LAN 間をバースト転送されるデータ信号を処理します。そして、Simple Node はこれら 3 種類の異なる信号に最適なバンド幅とバンド・パスを割り当て、データを伝送路に送出します。Simple Node を使用することにより、回路のスイッチングと時分割マルチプレクシングが 1 つのコンパクトなシステムで行えるようになります。

NEC の設計者は、この Simple Node のボードにアルテラの FLEX<sup>®</sup> 8000 デバイスと MAX<sup>®</sup> 7000 デバイスを採用しました。アルテラのデバイスを使用するという決定は、ユーザのニーズを満足させ、製品を市場に迅速に投入する必要性に基いたものでした。静岡日本電気(株)伝送通信技術部の主任である、西村裕介さんは「市場の声をいかに迅速に取り入れ理解し装置仕様に反映できるか、またその仕様に合った装置をいかに短期間で製品化し市場に送り込むかが我々の責務でした。」と述べています。アルテラの PLD の高い柔軟性と MAX+PLUS<sup>®</sup> II のソフトウェアの使いやすさは、同社での仕様の決定とボード・デザインの同時進行を可能にし、さらに必要に応じてデザインの修正や新しい機能の追加も可能にしました。西村裕介さんは「価格に対する性能、また使い勝手のよさから、現場の設計者が上司に導入をアピールしやすいツールでもあります。」と述べています。

図 1 はこの Simple Node のブロック図を示したものです。Dynamic Band Assign Module (DBM) はこの製品の革新的な機能となっており、ここにハイブリッド・マルチプレクシングの機能が実現されています。図 2 はこの DBM のブロック・ダイアグラムです。DBM はバンド幅をコントロールし、固定および可変のバンド・パスを指定します。この DBM のボードの写真が 20 ページの図 3 に示されています。





Customer Application ( 19 ページからの続き )

図3 DBM を構成する 3 枚の PCB

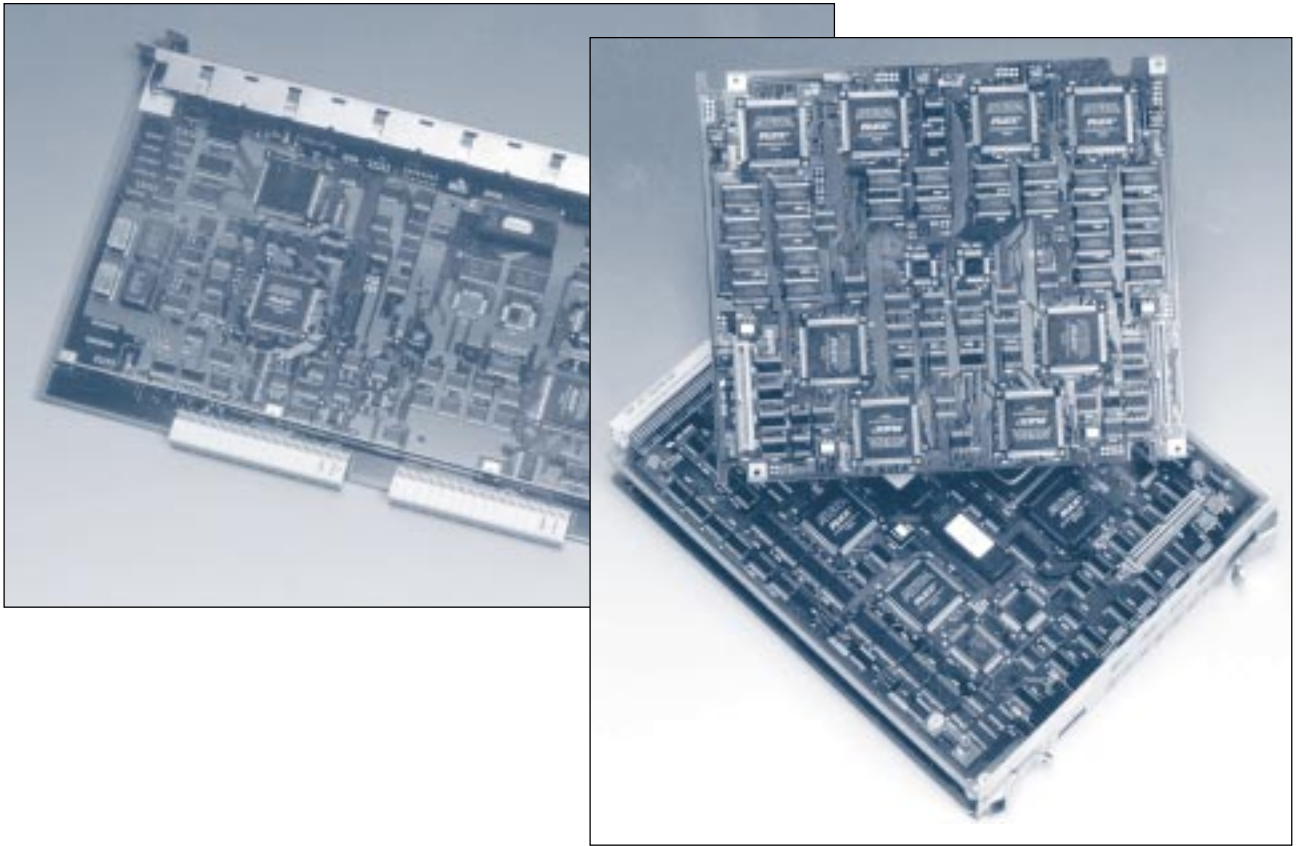
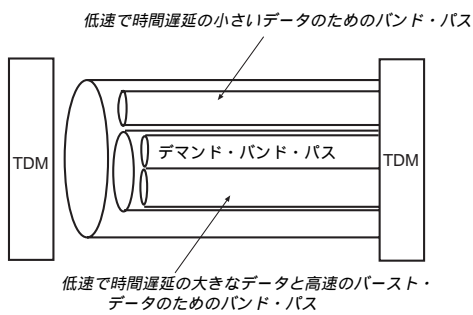


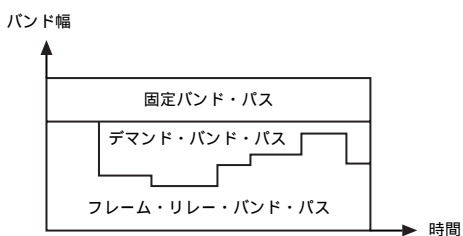
図4 ダイナミック可変バンド幅の伝送路



まとめ

アルテラのデバイスとMAX+PLUS IIのソフトウェアを採用したことにより、NECの伝送技術部は、このノードの統合化を実現したSimple Node の設計を予定通りのスケジュールで進めることができました。同社は仕様の変更や新しい機能の追加を行うことができ、この革新的な製品をオン・タイムで市場に投入することができました。

図5 バンド・パスの割り当て





## デザイン性能を測定するためのベンチマーク

プログラマブル・ロジック・デバイス (PLD) を選択する場合、ほとんどの設計者は、どのデバイスがデザインの要求に適合しているかを判断するために、各デバイスの集積度、価格、そして性能を比較します。このような場合、価格表を見たり、販売代理店にコンタクトして集積度と価格を比較するのが一般的です。しかし、性能の比較は、より困難な作業になります。性能を判断するためには、信号の配線、ロジックの複雑さ、メモリ・インタフェースの種類、ファン・アウトなど、多くの要素が考慮される必要があります。性能の判断にあまりにも多くの要素が含まれることになると、正確に性能を予測することが困難になります。

PLDの選択と性能の判断に関する一般的なガイドラインを作成するため、このほど、アルテラの応用技術部門は複数の独立したベンチマーク回路を使用した実験を行いました。これらの実験から得られた結果を検討することで、デザインの実現前にその性能を予測することが可能になります。また、これらの回路を使用することで、アルテラのデバイスに実現されたときの性能と、同じ条件で他社のPLDに実現されたときの性能を比較することができます。この記事はこれらの実験に使用された5種類の主要なベンチマーク回路について解説したものです。

### 標準的なアプリケーション

標準的なアプリケーションのベンチマークでは、バス・インタフェース、デジタル信号処理 (DSP) 機能、コントロール回路のような高集積のアプリケーションで標準的に使用されるような大規模なデザインの性能が測定されます。このベンチマークに使用されるすべてのデザインは独立した複数のコンサルタントによってVHDLまたはVerilog HDLで作成され、タイミング・ドリブンのコンパイルが実行されています。このベンチマークにはマニュアルによる最適化を行うデザイン・テクニックは使用されていないため、このベンチマークでの結果は類似したデザインに対してもワースト・ケースの性能を示すこととなります。

### ロジックと配線の解析

ロジックと配線を解析するベンチマークでは、性能を判断するために多様な長さの配線距離とロジックの複雑性を使用して、配線とロジックの使用効率が解析されます。このベンチマークは特定のデザインの実質的な性能の予測には効率的ではありませんが、異なるPLDのアーキテクチャ間での性能の違いを判断するのに役立ちます。

### 最適化されたファンクション

最適化されたファンクションのベンチマークでは、あらかじめ最適化された大規模なファンクションを使用してデザイン性能が測

定されます。あらかじめ最適化されたファンクションが選択されているのは、こうした機能がPLDに標準的に実現されているためです。使用されるファンクションは下記の通りです。

FIR (Finite Impulse Response) フィルタ (8ビット、16タップ)  
16 × 16 の乗算器  
マスタ/ターゲットのPCI (Peripheral Component Interconnect) ファンクション  
ビタビ・デコーダ

これらのデザインは各社のPLDにあらかじめ最適化されているため、これによって得られる結果は、デザイン手法やデザイン・ツールの効率によって発生する性能の変動を解消します。したがって、このベンチマークの結果は、多様なベンダから供給されている同等のPLDのシリコン性能を比較する上で有効なツールになります。また、これらのベンチマークの結果は、解析されたデバイスに類似した構造とサイズのデザインのベスト・ケースの性能を示すことにもなります。

### メモリ

メモリのベンチマークでは、PLDに実現されたRAMのデザイン性能が測定され、異なるRAMサイズ (ビット幅と深さ) と構造 (シングル・ポートやデュアル・ポート) がテストされます。このベンチマークでは、RAMの最高インタフェース性能が測定されます。

### I/O 性能

I/O性能のベンチマークでは、入力のセットアップ・タイムとホールド・タイム、そして出力の「Clock-to-Output」遅延が解析されます。このベンチマークは、デバイスがクリティカルなシステム・デザイン・パラメータに適合するかどうかを判断する上で重要になります。

### まとめ

設計者によるシステム性能の予測作業に役立つように、アルテラはこれらのベンチマークの結果を関連する技術資料と共に提供する予定となっており、これらはアルテラのウェブ・サイト、<http://www.altera.com> からダウンロードできるようになります。デザイン性能を推定するためのベンチマークに関する詳細については、日本アルテラの応用技術部へお問い合わせください。

## ASICの代替製品として使用された FLEX 6000 デバイス

FLEX<sup>®</sup> 6000 デバイスは、迅速な「Time-to-Market」と高い柔軟性を提供する従来のプログラマブル・ロジック・デバイス (PLD) の利点を、大量生産のアプリケーションにも適合したこれまでにない低価格で実現しています。1997年6月に発表されて以来、FLEX 6000 デバイスは ASIC (Application-Specific Integrated Circuits) 製品の代替デバイスとして大量に使用されるようになってきました。

Cornet社も FLEX 6000 デバイスへの切り替えで成功を収めた企業のひとつです。Cornet社は高速スイッチング製品を製造するリーダ企業であり、エア・トラフィック・コントロール・システムや、データ集中化装置、LAN/WAN 管理システム、その他の高速データ処理が要求されるアプリケーションに対するソリューションを提供しています。

### 試作に使用された FLEX 6000 デバイス

FLEX 6000 デバイスが発表される前まで、Cornet社は試作には PLD を使用し、量産には ASIC を使用していました。

Cornet社の位置する地域の Distributor である Wyle Electronics 社の支援の下で、Cornet社は FLEX 6000 デバイスを使用して、新しいスイッチ製品と対応する数種類のスペシャル・ファンクション・カードの設計を開始しました。Cornet社は FLEX 6000 デバイスを使用して、古いスイッチ製品のアップグレードが可能になるようにし、既存の製品に顧客の要求に応じて新しい機能を追加できるようにしました。

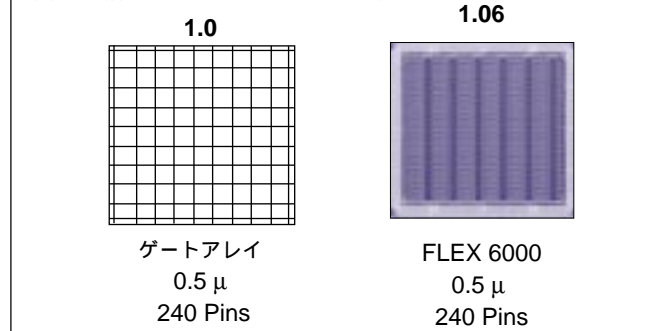
### 高い柔軟性を提供した FLEX 6000 デバイス

FLEX 6000 デバイスはリプログラマブルとなっているため、ASIC よりも高い柔軟性を提供しました。Cornet社のシニア・エンジニアである Jim Crews 氏によると「EPF6016は我々のデザインに非常に良く適合したため、当社のあるスイッチ製品に使用される10種類の異なるボードを EPF6016TC144-3だけでデザインすることができた。ASICを採用した場合には、10種類のASICデバイスを用意する必要があったが、アルテラのデバイスを採用することによって、1種類のデバイスのみを購入するだけで済み、さらにリプログラマビリティの利点を追加することもできた」とのことでした。

### 経済的な FLEX 6000 デバイス

Cornet社は低価格な FLEX 6000 デバイスを量産にも使用することが最適であるとすぐに判断しました。FLEX 6000 デバイスを使用することで、同社は試作段階でのコストを低減することができただけでなく、量産時にも柔軟に対応できる利点や迅速な「Time-to-Market」を実現する利点などを得ることもできました。FLEX 6000 デバイスはダイ・サイズが図1に示されているように大幅に縮小されているため、ゲートアレイにも対抗できる低価格で供給されています。

図1 相対的なダイ・サイズの比較



Cornet社は量産にASICを使用することも可能でしたが、FLEX 6000 デバイスの価格がASICとほぼ同等だったため、量産にも FLEX 6000 デバイスを採用する決定を行いました。ASICのベンダは非常に積極的な価格を提示しましたが、Cornet社は FLEX 6000 デバイスが提供する、より論理的なソリューションを採用しました。

Cornet社の社長、Nat Kumar氏が「私はリプログラマビリティという利点に満足していたが、さらに当社の製品コストを低下させる必要があった。私はASICと同等の価格をアルテラに要求した。驚いたことに、アルテラは当社の要求価格に適合する価格を提示してきた。」と述べているように、アルテラはリプログラマビリティという新たに追加された利点と共にロー・コストなソリューションを提供することができました。

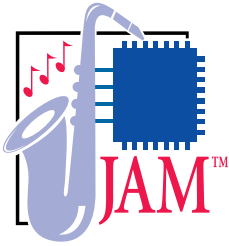
Cornet社は向こう数カ月間に数千個の FLEX 6000 デバイスを購入する予定です。そして、その年間使用数量は、Cornet社の新製品の拡大と旧製品の設計変更と共に向こう数年間にさらに増加する予定です。このCornet社の例は、FLEX 6000 ファミリのデバイスが量産時にもASICに対する価値の高い代替デバイスとなることを示しています。

### まとめ

FLEX 6000 デバイスはASICに匹敵するコストと集積度と共にリプログラマビリティという利点を提供するため、試作と量産の双方に使用されるようになってきました。FLEX 6000 デバイスは、今後もASICに対する理想的なリプログラマブル代替デバイスとなります。

Cornet社と同社の高速スイッチング・ソリューションについては、同社のウェブ・サイト、<http://www.cornet.com> をご覧ください。FLEX 6000 デバイスの詳細については販売代理店または日本アルテラへお問い合わせ頂くか、アルテラのウェブ・サイト、<http://www.altera.com> をアクセスして確認してください。

## 新しいJam 言語に対するハードウェア・サポート



新しい業界標準の翻訳言語となっている Jam™ プログラミング/テスト言語をサポートするプログラミング・ハードウェア・ベンダの数がさらに増大しています。Jam 言語は特定のベンダやプラットフォームに依存しないようになっており、IEEE Std. 1149.1 の JTAG インタフェースを使用したイン・システム・プログラマビ

リティ (ISP) 対応のデバイスに最適化されています。

最近になって、Jam 言語のサポートを発表したのは Hi-Lo System Research (米国では Tribal Microsystems の名前で知られている会社) と Xeltek Corporation です。この記事は、両ベンダのユニバーサル・プログラマと Jam 言語に対するサポートについて解説したものです。

### Hi-Lo System Research : ALL-11 Universal Programmer

ALL-11 Universal Programmer は Hi-Lo System Research 社の第 6 世代のユニバーサル・プログラマです。この ALL-11 プログラマは 39 種類を超えるアルテラの MAX® 9000A、MAX 7000S デバイスをサポートしています。このプログラマは、ユニバーサル・ベース・ユニットと交換可能なパック・オプションとで構成されています。これらのパックは汎用のパッケージからマルチ・デバイス・プログラミング用の複数のソケットに対応しています。

ALL-11 プログラマは下記の機能を提供しています。

- MAX+PLUS® II で生成された Jam ファイル (.jam) のサポート
- 各プログラマブル・ロジック・デバイス (PLD) ベンダから供給可能になった新製品を即座にサポート
- 8 ピンから 300 ピンまでのデバイスをサポート
- フルにプログラマブルなピン・ドライバ
- 高速 CPU と拡張可能なメモリ・バッファ (1M ビットから 128M バイトまで)
- 高速シリアル・ポート・インタフェース (最高 115 K バイト・ポー)
- USB ポート・インタフェース (オプション)
- Windows 95 または MS-DOS ユーザ・インタフェース
- BBS (Bulletin Board Service) とウェブ・サイトを通じた無償ソフトウェア・アップデート

### Xeltek Corporation : Superpro III Universal Programmer

Xeltek 社は、先頃 4,000 種類以上のデバイスをサポートしたロー・コストなプログラマ、Superpro III Universal Programmer を発表しました。この Superpro III は下記の機能を提供しています。

- MAX+PLUS II で生成された Jam ファイルのサポート
- 各プログラマブル・ロジック・デバイス (PLD) ベンダから供給可能になった新製品を即座にサポート
- 48 本のユニバーサル・ピン・ドライバ
- 2 種類の電圧範囲に対応したスイッチング・パワー・サプライ・アダプタ (90V/240V)
- オプションの 100 ピン拡張モジュール
- 多様なデバイス・パッケージに対応できるオプションのユニバーサル・ソケットまたはマルチ・デバイス・アダプタ
- プリンタ・ポート・インタフェース
- パラレル・ポート
- Windows 95 または MS-DOS ユーザ・インタフェース
- ほとんどのデバイス・パッケージに対応できる広範囲のソケット・アダプタ

表 1 は現在この Superpro III でサポートされているアルテラの ISP デバイスを示したものです。

ファミリ名	デバイス名
MAX 9000	EPM9400
	EPM9320
MAX 7000S	EPM7032S
	EPM7160S
	EPM7128S
	EPM7256S
	EPM7064S

### まとめ

アルテラのデバイスに対するサポートに加え、ALL-11 と Superpro III の両プログラマは Jam ファイルでプログラムできる他のベンダのデバイスもサポートしています。

Hi-Lo System Research 社および Xeltek 社、またはサード・パーティ・ベンダによる Jam 言語に対するハードウェア・サポートの詳細については Jam のウェブ・サイト、<http://www.jamisp.com> をアクセスして確認してください。

## ACCESS プログラムを通じてサポートされる EDA ツール

ACCESS<sup>SM</sup> (Altera<sup>®</sup> Commitment to Cooperative Engineering Solutions) は、アルテラとアルテラのプログラマブル・ロジック・デバイス (PLD) をダイレクトにサポートしているツールやアルテラの開発用ソフトウェア、MAX+PLUS<sup>®</sup> II の統合化をサポートしているツールを供給している EDA ベンダとのアライアンス・プログラムです。

MAX+PLUS II のソフトウェアと他社の EDA ツール間のシームレスなデザイン・フローをさらに簡略化する努力を続ける過程で、アルテラはケイデンス、エグゼンプラ・ロジック、メンター・グラフィックス、シンプリシティ、シノプシス、ビューロジックなどの主要な EDA ベンダのツールとアルテラの MAX+PLUS II ソフトウェアを使用した場合のデザインの作成方法、コンパイルとシミュレーションの実行方法に関する完全なガイドラインとなる MAX+PLUS II ACCESS Key Guidelines を完成させました。このガイドラインは下記に提供されています。

アルテラのウェブ・サイト、<http://www.altera.com>  
MAX+PLUS II CD-ROM (バージョン 8.2 以降)

このガイドラインはベンダ、ツール、そして機能別に構成されており、必要な情報が簡単に見つけられるようになっています。この MAX+PLUS II ACCESS Key Guidelines は、高集積デバイスに対してもデザインの生産性をさらに高めることができる最先端のデザイン・ツールをユーザに提供するためにアルテラが推進しているプログラムの 1 部分となっています。

このガイドラインに加え、アルテラはこの程、各ユーザが使用している EDA ツールと MAX+PLUS II のインタフェースをさらに容易にするための情報が含まれているテクニカル・ブリーフを刊行しました。これらのテクニカル・ブリーフには、アルテラのデバイスをターゲットにした簡単なデザインを行う場合の EDA ツール側の環境設定方法から必要なファイルの生成までの手順が示されています。刊行された EDA ツール関連のテクニカル・ブリーフは下記の通りです。

*Technical Brief 39 (Using the Synopsys Design Compiler & FPGA Compiler to Synthesize Designs for MAX+PLUS II Software)*  
*Technical Brief 42 (Using the Synopsys FPGA Express Software to Synthesize Designs for MAX+PLUS II Software)*  
*Technical Brief 44 (Using the Synplify Synplify Software to Synthesize Designs for MAX+PLUS II Software)*  
*Technical Brief 45 (Importing Synthesized Files from the EDASoftware into the MAX+PLUS II Software)*



これらのテクニカル・ブリーフについては日本語化が完了しており、日本アルテラのウェブ・サイト、<http://www.altera.com/japan/> に PDF フォーマットで提供されています。英語版をご必要な方は、販売代理店または日本アルテラにご請求頂くか、アルテラ本社のウェブ・サイト、<http://www.altera.com> からダウンロードしてください。

## アルテラの欧州テクニカル・センタが完成

1998年3月16日にアルテラは欧州テクニカル・センタの設立を発表しました。このテクニカル・センタが果たす役割は、下記の通りです。

欧州におけるアルテラのハードウェアおよびソフトウェア・ユーザに対するテクニカル・サポートの提供  
デバイス・デザイン、および MegaCore<sup>™</sup> ファンクションや MegaWizard<sup>™</sup> Plug-In の開発を中心にした研究、開発業務の実行

この欧州テクニカル・センタはロンドン郊外にあるアルテラの現在の施設内に設置される予定であり、すでに各スタッフが世界各地のアルテラの技術者と常時コンタクトできるよう

にするための WAN およびテレビ会議システムなどの設備が設置されています。このテクニカル・センタでは、向こう2年間に約 50 名の技術者が雇用される予定です。

カリフォルニア州サンノゼのアルテラ本社とマレーシアのペナンにすでに設置されている従来の研究開発部門に、さらに英国に設置されたテクニカル・センタが加わることによって、ワールドワイドに推進されているアルテラの研究開発業務の遂行がさらに促進されることとなります。

アルテラの欧州テクニカル・センタに関する情報については、アルテラのウェブ・サイト、<http://www.altera.com> をご覧ください。



## AMPP メガファンクションの新製品



ディジタル信号処理 (DSP)、テレコミュニケーション、バス・インタフェースなどのデザイン・ニーズに対応したソリューションを提供する

ため、アルテラは新たに3社のAMPP<sup>SM</sup> (Altera Megafunction Partners Program) パートナ企業とこれらAMPPパートナーの提供するいくつかの新製品を発表しました。アルテラの特定のデバイス・アーキテクチャをターゲットにしたこれらのメガファンクションを活用することで、設計者はデザイン全体の中で独自の機能が要求される部分の設計に注力することが可能になります。すべてのメガファンクションはAMPPパートナーによって最適化されており、アルテラによってその検証が行われています。

アルテラのMAX+PLUS<sup>®</sup> II に提供されているOpenCore<sup>™</sup>の機能を使用することによって、メガファンクションをライセンスの購入前に評価することができます。このOpenCore機能では、メガファンクションのコンパイルが可能になっており、各メガファンクションのサイズと性能を判断することができます。ただし、プログラミング・ファイルの生成には正式なライセンスの購入が必要です。

### HammerCores

新しいAMPPパートナーであるHammerCores社は、DSPアプリケーションに対応した下記の高性能でユーザによるパラメータ化が可能なメガファンクションを提供しています。

リード・ソロモン・エンコーダ/デコーダ  
Cordic Cordpol ファンクション  
超高速リード・ソロモン・コーダ  
LMSおよびゼロフォーシング・イコライザ  
エンベデッド・プロセッサ、FlexCore

HammerCores社のすべてのメガファンクションにはHammerCores社のウェブ・サイト、<http://www.hammercores.com>でOpenCore機能が提供されています。

### Simple Silicon

Simple Silicon社は、ネットワーク、民生用電子機器、コンピュータ、オーディオ、ビデオ、マス・ストレージ・デバイスなどに対する最先端のデジタル接続ソリューションを提供しています。Simple Silicon社はIEEE Std. 1394のフィジカル・レイヤとリンク・レイヤ・コントローラに確立された高い専門技術を持っており、下記のメガファンクションを提供しています。

Si-Link : IEEE Std. 1394 リンク・レイヤ・コントローラ  
Si-Phy : IEEE Std. 1394 フィジカル・レイヤ・コントローラ  
Si-Hub : USB ハブ・コントローラ  
Si-Function : USB ファンクション・コントローラ  
Si-Enable USB-86 : USB ホスト・コントローラ

Simple Silicon社のメガファンクションが実現するすべての機能には、アルテラのFLEX<sup>®</sup> 10Kデバイスを使用したエミュレーションと検証が行われています。価格および試作ボードに関する情報は、Simple Silicon社にお問い合わせください。

Simple Silicon, Inc.  
10430 South De Anza Blvd, Suite 195  
Cupertino, CA 95014. USA  
Phone: (408) 873-2260  
Fax: (408) 873-2261  
E-mail: [info@simplelsi.com](mailto:info@simplelsi.com)  
URL: <http://www.simplelsi.com>

### NComm, Inc.

NComm社は15年以上にわたってテレコミュニケーション関連のアプリケーション向けにプログラマブル・ロジックをデザインしてきた専門知識を生かしてAMPPプログラムに加入しました。NComm社はすでにアルテラのMegaWizard<sup>™</sup> Plug-Inを実現しており、ToneGenと呼ばれるパラメータ化されたトーン・ジェネレータのメガファンクションを開発しています。

NComm社にコンタクトすることによって、OpenCoreの機能による評価が可能になっているToneGenの暗号化されたバージョンが入手できます。

NComm, Inc.  
401 Main Street, Suite 204  
Salem, NH 03079. USA  
Telephone: (603) 893-6186  
Fax: (603) 893-6534  
E-mail: [info@ncomm.com](mailto:info@ncomm.com)  
URL: <http://www.ncomm.com>

### まとめ

AMPPのパートナー企業の概要やメガファンクション製品の仕様などを含むAMPPプログラムの最新情報は新たに刊行されたAMPPカタログのバージョン3、およびアルテラのウェブ・サイト、<http://www.altera.com>に提供されています。

## アルテラの新規刊行資料

アルテラは新たに下記の資料を刊行しました。これらの新しい資料は、販売代理店またはアルテラのワールド・ワイド・ウェブ・サイト、<http://www.altera.com> を通じて入手できます。カッコ内の記号はドキュメント番号です。なお、マークの付いた資料は、アルテラの日本語ウェブ・サイト、<http://www.altera.com/japan> に日本語版が提供されています。

- AMPP Catalog (A-CAT-AMPP-03)*
- FLEX 10KE Embedded Programmable Logic Family Data Sheet (A-DS-F10KE-01)*
- FLEX 10K Embedded Programmable Logic Family Data Sheet Supplement (A-DSS-F10K-03.1)*
- ByteBlasterMV Parallel Port Download Cable Data Sheet (A-DS-BYTBLMV-01)*
- Technical Brief 39: Using the Synopsys Design Compiler & FPGA Compiler to Synthesize Designs for MAX+PLUS II Software (M-TB-039-01)*
- Technical Brief 40: Advantages of MAX+PLUS II Fitting (M-TB-040-01)*
- Technical Brief 41: Power Measurements: FLEX 10KA vs. XC4000 Devices (M-TB-041-01)*
- Technical Brief 42: Using the Synopsys FPGA Express Software to Synthesize Designs for MAX+PLUS II Software (M-TB-042-01)*
- Technical Brief 44: Using the Synplcity Synplify Software to Synthesize Designs for MAX+PLUS II Software (M-TB-044-01)*
- Technical Brief 45: Importing Synthesized Files from the EDASoftware into the MAX+PLUS II Software (M-TB-045-01)*

## サード・パーティ・ベンダによる プログラミング・サポート

Data I/O 社と BP Microsystems 社では、アルテラのデバイスをサポートしたプログラミング・ハードウェアを供給しています。各デバイスのプログラミング・アルゴリズムが Data I/O 社の電子掲示板、「Keep Current Express-Bulletin Board Service」(KCE-BBS)および BP Microsystems 社の BBS を通じて提供されています。アルテラのコンフィギュレーション EPRO M、MAX<sup>®</sup> 9000、MAX 7000ファミリの各デバイスに対するサポート状況は下記の表の通りです。なお、ここに示されている情報は変更されることがあります。

サード・パーティ・ベンダによるプログラミング・サポート		
デバイス名	Data I/O(1)	BP Microsystems(2)
EPC1064	√	√
EPC1213	√	√
EPC1	√	√
EPC1441	√	√
EPM7032	√	√
EPM7032S	√ 注(3)	√ 注(3)
EPM7064	√	√
EPM7064S	√	√
EPM7096	√	√
EPM7128E	√	√
EPM7128S	√	√
EPM7128A	√ 注(3)	√ 注(3)
EPM7160E	√	√
EPM7192E	√	√
EPM7192S	√	√
EPM7256E	√	√
EPM7256S	√	√
EPM9320	√	√
EPM9320A	√	√
EPM9400	√	√
EPM9480	√	√
EPM9560	√	√
EPM9560A	√	√

表中の注：

- (1) これらのデバイスは、Data I/O社の3900システムのバージョン5.7、およびUniSiteのバージョン5.7でサポートされています。
- (2) これらのデバイスはBP Microsystems社のバージョン3.31のプログラムでサポートされています。
- (3) このデバイスは、1998年7月にData I/O社の3900のバージョン5.8、およびBP Microsystems社のプログラムのバージョン3.36でサポートされる予定です。なお、このリリース予定よりも先に開発が完了した場合は、これ以前のバージョンでもサポートが提供される可能性があります。詳細はデータ・アイオー・ジャパン(株)電話：03-3779-2151へお問い合わせ下さい。BP Microsystems社の製品については、日本総代理店、丸紅ソリューション(株)(電話：03-5778-8660)へお問い合わせ下さい。

## 現在のソフトウェア・バージョン

アルテラのソフトウェアの最新バージョンは下記の通りとなっています。

MAX+PLUS<sup>®</sup> II : バージョン 8.3 (PC、Sun SPARCstation、HP 9000 シリーズ 700/800、IBM RISC System/6000の各プラットフォーム)

## アルテラのプログラミング・ハードウェアによるサポート状況

下記の表1はアルテラの各デバイスに対するプログラミング・アダプタの最新情報を示したものです。正しいプログラミングを行うためには、26ページに示されている「現在のソフトウェア・バージョン」を使用することが必要です。

デバイス名	パッケージ	アダプタ
EPC1064 (2), EPC1064V (2), EPC1441 (3)	DIP, J-lead TQFP	PLMJ1213 PLMT1064
EPC1 (3), EPC1213 (2)	DIP J-lead	PLMJ1213 PLMJ1213
EPM9320A	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9320-84 PLMR9000-208NC (4) PLMR9000-240NC (4)
EPM9320	PGA J-lead (84-pin) RQFP (208-pin)	PLMG9000-280 PLMJ9320-84 PLMR9000-208
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC (4) PLMR9000-240NC (4)
EPM9560	PGA (280-pin) RQFP (208-pin) RQFP (240-pin) RQFP (304-pin)	PLMG9000-280 PLMR9000-208 PLMR9000-240 PLMR9000-304
EPM7032S	J-lead (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMT7000-44
EPM7032, EPM7032V	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7064S	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMT7000-100NC (4)
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-4 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7128S	J-lead (84-pin) PQFP (100-pin) TQFP (100-pin) TQFP (144-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (4) PLMT7000-100NC (4) PLMT7000-144NC PLMQ7128/160-160NC
EPM7128A	J-lead (84-pin) TQFP (100-pin) TQFP (144-pin)	PLMJ7000-84 PLMT7000-100NC (4) PLMT7000-144NC

デバイス名	パッケージ	アダプタ
EPM7128, EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/160-160
EPM7160S	J-lead PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (4) PLMQ7128/160-160NC (4)
EPM7160E	J-lead PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/160-160
EPM7192S (4)	PQFP (160-pin)	PLMQ7192/256-160NC
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/256-160
EPM7256S (4)	RQFP (208-pin)	PLMQ7256-208NC
EPM7256E	PQFP (160-pin) PGA (192-pin) RQFP (208-pin)	PLMQ7192/256-160 PLMG7256-192 PLMR7256-208
EPM7256A	PQFP (208-pin) TQFP (144-pin)	PLMR7256-208 PLMT7000-144NC

注:

- (1) MAX 5000およびClassic デバイス用のアダプタについては、1998年版のデータブックでご確認ください。アルテラは、0.8ミクロン・プロセスのEPM5032、EPM5064、EPM5130用プログラミング・アダプタの交換プログラムを提供しております。
- (2) FLEX 8000用コンフィギュレーションEPROM
- (3) FLEX 10K、FLEX 8000、FLEX 6000用コンフィギュレーションEPROM
- (4) これらのデバイスはキャリア付きで出荷されません。

下記の表2は、BitBlaster™、ByteBlaster™およびByteBlasterMV™の各ダウンロード・ケーブルでプログラミングおよびコンフィギュレーションできるアルテラのデバイス・ファミリを示したものです。

デバイス名	BitBlaster	ByteBlaster	ByteBlasterMV
FLEX 10K	√	√	√
FLEX 10KA	√	√	√
FLEX 10KE			√
FLEX 8000	√	√	√
FLEX 6000	√	√	√
MAX 9000	√	√	√
MAX 9000A	√	√	√
MAX 7000S	√	√	√
MAX 7000A			√

## アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドはアルテラの FLEX 10K、FLEX 8000、FLEX 6000、MAX 9000、MAX 7000 ファミリの各デバイスの概要をまとめたものです。最新の情報については、アルテラのウェブ・サイト、<http://www.altera.com> でご確認ください。また、各デバイスの現在の供給状況については販売代理店にお問い合わせください。

FLEX 10K デバイス							
デバイス名	標準ゲート数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード	ロジック・エレメント	RAM ビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	59, 102, 134	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup>	66 <sup>2</sup> , 102, 134, 150 <sup>2</sup>	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin PQFP	102, 147, 189	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	147, 189, 246	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-pin BGA <sup>1</sup> , 356-Pin BGA, 484-Pin BGA <sup>1</sup>	102, 147, 189, 191 <sup>2</sup> , 246, 246 <sup>2</sup>	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin RQFP, 256-pin BGA <sup>1</sup> , 484-pin BGA <sup>1</sup>	102, 147, 176 <sup>2</sup> , 220 <sup>2</sup>	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	147, 189	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA, 403-Pin PGA	189, 274, 310	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>1</sup>	189, 274, 310 <sup>2</sup>	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>1</sup> , 484-Pin BGA <sup>1</sup>	102, 147, 189, 191 <sup>2</sup> , 256 <sup>2</sup>	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	189, 358	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100	100,000	503-Pin PGA	406	5.0 V	-3, -4	4,992	24,576
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA <sup>1</sup> , 600-pin BGA	189, 274, 371 <sup>2</sup> , 406	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100B	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA <sup>1</sup>	147, 189, 191 <sup>2</sup>	2.5 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-pin BGA <sup>1</sup> , 484-pin BGA <sup>1</sup>	147, 189, 191 <sup>2</sup> , 340 <sup>2</sup>	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 484-Pin BGA <sup>1</sup> , 672-Pin BGA <sup>1</sup>	186, 371 <sup>2</sup> , 426 <sup>2</sup>	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	240-Pin RQFP, 599-Pin PGA, 672-pin BGA <sup>1</sup>	182, 470, 470 <sup>2</sup>	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-1, -2, -3	12,160	40,960
EPF10K250E	250,000	240-Pin RQFP, 599-Pin PGA, 672-Pin BGA <sup>1</sup>	179, 470, 470 <sup>2</sup>	2.5 V	-1, -2, -3	12,160	81,920

注：

- (1) このパッケージは実装スペースを削減する FineLine BGA パッケージです。
- (2) このデータは暫定仕様です。最新の情報については日本アルテラの実用技術部へお問い合わせください。

FLEX 8000 デバイス							
デバイス名	ユーザブルゲート数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード	フリップ・フロップ	ロジック・エレメント
EPF8282A	2,500	84-Pin PLCC, 100-Pin TQFP	68, 78	5.0 V	-2, -3, -4	282	208
EPF8282AV	2,500	100-Pin TQFP	78	3.3 V	-3, -4	282	208
EPF8452A	4,000	160-Pin PQFP	120	5.0 V	-2	452	336
EPF8452A	4,000	84-Pin PLCC, 100-Pin TQFP, 160-Pin PGA/PQFP	68, 120	5.0 V	-3, -4	452	336
EPF8636A	6,000	208-Pin PQFP	136	5.0 V	-2	636	504
EPF8636A	6,000	84-Pin PLCC, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	68, 118, 136	5.0 V	-3, -4	636	504
EPF8820A	8,000	144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	112, 120, 152	5.0 V	-2	820	672
EPF8820A	8,000	144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP, 225-Pin BGA	112, 120, 152	5.0 V	-3, -4	820	672
EPF81188A	12,000	208-Pin PQFP, 232-Pin PGA, 240-Pin PQFP	148, 184	5.0 V	-2, -3, -4	1,188	1,008
EPF81500A	16,000	240-Pin PQFP, 280-Pin PGA, 304-Pin RQFP	181, 208	5.0 V	-2, -3, -4	1,500	1,296



## FLEX 6000 デバイス

デバイス名	ユーザブル・ゲート数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード	フリップ・フロップ	ロジック・エレメント
EPF6010A	10,000	100-Pin TQFP, 144-Pin TQFP	81, 117	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup>	81, 117, 171, 218 <sup>2</sup>	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin BGA <sup>1</sup>	117, 171, 199, 218, 218 <sup>2</sup>	3.3 V	-1, -2, -3	1,960	1,960

注：

- (1) このパッケージは実装スペースを削減する FineLine BGAパッケージです。  
 (2) このデータは暫定仕様です。最新の情報については日本アルテラの実用技術部へお問い合わせください。

## MAX 9000 デバイス

デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	5.0 V	-10, -15
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	5.0 V	-15, -20
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	5.0 V	-15, -20
EPM9480A	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-10, -15
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-15, -20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-10, -15
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-15, -20

## MAX 7000 デバイス

デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード
EPM7032A	32	44-Pin PLCC/TQFP	36	3.3 V	-5, -7, -10
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-6, -7, -10
EPM7032	32	44-Pin PLCC/TQFP/PQFP	36	5.0 V	-6, -7, -10, -12, -15
EPM7032V	32	44-Pin PLCC/TQFP	36	3.3 V	-12, -15, -20
EPM7064A	64	44-Pin PLCC/TQFP, 100-Pin TQFP, 100-Pin BGA <sup>1</sup>	38, 68, 68	3.3 V	-5, -7, -10
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin PQFP/TQFP	36, 52, 68	5.0 V	-5, -6, -7, -10
EPM7064	64	44-Pin PLCC/TQFP, 68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	36, 52, 68	5.0 V	-6, -7, -10, -12, -15
EPM7096	96	68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	52, 64, 76	5.0 V	-7, -10, -12, -15
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA <sup>1</sup> , 144-Pin TQFP, 256-Pin BGA <sup>1</sup>	68, 84, 84, 100, 100	3.3 V	-5, -6, -7, -10
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128E	128	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-7, -10, -12, -15, -20
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-7, -10, -15
EPM7160E	160	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 104	5.0 V	-10, -12, -15, -20
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7192E	192	160-Pin PQFP/PGA	124	5.0 V	-12, -15, -20
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup>	84, 120, 164, 164	3.3 V	-6, -7, -10
EPM7256S	256	208-Pin RQFP/PQFP	132, 164	5.0 V	-7, -10, -15
EPM7256E	256	160-Pin PQFP, 192-Pin PGA, 208-Pin RQFP	132, 164	5.0 V	-12, -15, -20
EPM7384A	384	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup>	120, 176, 212	3.3 V	-7, -10, -15
EPM7512A	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA <sup>1</sup>	120, 176, 212	3.3 V	-7, -10, -15
EPM71024A	1,024	208-Pin PQFP, 256-Pin BGA <sup>1</sup>	176, 212	3.3 V	-7, -10, -15

注：

- (1) このパッケージは実装スペースを削減する FineLine BGAパッケージです。

## アルテラへのアクセス方法

	情報提供元	連絡先
資料のご請求	日本アルテラ株式会社	☎ 03-3340-9480
	株式会社アルティマ	☎ 045-939-6113      ☎ 06-307-7670
	株式会社パルテック	☎ 045-477-2009      ☎ 06-390-0817
	ワールド・ワイド・ウェブ	英語 <a href="http://www.altera.com">http://www.altera.com</a> 日本語 <a href="http://www.altera.com/japan/">http://www.altera.com/japan/</a>
価格・納期等について	株式会社アルティマ	☎ 045-939-6113      ☎ 06-307-7670
	株式会社パルテック	☎ 045-477-2009      ☎ 06-390-0817
技術的なご質問	日本アルテラ株式会社	☎ 03-3340-9480
	株式会社アルティマ	☎ 045-939-6113      ☎ 06-307-7670
		☎ 052-202-1024      ☎ 028-637-4488
	株式会社パルテック	☎ 045-477-2009      ☎ 06-390-0817
	ブリティン・ボード (米国本社)	☎ 001-1-408-954-0104
	E-mail (日本アルテラ)	<a href="mailto:japan@altera.com">japan@altera.com</a>
	FTP Site (US)	<a href="ftp.altera.com">ftp.altera.com</a>
CompuServe (US)	go altera	
製品案内	World-Wide Web	<a href="http://www.altera.com/japan/">http://www.altera.com/japan/</a>

## ALTERA PLD WORLD '98 の開催と発表技術論文募集のお知らせ

日本アルテラは、本年も10月23日に東京、青山TEPIAにおいて、第5回 ALTERA PLD WORLD開催します。ALTERA PLD WORLDはこれまで4回開催され、毎回1,000名以上のエンジニアが参加しており、多くのプログラマブル・ロジック・ユーザ、また、プログラマブル・ロジック / CAEツールの業界に広く認知されるイベントとなっています。

今年の ALTERA PLD WORLD '98 では、アルテラ製品の最新情報に加え、IP製品を用いた設計手法、大規模なシステム・レベルのデザインに対応する効率の高い設計手法、AMPP<sup>SM</sup>、ACCESS<sup>SM</sup>プログラムに参加しているパートナー企業による最新のサポート製品などが紹介、展示される予定です。なお、日本アルテラではこの ALTERA PLD WORLD '98 で発表される技術論文を広く、ユーザの皆様から募集しております。応募方法などの詳細については、日本アルテラへお問い合わせください。

## 第5回 ALTERA PLD WORLD 開催要項

日時：1998年10月23日(金)  
9:00 a.m. ~ 5:00 p.m.

会場：青山TEPIA 東京都港区北青山2-28-44  
(地下鉄銀座線「外苑前」より徒歩5分)

入場料：無料。ただし、無料入場券が必要となります。  
(当日受付可)

無料入場券に関するお問い合わせ先：  
アジア広告社内 ALTERA PLD WORLD 事務局  
Tel: 3292-0611

主催：日本アルテラ株式会社

協力：株式会社アルティマ  
株式会社パルテック

## 主なイベント

- 基調講演  
アルテラ・コーポレーション  
会長、CEO兼社長 ロドニー・スミス
- アルテラ特別講演  
アルテラ・コーポレーション  
プロダクト・プランニング・ディレクタ クレイグ・ライトル
- アルテラによる各種のプレゼンテーション / デモ
- ACCESS / AMPPパートナー企業によるプレゼンテーション / デモ
- ユーザによる技術論文の発表
- アルテラ製品のデザイン・テクニク

# FAX レスponse・フォーム

News & Views の購読を希望します。  
私のデザインを News & Views に掲載することを希望します。  
送付先の住所を右記に変更して下さい。

ご氏名 \_\_\_\_\_  
会社名 \_\_\_\_\_  
所属 \_\_\_\_\_  
住所 〒 ( ) \_\_\_\_\_  
\_\_\_\_\_

電話番号 \_\_\_\_\_  
FAX 番号 \_\_\_\_\_  
E-mail アドレス \_\_\_\_\_

担当代理店：株式会社アルティマ 株式会社パルテック その他 / 不明 / 未取引  
(いずれかに をつけて下さい。)

## ご意見をお聞かせ下さい。

News & Views に関する皆様のご意見をお聞かせ下さい。News & Views に取り上げられている下記の各項目について、皆様有益と思われるレベルを 5 点満点で評価して下さい。皆様からのフィードバックを今後の編集の参考にさせていただきます。

	役立たない			非常に役立つ	
1. デバイスおよび開発ツールに関する最新情報	1	2	3	4	5
2. アルテラの最新刊行資料	1	2	3	4	5
3. Q & A	1	2	3	4	5
4. How To タイプの技術論文	1	2	3	4	5
5. アルテラの EDA パートナと インタフェース・サポートに関する情報	1	2	3	4	5
6. カスタム・アプリケーション	1	2	3	4	5
7. ソフトウェア・ユーティリティと 現在のソフトウェア・バージョン	1	2	3	4	5
8. アルテラ・ニュース	1	2	3	4	5

アルテラの News & Views に関するご意見がありましたら、下記にお書き下さい。(どのような内容が良かったか、疑問に思われた点、取り上げて欲しい内容など。必要に応じて別紙を使用しても結構です。)

このフォームをコピーして必要事項を記入の上、日本アルテラへ FAX または郵送して下さい。

日本アルテラ (株) 〒 163-0436 東京都新宿区西新宿 2-1-1  
新宿三井ビル私書箱 261 号  
電話 : 03-3340-9480 FAX : 03-3340-9487 E-mail: japan@altera.com



# PLD の高速レーン

## MAX<sup>®</sup> 7000A

5-ns  
Speed

3.3 V

ISP

PCI

JAM  
Support

### MAX は 3.3V で、高速！ 高性能！



新しいアルテラの MAX<sup>®</sup>7000A デバイスは、超高速のロジック・インテグレーションを可能にします。32 から 1,024 のマクロセル、3.3V の電源電圧、ISP サポート、そして PCI に準拠した MAX 7000A は、高速制御機能や高速なステートマシンが使われるシンプルな PLD のインテグレーションに理想的なデバイスです。

### ライバルを追い越そう

今度の MAX 7000A デバイスは、業界をリードする MAX 7000 ファミリの性能を、最高 5ns のスピードで新たなレベルへ引き上げました。ライバルに差をつけてください。標準の JTAG インターフェースでの ISP により、開発やテストの効率化が図れます。アルテラの省スペース TQFP や新しい FineLine BGA<sup>™</sup> パッケージなど、様々なパッケージ・オプションで他社の先に行くことができます。

MAX 7000A デバイスは、ベンダやプラットフォームに依存しない JAM<sup>™</sup> プログラミングおよびテスト言語をサポートします。JAM によるコンパクトなファイルサイズや、プログラミング時間の短縮により、試作、量産、あるいはフィールドでのアップグレードを行うとき、安心して設計が任せられます。

デバイス	マクロセル	スピード( $t_{pd}$ )	電源電圧	MultiVolt <sup>™</sup> I/O	PCI 準拠	ISP サポート	Jam サポート
MAX 7000E	32-256	6ns	5.0V	3.3V, 5.0V	×		
MAX 7000S	32-256	5ns	5.0V	3.3V, 5.0V	×	×	×
MAX 7000A	32-1,024	5ns	3.3V	2.5V, 3.3V, 5.0V	×	×	×

### MAX+PLUS II を無償でテスト・ドライブ

MAX 7000A デバイスのソフトウェアサポートは、使いやすい MAX+PLUS<sup>®</sup> II 開発システムが提供します。アルテラのホームページから PLS-WEB をダウンロードして無償で MAX+PLUS II をテスト・ドライブして下さい。MAX+PLUS II と MAX 7000A デバイスがあれば自信を持って高速レーンを走れます。



<http://www.altera.com/fastlane>

The  
**ALTERA**  
Advantage

**ALTERA** 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1  
新宿三井ビル私書箱261号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
<http://www.altera.com/japan/>

### 本社 Altera Corporation

101 Innovation Drive, San Jose, CA 95134  
TEL : (408) 544-7000  
<http://www.altera.com>