

ラファエロ：システム・レベルの集積化を可能にした エンベデッド PLD ファミリ

革新的な MultiCore™ (マルチコア) アーキテクチャをベースにして実現された新しいプログラマブル・ロジック・デバイス (PLD) ファミリ、Raphael™ (ラファエロ) は、システム全体の機能をシングル・デバイスに集積化できる機能を提供することにより、システム・レベルのデザインで発生する課題を解決した製品です。

100,000ゲートから1,000,000ゲートを超える範囲の集積度をカバーし、0.25ミクロンの6層メタル・プロセスで製造される2.5V動作のラファエロは、アルテラが提供するエンベデッド・アーキテクチャの効率と性能を、さらに新しいレベルまで拡張した製品です。ラファエロ・デバイスは、設計者がさらに広範囲なアプリケーションにおける大規模なデザインにも効率的に対応できるようにした最高のデザイン・フレキシビリティを提供しています。

システム・レベルの機能

ラファエロ・デバイスには、高いデザイン・フレキシビリティ、高性能な「システム・オン・チップ」を実現するパワフルなシステム・レベルの機能が数多く提供されています。

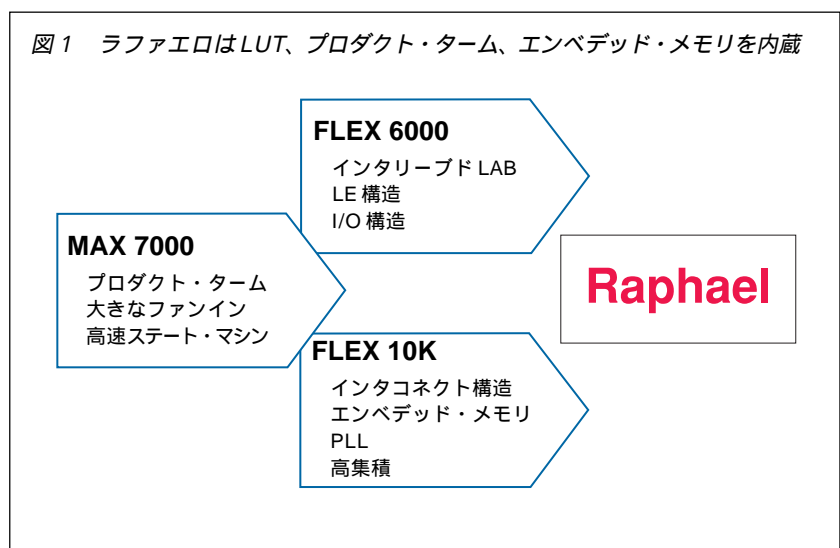
エンベデッド・プロダクト・ターム、高性能なデュアル・ポートRAM、コンテンツ・アドレスサブル・メモリ(CAM)を内蔵したMultiCoreエンベデッド・アーキテクチャ新しいMegaLAB™インタコネクトを実現した、さらに強化された4レベルのFastTrack™インタコネクト配線構造LVTTTL (Low-Voltage Transistor-to-Transistor Logic)、LVCMOS (Low-Voltage Complementary Metal-Oxide Semiconductor)、SSTL-3 (Stub-Series Terminated Logic)、GTL/GTL+ (Gunning Transceiver Logic)、LVDS (Low-Voltage-Differential-Signaling)を含む既存および将来のI/O標準規格をサポート

さらに強化されたPLL (Phase-Locked Loop) が1 x、2 x、4 xのクロック周波数通倍機能をサポート
125MHzを超えるシステム性能と、64ビット/66MHzのPCI (Peripheral Component Interconnect) 仕様への準拠
1.0mmピッチのFineLine BGA™パッケージの提供により、ボードの実装面積を従来のBGA (Ball-Grid Array) パッケージの半分に縮小

エンベデッド・アーキテクチャのブレークスルー

ラファエロ・デバイスは複雑なシステムのデザインに対するシングル・チップ・ソリューションを提供することにより、ボード・スペースを削減し、システム・レベルのデザインの実現を容易にします。ラファエロ・デバイスのMultiCoreアーキテクチャは、図1に示されるように、アルテラのFLEX® 6000、MAX® 7000およびFLEX 10Kのアーキテクチャの利点をさらに拡張し、そしてこれら各アーキテクチャの機能を結合させたものとなっており、システム全体の機能をシングル・チップに集積化することを可能にしています。

図1 ラファエロはLUT、プロダクト・ターム、エンベデッド・メモリを内蔵



(4ページに続く)

目次

特集記事

ラファエロ：システム・レベルの集積化を可能にした エンベデッド PLD ファミリー	1
Contributed Article：ASSET InterTech 社が ローコストなテストと ISP の機能を提供	15
Altera Viewpoint：次世代ツールに対する要求	18

アルテラ・ニュース

PLD WORLD '98 の開催のお知らせ	19
FineLine BGA パッケージに対する SameFrame ピン配置機能	21
ACAP：設計と開発のアウトソーシング	23
効率的なコストの低減方法	24
アルテラが DAC 1998 に出展	25
1998 ICSPAT/DSP World	25
日本語版資料を含む Altera Digital Library が登場	30

Devices & Tools

FLEX 10KE のデザインが可能に	5
250,000 ゲートの EPF10K250A を出荷開始	5
2.5V 動作の EPF10K100B が入手可能	5
3.3V 動作の FLEX 10KA ファミリーの 全製品を供給中	5
EPF6010A と EPF6016A を供給開始	6
FLEX 6000 の新製品を近日供給開始	6
EPC2 デバイスを 10 月から出荷開始予定	6
MAX 9000A デバイスの供給状況	6
MAX 7000 と MAX 9000 デバイスの 新プロセスへの移行	7

アルテラのイン・サーキット・テストに対する

サポート	7
MAX 7000AE デバイス	7
MAX 7000A の供給状況	8
MAX 7000S デバイス	8
製造中止品最新情報	8
MAX+PLUS II のバージョン 9.01 で提供される新機能... MAX+PLUS II のバージョン 9.01 の PC ネットワーク・ライセンス	9
MAX+PLUS II のバージョン 9.1 に対する バージョン・コントロール・ライセンス	9

技術論文

最新機能を提供する FLEX 10KE の EAB	10
ISP を使用するためのガイドライン	13
新しい FIFO MegaWizard Plug-In を使用して、 アルテラのデバイスに FIFO を実現する方法	14
Questions & Answers	16
Jam Byte Code を発表	20

定期掲載記事

アルテラの新規刊行資料	26
サード・パーティ・ベンダによる プログラミング・サポート	26
現在のソフトウェア・バージョン	26
アルテラのプログラミング・ ハードウェアによるサポート状況	27
アルテラ・デバイス・セレクション・ガイド	28
FAX レスポンス・フォーム	31



質問やアイデアがありましたら、お知らせください。

日本アルテラ（株）
東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱 261 号
電話：03-3340-9480
FAX：03-3340-9487
E-mail: japan@altera.com

Altera, ASCEND, AMPP, BitBlaster, ByteBlaster, ByteBlasterMV, Classic, FastTrack Interconnect, FineLine BGA, FLEX, FLEX□10K, FLEX 10KA, FLEX□8000, FLEX 6000, FLEX 6000A, JamPitch, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX□7000S, MAX□7000A, MAX 7000AE, MAX□5000, MAX, MAX+PLUS, MAX+PLUS□II, MegaC, MegaLAB, MegaWizard, MultiCore, MultiVolt, OpenCore, Raphael, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Advin Systems is a registered trademark of Advin Systems, Inc. Verilog and Cadence are registered trademarks of Cadence Design Systems. Exemplar Logic is a registered trademark of Exemplar Logic, Inc. Integrated Silicon Systems is a registered trademark of Integrated Silicon Systems, Inc. Mentor Graphics is a registered trademark of Mentor Graphics, Inc. Data□I/O is a registered trademark of Data I/O Corporation. SIS is a registered trademark of SIS□Microelectronics, Inc. Synopsys is a registered trademark of Synopsys, Inc. Synplicity is a registered trademark of Synplicity, Inc. Viewlogic is a registered trademark of Viewlogic Systems. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



Copyright © 1998 Altera Corporation. All rights reserved.

ラファエロ：システム・レベルの集積化を可能にしたエンベデッド PLD ファミリ (1 ページからの続き)

アルテラは1995年にエンベデッド・アーキテクチャを開発し、このアーキテクチャを採用した FLEX 10K ファミリを発表しました。ラファエロ・デバイスに実現された革命的な MultiCore エンベデッド・アーキテクチャは、3 種類の異なる PLD 構造を結合させる革新的な手法により、このエンベデッド・コンセプトを新しいレベルにまで引き上げています。すなわち、ラファエロ・デバイスは、FLEX デバイスに採用されているルック・アップ・テーブル (LUT)、MAX デバイスに採用されているプロダクト・ターム・アレイ、そして FLEX 10KE デバイスに採用されている高性能なエンベデッド・メモリ・ブロックの 3 種類の PLD 構造を結合させることによって、メガファンクションのような複雑なファンクション群の集積化を簡単にまた効率的な手法で行えるようにしています。

ラファエロ・アーキテクチャを構成する重要な部分が、エンベデッド・システム・ブロック (ESB) です。この ESB は、3.9ns の性能を持ったエンベデッドなプロダクト・タームの機能を提供します。現在の多くのシステム・デザインは、複数の FLEX デバイスと MAX デバイスで構成されています。ただし、複数のデバイスで構成されるデザインでは、各デバイス間の入出力に要する遅延時間によって、システム性能が低下する問題が発生します。ラファエロ・デバイスは、プロダクト・タームと LUT の双方の機能をシングル・チップに集積化することによって、システム・スピードの大幅な改善を実現しています。図 2 はラファエロ・デバイスで実現されるシステム・スピードの改善例を示したものです。

ラファエロの ESB は、プロダクト・ターム・ロジック、デュアル・ポート RAM、リード・オンリ・メモリ (ROM) または CAM にコンフィギュレーションすることができます。このシステム・レベルでのメモリ集積化機能は、キャッシュ RAM、デュアル・ポート FIFO (First-In First-Out) バッファ、ROM などのような、システム・レベルのデザインに要求される多様なメモリ構造をサポートします。

CAM は、データベース化、リスト化およびパターン化などのサーチ・アプリケーションや、高速通信アプリケーションの高速化を実現します。アドレスを指定してデータを読み出す通常の RAM とは異なり、CAM はメモリ内のデータを指定してアドレスを出力します。125MHz を超えるスピードを持つラファエロの CAM は、従来の CAM よりも高速です。

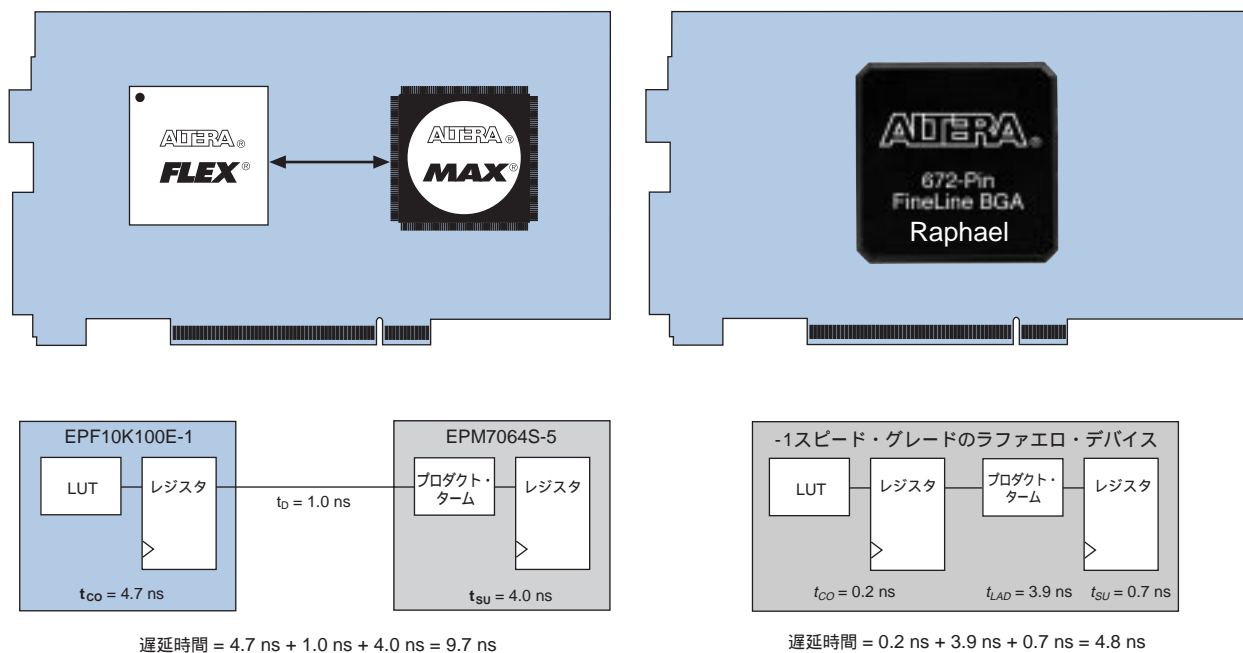
ラファエロの ESB は 4 ページの図 3 に示されているように、新しい MegaLAB 構造の中に配置されています。各 MegaLAB は 1 個の ESB と 16 個のロジック・アレイ・ブロック (LAB) で構成されており、各 LAB は 10 個のロジック・エレメント (LE) で構成されています。MegaLAB 間は、連続したメタル配線構造となっている FastTrack インタコネクタに対して 4 番目の階層レベルにあたる配線構造を提供する専用の MegaLAB インタコネクタを通じて相互に内部接続され、性能と効率の双方を向上させています。

低電圧 I/O のサポート

システムの集積化、高性能化要求、そして電源電圧の低電圧化の傾向は、各デバイスに複数の低電圧 I/O の標準規格に対するサポートを要求するようになっていきます。

(4 ページに続く)

図 2 プロダクト・ターム機能の集積化がシステム・スピードを改善



ラファエロ：システム・レベルの集積化を可能にしたエンベデッド PLD ファミリ (3 ページからの続き)

ラファエロ・デバイスは、新しいLVTTTL、LVCMOS、SSTL-3、GTL/GTL+、LVDSの各低電圧標準I/Oインタフェースをサポートしており、SDRAM、プロセッサ、システム・バックプレーン間的高速インタフェースを可能にします。また、ラファエロ・デバイスはアルテラのMultiVolt™ I/Oインタフェース機能もサポートしており、3.3V、2.5V、1.8Vの複数の電源電圧を使用するシステムに使用できます。

ラファエロ・ファミリの製品

100,000から1,000,000ユーザブル・ゲートを超えるロジックの集積度を提供するラファエロ・デバイス・ファミリは、0.25ミクロンの6層メタルSRAMプロセスで生産が開始され、その後0.18ミクロンの6層メタル・プロセスへ移行し、さらにその後0.15ミクロンの7層メタル・プロセスへの移行が計画されています。表1に供給が予定されているラファエロ・ファミリの製品を示します。

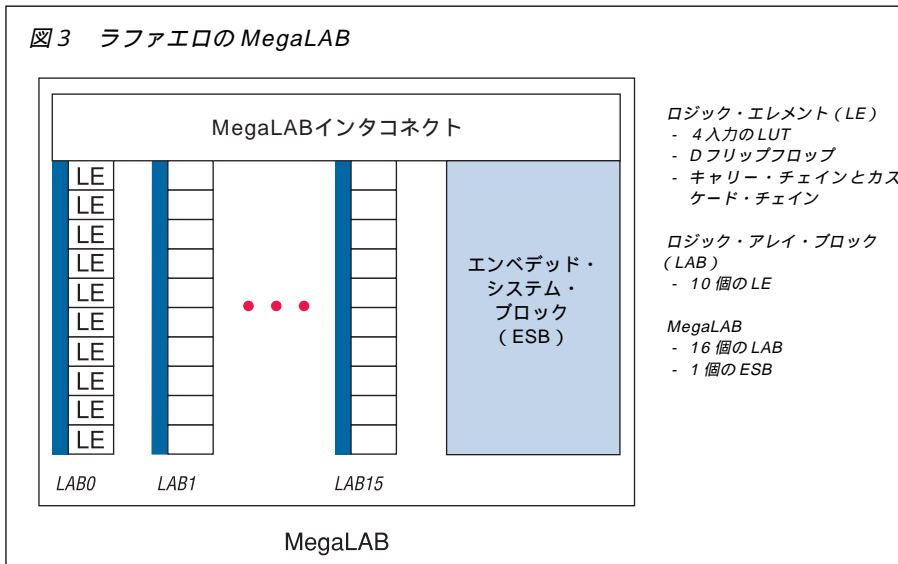
供給予定とパッケージ

ラファエロ・ファミリの最初の製品となる400,000ゲートのR400は、1999年の第1四半期に出荷される予定となっています。この製品は、208ピンのクワッド・フラット・パック(QFP)、240ピンのQFP、599ピンのピン・グリッド・アレイ(PGA)、さらに新しい1.0mmピッチのFineLine BGA™パッケージでの供給が予定されています。

まとめ

アルテラのラファエロ・デバイスは、PLDを次世代の柔軟性の高い「システム・オン・チップ」のデザインに使用できるようにした高い集積度と性能、そしてシステム・レベルの機能を提供します。これらの新しい高集積デバイスには最先端のソフトウェア・ツールが必要になりますが、アルテラはこうした課題に対応したソフトウェアを開発しています。革新的なラファエロのアーキテクチャとアルテラの次世代ソフトウェアを使用することにより、「システム・オン・チップ」のアプリケーションに対する理想的なプログラマブル・ロジック・ソリューションが提供されます。

詳細については、アルテラのワールド・ワイド・ウェブ・サイト、<http://www.altera.com> をアクセスするか、日本アルテラの販売代理店へご連絡ください。



機能	R100	R160	R200	R300	R400	R500	R1000	
最大ゲート数	263,000	404,000	526,000	728,000	1,052,000	1,294,000	2,670,000	
標準ゲート数	53,000 ~ 106,000	82,000 ~ 163,000	106,000 ~ 211,000	147,000 ~ 293,000	213,000 ~ 423,000	262,000 ~ 520,000	541,000 ~ 1,073,000	
LE数	4,160	6,400	8,320	11,520	16,640	20,480	42,240	
最大RAMビット数	53,248	81,920	106,496	147,456	212,992	262,144	540,672	
最大マクロセル数	416	640	832	1,152	1,664	2,048	4,224	
最大I/Oピン数	250	320	320	420	500	620	780	
パッケージ注(1)	FineLine BGA 144-pin TQFP 208-pin QFP 240-pin QFP	FineLine BGA 144-pin TQFP 208-pin QFP 240-pin QFP	FineLine BGA 208-pin QFP 240-pin QFP	FineLine BGA 208-pin QFP 240-pin QFP	FineLine BGA 208-pin QFP 240-pin QFP	FineLine BGA 208-pin QFP 240-pin QFP 599-pin PGA	FineLine BGA	FineLine BGA

注：
 (1) TQFP：薄型クワッド・フラット・パック、QFP：クワッド・フラット・パック、BGA：ボール・グリッド・アレイ、PGA：ピン・グリッド・アレイ

FLEX 最新情報

FLEX 10KE のデザインが可能に

アルテラのMAX+PLUS[®] IIのバージョン9.01は、FLEX[®] 10KEデバイスに対して、完全なピン配置情報を含む先行サポートを提供しています。これにより、FLEX 10KEデバイスの提供する高い集積度、低消費電力、デュアル・ポートRAM機能を活用したデザインの作成と、シミュレーション、そしてボード・レイアウトを行うことができるようになりました。表1はMAX+PLUS IIのバージョン9.01のソフトウェアでサポートされているFLEX 10KEデバイスを示しています。

デバイス名	パッケージ
EPF10K30E	144-Pin TQFP 208-Pin PQFP 256-Pin FineLine BGA 484-Pin FineLine BGA
EPF10K50E	144-Pin TQFP 208-Pin PQFP 240-Pin PQFP 256-Pin FineLine BGA 484-Pin FineLine BGA
EPF10K100B	208-Pin PQFP 240-Pin PQFP
EPF10K100E	208-Pin PQFP 240-Pin PQFP 356-Pin BGA 484-Pin FineLine BGA
EPF10K130E	240-Pin PQFP 484-Pin FineLine BGA 672-Pin FineLine BGA
EPF10K200E	599-Pin PGA 600-Pin BGA 672-Pin FineLine BGA

表2は、FLEX 10KEデバイスの供給状況 / 予定を示したものです。

デバイス名	供給状況 / 予定
EPF10K30E	1999年Q1
EPF10K50E	1998年10月
EPF10K100E	1999年Q1
EPF10K100B	供給中
EPF10K130E	1999年Q1
EPF10K200E	1998年Q4
EPF10K250E	1999年後半

250,000 ゲートの EPF10K250A を出荷開始

アルテラは業界でもっとも高い集積度を誇る250,000ゲートのデバイス、EPF10K250Aを出荷しています。このデバイスは599ピンのピン・グリッド・アレイ (PGA) と600ピンのボール・グリッド・アレイ (BGA) のパッケージで供給されています。12,160個のロジック・エレメント (LE) と40,960ビットのメモリを内蔵しているこのデバイスは、ASIC (Application Specific Integrated Circuit) の試作用途に最適となっており、シングル・チップにシステム全体を集積化することができます。

2.5V 動作の EPF10K100B が入手可能

EPF10K100Bは、0.25ミクロンの5層メタル・プロセスで製造されており、高い性能と低消費電力特性を提供します。EPF10K100Bデバイスの製造に使用されている0.25ミクロン・プロセスは、0.35ミクロンの3.3Vデバイスに比較して性能を84%近く向上させ、消費電力を66%も低減します。また、このデバイスのMultiVolt[™] I/O インタフェース機能により、2.5V、3.3V、または5.0Vデバイスとのインタフェースが可能になっています。EPF10K100Bは、240ピンのプラスチック・クワッド・フラット・バック (PQFP) で1998年8月から出荷されており、17mm²の占有面積で実装可能な256ピンのFineLine BGA[™] パッケージでも1998年9月から出荷されています。

3.3V 動作の FLEX 10KA ファミリの全製品を供給中

高性能でローコスト、エンベデッド・メモリとボード・スペースを削減するパッケージ・オプションなどの利点を提供するEPF10K10Aは、現在の量産用プログラマブル・ロジック・デバイス (PLD) デザインに対する経済的なソリューションとなっています。また、FLEX 10KAファミリの中でもっとも小規模なデバイスであるEPF10K10Aは多くの機能を内蔵しており、量産用のデザイン・ニーズに適合した理想的なソリューションとなっています。

EPF10K250AとEPF10K10Aの両デバイスの出荷が開始されたことにより、3.3V動作のFLEX 10KAファミリの全製品が供給中となりました。

(6 ページに続く)

Devices & Tools (5ページからの続き)

EPF6010A と EPF6016A を供給開始

アルテラは3.3V動作で、高い性能をゲートアレイに匹敵する価格で提供するEPF6010AとEPF6016Aの両デバイスの出荷を開始しました。これらのデバイスはEPF6024A(すでに出荷中)と共に新しい-1スピード・グレードを含む3種類のスピード・グレードで供給されています。これらの新しい-1グレードのデバイスに対するデザイン・サポートは、MAX+PLUS IIのバージョン9.01で提供されています。表3はFLEX 6000ファミリの各デバイスの機能を示したものです。

機能	EPF6010A	EPF6016	EPF6016A	EPF6024A
プロセス	0.35 μ m	0.5 μ m	0.35 μ m	0.35 μ m
電源電圧	3.3 V	5.0 V	3.3 V	3.3 V
ロジック・エレメント数	880	1,320	1,320	1,960
ユーザブル・ゲート数	5,000 ~ 10,000	8,000 ~ 16,000	8,000 ~ 16,000	12,000 ~ 24,000
ユーザI/Oピン数(最大)	139	204	171	218

FLEX 6000 の新製品を近日供給開始

100ピンと256ピンのFineLine BGAパッケージのFLEX 6000デバイスが1998年の第4四半期から供給される予定です。実装面積が効率的なこれらのパッケージは、従来のボール・グリッド・アレイ(BGA)パッケージの半分以下のスペースでボード上に実装可能です。これらのパッケージを使用したデザインは、1998年の第4四半期にリリース予定のMAX+PLUS IIのバージョン9.1によってサポートされます。表4はFLEX 6000ファミリの各デバイスに提供されるパッケージ・オプションとその供給状況を示したものです。

デバイス名	供給状況	100-Pin TQFP	100-Pin BGA 注(1)	144-Pin TQFP	208-Pin PQFP	240-Pin PQFP	256-Pin BGA	256-Pin BGA 注(1)
EPF6010A	供給中	√	√	√				√
EPF6016	供給中			√	√	√	√	
EPF6016A	供給中	√	√	√	√			√
EPF6024A	供給中			√	√	√	√	√

注:

(1) FineLine BGA パッケージは1998年の第4四半期から供給される予定です。

コンフィギュレーション EPROM 最新情報

EPC2 デバイスを10月から出荷開始予定

アルテラから、書き換え可能なコンフィギュレーションEPROMの最初の製品が1998年の10月から供給される予定です。このデバイスは20ピンのプラスチック・Jリード・チップ・キャリア(PLCC)と32ピンの薄型クワッド・フラット・バック(TQFP)パッケージで供給される予定となっており、同じパッケージで提供されている他のアルテラのコンフィギュレーションEPROMとピン互換となっています。EPC2は1個のデバイスで最大130,000ゲートまでのFLEXデバイスをコンフィギュレーションすることができ、業界標準のIEEE Std.1149.1のJTAG (Joint Test Action Group) テスト・ポートを使用してイン・システムでプログラムすることができます。EPC2は3.3Vまたは5.0Vの電源電圧で動作します。

MAX デバイス最新情報

MAX 9000A デバイスの供給状況

10nsのピン間遅延時間を実現したMAX 9000Aデバイスは、従来のMAX 9000デバイスを凌ぐ高い性能と低価格を提供します。EPM9320AとEPM9560Aの両デバイスは下記の表1に示すパッケージで大量に供給されています。表1には、現在供給中の一般用および工業用温度範囲のデバイスが各パッケージごとに示されています。

デバイス名	t _{PD}	84-Pin PLCC	208-Pin PLCC	240-Pin RQFP	356-Pin BGA
EPM9320A	10 ns	C, I	C, I		C
EPM9560A	10 ns		C, I	C, I	C

注:

(1) Cは一般用、Iは工業用温度範囲の製品が供給中となっていることを示しています。

MAX 7000とMAX 9000デバイスの新プロセスへの移行 アルテラのイン・サーキット・テストに対するサポート

アルテラはMAX 7000ファミリとMAX 9000ファミリのデバイスの製造を0.65ミクロン・プロセスから0.5ミクロン・プロセスに移行させています。表2は、新しいプロセスへの移行予定とこの移行に伴う関係書類を示したものです。これらの関係資料はアルテラのウェブ・サイト、<http://www.altera.com>の中に提供されているCustomer Notificationのページからダウンロードすることもできます。

デバイス	関係書類(2)	移行予定	プロセス
EPM7032	PCN9703 ADV9803	完了	0.5 ミクロン
EPM7064 EPM7064S	PCN9703 ADV9708	完了	0.5 ミクロン
EPM7128E EPM7128S	PCN9703 ADV9708	完了	0.5 ミクロン
EPM7160E	PCN9703 ADV9803	1998年10月	0.5 ミクロン
EPM7192E EPM7192S	PCN9703 ADV9708	完了	0.5 ミクロン
EPM7256S EPM7256E	PCN9703 ADV9708	完了	0.5 ミクロン
EPM9320	PCN9703 ADV9803	1998年9月	0.5 ミクロン
EPM9560	PCN9703 ADV9803	1998年9月	0.5 ミクロン

注:

- (1) この移行に伴うデータシート上のパラメータおよび注文コードの変更はありません。
 (2) アルテラはこれらのプロセス変更通知書、アルテラ連絡書などの関係ドキュメントをワールド・ワイド・ウェブ、<http://www.altera.com>を通じて提供しています。

MAX 7000Sファミリはイン・サーキット・テストを使用したイン・システム・プログラミングをサポートしています。このイン・サーキット・テストを使用したイン・システム・プログラミングをもっとも効率良く行うためには、固定のプログラミング・アルゴリズムでテストされたデバイスをご注文して頂く必要があります。固定のプログラミング・アルゴリズムをサポートしているデバイスのオーダ・コードの末尾には、"F"のサフィックスが付加されています。例えば、EPM7128STC100-10をイン・サーキット・テストでプログラムする場合は、EPM7128STC100-10Fのオーダ・コードのデバイスを使用してください。"F"コードのデバイスの発注方法の詳細については、日本アルテラの販売代理店へお問い合わせください。

MAX 7000AE デバイス

新たに登場したMAX 7000AEデバイスは、MAX 7000Aデバイスのスピードと機能に最新のイン・システム・プログラマビリティ(ISP)機能を付加した製品です。MAX 7000AEデバイスは、32マクロセルから512マクロセルまでの集積度と最大5nsのピン間遅延を提供しており、MAX 7000ファミリの業界におけるリーダーシップを集積度と性能の双方でさらに継続させています。

MAX 7000AEデバイスの強化、拡張された機能を表3に示します。

機能	説明
新しいISP用プログラミング・アルゴリズム	プログラミング時間を1/2から1/10まで改善
ISP_Doneビット	プログラミングの完了をモニタ可能
I/Oピンのプルアップ抵抗	イン・システム・プログラミング時にI/OピンをHighレベルにプルアップ

MAX 7000AEデバイスの最初の製品、EPM7064AEが1998年9月から出荷されています。表4はアルテラのMAX 7000Aデバイスの機能と供給予定を示したものです。新しい機能が付加されていないEPM7128AとEPM7256Aの両製品は現在供給中となっています。

(8ページに続く)

機能	EPM7032AE	EPM7064AE	EPM7128A	EPM7256A	EPM7384AE	EPM7512AE
マクロセル数	32	64	128	256	384	512
最大ユーザI/Oピン数	36	68	100	164	212	212
t _{PD} (ns)(最高速版のMax値)	5.0	5.0	6.0	7.5	7.5	7.5
パッケージ	44-pin PLCC 44-pin TQFP	44-pin PLCC 44-pin TQFP	84-pin PLCC 100-pin TQFP 100-pin BGA 144-pin TQFP	100-pin TQFP 144-pin TQFP 208-pin PQFP 256-pin BGA	144-pin TQFP 208-pin PQFP 256-pin BGA	144-pin TQFP 208-pin PQFP 256-pin BGA
供給開始予定	1999年Q1	1998年9月	供給中	供給中	1999年Q1	1998年11月

Devices & Tools (7ページからの続き)

MAX 7000A の供給状況

3.3V で動作する MAX 7000A ファミリの2種類のデバイス、EPM7128AとEPM7256Aが現在出荷中となっています。MAX 7000Aファミリの各デバイスは、ISP、MultiVolt I/Oピン、最大5nsのピン間遅延時間をサポートしています。また、MAX 7000Aデバイスは、業界標準のMAX 7000デバイスとピン互換となっています。表5はMAX 7000Aデバイスの供給状況/予定を示したものです。

デバイス名	パッケージ	スピード・グレード	供給状況/予定
EPM7032AE	44-pin PLCC	-5, -7, -10	1999年Q1
	44-pin TQFP	-5, -7, -10	
EPM7064AE	44-pin PLCC	-5, -7, -10	1998年9月
	44-pin TQFP	-5, -7, -10	
	84-pin PLCC	-5, -7, -10	
	100-pin TQFP	-5, -7, -10	
EPM7128A	84-pin PLCC	-6, -7, -10, -12	供給中
	100-pin TQFP	-6, -7, -10, -12	
	100-pin PQFP	-6, -7, -10, -12	
	160-pin PQFP	-6, -7, -10, -12	
	256-pin BGA	-6, -7, -10, -12	
EPM7256A	100-pin TQFP	-7, -10, -12	供給中
	144-pin TQFP	-7, -10, -12	
	208-pin PQFP	-7, -10, -12	
	256-pin BGA	-7, -10, -12	
EPM7384AE	144-pin TQFP	-7, -10, -12	1999年Q1
	208-pin PQFP	-7, -10, -12	
	256-pin BGA	-7, -10, -12	
EPM7512AE	144-pin TQFP	-7, -10, -12	1998年11月
	208-pin PQFP	-7, -10, -15	
	256-pin BGA	-7, -10, -12	

MAX 7000S デバイス

すべてのMAX 7000Sデバイスが現在、入手可能となっています。これらのデバイスには、最大5nsのピン間遅延時間、ISP、128マクロセル以上のデバイスに内蔵されているIEEE Std. 1149.1のJTAG (Joint Test Action Group) のバウンダリ・スキャン・テスト (BST) 回路、オープン・ドレイン出力オプションなど多くの特長が提供されています。表6はMAX 7000Sデバイスに提供されているパッケージ・オプションとスピード・グレードを示したものです。

デバイス名	パッケージ	スピード・グレード
EPM7032S	44-pin PLCC	-6, -7, -10
	44-pin TQFP	-6, -7, -10
EPM7064S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
	84-pin PLCC	-5, -6, -7, -10
	100-pin TQFP	-5, -6, -7, -10
EPM7128S	84-pin PLCC	-6, -7, -10, -15
	100-pin TQFP	-6, -7, -10, -15
	100-pin PQFP	-6, -7, -10, -15
	160-pin PQFP	-6, -7, -10, -15
EPM7160S	84-pin PLCC	-6, -7, -10
	100-pin TQFP	-6, -7, -10
	160-pin PQFP	-6, -7, -10
EPM7192S	160-pin PQFP	-7, -10, -15
EPM7256S	208-pin PQFP	-7, -10, -15

製造中止品最新情報

アルテラは、製造中止品に関する新しい発表を行っておりません。アルテラはこれらの製造中止品に関する情報が記載された製造中止通知書 (PDN: Product Discontinuance Notices) およびアルテラ連絡通知書 (ADV: Altera Distributes Advisories) を発行しています。特定デバイスのPDNまたはADVの入手を希望される場合は、日本アルテラまたは販売代理店へご連絡下さい。なお、一部のPDNとADVについてはアルテラのウェブ・サイト、<http://www.altera.com>でも提供されています。

なお、各半導体メーカーの製造中止品を専門に供給している米国のロチェスタ・エレクトロニクス社は、多数のアルテラの製造中止品の供給を引き続きサポートする予定です。詳細についてはロチェスタ・エレクトロニクス社のウェブ・サイト、<http://www.rocelec.com>をご覧ください。同社の日本代理店である小松セミコン(株)(電話: 03-3573-6828)へお問い合わせください。

Tool 最新情報

MAX+PLUS II のバージョン 9.01 で提供される新機能

アルテラは MAX+PLUS II のバージョン 9.01 を出荷中です。このバージョンはすべての FLEX 10KE デバイスに対するコンパイルとシミュレーションをサポートしており、さらに下記を含むデザインの生産性を大幅に向上させる多くの改善が実施されています。

配置配線のアルゴリズムを改良し、レジスタ間のデザイン性能を平均 5% 改善。

VHDL と Verilog HDL に対する論理合成結果が、アルテラ・ハードウェア記述言語 (AHDL) に対する論理合成で得られる結果と同等の品質レベルになるように改善。

MAX+PLUS II のバージョン 9.01 で新たに提供された JBC ファイル (.jbc) をコンパイルして得られる Jam™ Byte Code により、イン・システム・プログラミングの時間を最大 25% 短縮。Jam Byte Code の詳細については、20 ページの「Jam Byte Code を発表」をご覧ください。

新しい FineLine BGA パッケージをサポート。

MAX+PLUS II のバージョン 9.01 の PC ネットワーク・ライセンス

MAX+PLUS II のバージョン 9.01 には、PC ベースのネットワークに対するフローティング・ノード・ライセンスが提供されています。このフローティング・ノード・ライセンスが付加された製品の発注コードは PLS-NET/PC です。この製品は、アルテラのすべてのデバイス・ファミリに対するサポートと PC ベースの MAX+PLUS II のすべての機能を提供しています。フローティング・ノード・ライセンスが付加された PC プラットフォームの MAX+PLUS II は、UNIX (Solaris 2.5 以降、HP-UX 10.20 以降、IBM AIX 4.1 以降) または Windows NT ベースのライセンス・サーバから動作させることができます。このときのライセンスには、UNIX サーバのホスト ID、または Windows NT サーバのネットワーク・インタフェース・カード (NIC) の ID が使用されます。MAX+PLUS II の固定ノード・バージョンと有効なメンテナンス契約を保有されているユーザの方には、1998年10月末

までの期間限定でフローティング・ノードの MAX+PLUS II が特別キャンペーン価格で提供されています。詳細は、販売代理店へご連絡ください。

MAX+PLUS II のバージョン 9.1 に対するバージョン・コントロール・ライセンス

アルテラは MAX+PLUS II のバージョン 9.1 (1998年10月にリリース予定) から、最新のライセンス管理ソフトウェアである GLOBEtrouter 社の FLEXIm を導入します。この FLEXIm を導入することにより、ネットワーク・ライセンスの管理が容易になり、MAX+PLUS II の西暦 2000 年問題に対する確実な対応が実施されます。

この新しいライセンス管理プログラムは、下記のようにソフトウェアのライセンスの方法も変更します。

固定ノードの PC ベース・システムに対するライセンスにはソフトウェア・ガードが必要となりますが、オーソライゼーション・コードの代わりにライセンス・ファイルが使用されます。MAX+PLUS II をバージョン 9.1 にアップグレードする場合は、これらのソフトウェアを使用するための新しいライセンス・ファイルを入手する必要があります。

トラブルの発生を最小限に抑えるため、アルテラは MAX+PLUS II のバージョン 9.1 がリリースされる前に、有効なメンテナンス契約を締結しているすべてのユーザに新しいライセンス・ファイルを送付します。さらに、1998年10月1日以降、MAX+PLUS II のバージョン 9.1 のユーザは、アルテラのウェブ・サイト、<http://www.altera.com> を通じて、ライセンス・ファイルの生成を行えるようになります。

MAX+PLUS II のバージョン 9.1 から、新たにリリースされた機能を使用するためには、有効なメンテナンス契約を締結していることが必要になります。なお、メンテナンスを締結していないユーザは、既存のバージョンを引き続き使用することができます。新しいライセンス・ファイルは、メンテナンス契約が更新されるごとに (原則として年 1 回) 生成される必要があります。

最新機能を提供する FLEX 10KE の EAB

アルテラの FLEX® 10KE デバイスには、性能とデバイスの使用効率を向上させるエンベデッド・アレイ・ブロック (EAB) を含む最先端のシステム・レベルの機能が提供されています。FLEX 10KE デバイスの EAB は、入出力ポートにレジスタを内蔵した柔軟性の高い RAM のブロックとなっています。また、この EAB にリード・オンリのパターンをプログラムすることによって、EAB をマルチプライヤ、ベクタ・スケラ、エラー・コレクションなどのファンクションの構成に最適なブロックとして使用することもできます。そして、デジタル・フィルタやマイクロコントローラなどのアプリケーションにおいて、これら複数のファンクションを接続して使用することができます。

EAB にロジック・ファンクションを実現する場合は、コンフィギュレーション時に EAB にリード・オンリのパターンをプログラミングして、ルック・アップ・テーブル (LUT) を構成します。LUT を使用した場合、組み合わせ回路の機能は入力に対する出力を計算するのではなく、あらかじめ LUT に設定されたパターンに応じた結果を出力することで実現されます。この組み合わせ回路の実現方法は、一般的なロジック回路で実現されるアルゴリズムよりも高速となり、EAB のアクセス・タイムを高速化することで性能をさらに向上させることができる利点があります。大容量の EAB を提供することによって、複雑なファンクションを 1 段のロジック・レベルで構成することができるようになり、FPGA (Field-Programmable Gate Array) の RAM ブロックやロジック・エレメント (LE) を複数接続した場合の配線遅延時間も発生しません。例えば、1 個の EAB には、9 ビット入力、9 ビット出力の 5×4 マルチプライヤを構成することができます。LPM (Library of Parameterized Module) ファンクションのようなパラメータ化されたファンクションは、この EAB の利点を自動的に活用することができます。

FLEX 10KE デバイスの EAB は、オン・ボード RAM を小容量の分散型 RAM ブロックで構成する FPGA よりも多くの利点を提供します。FPGA の小容量な RAM ブロックは、それらを相互に接続して使用可能なサイズになるように拡張する必要があります。そして、これらの RAM ブロックは、複数のロジック・ブロックで構成されるマルチプレクサを使用して相互に接続される必要があります。このマルチプレクサは追加遅延を発生させる要因となり、RAM ブロックのスピードを低下させる可能性があります。FPGA の小容量な RAM ブロックで大容量のメモリ・ブロックを構成するためには、これらを相互に接続するため、配線の問題が発生する可能性があります。これに対して、FLEX 10KE の EAB は大容量の専用 RAM ブロックとして使用できるため、FPGA のようなタイミングや配線に関係した問題が発生しません。

デュアル・ポート・モード

FLEX 10KE の EAB には、従来の EAB 構造に新たにデュアル・ポート機能が追加されており、その機能がさらに拡張されています。このデュアル・ポート構造は、1 本または 2 本のクロックで動作する FIFO (First-In First-Out) の構成に最適です。FLEX 10KE の EAB はデュアル・ポート、あるいはシングル・ポートのモードで動作します。デュアル・ポートのモードでは、EAB に対するリードとライトの動作に別個のクロックが使用されるため、EAB に対するリードとライトの動作を異なるレートで実行することができます。また、EAB にはリードとライトを行う EAB のそれぞれのセクションに独立した 2 本の同期クロック・イネーブル信号が提供されるため、双方のセクションを個別にコントロールすることができます。11 ページの図 1 を参照してください。

シングル・ポート・モード

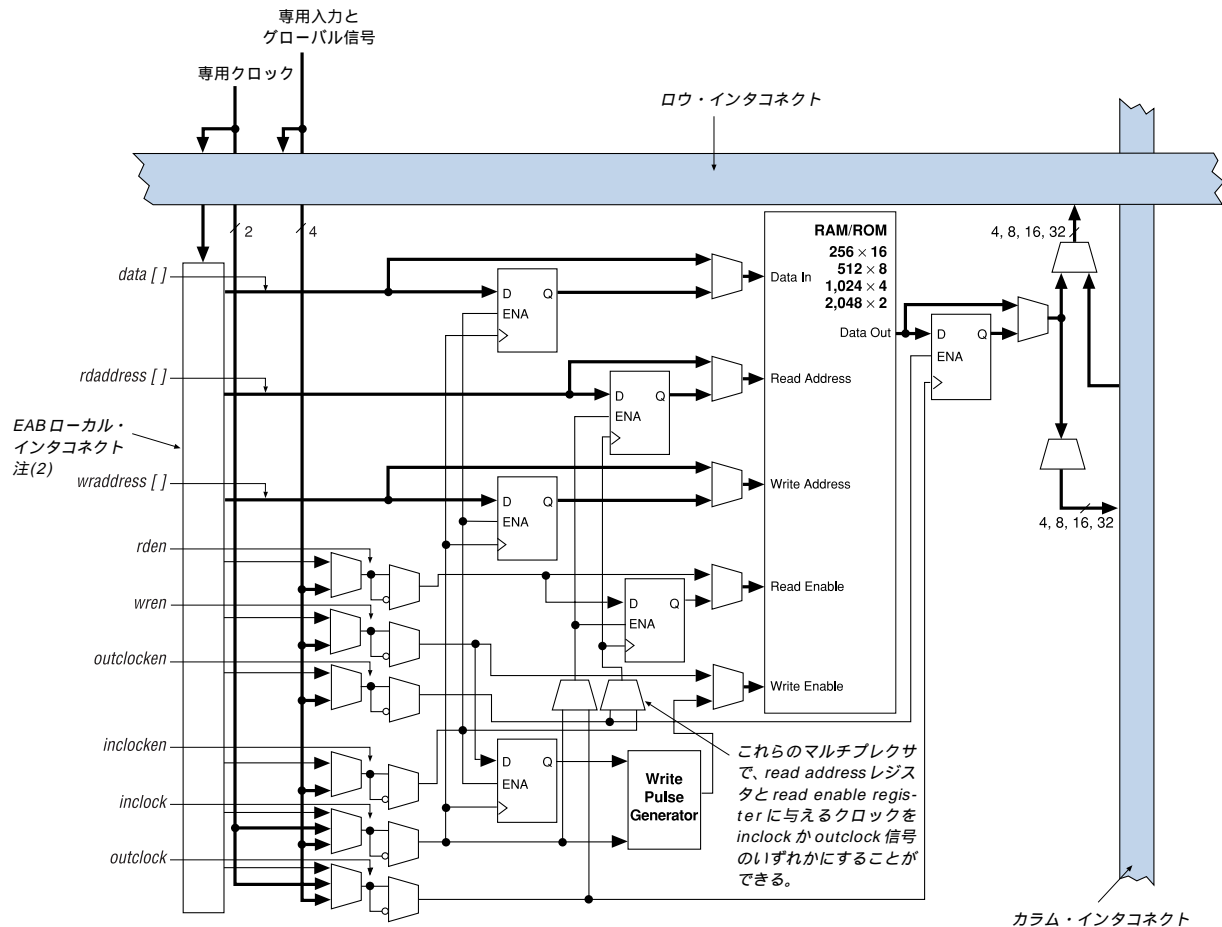
FLEX 10KE の EAB はシングル・ポートのモードでも使用できます。このモードは従来の FLEX 10K デバイスのデザインとの互換性を提供します。FLEX 10KE デバイスをシングル・ポートのモードで使用した例が 12 ページの図 2 に示されています。

同期型 RAM

EAB は同期型 RAM の構成にも使用できます。同期型 RAM の構成は非同期型の RAM よりも簡単です。非同期型 RAM を使用した回路にはライト・イネーブル (WE) 信号の生成が必要となり、データとアドレスの信号はこの WE 信号に対して、規定されたセットアップ・タイムとホールド・タイムを守る必要があります。これに対して、EAB で同期型 RAM を構成した場合は、EAB 自身が WE 信号を生成し、入力またはライト・クロックに対するタイミングが自動的に確保されます。EAB にセルフ・タイミング機能を持った RAM を構成した回路では、グローバル・クロックに対して規定されているセットアップ・タイムとホールド・タイムだけを守れば良いこととなります。EAB を RAM として使用する場合、各 EAB は、 256×16 、 512×8 、 $1,024 \times 4$ 、または $2,048 \times 2$ のいずれかの構成に任意に設定することができます。

複数の EAB を接続して、さらに大容量の RAM を構成することができます。例えば、 256×16 構成にした 2 個の EAB で 256×32 のブロックを実現したり、 512×8 構成にした 2 個の EAB で 512×16 のブロックを実現することが可能です。詳細は 12 ページの図 3 を参照してください。

図1 デュアル・ポートRAMモードのときのFLEX 10KE デバイス 注(1)、(3)



注：

- (1) すべてのレジスタはEABローカル・インタコネクต์信号、グローバル信号、またはチップ全体のリセット信号により非同期でクリアすることができます。
- (2) EPF10K30EとEPF10K50Eの両デバイスは88チャンネルのEABローカル・インタコネクต์を持っています。EPF10K100E、EPF10K130E、EPF10K200E、EPF10K250Eの各デバイスは104チャンネルのローカル・インタコネクต์を持っています。
- (3) EPF10K100Bには、デュアル・ポートRAMモードが提供されていません。

必要に応じて、デバイス内のすべてのEABをカスケード接続することによって、1つのRAMブロックを構成することもできます。EABをカスケード接続することで、タイミングを犠牲にすることなく、最大2,048ワードまでのRAMブロックが構成できます。アルテラのMAX+PLUS® IIソフトウェアは、指定されたRAMの構成になるように、複数のEABを自動的に接続します。

EABには、クロック信号のドライブとコントロールに柔軟性に富んだオプションが提供されています。EABに対するリードとライトの動作には、異なるクロックとクロック・イネーブル信号を使用することができます。データ入力、EABの出力、ライト・アドレス、WE信号、リード・アドレス、リード・イネーブル(RE)の各信号には、レジスタを個別に挿入することができます。グローバル信号とEABのローカル・インタコネクต์は、WE信号、RE信号、クロック・イネーブル信号をドライブすることができます。グローバル信号、クロック専用ピン、およびEABのローカ

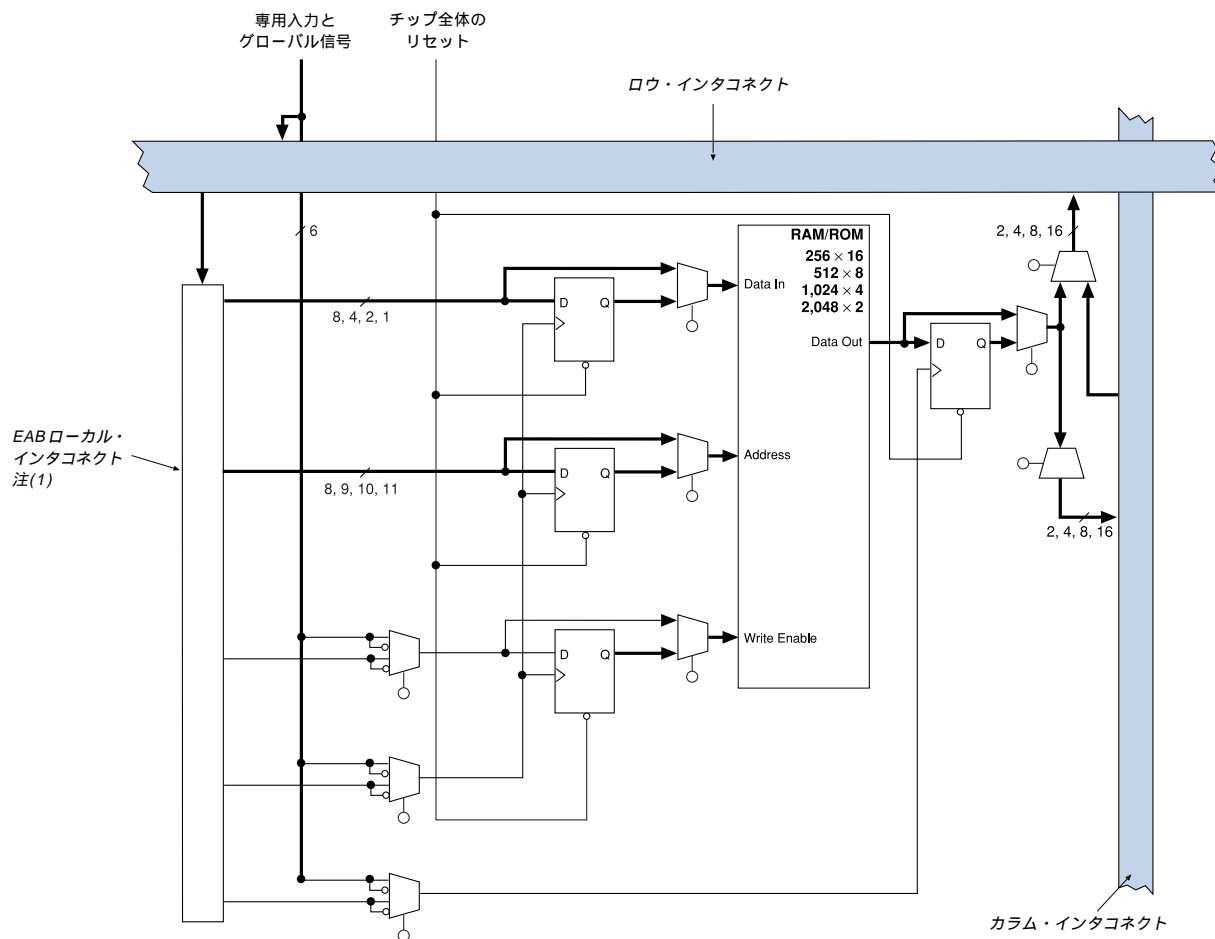
ル・インタコネクต์は、EABのクロック信号をドライブすることができます。LEはEABのローカル・インタコネクต์をドライブすることできるため、LEからWE、RE、クリア、クロック、クロック・イネーブルの各信号をコントロールすることができます。

EABへの入力はロウ側のインタコネクต์からドライブすることができ、EABからの出力はロウおよびカラムのインタコネクต์をドライブすることができます。各EABの出力は2本のロウ・チャンネルと最大2本のカラム・チャンネルをドライブすることができ、使用されないロウ・チャンネルは他のLEからドライブ可能となります。この機能によって、EABの出力に提供される配線リソースが増加します。EABに隣接したカラム・インタコネクットの配線チャンネルはデバイス内の他のカラム・インタコネクットの2倍となっています。12ページの図2と図3を参照してください。

(12ページに続く)

最新機能を提供する FLEX 10KE の EAB (11 ページからの続き)

図2 シングル・ポート RAM モードのときの FLEX 10KE デバイス

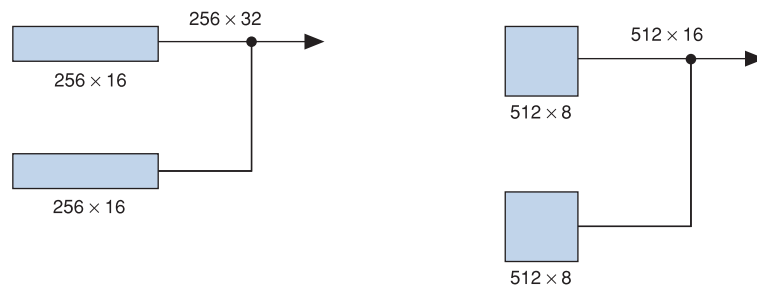


注：
 (1) EPF10K30EとEPF10K50Eの両デバイスには88チャンネルのEABローカル・インタコネク特を持っています。EPF10K100E、EPF10K100B、EPF10K130E、EPF10K200E、EPF10K250Eの各デバイスは104チャンネルのEABローカル・インタコネク特を持っています。

FLEX 10KE デバイスの詳細については、FLEX 10KE Embedded Programmable Logic Family のデータシートを参照して頂くか、日本アルテラの 応用技術部へお問い合わせください。

「Design Tips from Altera Applications」のシリーズは、次号から再開します。

図3 複数のEABの接続例



ISP を使用するためのガイドライン

「Time-to-Market」の要求が高まると共に、開発や製造で問題を発生させないようにした最新のシステム製品が求められるようになってきました。イン・システム・プログラマビリティ (ISP) 機能を持ったプログラマブル・ロジック・デバイス (PLD) は、開発時間の短縮、製造工程の簡略化、在庫コストの低減、プリント基板 (PCB) のテスト機能の改善に役立ちます。アルテラの MAX[®] 9000 (MAX 9000A を含む)、MAX 7000S、MAX 7000A ファミリの各デバイスは、IEEE Std. 1149.1 の JTAG (Joint Test Action Group) インタフェースを使用してプログラミングおよびリロード・プログラミングすることができます。この JTAG インタフェースを使用することで、デバイスのプログラミングとボードのファンクション・テストをひとつの工程で行うことが可能となり、テスト時間と組立コストを削減することができます。この記事では、ISP を使用するときに従う必要があるいくつかのガイドラインについて解説します。

デバイスの動作条件

アルテラの各デバイスには、適切な動作を行うために必要となる動作条件やパラメータの値が規定されています。ユーザ・モードにおいては、これらの条件が守られていない場合でも、デバイスは一般的に正常に動作します。ただし、イン・システム・プログラミングの実行時において、これらの条件が守られていないと、プログラミング不良が発生したり、デバイスに不正なパターンがプログラムされる結果になります。各デバイスに規定されている仕様を、1998 年版データブックに記載されている個別のデータシートで確認してください。

TCK 信号

イン・システム・プログラミングで発生するほとんどの不良は、TCK 信号にノイズが乗っていることが原因となっています。立ち上がり、または立ち下がりエッジにノイズを含んだ TCK 信号が遷移することによって、IEEE Std. 1149.1 のテスト・アクセス・ポート (TAP) コントローラに不適切なクロックが与えられる可能性があります。不適切なクロックの供給はステート・マシンを規定されていないステートに遷移させ、イン・システム・プログラミング不良を発生させる原因になります。

さらに、TCK 信号は JTAG チェイン内にパラレルに接続されている他のすべての JTAG 対応デバイスをドライブする必要があるため、大きなファン・アウトを持っています。したがって、大きなファン・アウトを持っているユーザ・モードのクロック信号と同じように、TCK 信号に対しても波形が正常に保たれるようなクロック・ツリーの設計が必要となります。不適切なクロック波形によって発生する代表的な不良モードとしては、「Invalid ID」のエラー・メッセージ、ブランク・チェック・エラー、ペリファイ・エラーの発生などがあります。

MultiVolt 対応デバイス

イン・システム・プログラミングやバウンダリ・スキャン・テストの実行時に JTAG 対応デバイスを正常に動作させるためには、JTAG チェイン内のすべてのデバイスが同じステートになっている

必要があります。したがって、複数の電源電圧が使用されているシステムでは、チェイン内のすべてのデバイスに完全に電源が投入されるまで、JTAG 回路を「テスト・ロジック・リセット」のステートに保っておく必要があります。複数の電源電圧が使用されているシステムでは、すべての電源の電圧レベルを同時に規定値まで上げるのが不可能なため、特にこのプロセスが重要になります。

MultiVolt[™] 機能をサポートしているアルテラのデバイスには、V_{CCINT} と V_{CCIO} の 2 種類の電源が使用されます。V_{CCINT} は JTAG 回路に電源を供給し、V_{CCIO} は TDO を含むすべてのピンの出力ドライバに電源を供給します。したがって、これらのデバイスに 2 種類の電源電圧が使用されている場合は、双方の電源が規定の電圧に達するまで、JTAG 回路が「テスト・ロジック・リセット」のステートを保っている必要があります。これをもっとも簡単に実行する方法は、TCK を Low レベルに、TMS を High レベルにしておくことです。

"F" デバイスの使用と Non-"F" デバイスの使用

MAX デバイスは、固定アルゴリズム ("F" 付きデバイス) またはランチャを必要とするアルゴリズム (Non-"F" デバイス) のいずれかでプログラムすることができます。ほとんどのイン・サーキット・テストのファイル・フォーマット (シリアル・ベクタ・フォーマット・ファイル (.svf)、Hewlett-Packard 社のパターン・キャプチャ・フォーマット・ファイル (.pcf)、DTS、ASC など) は、固定または固有のアルゴリズムのみに対応したものになっており、ランチャのない 1 種類のみアルゴリズムだけをサポートしています。MAX+PLUS II のバージョン 8.2 以降のソフトウェアは "F" 付きのデバイスに対する SVF を生成することができます。SVF ファイルのアルゴリズムは固定になっているため、SVF ファイルを使用する場合は、常に "F" 付きのデバイスだけをプログラムできることになります。

アルテラは、ほとんどのイン・サーキット・テストによる Non-"F" デバイスのプログラミングを推奨しておりません。ただし、一部のテストは新しいプログラミング/テスト用語となっている Jam[™] をサポートしており、Jam をサポートしているテストで Non-"F" デバイスをプログラムすることもできます。Non-"F" デバイスには、デバイスから読み込まれるプログラミング・パルス幅、イレース・パルス幅、製造メーカーのシリコン ID の 3 種類の変数に応じたランチャの動作が必要です。これら 3 種類の変数はアルテラのすべての Non-"F" デバイスにプログラムされています。"F" デバイスのみを使用することで、これらの変数が変更されている場合でも問題の発生を防ぐことができます。

まとめ

この記事に掲載されている情報は、アルテラの開発経験やユーザで発生した問題点を解決した実例などをベースにしたものとなっています。詳細については、アプリケーション・ノート、AN 100 「In-System Programmability Guidelines 日本語版も発行予定」を参照してください。イン・システム・プログラミングに関連した問題を解決する必要がある場合は、日本アルテラの応用技術部へご相談ください。

新しい FIFO MegaWizard Plug-In を使用して、アルテラのデバイスに FIFO を実現する方法

現在、アルテラは FIFO (First-In First-Out) バッファの実現のために新たに開発した FIFO MegaWizard™ Plug-In による FIFO ソリューションを提供しています。この新しい機能は高速で柔軟性の高い、また使いやすい FIFO ソリューションを提供しており、要求される FIFO の仕様に応じた適切なメガファンクションが自動的に選択できるようになっています。この機能は MAX+PLUS® II のバージョン 9.01 から提供されています。

この FIFO MegaWizard ソリューションは、シングル・クロック FIFO (scfifo) とダブル・クロック FIFO (dcfifo) の 2 種類の新しいメガファンクションを実現しています。SCFIFO は、新しい FLEX 10KE デバイスのデュアル・ポート RAM を含む FLEX 10K ファミリのすべてのデバイスに内蔵されているエンベデッド・アレイ・ブロック (EAB) に同期型の FIFO を構成するときを使用されます。また、DCFIFO は、デュアル・ポート構造となっている FLEX 10KE デバイスの EAB に非同期型の FIFO (リードとライトの動作に別個のクロックを必要とするデザイン) を実現するときを使用されます。双方の FIFO は、すべての FLEX デバイスにおいて、ロジック・エレメント (LE) をベースにした FIFO としても実現することができます。

FIFO MegaWizard Plug-In を使用することによって、広範囲な FIFO ファンクションに対して、FIFO のデータ幅、深さ、出力のコントロール信号、およびリード・アクセスの方法を簡単に選択または変更する機能が提供されます。

同期型 FIFO のデザイン

FIFO MegaWizard Plug-In を使用して、FIFO に対するリードとライトの動作に 1 本の共通のクロックを使用するオプションを選択することによって、同期型の FIFO が実現されます。この同期型 FIFO では、リードとライトの動作を同時に実行することが可能です。図 1 は、MegaWizard Plug-In Manager で同期型の FIFO を選択したときの画面を示したものです。

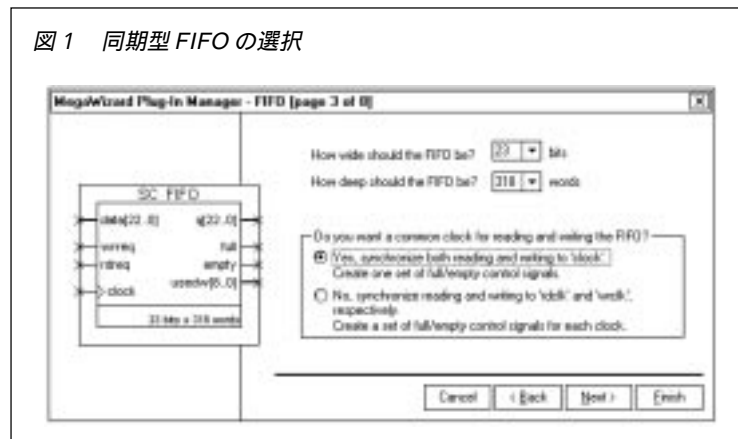


図 1 同期型 FIFO の選択

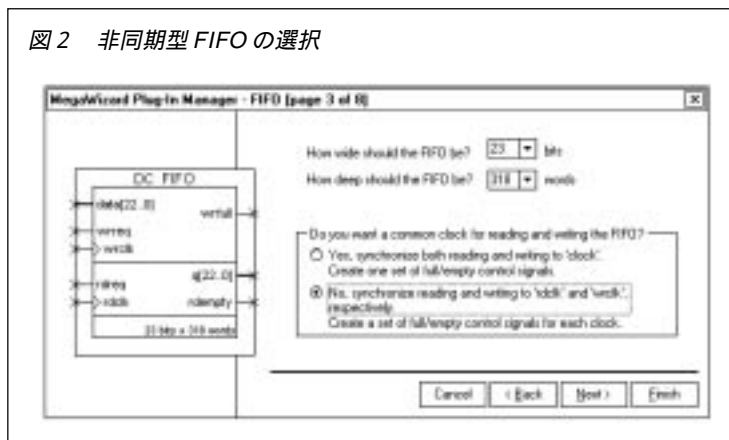
同期型 FIFO は FLEX 10KE デバイスの EAB に実現されるのが理想的であり、1 個の EAB で 16 ビットのデータ幅、4,096 ビットの容量が実現できるデュアル・ポート・アーキテクチャとなっている FLEX 10KE デバイスの EAB の利点をフルに活用することができます。

FLEX 10K, FLEX 10KA ファミリの各デバイス、および EPF10K100B がターゲット・デバイスとして使用される場合は、MegaWizard Plug-In が、リードとライトの動作を同時に実行できるインタリーブ FIFO ファンクションをこれらのデバイスの EAB に効率的に実現します。

非同期型 FIFO のデザイン

FIFO MegaWizard Plug-In を使用して、FIFO に対するリードとライトの動作にそれぞれ独立したクロックを使用するオプションを選択することによって、非同期型の FIFO が実現されます。図 2 は、MegaWizard Plug-In Manager で非同期型の FIFO を選択したときの画面を示したものです。

図 2 非同期型 FIFO の選択



同期型の FIFO と同じように、非同期型の FIFO でも FLEX 10KE デバイスの提供するデュアル・ポート・アーキテクチャの利点をフルに活用することができます。

MegaWizard Plug-In Manager、FLEX 10KE の EAB に実現されるデュアル・ポート・アーキテクチャ、scfifo および dcfifo ファンクションの詳細については日本アルテラの応用技術部にお問い合わせ頂くか、MAX+PLUS II の Help 機能 (バージョン 9.01 以降) を活用して確認してください。また、FLEX デバイスに対する FIFO ソリューションについては、弊社発行の News & Views 98 年夏季号 (日本アルテラのウェブ・サイト、<http://www.altera.com/japan/> からダウンロード可能) をご覧頂くか、日本アルテラの応用技術部へお問い合わせください。

Contributed Article

ASSET InterTech 社がローコストなテストと ISP の機能を提供

by *Dave Bonnett*
Product Marketing Manager
ASSET InterTech, Inc.

ここ数年間、最終システム製品の製造メーカは、イン・システム・プログラマビリティ (ISP) を、各業界におけるコスト低減や迅速な市場参入 (Time-to-Market) といった困難な要求の高まりに対応させるのに役立つ画期的で効率的な手法として受け入れるようになってきました。プログラマブル・ロジック・デバイス (PLD) に対するプログラミング方法として ISP が急速に普及しているのは、決して偶発的なことではありません。PLD 業界は、ISP をサポートしたデバイスとツールを提供するために大きな努力を払ってきました。現在、事実上の業界標準となっている、バウンダリ・スキャン (IEEE Std. 1149.1) のテスト・アクセス・ポート (TAP) を ISP のシリアル・インタフェースとして使用する方法の普及は、ISP 対応デバイスの供給メーカとバウンダリ・スキャン・テスト (BST) の専門メーカとの提携を実現させています。この結果、当社の ASSET ツール・セットを使用した ISP の実行が現実のものとなっています。

ASSET 社の ISP におけるリーダーシップ

ASSET 社は ISP の標準化作業において、長期間にわたってその指導的な立場にありました。また、アルテラのプログラミング/テスト用言語、Jam™ の JEDEC における標準化を援助するため、当社はシリアル・ベクタ・フォーマット (SVF) の規格の検討も行ってきました。当社の多くのスタッフは SVF の開発に携わっており、異なる BST システム間でベクタを転送できるようにした SVF の標準フォーマットを実現させています。ASSET 社は SVF に新たに ISP のプロセスを効率的に実行させることを可能にする機能と命令を新たに追加することにより、SVF の機能をさらに拡張させました。

ASSET 社の製品ファミリ

ASSET® 社の製品ファミリは、PC または VXI のプラットフォーム上で動作し、設計、製造、フィールドでの保守を含む製品のライフ・サイクルのあらゆる段階で、イン・システム・プログラミングとテストの迅速かつ簡単な実行を可能にしています。ASSET の実現した ISP 機能は、2 種類の製品で提供されています。まず、ScanProgrammer™ と呼ばれる製品は、デザインの検証時に使用されるインタラクティブなプログラマです。また、ISPExtender は、ASSET の既存のテスト・ソリューションで ISP の利点がフルに活用できるようにした製品です。

当社のシステムは SVF ファイルによる ISP の実行に使用されてきましたが、ScanProgrammer はこのプロセスを自動化し、簡略化します。また、この ScanProgrammer は、SVF を使用した ISP のサポートに加え、新たに Jam 言語を使用するための機能もサポートしています。この ScanProgrammer は、製造/組立のテスト工程において、デバイスをプログラミングするときにも使用できます。また、バーイン・テストの実行時にプログラマブル・デバイスからデータのロードを行うこともできます。さらに、この ScanProgrammer はシステムのライフ・サイクルの後半にあたる期間にも使用することができ、新しいソフトウェアを PLD にロードすることによって、フィールドにすでに出荷、設置済みとなっているシステムのアップデートを行うことができます。

ISPExtender は、当社の ScanDriver™ に Jam 言語のサポートを追加するための製品であり、これによって Jam ファイルがスタンドアローンのプログラミング・ステーション、または製造工程に統合化された ISP で使用可能になります。ScanDriver と ISPExtender は、あらゆる製造工程にシームレスに適合する製造工程テスト用ユーザ・インタフェースからコントロールされるようになっています。

ISP の将来性

近年、ISP の必要性は特に高まっていますが、ボール・グリッド・アレイ・パッケージやチップ・スケール・パッケージなどのような、より微細でファイン・ピッチ構造となっている新しいパッケージの増加は、ISP の採用を確実に加速していくことになると予想されます。ASSET 社の製品のような PLD のプログラミング・コストを低減し、システムの「Time-to-Market」の期間を短縮するために使用されるツールが、さらに競争力の高い製品を求めている設計者に提供されるようになってきました。

連絡先：
ASSET InterTech, Inc.
2201 N. Central Expressway,
Suite 105
Richardson, TX 75080
<http://www.asset-intertech.com>

日本連絡先：
有限会社オンテスト
東京都あきる野市草花 193-24
TEL: 042-559-9220
FAX: 042-532-7823
E-mail: asami@inv.co.jp

Questions & ANSWERS

Q 一部のボール・グリッド・アレイ (BGA) パッケージには、ボール・アレイの一部となっていない追加のボールが存在しますが、これは何のためにあるのでしょうか？ また、これらがリフローの工程に影響を与えることはありますか？

A これらの追加のボールはパッケージの V_{SS} と接続され、パッケージ内のグランド・プレーンと接続されています。これらのボールは、通常の BGA に使用されているボールとは異なるスズと鉛の合金でできており、より高い融点温度を持っているために高温ボールと呼ばれています。これらの高温ボールは、スズと鉛の比率が 90/10 となっており、融点は 240 から 245 となっています。デバイス・ピンのリード (ボール) 部分では、スズと鉛の比率が 63/37 となっています。

ハンダ付け部分やパッケージがダメージを受けることなく、到達できるパッケージの最高温度は 220 です。高温ボールはパッケージに許容されている最高温度では溶解しないため、これらがリフローの工程に影響を与えることはありません。ただし、この高温ボールが溶解した場合には、リフローの温度が高すぎたこととなります。

Q MAX+PLUS[®] II をコマンド・ラインから動作させている場合、複数のタイミング・アナライザ出力ファイルをひとつのファイルに統合するには、どのような手順で行えば良いでしょうか？

A type コマンド (DOS または コマンド・プロンプト から) または cat コマンド (UNIX のプロンプト) のいずれかを使用して、複数のタイミング・アナライザ出力ファイル (.tao) をひとつのファイルに統合することができます。例えば

```
DOS: type <ファイル名> .tao > <出力ファイル名> .txt
```

```
UNIX: cat <ファイル名> .tao > <出力ファイル名> .txt
```

また、これらのコマンドはバッチまたはスクリプト・ファイルでも使用できます。DOS のバッチ・ファイルの例を下記に示します。

```
maxplus2 -c chiptrip -ta_reg chiptrip  
type chiptrip.tao >> results.txt
```

上記の例では、chiptrip というプロジェクトをコンパイルして、レジスタ間の性能を示す chiptrip.tao というファイルを作成しています。そして、バッチ・ファイルは TAO ファイルの情報を results.txt という名前のファイルに追加します。このプロセスをコンパイルとタイミング解析の実行ごとに繰り返して行い、すべての TAO ファイルの情報を同じ results.txt ファイルにセーブします。

Q EPF6016 用に作成されたコンフィギュレーション・ファイルで、EPF6016A をコンフィギュレーションすることは可能でしょうか？

A EPF6016 と EPF6016A では、コンフィギュレーション・ファイルの互換性はありません。したがって、EPF6016 用に作成されたコンフィギュレーション・ファイルで EPF6016A をコンフィギュレーションしたり、その逆の動作を実行することはできません。EPF6016 のデザインを EPF6016A に移行させる場合は、デバイスの指定を EPF6016A に変更して、再度コンパイルを実行してください。Smart Recompile コマンド (Processing メニュー) を使用することによって、MAX+PLUS II のコンパイラに Logic Synthesizer と Fitter の実行をスキップさせ、リコンパイルを実行させることができます。

アルテラは、リコンパイルの完了後に再度タイミング解析を実行して、デザインがより高速となっている EPF6016A でも正しく動作するかどうかの検証を行うことを推奨します。

Q アクティブ・シリアル (AS) のモードを使用して、FLEX[®] 8000 デバイスをイン・サーキット・リコンフィギュレーション (ICR) を実行していますが、エラーが発生します。どのような原因が考えられますか？

A DCLK を安定させる必要性が考えられます。AS モードの FLEX 8000 デバイスはコンフィギュレーションの開始前に DCLK をトライ・ステートにし、FLEX 8000 が nSTATUS ピンをリリースして V_{CC} レベル (High) にプルアップした後で、DCLK がアクティブとなります。DCLK は、nSTATUS がリリースされ DCLK のトグルが開始されるまでの期間も、トライ・ステートのフローティング状態となっています。

nSTATUS がシリアル・コンフィギュレーション EPROM のカウンタ・イネーブルのピンと接続されている場合は、nSTATUS を V_{CC} にプルアップ (High レベル) することで、EPROM のカウンタをイネーブルにすることができます。この状態で、コンフィギュレーション EPROM は DCLK 入力の立ち上がりエッジを検出して、データを送出できるようになります。DCLK がフローティング状態のままになっていると、コンフィギュレーション EPROM に不正な立ち上がりエッジが与えられる可能性があります。すなわち、FLEX 8000 デバイスがデータを正確に受け取れるようになる前に、EPROM のカウンタにクロックが供給される可能性が生じます。この状態がコンフィギュレーション・エラーを発生させている原因のひとつと考えられます。

このような場合のひとつの解決策は、DCLK のピンに 2.2K のプルダウン抵抗を付加する方法です。DCLK が ICR の開始時にトライ・ステートとなっている期間、このプルダウン抵抗は FLEX 8000 が DCLK を正しくトグルさせるまで、EPROM による不正な立ち上がりエッジの認識を防止します。

FLEX 8000 デバイスのコンフィギュレーションの詳細については、下記の資料を参照してください。

Application Note 33 (Configuring FLEX 8000 Devices)

Application Note 38 (Configuring Multiple FLEX 8000 Devices)

Q FLEX デバイスでリセットの動作が確実に実行されるようにするためには、クリア信号をアクティブにしておく必要のある最小時間をいくらにすればいいでしょうか？

A リセットの動作が確実に実行されるようにするためには、少なくとも入力ピンからフリップフロップのクリア・ポートまでの遅延時間の期間に、クリア信号をアクティブに保っておく必要があります。この遅延時間は、MAX+PLUS IIのタイミング・アナライザ (Delay Matrix) を使用して確認することができます。この場合には、タイミング解析を行う信号ソースとしてクリア信号を供給する入力ピンを選択し、タイミング解析のディセーネーションとしてフリップフロップのクリア・ポートを選択します。

Q MAX+PLUS IIは、FLEX 10KEデバイス (EPF10K100B を含む) で 3.3V の V_{CCIO} が使用されたときの影響を表示できますか？

A MAX+PLUS II のソフトウェアは、MultiVolt™ I/O をサポートしているすべてのデバイスで、このMultiVolt I/O の機能が使用された場合の影響を示すことができます。5.0V と 3.3V のデバイスで MultiVolt I/O の機能が使用された場合は、 V_{CCIO} の電圧が低下するため、このI/Oピンの出力性能がわずかながら低下します。ただし、2.5V の FLEX 10KE デバイスでは、 V_{CCIO} を 3.3V に設定できます。 V_{CCIO} を 3.3V にした場合、そのI/Oピンの出力性能は 2.5V の V_{CCIO} のときよりも高速になります。

MultiVolt I/O をサポートしている各デバイスで、MultiVolt I/O を使用したときの影響をモデル化したい場合は、Global Project Device Options のダイアログ・ボックス (Assign メニュー) で、MultiVolt I/O のオプションを ON に設定してください。

Q MAX+PLUS II をサード・パーティの EDA ツールとインタフェースして使用する方方法についての情報は、どこに提供されていますか？

A MAX+PLUS II を他社の EDA ツールとインタフェースして使用する方方法についての情報は、アルテラのウェブ・サイトの中にある「MAX+PLUS II ACCESS™ Key Guidelines」またはバージョン 8.2以降の「MAX+PLUS II Software CD-ROM」を参照してください。ただし、最新の情報を常にアルテラのウェブ・サイトで確認してください。現在提供されているガイドラインは、MAX+PLUS II のバージョン 8.1 およびそれ以前のバージョンで提供されていたソフトウェア・インタフェース・ガイドを大幅に改訂したものとなっています。バージョン 9.01 の MAX+PLUS II では、これらの新しいガイドラインが各ソフトウェアと共に自動的にインストールされるようになっています。

Q MAX® 7000、MAX 7000E、MAX 7000S、MAX 7000A 用に作成されたプログラマ・オブジェクト・ファイル (.pof) は、それぞれ互換性を持っていますか？

A 通常、新しいタイプのデバイスを古いタイプのデバイス用に作成されたプログラミング・ファイルでプログラムすることができますが、その逆はできません。下記の条件ではプログラミング・ファイルの互換性が提供されます。

MAX 7000E デバイスは、MAX 7000 用の POF でプログラムすることができます。

MAX 7000S デバイスは、MAX 7000E または MAX 7000 用の POF でプログラムすることができます。MAX 7000S デバイスは、MAX 7000E の機能を拡張した製品となっています。このため、MAX 7000E 用の POF で MAX 7000S デバイスをプログラムした場合は、MAX+PLUS II が MAX 7000S に追加された機能を自動的にディセーブルします。このようなプログラミング方法 (クロス・プログラミングとも呼ばれる) は、MAX+PLUS II のソフトウェアでサポートされており、Data I/O 社 (<http://www.data-io.com>) および BP Microsystems 社 (<http://www.bpmicro.com>) などのサード・パーティから供給されているプログラマでもサポートされています。

MAX 7000A デバイスは、MAX 7000、MAX 7000E、または MAX 7000S 用の POF でプログラムすることができます。

Q 1 個または複数の FLEX デバイスをパッシブ・バラレル非同期型 (PPA) またはパッシブ・シリアル非同期型 (PSA) のモードでコンフィギュレーションしているときに、nCS と CS のピンをトグルさせることは可能でしょうか？

A デザインが下記の表に示す仕様に適合している場合は、コンフィギュレーションの実行中に CS と nCS をトグルさせることができます。

表 1 コンフィギュレーション時における CS と nCS のトグル可能な FLEX デバイスのデザイン

パラメータ	定義	FLEX 6000	FLEX 8000	FLEX 10K
t_{CSSU}	nWS の立ち上がりエッジに対する Chip Select 信号のセットアップ時間 (最小値)	50 ns	50 ns	50 ns
t_{WSP}	nWS パルスの Low の期間 (最小値)	50 ns	500 ns	200 ns
t_{CSH}	nWS の立ち上がりエッジ後の Chip Select 信号のホールド時間 (最小値)	5 ns	10 ns	10 ns 注(1) 15 ns 注(2)

注：
 (1) この規格は EPF10K10、EPF10K20、EPF10K30、EPF10K40、EPF10K50 の各デバイス、およびすべての FLEX 10KE デバイスと FLEX 10KA デバイスに適用されます。
 (2) この規格は、EPF10K70 と EPF10K100 の両デバイスのみにも適用されます。

次世代ツールに対する要求

プログラマブル・ロジックで数百万ゲートのデザインを行う時代が近づいてきました。このための準備はお済みでしょうか？ アルテラは、シングル・チップで数百万ゲートの集積度を提供するアルテラの最新のプログラマブル・ロジック・デバイス (PLD) ファミリーであるラファエロ (Raphael™) のデザインを行える段階までにすでに到達しています。デバイスの集積度の向上は急速に進展しており、設計者は各デザインを問題なく作成できるようにするために、設計手法を変更していく必要があります。また、プログラマブル・ロジックの設計者は、デザイン・サイクルの短縮要求を実現する新たなテクノロジーを求めようようになります。この記事は、数百万ゲートのデバイスの採用に向けて採用される必要がある、いくつかの新しい設計手法を解説したものです。



メガファンクション：テスト済みのファンクション・ブロック

数百万ゲートのデザインが行われる時代には、メガファンクションが大幅に増加することが予想されます。メガファンクションの採用ほど、設計の生産性を向上させる要素は他に見当たりません。アルテラはプログラマブル・ロジックにメガファンクションを使用できるようにしたパイオニア企業であり、数百万ゲートのデザインを促進させることができる重要な技術革新を実現させています。アルテラは OpenCore™ と呼ばれる、アルテラとアルテラの AMPPSM (Altera Megafunction Partners Program) を通じて供給される暗号化されたメガファンクションの「テスト・ドライブ」を可能にする機能を提供している唯一の会社です。また、MegaWizard™ Plug-In は、メガファンクションを多様なデザイン要求に対応させて、簡単に集積化できるようにしたパワフルなパラメータ化機能を提供しています。こうした機能の改善とさらに多くのメガファンクションを供給することが、数百万ゲートのデザインに対応した設計手法の一部になって行きます。



Robert K. Beachler
Sr. Director, Development
Tools Marketing

デザイン・コラボレーション

現在のような短期間の開発サイクルで、大規模なデザインを一人の技術者が担当するのは適当ではありません。現在設計されている ASIC (Application Specific Integrated Circuits) の場合と同じように、大規模な PLD のデザインは複数の設計者で構成されるデザイン・チームによって行われる必要があります。大規模なデザイン・チームをサポートする次世代ツールには、ワークグループ・コンピューティング機能や、異なるネットワーク構造に対する完全なサポート、デザインの変更をトラックできる機能などが要求されます。



最先端のソフトウェア

数百万ゲート規模のデザインをサポートするためには、デザインの状態を示す M バイト単位のデータをサポートできる強力なデータベースが必要になります。デザイン・サイズの増大と共に、デザインの変更を行うサイクルを最小に抑える必要が生じています。画期的な新しいテクノロジーの登場により、簡単な変更とその結果の確認を数分間で行えるようになります。このような最新のソフトウェアを使用しないで、デザインをスクラッチからコンパイルした場合は、その作業に数時間を要することになります。

現在、ペンティアム II をベースにしたデュアル・プロセッサの PC を発注して 10 日以内に受け取ることができるようになっていますが、こうした強力なコンピュータの能力をフルに活用できるように設計されているアプリケーション・ソフトウェアの数は非常に限定されています。次世代のソフトウェアは、2 個または 4 個のプロセッサを使用したマシンの能力を最大限に活用できるものとなります。ロード・シェアリングの機能は、使用される CPU の能力をネットワーク全体で活用できるようにし、コンパイルに要する時間を最小に抑えるようにします。



Tool Integration



プログラマブル・ロジックに対するサード・パーティの開発ツールのビジネスが発展しており、これらのサード・パーティのツール間の緊密な統合化がさらに進展することが予想されます。これによって、どのツールが動作を終了し、どのツールが動作を開始したかを判断するのが困難になるかもしれません。

インターネットのサポート

1990年代の初期にMAX+PLUS® IIのソフトウェアが開発されたとき、インターネットはまだ普及しておらず、現在のようにポピュラーなものとはなっていませんでした。今後の動向を予測した場合、インターネットがシステム設計者にとって非常に重要なサ



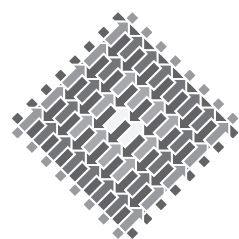
ポート・インフラストラクチャになることは明らかです。インターネットの提供する利点をフルに活用することによって、複数の技術者が最新のソフトウェア・バージョン、デバイス情報、もっとも解決が困難な問題に対するソリューションなどの情報を共有できるようになります。

間近に迫る次世代ツールの登場

数百万ゲートをデザインする時代は、すぐに到来します。コンピュータ・ハードウェアとソフトウェア・テクノロジーで実現される最新の機能を包括した新しいツールの登場が、最新のシリコン・テクノロジーの能力をフルに引き出すために必要となってきました。プログラマブル・ロジックのデザインの画期的な新しい時代への対応を準備しておくことが重要です。

ALTERA PLD WORLD '98 の開催のお知らせ

< 画期的な新製品を発表 >



日本アルテラは、本年も10月23日に東京、青山TEPIAにおいて、第5回ALTERA PLD WORLDを開催します。ALTERA PLD WORLDはこれまで4回開催され、毎回1,000名以上のエンジニアが参加しており、多くのプログラマブル・ロジック・ユーザ、また、プログラマブル・ロジック / CAE ツールの

の業界に広く認知されるイベントとなっています。

今年のALTERA PLD WORLD '98では、「新製品の発表」を含むアルテラ製品の最新情報に加え、IP製品を用いた設計手法、大規模なシステム・レベルのデザインに対応する効率の高い設計手法、AMPPSM、ACCESSSM プログラムに参加しているパートナー企業による最新のサポート製品などが紹介、展示される予定です。また、来場者アンケートにお答え頂いた方全員に、MAX+PLUS II ソフトウェア (PLS-WEBバージョン) と日本語版資料を収録した特製CD-ROMを差し上げます。さらに、抽選でPDA、アルテラ・オリジナル・グッズなどの豪華商品がプレゼントされます。(最終ページもご参照ください)

第5回 ALTERA PLD WORLD 開催要項

日時：1998年10月23日(金)
9:00 a.m. ~ 5:00 p.m.

会場：青山TEPIA 東京都港区北青山2-28-44
(地下鉄銀座線「外苑前」より徒歩5分)

入場料：無料。ただし、無料入場券が必要となります。(当日受付可)
無料入場券に関するお問い合わせ先：
アジア広告社内 ALTERA PLD WORLD事務局
Tel: 3292-0611 または Email: pldworld@altera.com

主催：日本アルテラ株式会社

協力：株式会社アルティマ
株式会社 PALTEK

主なイベント

基調講演

アルテラ・コーポレーション 会長、CEO兼社長：ロドニー・スミス
「21世紀へ向けてのアルテラのビジネス戦略」

特別講演

- ・ シノプシス・インク 会長兼CEO：アート・デ・ジウス氏
「プログラマブル・ロジック - 新しい価値を創造するテクノロジー - 」
- ・ 日経BP社 日経エレクトロニクス編集長：山口 健氏
「家庭のデジタル化と電子産業」
- ・ 日本電気株式会社、伝送事業本部 第三伝送通信事業部長：白井和彦氏
- ・ アルテラ・コーポレーション、IPビジネス・ユニット&コンポーネント・プロダクト・プランニングシニア・ディレクター：クレイグ・ライトル
「プログラマブル・ロジック・デザインとアルテラの将来展望」

アルテラ・テクニカル・トラック

- ・ IP/メガファンクションと効率的な設計手法
- ・ アルテラ PLD デザイン・テクニク

EDA/AMPP パートナ企業によるプレゼンテーション / デモ

ユーザによる技術論文の発表

アルテラ製品のデザイン・テクニク

詳しい開催要項、スケジュール、出展企業リスト、参加お申し込み書などを含むパンフレットをご用意しておりますので、日本アルテラまたは販売代理店へご請求ください。

Jam Byte Code を発表

新しいプログラミング/テスト用言語、Jam™ はイン・システム・プログラマビリティ (ISP) を実現するためのソフトウェア・レベルの業界標準です。Jamは使いやすく、高速のプログラミング時間、小さなファイル・サイズなどの特長を実現しており、これまでのイン・システム・プログラミングの問題点に対する適切なソリューションを提供します。DOSベースのPCや小容量のキャッシュのみを内蔵しているエンベデッド・プロセッサを使用した初期のISPで発生していた問題点を解決するため、アルテラはJam Byte Codeを新たに開発しました。このJam Byte Codeはバイナリ・ベースのプログラミング・ファイル・フォーマットとなっており、従来のASCIIコード・ベースのJamファイルよりも小さなファイル・サイズと、より高速なプログラミング時間を実現します。Jam Byte Codeは、全体の構文解析時間の短縮と新たな圧縮アルゴリズムの追加によってこれらの改善を実現しており、MAX+PLUS II のバージョン9.01から提供されるようになっていきます(完全なドキュメントはバージョン9.1で提供される予定です)。

Jam Byte Code のファイル

Jam Byte Code は既存のASCIIのJamフォーマットに類似したバイナリ・ファイル・フォーマットとなっています。ASCIIコードのJamファイルと同じように、Jam Byte Codeは*Jam Programming and Test Language Specification*で規定されている仕様に準拠しており、規定された変数を使用しています。また、Jam Byte Codeは特定のプラットフォームやベンダに依存しないようになっており、IEEE Std. 1149.1のJTAG (Joint Test Action Group) インタフェースを使用してデバイスをプログラムすることができます。

Jam Byte Codeは、Jam Byte Code CompilerとJam Byte Code Interpreterの2つのソフトウェア部分で構成されています。Jam Byte Code Compiler (コンパイラ) はデザインを指定されたデバイスにプログラムするときに必要なJam Byte Codeファイル(.jbc)を生成します。一方、Jam Byte Code Interpreter (インタプリタ) は、JBCファイルを翻訳し、ターゲット・デバイスにプログラムするためのソフトウェアです。これら2つの要素を組み合わせることで、ユニバーサルな言語と、すべてのプログラマブル・ロジック・デバイス(PLD)とプログラミング方法に対応したツールが実現されます。

Jam Byte Code Compiler

Jam Byte Code Compiler のバージョン1.0は、非圧縮データ(Literal Data)または圧縮されたデータ(Compressed Data)のいずれかを生成します。非圧縮データによるJBCファイルは、より高速のプログラム時間を実現しますが、ファイル・サイズがオリジナルのASCIIベースのJamファイル(.jam)よりも若干大きくなります。表1を参照してください。これに対して、圧縮されたJBCファイルのサイズは、従来のASCIIベースのJamファイルと比較して、最大で50%まで縮小されます。バージョン1.1のCompilerでは、ファイル・サイズの小さい圧縮タイプのデータか、プログラム時間が短い非圧縮タイプのデータのいずれかを選択できるようになっています。

MAX+PLUS® IIには、バージョン9.01からJBCファイルをダイレクトに生成できる機能が提供されています。したがって、MAX+PLUS IIのProgrammerまたはCompilerにおいて、Gen-

表1 プログラミング時間

デバイス名	Jam ファイルのフォーマット注(1)		改善率
	ASCII (秒)	Byte Code (秒)	
EPM7064S	35	10	71%
EPM7128S	39	13	66%
EPM7256S	55	21	61%
EPM9320	108	35	67%
EPM9560	115	36	68%

注:

- (1) プログラミング時間は、200MHzのペンティアム・プロセッサのPC、32ビットのDOS Jam Byte Code Interpreter とダウンロード・ケーブルを使用したときに測定されたデータです。

erate Jam or SVF Fileのコマンド (Fileメニュー) を使用して生成するJBCのファイルを簡単に指定できるようになっています。また、このバージョン9.01には、Jam Byte Code Compilerを使用して、既存のASCIIベースのJamファイルをJBCフォーマットのファイルに変換できる機能も提供されています。さらに、Byte Code Compilerは特定のアーキテクチャに全く依存しない特長を持っているため、特定ベンダ用のJamファイルをJBCフォーマットに変換することもできます。

Jam Byte Code Interpreter

JBCファイルはJam Byte Code Interpreter (JBI)を介して、ISP対応デバイスにロードされます。このJBIはASCIIベースのJam Interpreterに類似しており、ASCII Jam Interpreterと全く同じインタフェース・ルーティンとポーティング・ステップを使用しています。両者の違いは、JBIがASCII Interpreterよりも約30%小さくなっている点だけです。JBIのCソース・コードはJamのウェブ・サイト、<http://www.jamisp.com>から入手することができます。22ページの図1はJBCファイルがどのようにしてISP対応デバイスに適用されるかをブロック図で示したものです。

すでに完成した既存のプロジェクトに対しては、ASCII Jam Interpreterを介してASCIIベースのJamファイルをISPデバイスにロードする必要があります。表2は各ファイル・フォーマットに対応したJam Interpreterを示したものです。

互換性

アルテラは、Jam Byte Code がより小さなファイル・サイズの生成と、より高速なプログラミング時間を実現できるため、すべてのプロジェクトへのJam Byte Codeの採用を推奨します。

表2 Jam Playerのサポート

ファイル・フォーマット	ASCII Jam Playerバージョン1.1	Jam Byte Code Playerバージョン1.0
Jam	√	
JBC		√

(22ページにつづく)

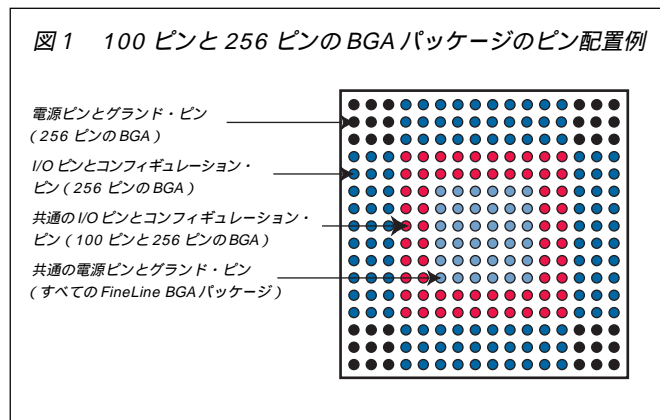
FineLine BGA パッケージに対する SameFrame ピン配置機能

SameFrame™ ピン配置とは、アルテラが開発した新しい1.0mmピッチのFineLine BGA™ パッケージのソルダ・ボールに対して提供されているユニークな新しい機能です。SameFrame ピン配置機能の採用により、ボール数の少ないFineLine BGAパッケージのボールの配置が、ボール数の多いFineLine BGAパッケージのボールの位置と互換性を持つように配列されます。このSameFrame ピン配置機能により、同じプリント基板 (PCB) のレイアウト上で、異なるピン (ボール) 数のパッケージや集積度の異なるデバイスの使用が可能になります。

このSameFrame ピン配置の採用により、アルテラはデバイス・マイグレーションのコンセプトをさらに拡張し、従来の垂直方向のマイグレーションから、さらに対角線上でのマイグレーション機能を実現しました。従来の垂直方向でのマイグレーション機能は、同じPCBレイアウト上で同じピン数のパッケージで集積度の異なるデバイスを使用可能にするものでした。これに対して、SameFrame ピン配置機能を使用した対角線上でのマイグレーションは、同じボード・レイアウト上でパッケージ・サイズと集積度の双方が異なるデバイスへの変更を可能にすることを意味し、これによってさらに高い柔軟性、コストの低減、さらに迅速な「Time-to-Market」が実現されます。

ピン配置の一致

図1は100ピンと256ピンのFineLine BGAパッケージでのSameFrame ピン配置機能を示したものです。この簡略化された例では、100ピンのパッケージと256ピンのパッケージ間の互換性を確保するために、共通の電源とグラウンドのピンがパッケージの中央部に配置されています。そして、共通となるI/Oピンとコンフィギュレーション・ピンが共通の電源ピンとグラウンド・ピンをとり囲むようにリング状に配置されており、これらのピンの双方のパッケージ間での互換性が確保されています。サイズの大きい256ピン・パッケージに追加されている電源とグラウンドのピン



はパッケージの4隅のコーナに配置されており、また追加のI/Oピンとコンフィギュレーション・ピンは4方向の外側に配置されています。この配置方法を実現することによって、256ピンと全く同じ位置に100ピンのパッケージを正確に実装することが可能になり、ピン配置の互換性が確保されています。

SameFrame ピン配置機能をサポートするデバイス

SameFrame ピン配置機能は、下記の表1に示すように、FLEX® 10KA、FLEX 10KE、FLEX 6000A、MAX® 7000Aファミリの各デバイスでサポートされています。

表1 SameFrame ピン配置機能をサポートするデバイス 注(1)

デバイス名	100-Pin FineLine BGA	256-Pin FineLine BGA	484-Pin FineLine BGA	672-Pin FineLine BGA
EPF10K10A		√		
EPF10K30A		√	√	
EPF10K50V			√	
EPF10K30E		√	√	
EPF10K50E		√	√	
EPF10K100A			√	
EPF10K100B		√		
EPF10K100E		√	√	
EPF10K130E			√	√
EPF10K200E				√
EPF10K250E				√
EPF6010A	√	√		
EPF6016A	√	√		
EPF6024A		√		
EPM7064A	√			
EPM7128A	√	√		
EPM7256A	√	√		
EPM7384A		√		
EPM7512A		√		

注：
(1) 同じ色で示されているデバイス群が SameFrame ピン配置によるマイグレーション機能をサポートします。

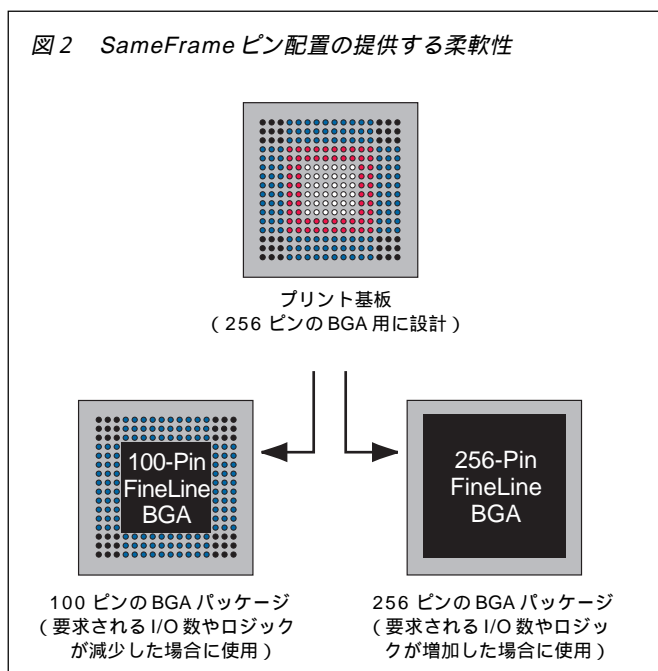
(22 ページに続く)

SameFrame ピン配置を利用した設計手法

アルテラ・デバイスに提供されるSameFrame ピン配置機能の利点を活用するためには、下記の基本的な2つのガイドラインにしたがう必要があります。

1. デザインを作成するときに、現在のデザイン、および将来の設計変更で必要と思われる最大ピン数を推定しておく。
2. PCBのレイアウトをこの最大ピン数のパッケージに適合するようにしておき、小さなボール数のパッケージをこのレイアウトで直接実装できるようにする。

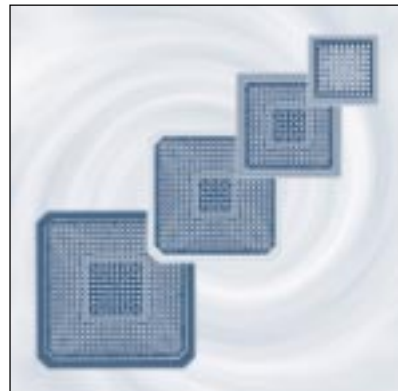
図2は、100ピンと256ピンのパッケージのどちらでも実装できるようにした256ピンFineLine BGAパッケージ用のボード・レイアウトを示したものです。



SameFrame ピン配置の機能を活用する場合は、現在のデザインと変更後のデザインとの間で生ずるI/O数の変動を常に考慮しておく必要があります。ボードのデザインを行うときには、将来使用される可能性のあるパッケージやデバイスに提供されていないI/Oピンなどが使用されないように注意しておく必要があります。

MAX+PLUS[®] II のバージョン 9.1 のソフトウェアは各パッケージに提供されているI/Oピンだけが使用されるようにして、この

要求に単純に適合させます。MAX+PLUS II のバージョン9.1では、設計者が設計変更によって将来使用する可能性があるデバイスを選択できるようになっており、MAX+PLUS II は異なるパッケージ間で共通となっているI/Oピンのみを使用してデザインをコンパイルします。このように、前述の簡単なガイドラインにしたがうことによって、SameFrame ピン配置機能によるデバイス間の簡単なマイグレーションが確保されます。



アルテラの提供するピン配置の利点

FineLine BGAパッケージにSameFrameピン配置機能が提供されたことによって、アルテラの最先端デバイスには、また新たなレベルの柔軟性が提供されることになりました。SameFrameピン配置機能は、集積度とピン数に関してこれまで前例のないデザイン・マイグレーションを実現しました。これまで、垂直方向のマイグレーションでは集積度の異なるデバイスを使用しても同じプリント基板のレイアウトを維持することができましたが、この場合には同じピン数の同じサイズのパッケージしか使用することができませんでした。現在では、SameFrameピン配置による対角線方向のマイグレーションがサポートされているため、新しいボード・レイアウトを作成することなく、デバイスの集積度とパッケージ・サイズを変更することができます。PCBのレイアウトの設計は最終的に使用するデバイスを選択する前に完了させることができるため、最終製品を短期間で市場へ投入することが可能になります。また、高い集積度のデバイスから低集積度のデバイスに移行させたり、ピン数の多いパッケージからピン数の少ないパッケージへ移行させることによって、コストを低減させることもできます。このようにアルテラの提供するSameFrameピン配置機能は、高い柔軟性、より迅速な市場参入、そしてコストの低減を実現します。

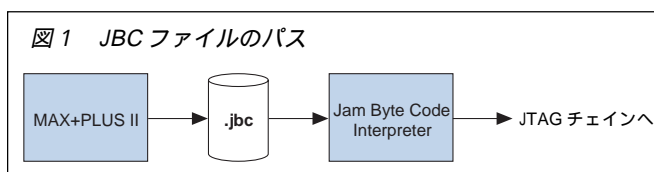
SameFrameピン配置機能の詳細については、日本アルテラの応用技術部または販売代理店へお問い合わせください。FineLine BGAパッケージの詳細については、News & Views 98年夏季号に掲載されている「次世代のBGAパッケージ」を参照してください。このNews & Views 98年夏季号は日本アルテラのウェブ・サイト (<http://www.altera.com/japan/>) からダウンロードできます。

Jam Byte Code を発表 (20 ページからの続き)

ただし、アルテラは既存のプロジェクトをISP対応デバイスにプログラムできるようにするため、ASCIIベースのJamも引き続きサポートする予定です。

Jam Byte Code と Jam プログラミング / テスト用言語の詳細については、アプリケーション・ノート、AN 88 (Using the Jam Language for ISP via an Embedded Processor : 日本語版も

提供) および Jam Programming & Test Language Specification を参照ください。



ACAP : 設計と開発のアウトソーシング



米国カリフォルニア州トーランス市の
スプラッシュ・テクノロジー (Splash
Technology) 社は、同社の PCI
(Peripheral Component Interconnect)

ビジネスを強化するため、その開発能力の拡大を計画し、そのための援助を提供できる外部企業を探すことを決定しました。アルテラのプログラマブル・ロジック・デバイス (PLD) EPF10K30 を含むデザインの入力はすでに完了していましたが、日程的な制限からスプラッシュ・テクノロジー社にはPLDのシミュレーションを行うためのリソースが社内にはありませんでした。スプラッシュ・テクノロジー社は、アルテラのウェブ・サイトに掲載されている ACAPSM (Altera Consultants Alliance Program) にリストされているコンサルタント会社の中から、同社が必要としている PCI の分野を専門とするサンディエゴの System Design Group (SDG) 社を発見しました。

SDG社は、アルテラの顧客のデザイン要求に対応した専門的な技術を提供することができるACAPのコンサルティング企業として認定されている会社です。ACAPはそのプログラムの運用開始からわずか9ヶ月の期間に、各ユーザにデザイン・サイクルの短縮や迅速な市場参入を実現するための新しいリソースの提供を行うことができました。アルテラのユーザであるモトローラ、ヒューズ・ネットワーク・システム、エリクソン、ヒューレット・パッカーなどの各社は、ACAPコンサルタント企業の専門知識やデザイン・エンジニアリング・サービスを活用しています。

現在のようなPLDの集積度の向上はさらに複雑なデザインを可能にしていますが、こうした複雑なデザインにはさらに高い専門知識と長い設計時間が必要になります。デバイス集積度とシステム・スピードの向上と共に、各デザインはますます複雑になってきています。同時に、競争力の高い「Time-to-Market」を実現するためには、さらにデザイン・サイクルの短縮化が要求されます。

ACAPは、各ユーザにデザインのアウトソーシングと新たな製品開発のパスを提供しています。アルテラが各 ACAP 企業を認定、推奨する前に、これらの企業にアルテラのデバイス・アーキテクチャやソフトウェアに関する詳細なトレーニングを実施すると共に、各社に最新のデザイン・ツールを設備させています。現在、アルテラから認定を受けたコンサルタントが、北米、欧州、アジアの各地域で活動しており、認定を受けた各社とその専門分野のリストがアルテラのウェブ・サイト、<http://www.altera.com> に提供されています。以下に ACAP の認定企業を示します。

米国西部

Advanced Logical Design, Inc., Saratoga, CA
Bright Design Services, Seattle, WA
Great River Technology, Inc., Albuquerque, NM
HNA Engineering, Inc., Santa Clara, CA

Innovative Configuration, Inc., Aptos, CA
Northwest Logic Design, Beaverton, OR
Norton Engineering Consultants, Oakland, CA
PM Systems, San Jose, CA
Seitz and Associates, Inc., Beaverton, OR
Software and Systems Engineering, Inc., Tucson, AZ
System Design Group, San Diego, CA
Wipro Limited, Santa Clara, CA

米国中部

ASIC Designs, Inc., Naperville, IL
Design Analysis Associates, Inc., Logan, UT
DNA Enterprises, Inc., Richardson, TX
Eberwein & Associates, Inc., Houston, TX

米国東部およびカナダ

Applied Microelectronics, Inc., Halifax, Nova Scotia, Canada
Bolton Engineering, Inc., Melrose, MA
Courtenay Johnson, Ontario, Canada
DMC Manufacturing, Inc., Pennsauken, NJ
Metrix Technology Corporation, Hopewell Junction, NY
Moore Labs, Hudson, MA
Nova Electronic Design and Analysis, Corp., Ashburn, VA
Plandscapes, Inc., Stow, MA
Princeton Technology Group, East Windsor, NJ
Sam Lowenstein & Associates, Vienna, VA
Szabo Electronic Systems, Watertown, MA

欧州

BARCO SILEX, Louvain-la-Neuve, Belgium
Frontec ASIC Design Center, Solna, Sweden
Ingenieurbüro für IC-Technologie, Wertheim, Germany
Locke's Digital Developments Ltd., Dorsett, England
ProDrive B.V., Eindhoven, The Netherlands

アジア

Gid'el Ltd., Israel
Wipro Limited, India

ACAPプログラムに対するご質問やご意見がありましたら、日本アルテラへご連絡ください。また、ACAPのメンバになるための情報が必要な場合も、日本アルテラへご連絡ください。

効率的なコストの低減方法

アルテラは、ユーザに最高の性能と集積度の Programmable Logic Device(PLD)をもっとも低価格で提供することを目標にしています。最近のデザインに対する要求を満足させるためには、各デバイスが最新の機能を提供し、効率的なデザイン・ツールによる支援や、幅広い設計資産 (Intellectual Property) 信頼性の高いユーザ・サポートとサービスが提供される必要があります。そして云うまでもなく、デバイスを選択する上で、デバイスの単価は非常に重要な要素となります。

最高の性能と最低のコストを実現するFLEX 10Kのアーキテクチャ

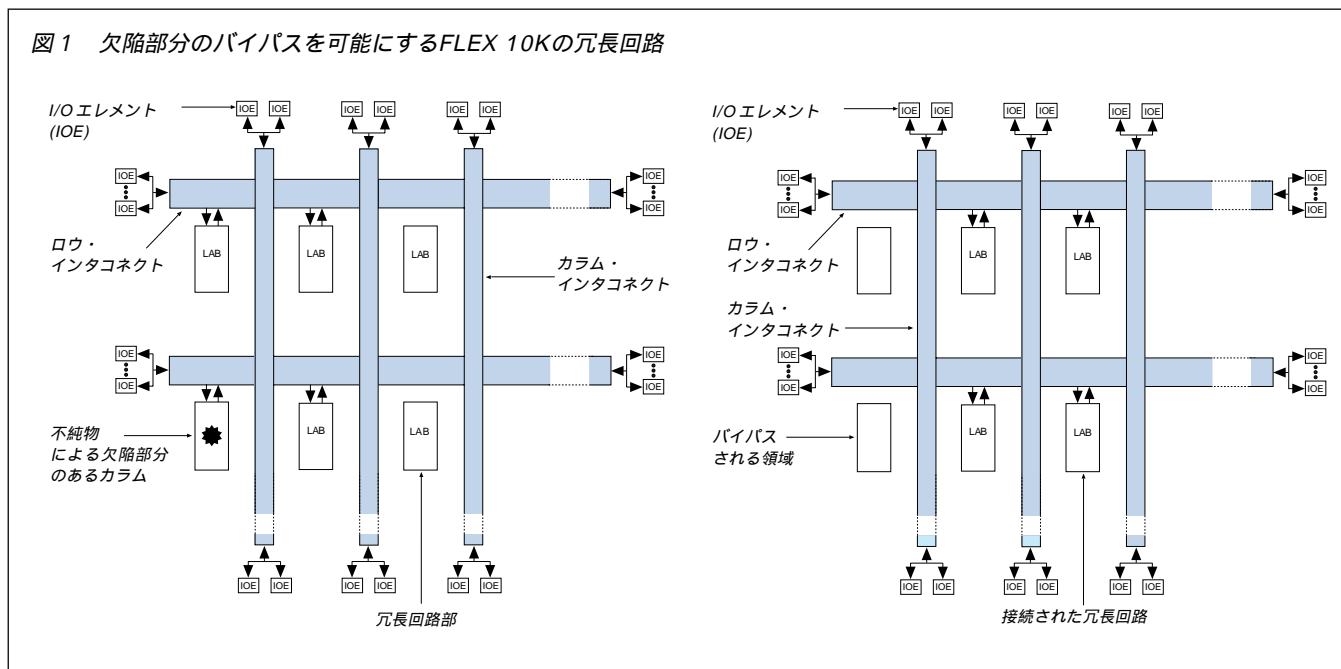
最低のコストを提供するため、アルテラは製造コストの低減に努めています。ダイ・サイズと歩留まりは、製造コストにダイレクトに影響を与える重要な要素です。ウェハの価格は一定となっており、ウェハあたりのダイの数を増加させることによって、ダイのコストを低減することができます。ただし、ダイ・サイズの縮小だけでは十分ではありません。これらのダイが使用可能な場合のみ、ウェハあたりの数を増加させることでコストの低減が実現されます。最大限のコスト低減を達成するためには、ダイ・サイズのさらなる縮小化と高い歩留まりを同時に実現しなければなりません。アルテラはFLEX 10Kの革新的なアーキテクチャによって、ダイ・サイズの最小化と最高の歩留まりを維持しながら、集積度の向上と性能の改善を実現することができました。

ダイ・サイズの縮小

FLEX 10Kアーキテクチャは、ダイ・サイズの縮小と歩留まりの向上を実現する2つの重要な機能を提供しています。そのひとつは、多層化された連続した配線構造です。デバイス全体をカバーするメタル・ラインで構成されているこの配線構造は、高速で予測可能な性能と高速のコンパイル時間を実現しています。また、この「メタル・フレンドリ」な構造は、メタル・レイヤの追加による配線の多層化の利点をフルに活用できるようになっています。0.5ミクロンの3層メタル・プロセスで製造されていたFLEX 10Kデバイスを0.35ミクロンの4層メタル・プロセスのFLEX 10KAデバイスに移行させたとき、そのダイ・サイズは水平方向にシュリンクされただけでなく、メタル・レイヤの追加による効果によっても大幅に縮小されました。

歩留まりの向上

デバイスの歩留まりを大幅に向上させているFLEX 10Kデバイスのアーキテクチャのもうひとつの重要な要素となっているのが、冗長 (レダンダンシ) 回路です。メモリ・デバイスに共通の技術として採用されている冗長回路はFLEX 10Kデバイスにも採用されており、ダイ上に不純物が発見されたような場合には、その欠陥部分をバイパスさせ、その位置に冗長回路を配置することを可能にしています。図1は、欠陥部分のあるダイがどのようにして良品に変換されるかを示したものです。



FLEX 10Kのアーキテクチャの連続した配線構造により、冗長回路は使用されるときにのみアクティブとなります。これら2つの機能を結合させることで、歩留まりを最大まで引き上げることができます。

まとめ

半導体のコストは、ウェハーあたりのダイの数とダイの歩留まりに依存します。ダイ・サイズの縮小と歩留まりの向上を実現させ

る連続した配線構造と冗長回路により、アルテラはデバイス・コストを大幅に低減させることができました。多くの技術革新とこれらの機能の実現により、アルテラのユーザは最適化された性能と最低のコストを活用できるようになっています。

アルテラは、ユーザがプログラマブル・ロジックを量産にも使用できるようにするため、プログラマブル・ロジック・デバイスのコストの引き下げを今後も継続的に行っていきます。

アルテラが DAC 1998 に出展



先にサンフランシスコで開催されたDesign Automation Conference (DAC) におけるアルテラのブースの混雑ぶりは、プログラマブル・ロジックのデザインに対するアルテラ・ソリューションの市場への浸透がさらに進展していることを示しました。アルテラのソリューションは、生産性の改善と製品開発サイクルの短縮に的を絞ったものとなっています。1,200人を超える技術者やマネージャがアルテラのブースを訪れ、アルテラのプレゼンテーションを見学したり、ハードウェアやソフトウェアの動作を実際に体験しました。また、アルテラがプロモーション用の景品として配布したサッカー・ボールが会期中、会場内で数多く見受けられました。

アルテラのブースでは、アルテラのデバイスとアルテラのEDA (Electronic Design Automation) パートナ企業のツールを使用

したさまざまなデモンストレーションが行われました。アルテラのブースを訪れた多くの設計技術者が、ユーザによるメガファンクションのカスタマイズを可能にした新しい MegaWizard™ Plug-In の動作を体験しました。また、プログラミング/テスト用言語、Jam™の初の公式デモンストレーションが、アルテラ、サイプレス、ラティス、ヴァンティス、ザイリンクスの各社のデバイスを実装したボードを使用して行われたことも今年のDACのハイライトのひとつでした。アルテラは、Altera Megafunction Partners Program (AMPPSM)を通じて提供されている85種類のAMPPメガファンクションと各AMPPパートナー企業の概要をまとめた最新のAMPPカタログを配布しました。このAMPPカタログの入手を希望される方は、日本アルテラまたは販売代理店へご請求ください。また、AMPPに関する最新情報は、アルテラのウェブ・サイト、<http://www.altera.com> で確認することができます。

1998 ICSPAT/DSP World

ICSPAT (International Conference on Signal Processing Applications & Technology) が、1998年9月13日から16日まで、カナダ、トロント市のトロント・コンベンション・センタで開催されました。アルテラは、このカンファレンスの展示会で、アルテラの提供する最新のデジタル信号処理

(DSP) 技術と開発環境を展示しました。また、アルテラの販売パートナー企業の技術者が技術論文を発表し、3時間にわたって、リード・ソロモン、ピダビ・デコーダ、デジタル・フィルタなどに関するデモンストレーションを行いました。

アルテラの新規刊行資料

アルテラは新たに下記の資料を刊行しました。これらの新しい資料は、販売代理店またはアルテラのワールド・ワイド・ウェブ・サイト、<http://www.altera.com>を通じて入手できます。カッコ内の記号はドキュメント番号です。なお、マークの付いた資料は、アルテラの日本語ウェブ・サイト、<http://www.altera.com/japan>に日本語版が提供されています。(のものには、現在制作中の資料も含まれています。)

Altera Digital Library CD-ROM, version 4 (P-CD-ADL-04)
(日本語版資料も含まれています)

PCI Master/Target MegaCore Function with DMA Data Sheet
(A-DS-PCI1-02)

pci_b PCI Master/Target MegaCore Function Data Sheet
(A-DS-PCIB-01)

pcit1 PCI Target MegaCore Function Data Sheet
(A-DS-PCIT1-01.01)

FLEX 10KE Embedded Programmable Logic Family Data Sheet
(A-DS-F10KE-01)

AN 96: Performance Measurements of Typical Applications
(A-AN-096-01)

AN 97: Comparing Performance of High-Density PLDs
(A-AN-097-01)

AN 98: Comparing Performance of Common Megafunctions
(A-AN-098-01)

AN 99: Comparing Performance of Dual-Port Memory Functions
(A-AN-099-01)

AN 100: In-System Programmability Guidelines
(A-AN-100-01)

SB 37: 64-Bit PCI Bus Target Megafunction
(A-SB-037-01)

TB 48: Passing Hierarchical Timing Constraints from Synopsys
Tools to MAX+PLUS II Version 9.0 (M-TB-048-01)

サード・パーティ・ベンダによる プログラミング・サポート

Data I/O社とBP Microsystems社では、アルテラのデバイスをサポートしたプログラミング・ハードウェアを供給しています。各デバイスのプログラミング・アルゴリズムがData I/O社の電子掲示板、「Keep Current Express-Bulletin Board Service」(KCE-BBS)およびBP Microsystems社のBBS、MAX+PLUS® IIの各ソフトウェアの最新リリースを通じて提供されています。アルテラのコンフィギュレーションEPROM、MAX® 9000、MAX 7000ファミリの各デバイスに対するサポート状況は下記の表の通りです。なお、ここに示されている情報は変更されることがあります。

サード・パーティ・ベンダによるプログラミング・サポート		
デバイス名	Data I/O (1)	BP Microsystems (2)
EPC1064	√	√
EPC1213	√	√
EPC1	√	√
EPC1441	√	√
EPM7032	√	√
EPM7032S	√	√
EPM7064	√	√
EPM7064S	√	√
EPM7096	√	√
EPM7128E	√	√
EPM7128S	√	√
EPM7128A	√	√
EPM7160E	√	√
EPM7192E	√	√
EPM7192S	√	√
EPM7256E	√	√
EPM7256S	√	√
EPM9320	√	√
EPM9320A	√	√
EPM9400	√	√
EPM9480	√	√
EPM9560	√	√
EPM9560A	√	√

表中の注：

- (1) これらのデバイスは、Data I/O社の3900システムのバージョン5.8、およびUniSiteのバージョン5.8のプログラムでサポートされています。
- (2) これらのデバイスはBP Microsystems社のバージョン3.34のプログラムでサポートされています。Data I/O社製品の詳細についてはデータ・アイオー・ジャパン(株)(電話：03-3779-2151)へ、BP Microsystems社の製品については、日本総代理店、丸紅ソリューション(株)(電話：03-5778-8888)へお問い合わせ下さい。

現在のソフトウェア・バージョン

アルテラのソフトウェアの最新バージョンは下記の通りとなっています。

MAX+PLUS® II : バージョン 9.01 (PC、Sun SPARCstation®、HP 9000 シリーズ 700/800、IBM RISC System/6000の各プラットフォーム)

アルテラのプログラミング・ ハードウェアによるサポート状況

下記の表1はアルテラの各デバイスに対するプログラミング・アダプタの最新情報を示したものです。正しいプログラミングを行うためには、26ページに示されている「現在のソフトウェア・バージョン」を使用することが必要です。

デバイス名	パッケージ	アダプタ
EPC1064 (2), EPC1064V (2) EPC1441 (3)	DIP, J-lead TQFP	PLMJ1213 PLMT1064
EPC1(3), EPC1213, (2)	DIP J-lead	PLMJ1213 PLMJ1213
EPM9320	J-lead (84-pin) RQFP (208-pin) PGA (280-pin)	PLMJ9320-84 PLMR9000-208 PLMG9000-280
EPM9320A	J-lead (84-pin) RQFP (208-pin)	PLMJ9320-84 PLMR9000-208NC (4)
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560	RQFP (208-pin) RQFP (240-pin) PGA (280-pin) RQFP (304-pin)	PLMR9000-208 PLMR9000-240 PLMG9000-280 PLMR9000-304
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC (4) PLMR9000-240NC (4)
EPM7032, EPM7032V	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7032S, EPM7032AE	J-lead (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMT7000-44
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7064S, EPM7064AE	J-lead (44-pin) J-lead (84-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMJ7000-84 PLMT7000-44 PLMT7000-100NC (4)
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7128, EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7128A	J-lead (84-pin) TQFP (100-pin) TQFP (144-pin)	PLMJ7000-84 PLMT7000-100NC (4) PLMT7000-144NC (4)

デバイス名	パッケージ	アダプタ
EPM7128S	J-lead (84-pin) PQFP (100-pin) TQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (4) PLMT7000-100NC (4) PLMQ7128/160-160NC (4)
EPM7160E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7160S	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (4) PLMQ7128/7160-160NC (4)
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/7256-160
EPM7192S	PQFP (160-pin)	PLMQ7192/256-160NC (4)
EPM7256E	PQFP (160-pin) PGA (192-pin) PQFP (208-pin) RQFP (208-pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208 PLMR7256-208
EPM7256A	PQFP (208-pin)	PLMR7256-208NC (4)
EPM7256S	RQFP (208-pin)	PLMT7000-208NC (4)
EPM7384AE	TQFP (144-pin) PQFP (208-pin)	PLMT7000-144NC (4) PLMR7256-208NC (4)
EPM7512AE	TQFP (144-pin) PQFP (208-pin)	PLMT7000-144NC (4) PLMR7256-208NC (4)

注:

- (1) MAX 5000およびClassic デバイス用のアダプタについては、1998年版のデータブックでご確認ください。アルテラは、0.8ミクロン・プロセスのEPM5032、EPM5064、EPM5130用プログラミング・アダプタの交換プログラムを提供しております。
- (2) FLEX 8000用コンフィギュレーション EPROM
- (3) FLEX 10K、FLEX 8000、FLEX 6000用コンフィギュレーション EPROM
- (4) これらのデバイスはキャリア付きで出荷されません。

下記の表2は、BitBlaster™、ByteBlaster™およびByteBlaster MV™の各ダウンロード・ケーブルでプログラミングおよびコンフィギュレーションできるアルテラのデバイス・ファミリを示したものです。

デバイス名	BitBlaster	ByteBlaster	ByteBlasterMV
FLEX 10K	√	√	√
FLEX 10KA			√
FLEX 10KE			√
FLEX 8000	√	√	√
FLEX 6000	√ (1)	√ (1)	√
MAX 9000	√	√	√
MAX 9000A	√	√	√
MAX 7000S	√	√	√
MAX 7000A			√

注:

- (1) このダウンロード・ケーブルは、EPF6016デバイスにのみ使用できます。

アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドはアルテラの FLEX 10K、FLEX 8000、FLEX 6000、MAX 9000、MAX 7000 ファミリの各デバイスの概要をまとめたものです。他のアルテラ製品に関する情報は 1998 年版データブックに掲載されています。最新の情報については、アルテラのウェブ・サイト、<http://www.altera.com> でご確認ください。また、各デバイスの現在の供給状況については販売代理店にお問い合わせください。

FLEX 10Kデバイス						
デバイス名	ゲート数	ピン数 / パッケージ・オプション	電源電圧	スピード・グレード	ロジック・エレメント数	RAM ビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin PQFP	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-pin BGA ¹ , 356-Pin BGA, 484-Pin BGA ¹	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin PQFP, 256-pin BGA ¹ , 484-pin BGA ¹	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA, 403-Pin PGA	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ¹	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 484-Pin BGA ¹	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100	100,000	503-Pin PGA	5.0 V	-3, -4	4,992	24,576
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ¹ , 600-pin BGA	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100B	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹	2.5 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-pin BGA ¹ , 356-pin BGA, 484-pin BGA ¹	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	599-Pin PGA, 600-Pin BGA	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 484-Pin BGA ¹ , 672-Pin BGA ¹	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	599-Pin PGA, 600-Pin BGA, 672-pin BGA ¹	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	599-Pin PGA, 600-Pin BGA	3.3 V	-1, -2, -3	12,160	40,960
EPF10K250E	250,000	599-Pin PGA, 600-Pin BGA, 672-Pin BGA ¹	2.5 V	-1, -2, -3	12,160	81,920

注:

(1) このパッケージは実装スペースを削減する FineLine BGA™ パッケージです。

FLEX 8000デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	フリップ・フロップ数	ロジック・エレメント数
EPF8282A	2,500	84-Pin PLCC, 100-Pin TQFP	68, 78	5.0 V	-2, -3, -4	282	208
EPF8282AV	2,500	100-Pin TQFP	78	3.3 V	-3, -4	282	208
EPF8452A	4,000	160-Pin PQFP	120	5.0 V	-2	452	336
EPF8452A	4,000	84-Pin PLCC, 100-Pin TQFP, 160-Pin PGA/PQFP	68, 120	5.0 V	-3, -4	452	336
EPF8636A	6,000	208-Pin PQFP	136	5.0 V	-2	636	504
EPF8636A	6,000	84-Pin PLCC, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	68, 118, 136	5.0 V	-3, -4	636	504
EPF8820A	8,000	144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	112, 120, 152	5.0 V	-2	820	672
EPF8820A	8,000	144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP, 225-Pin BGA	112, 120, 152	5.0 V	-3, -4	820	672
EPF81188A	12,000	208-Pin PQFP, 232-Pin PGA, 240-Pin PQFP	148, 184	5.0 V	-2, -3, -4	1,188	1,008
EPF81500A	16,000	240-Pin PQFP, 280-Pin PGA, 304-Pin RQFP	181, 208	5.0 V	-2, -3, -4	1,500	1,296

FLEX 6000デバイス

デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	フリップ・フロップ数	ロジック・エレメント数
EPF6010A	10,000	100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 256-Pin BGA ¹	71, 81 ² , 102, 139 ²	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	81, 81 ² , 117, 171, 171 ²	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin BGA ¹	117, 171, 199, 218, 218 ²	3.3 V	-1, -2, -3	1,960	1,960

注：

- (1) このパッケージは実装スペースを削減する FineLine BGA パッケージです。
 (2) このデータは暫定仕様です。最新の情報については日本アルテラの実用技術部へお問い合わせください。

MAX 9000デバイス

デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	5.0 V	-10
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	5.0 V	-15, -20
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	5.0 V	-15, -20
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-15, -20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-10
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-15, -20

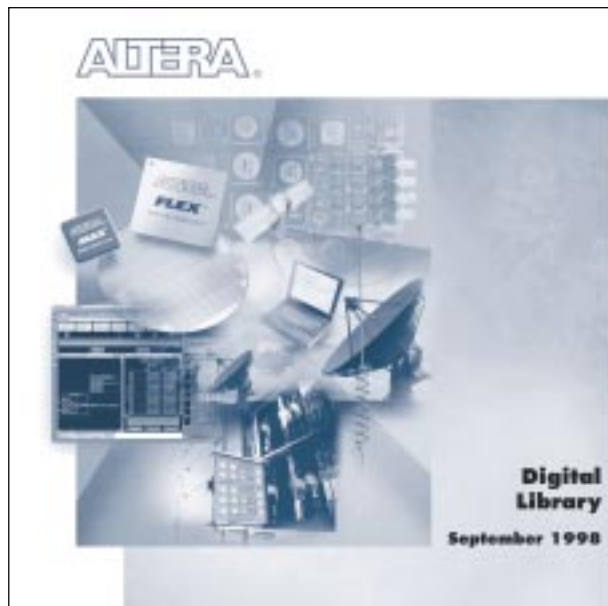
MAX 7000 デバイス

デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM7032AE	32	44-Pin PLCC/TQFP	36	3.3 V	-5, -7, -10
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-6, -7, -10
EPM7032	32	44-Pin PLCC/TQFP/PQFP	36	5.0 V	-6, -7, -10, -12, -15
EPM7032V	32	44-Pin PLCC/TQFP	36	3.3 V	-12, -15, -20
EPM7064AE	64	44-Pin PLCC/TQFP, 100-Pin TQFP, 100-Pin BGA ¹	38, 68, 68	3.3 V	-5, -7, -10
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin PQFP/TQFP	36, 52, 68	5.0 V	-5, -6, -7, -10
EPM7064	64	44-Pin PLCC/TQFP, 68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	36, 52, 68	5.0 V	-6, -7, -10, -12, -15
EPM7096	96	68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	52, 64, 76	5.0 V	-7, -10, -12, -15
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 256-Pin BGA ¹	68, 84, 84, 100, 100	3.3 V	-6, -7, -10, -12
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128E	128	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-7, -10, -12, -15, -20
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-6, -7, -10
EPM7160E	160	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 104	5.0 V	-10, -12, -15, -20
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7192E	192	160-Pin PQFP/PGA	124	5.0 V	-12, -15, -20
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	84, 120, 164, 164	3.3 V	-7, -10, -12
EPM7256S	256	208-Pin RQFP/PQFP	164	5.0 V	-7, -10, -15
EPM7256E	256	160-Pin PQFP, 192-Pin PGA, 208-Pin RQFP	132, 164	5.0 V	-12, -15, -20
EPM7384AE	384	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	120, 176, 212	3.3 V	-7, -10, -12
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	120, 176, 212	3.3 V	-7, -10, -12

注：

- (1) このパッケージは実装スペースを削減する FineLine BGA パッケージです。

日本語版資料を含む Altera Digital Library が登場



アルテラの *Altera Digital Library CD-ROM* のバージョン 4.0 が完成しました。この CD-ROM には、下記のアルテラ製品に関する最新の技術情報が含まれており、日本アルテラがこれまでに刊行したほとんどの日本語版の資料も収録されています。

新しい FLEX[®] 10KE デバイスを含むすべてのアルテラ・デバイス・ファミリに関する情報

業界最先端の開発システム、MAX+PLUS[®] II に関する情報

すべての製品の最新版データシートとアプリケーション・ノート
AMPP Catalog、ソリューション・ブリーフ、アルテラの MegaCore[™] ファンクションを含むすべてのメガファンクションに関する最新情報

アルテラのイン・システム・プログラマビリティ (ISP) サポートに関するすべての技術資料

デジタル信号処理 (DSP)、バス・インタフェース、ネットワークなどを含むアルテラのターゲット・アプリケーション・プログラムに関する情報

この Altera Digital Library の CD の入手を希望される方は、販売代理店または日本アルテラへご請求ください。なお、この Altera Digital Library は、PLD World '98 の会場でもアンケートにお答になられた来場者全員に配布される予定です。

アルテラへのコンタクト方法

	情報提供元	連絡先	
資料のご請求 (1)	日本アルテラ株式会社	☎ 03-3340-9480	
	株式会社アルティマ	☎ 045-939-6113	☎ 06-307-7670
	株式会社 PALTEK	☎ 045-477-2009	☎ 06-390-0817
	ワールド・ワイド・ウェブ	英語 http://www.altera.com	日本語 http://www.altera.com/japan/
価格・納期等について	株式会社アルティマ	☎ 045-939-6113	☎ 06-307-7670
	株式会社 PALTEK	☎ 045-477-2009	☎ 06-390-0817
技術的なご質問	日本アルテラ株式会社	☎ 03-3340-9480	
	株式会社アルティマ	☎ 045-939-6113	☎ 06-307-7670
		☎ 052-202-1024	☎ 028-637-4488
	株式会社 PALTEK	☎ 045-477-2009	☎ 06-390-0817
	ブリティン・ボード (米国本社)	☎ 001-1-408-954-0104	
	E-mail (日本アルテラ)	japan@altera.com	
	FTP Site (US)	ftp.altera.com	
製品案内	CompuServe (US)	go altera	
	World-Wide Web	http://www.altera.com/japan/	

注：

(1) MAX+PLUS II Getting Started Manual はアルテラのウェブ・サイトから入手可能です。他の MAX+PLUS II のマニュアルについては、販売代理店または日本アルテラへお問い合わせください。

FAX レスponse・フォーム

News & Views の購読を希望します。
私のデザインを News & Views に掲載することを希望します。
送付先の住所を右記に変更して下さい。

ご氏名 _____
会社名 _____
所属 _____
住所 〒 () _____

電話番号 _____
FAX 番号 _____
E-mail アドレス _____

担当代理店：株式会社アルティマ 株式会社 PALTEK その他 / 不明 / 未取引
(いずれかに をつけて下さい。)

ご意見をお聞かせ下さい。

News & Views に関する皆様のご意見をお聞かせ下さい。News & Views に取り上げられている下記の各項目について、皆様有益と思われるレベルを 5 点満点で評価して下さい。皆様からのフィードバックを今後の編集の参考にさせていただきます。

	役立たない			非常に役立つ		
1. デバイスおよび開発ツールに関する最新情報	1	2	3	4	5	
2. アルテラの最新刊行資料	1	2	3	4	5	
3. Q & A	1	2	3	4	5	
4. How To タイプの技術論文	1	2	3	4	5	
5. アルテラの EDA パートナと インタフェース・サポートに関する情報	1	2	3	4	5	
6. カスタム・アプリケーション	1	2	3	4	5	
7. ソフトウェア・ユーティリティと 現在のソフトウェア・バージョン	1	2	3	4	5	
8. アルテラ・ニュース	1	2	3	4	5	

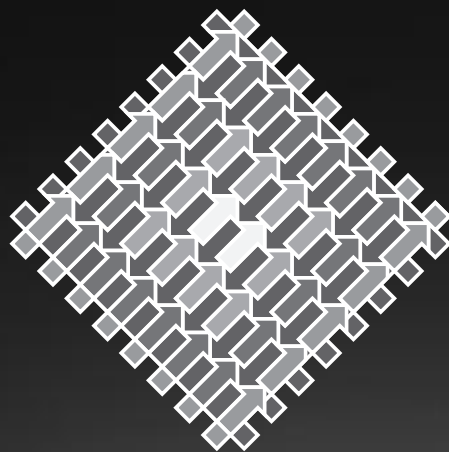
アルテラの News & Views に関するご意見がありましたら、下記にお書き下さい。(どのような内容が良かったか、疑問に思われた点、取り上げて欲しい内容など。必要に応じて別紙を使用しても結構です。)

このフォームをコピーして必要事項を記入の上、日本アルテラへ FAX または郵送して下さい。

日本アルテラ (株) 〒 163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱 261 号
電話 : 03-3340-9480 FAX : 03-3340-9487 E-mail: japan@altera.com



新製品発表会同時開催



ALTERA®

PLD WORLD '98

すべてのロジック・デザイナーのためのカンファレンスと展示会

10/23 (FRI) 9:00AM

5:00PM

青 山 T E P I A

プログラマブル・ロジックの最先端がわかる

カンファレンスの主な内容

基調講演「21世紀へ向けてのアルテラのビジネス戦略」
アルテラ・コーポレーション 会長、CEO兼社長：ロドニー・スミス

特別講演：マーケット・業界動向
「プログラマブル・ロジック - 新しい価値を創造するテクノロジー -」
シノプシス・インク 会長兼CEO：アート・デ・ジウス氏
「家庭のデジタル化と電子産業」日経BP社 日経エレクトロニクス編集長：山口 健氏

特別ゲスト・プレゼンテーション
日本電気株式会社 伝送事業本部 第三伝送通信事業部長：白井 和彦氏
「プログラマブル・ロジック・デザインとアルテラの将来展望」
アルテラ・コーポレーション シニア・ディレクター：クレイグ・ライトル

アルテラ新製品情報 / テクニカル・プレゼンテーション
新製品発表、概要の紹介 / テクニカル・プレゼンテーション等詳細は会場で！
システム・レベル・インテグレーションを実現するラファエロ・エンベデッドPLDファミリ
FLEX 10KE デバイスのメモリ・デザイン・テクニク
高速化とフィッティングに最適化したFLEX デバイス・デザイン・テクニク
低消費電力化のためのデザイン・テクニク
ASIC デザイン・フローに統合化したアルテラ設計フロー
高集積 PLD 設計手法
アルテラ・メガファンクション・ソリューション
ユーザ、CAE パートナおよび AMPP パートナによるテクニカル・プレゼンテーション

出展社名 (50音順)

- Integrated Silicon Systems, Ltd.
- エグゼンプラー・ロジック・ジャパン
- 株式会社写真化学
- Synplicity, Inc.
- 株式会社図研
- 株式会社スピナカー・システムズ
- セイコーインスツルメンツ株式会社
- 株式会社ソリトンシステムズ
- 株式会社日経BP
- 日本シノプシス株式会社
- 日本ヒューレット・パッカド株式会社
- 日本ビューロジック株式会社
- パシフィック・デザイン株式会社
- PLD Applications
- フェニックス テクノロジーズ株式会社
- ベリベスト株式会社
- 三菱電機マイコン機器ソフトウェア株式会社
- ミンク・ワシントン・コーポレーション
- メンター・グラフィックス・ジャパン株式会社
- 他



入場無料

無料入場券のお申し込み、お問い合わせは、
ALTERA PLD WORLD '98 事務局
FAX (03) 3293-0284 または、
WEB サイト <http://www.altera.com/japan/> 迄。

ALTERA® 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 Altera Corporation

101 Innovation Drive, San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>