

Quartus : アルテラの第4世代開発ツール



アルテラの新しい Quartus™ (クォータス)ソフトウェアの登場により、プログラマブル・ロジック開発ツールはマルチ・ミリオン・ゲート時代に入りました。このパワフルな第4世代のソフトウェアは、アルテラの新製品、APEX™ 20Kデバイスのような百万ゲートを越えるデバイスのデザインで発生する課題

に対応しています。APEXデバイスの提供するサイズと複雑さには、革命的なソフトウェアとデザインの生産性をさらに高める新しい革新的な設計手法が求められます。デザイン・サイクルの短縮化要求に対応するため、Quartusのソフトウェアは、これまでのプログラマブル・ロジック・デバイス(PLD)開発用ソフトウェアでは実現されていなかった多くの新しい機能と特長を提供しています。

最先端の機能

Quartusのソフトウェアは、デザインの生産性をさらに高める多くの最先端機能を提供しています。

ワークグループ・コンピューティング グローバルなファイル管理とデザインのリビジョン・コントロールにより、ひとつのプロジェクトを複数の設計者で構成されたチームで担当できるようになります。

統合化されたロジック解析機能 ソフトウェア内に組み込まれた SignalTap™ ロジック・アナライザ・メガファンクションにより、実スピードで動作しているデバイスに対するシステム・レベルでの検証機能が提供され、検証時間が大幅に削減されます。

EDAツールとの統合 NativeLink™ インタフェースが Quartusソフトウェアと他社の論理合成ツールや検証ツール間とのシームレスな接続を実現し、さらに検証時間を短縮させます。

マルチ・プロセッサのサポート コンピュータの演算機能をローカルまたはネットワークに接続されたオペレーティング・システムの異なる複数のプロセッサに分散させ、コンパイル時間を短縮させます。

インクリメンタル・リコンパイル機能 nSTEP™ Compilerにより、小規模なデザインの変更を短時間で完了させることができるため、コンパイルに要する時間が大幅に節減されます。

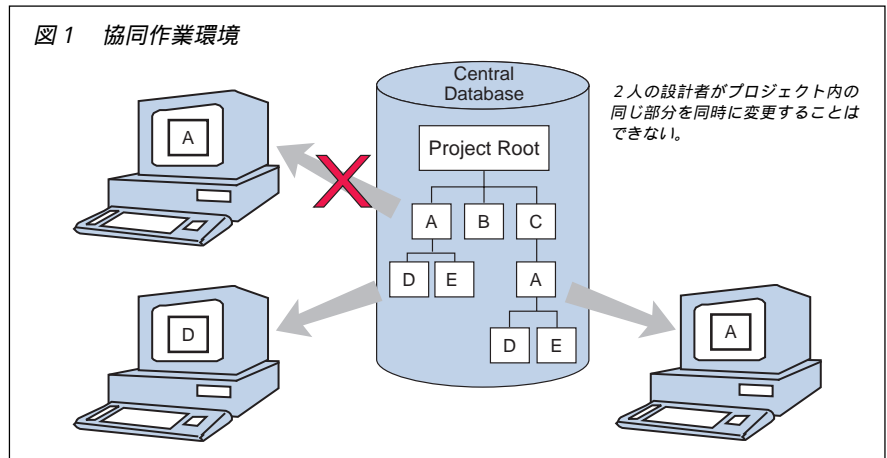
IP (Intellectual Property: 設計資産)の集積化 ブロック・ベースのデザイン手法と OpenCore™ 評価システム、そして MegaWizard™ Plug-In 機能の提供により、メガファンクションの集積化が容易になっており、各ブロックが最適化されたタイミングになるように配置されます。

デザイン・コラボレーション

現在のような開発サイクルの短縮化要求に対応するためには、ひとつの製品開発プロジェクトを複数のエンジニアが同時に担当することが必要となっています。Quartusのソフトウェアにはネットワーク上の複数のエンジニアがアクセスできる集中型オブジェクト指向データベースとグローバルなファイル管理システムが採用されており(図1を参照)、デザイン・サイクルを中断させることなくネットワークを通じて複数のコンピュータが同じプロジェクトに対してアクセスできるようになっています。

(3ページに続く)

図1 協同作業環境



目次

特集記事

Quartus : アルテラの第4世代開発ツール	1
Customer Application : Axis Systems が 新しいEDAツールにアルテラ・デバイスを選択	16
Contributed Article : GOEPEL electronics 社が Jam Player をバウンダリ・スキャン・ テスト用ソフトウェアに組み込む	20

アルテラ・ニュース

日本アルテラの新社長にロバート・バックが就任	13
Lexra LX-4080P : PLD 上に実現するプロセッサ	18
AMPP パートナの HammerCores 社がフルに パラメータ化されたリード・ソロモン・ エンコーダとデコーダを供給開始	24
アルテラが 1998 DSP World に参加	26
ALTERA PLD WORLD '98 が大盛況のうちに閉幕	30

Devices & Tools

EPF10K50E デバイスを出荷開始	5
8.5ns t _{DDR} の EPF10K50E の高速バージョンが 入手可能に	5
FLEX 10KE デバイスの PLL 機能	5
FineLine BGA パッケージの FLEX 10K デバイスを供給中	5
FLEX 10KA デバイスの新プロセスへの移行	6
3.3V 動作の FLEX 6000 デバイスを出荷中	6
再プログラムが可能なコンフィギュレーション EPROM、 EPC2 の出荷を開始	7
コンフィギュレーション EPROM の 新プロセスへの移行	7
MAX 9000A デバイスの供給状況	7
MAX 7000A の供給状況	7

MAX 7000 と MAX 9000 デバイスの 新プロセスへの移行	7
MAX 7000S ファミリー最新情報	8
アルテラ・サブスクリプション・プログラムのご紹介	8
Quartus の SignalTap ロジック解析機能	9
MAX+PLUS II バージョン 9.1 に対する 新しい ES サイト・ライセンス入手方法	9
2000 年問題への対応	9
MAX+PLUS II バージョン 9.1 のライセンスについて	9
製造中止品最新情報	30

技術論文

FLEX 10KE デバイスの PLL 機能	10
アルテラの 1.00mm ピッチ FineLine BGA パッケージの使用法	12
FLEX 10KE デバイスのパラメータ化された デュアル・ポート RAM の使用法	14
Questions & Answers	19
Design Tips from Altera Applications : MAX+PLUS II VHDL における 演算オペレータの使用法	22

定期掲載記事

サード・パーティ・ベンダによる プログラミング・サポート	26
アルテラの新規刊行資料	26
現在のソフトウェア・バージョン	26
アルテラのプログラミング・ハードウェアによる サポート状況	27
アルテラ・デバイス・セレクション・ガイド	28
アルテラへのコンタクト方法	30
FAX レスポンス・フォーム	31



質問やアイデアがありましたら、
お知らせください。

日本アルテラ株式会社
東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱 261 号
電話 : 03-3340-9480
FAX : 03-3340-9487
E-mail : japan@altera.com

Altera, AMPP, APEX, APEX 20K, ASCEND, Atlas, BitBlaster, ByteBlaster, Classic, ClockBoost, ClockLock, CoreSyn, FastTrack, FineLine BGA, FLEX, FLEX10K, FLEX 10KA, FLEX 10KE, FLEX8000, FLEX 6000, FLEX 6000A, Jam, MAX9000, MAX 9000A, MAX7000, MAX7000E, MAX7000S, MAX 7000A, MAX5000, MAX, MAX+PLUS, MAX+PLUSII, MegaOmegaWizard, MultiCore, MultiVolt, nSTEP, NativeLink, OpenCore, Quartus, SignalTap, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Axis Systems, Inc. is a registered trademark and Xcite-1000 is a trademark of Axis Systems, Inc. Verilog and Cadence are registered trademarks of Cadence Design Systems. HammerCores is a registered trademark of HammerCores. Pentium is a registered trademark of Intel Corporation. Lexra is a registered trademark of Lexra Inc. NEC Corporation is a registered trademark of NEC USA, Inc. Nikkei Electronics is a registered trademark of Nikkei Electronics. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Windows NT is a registered trademark of Microsoft. Data I/O is a registered trademark of Data I/O Corporation. Sun Microsystems is a registered trademark and Solaris is a trademark of Sun Microsystems. Synopsys is a registered trademark of Synopsys, Inc. Viewlogic is a registered trademark of Viewlogic Systems. GOEPEL electronics and CASCON-GALAXY are registered trademarks and SYSTEM CASCON is a trademark of GOEPEL electronic GmbH. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader.

Copyright © 1998 Altera Corporation. All rights reserved.



I.S. EN ISO 9001

Quartus : アルテラの第 4 世代開発ツール
(1 ページからの続き)

Quartus に内蔵されているリビジョン・コントロール機能により、プロジェクト内の特定部分のデザインを複数の設計者が同時に行うことが防止されています。Quartus のソフトウェアには、デザイン・リビジョンの管理を行うための標準的な外部ソース・コントロール・ソフトウェアも組み込まれています。

内蔵された検証およびロジック解析ソリューション

数百万ゲートのデバイスが使用されるようになり、そのデザイン手法が変化すると共に、検証のプロセスがデザイン・サイクルのボトルネックとなってしまう可能性があります。Quartus のソフトウェアには SignalTap ロジック・アナライザ(図 2 を参照) が内蔵されているため、システム・レベルの検証とシミュレーションに要する時間を大幅に短縮することができます。この革新的なロジック・アナライザ機能を使用することにより、システム・クロック・スピードでのハードウェア・デバッグをイン・システムで行うことができます。

ロジック・アナライザの機能が実現される場合、モニタする信号の指定が行えます。次に、Quartus のソフトウェアで検証を行うためのロジック・アナライザ機能をデザイン内に挿入し、プロジェクトをコンパイルします。デバイスのコンフィギュレーションが完了すると、Quartus のソフトウェアとロジック・アナライザを使用してシステムのデバッグを行うことができます。

RTL (Register Transfer Level) ベースのシミュレーション機能も Quartus のソフトウェアに組み込まれています。Quartus のソフトウェアは VHDL、Verilog HDL、Tcl の各テストベンチをサポートしており、サード・パーティのシミュレーション・ツ

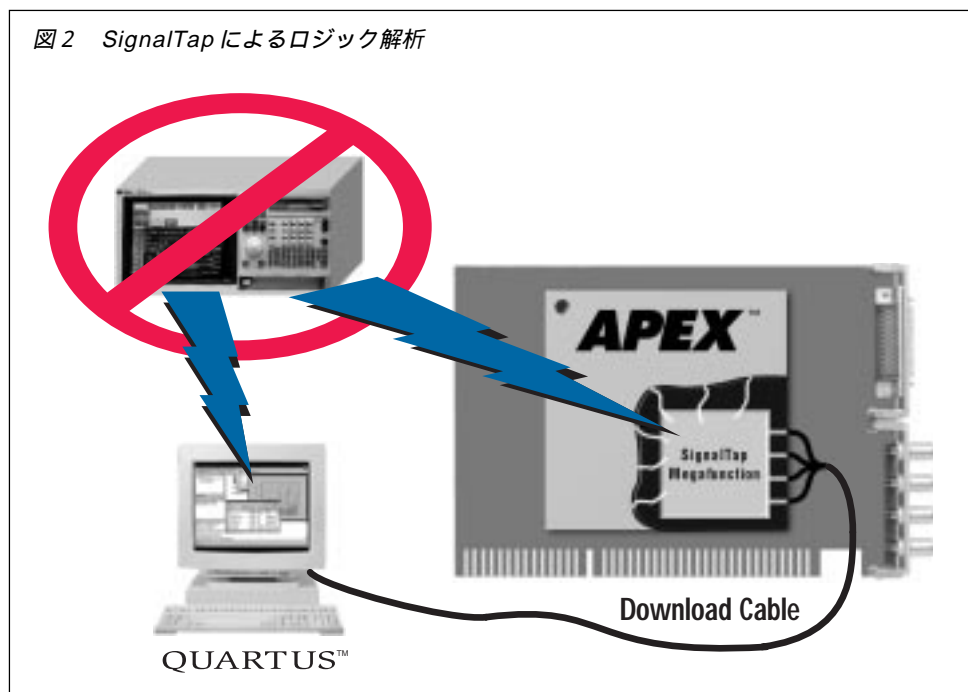
ルとも簡単に統合化することができます。このため、ユーザはそれぞれのニーズに適合したもっとも効率的な検証フローを選択することができます。これらの検証プロセスの強化と拡張によって、デザインを早期に量産段階へ移行させることが可能になります。

NativeLink による EDA ツールとの統合化

アルテラは Quartus のソフトウェアと主要な EDA ツール間でのシームレスなインターフェースが実現されるようにするため、各 EDA パートナと密接な関係を維持し、開発中の Quartus に対して各 EDA ベンダがアクセスできるようにしてきました。こうした NativeLink によって実現されたツール間の統合化により、ユーザは他社の EDA ツールから Quartus ソフトウェアの起動とコントロールを行うことができるようになるため、新しいデザイン・ツールを理解する必要性も解消されています。さらに重要な点は、設定されたパラメータの値を EDA ツールと Quartus のソフトウェア間で従来よりもさらに効率的に転送できることです。検出されたエラー箇所は、EDIF のネットリストではなく、オリジナルのハードウェア記述言語 (HDL) のソース・コード上で確認できます。

デザイン・サイクルの短縮

Quartus のソフトウェアが実現したその他の革新的な機能として上げられるのが、インクリメンタル・コンパイルーションです。これまで、設計者は作成したデザインの結果を確認する場合、デザイン全体をコンパイルする必要がありました。このデザイン全体のフル・コンパイルーションには開発プロセスの中で長い時間が必要となるため、複数回の設計変更が必要になるような複雑なデザインを完成させるまでには、長い時間が消費されることになりました。Quartus の nSTEP Compiler により、デザイン内の小規模な部分を数分でコンパイルできるようになるため、デザイン全体に対するフル・コンパイルの必要性が低減されます。4 ページの図 3 は、ゲート数の増加に対するコンパイル時間の変化を示したものです。このコンパイルのプロセスで、nSTEP Compiler はアルテラの新しい CoreSyn™ 論理合成機能を使用して、適切な合成テクノロジーを起動してデバイス・アーキテクチャに対するデザインの最適なマッピングが実現されるようにします。このコンパイラはデザインを解析して、デザインされた機能を APEX 20K アーキテクチャに内蔵されているルック・アップ・テー



(4 ページに続く)

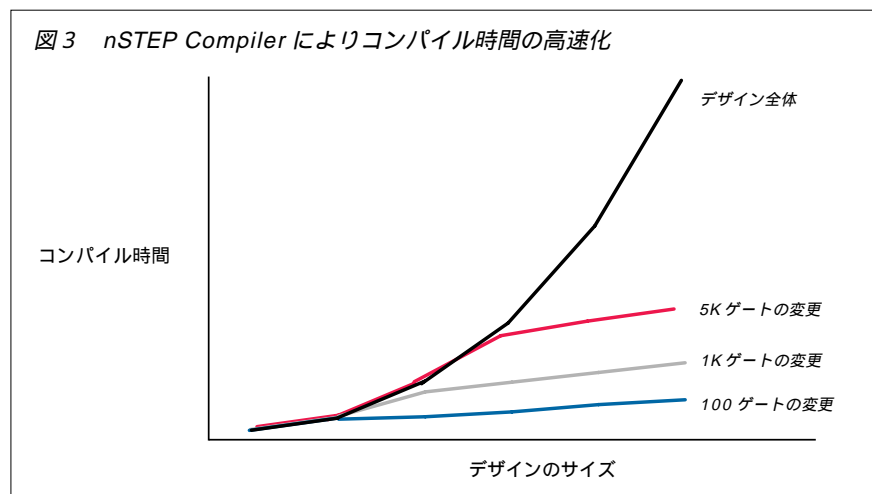
Quartus : アルテラの第4世代開発ツール
(3 ページからの続き)

ブル (LUT) ベースのロジック・エレメント、プロダクト・タームをベースにしたマクロセル、エンベデッド・メモリによるロジック・ブロックに適切に分割します。これによって、設計者はデザインのコンパイル、修正、リコンパイルのサイクルをこれまでの数分の1の時間で行えるようになります。

コンパイル時間を短縮するもうひとつの機能が、マルチプロセッサ・コンピューティングに対するサポートです。Quartusのソフトウェアはマルチプロセッサ・システムの利点を活用できるようにしたマルチスリーディングなリンクによって最適化されており、Quartusのソフトウェアを単独のコンピュータまたはネットワーク上の複数のコンピュータに配置して、単独のオペレーティング・システム(例えばSolaris 2.5マシン)または複数のオペレーティング・システム (Windows NT 4.0 と Solaris 2.5 など) 上で動作させることができます。異なるプロセッサ上でも、デザインのブロックをデバイス内の同じロウにフィッティングさせることができます。マルチプロセッサ・システムの活用は強力なコンピュータ・パワーの結合とコンパイル時間の大幅な短縮を実現します。

拡張された IP に対するサポート

Quartusのソフトウェアは、ブロック・レベルのエディティングやメガファンクションに対する拡張されたサポートにより、システム・レベルの最先端設計手法を実現しています。ファンクション・ブロックのハイ・レベルな定義方法や再利用可能なファンクションを活用することによって、設計者は動作レベルでの検証によりさらに多くの時間を割り当てることができます。



すでにテスト済みで特定のデバイス・アーキテクチャに最適化済みとなっているメガファンクションを活用することも、設計時間の短縮に貢献します。アルテラはMegaCore™ファンクションとAMPPSM (Altera Megafunction Partners Program) を通じて供給されているメガファンクションを提供しており、双方のメガファンクションはOpenCore™機能を使用してリスクなしで評価できるようになっています。Quartusのソフトウェアは、ファイル固有のアサイメントや論理合成に対するコントロール機能の強化により、アルテラのメガファンクションに対するサポート範囲を拡大させています。これにより、ユーザはMegaCoreまたはAMPPメガファンクションのインスタンス時のアサイメントを個々のファンクション単位ではなく、デザイン全体に適用できるようになっています。

ウェブの利用を可能にしたデザイン・ツール

Quartusは、最新のインターネット・ブラウザを活用できるように設計されたソフトウェアです。ユーザは、Quartusのソフトウェアからインターネットへのアクセスを行い、AtlasSM (Altera Technical Support) ソリューションのデータベースにダイレクトに接続して、デザイン上の一般的な問題点に対する解決策を短時間で見つけることができます。また、特定の問題に関しては、ユーザがデザイン・ファイルを添付してアルテラに解決策の提示を要求することができるため、アルテラの担当者はユーザのデザイン環境を正確に再現して問題点に対する適切な解決策を見出すことができます。

ソフトウェアに対する基本的なサポートは、Quartusによって自動的に処理されるようになっています。ソフトウェアのパッチ、新しいデバイス・サポート、オンライン・ヘルプのアップデートなどに関する通知は、これらが入手可能になった時点でユーザへ送付されます。また、登録ユーザはQuartusのソフトウェアが自動的にアップデートされるような設定を選択することができます。

まとめ

アルテラのQuartusはマルチ・ミリオン・ゲート時代に対応した開発ツールです。このパワフルな革新的な機能を活用することによって、最新デバイスの機能をフルに活用できるだけでなく、デザイン・サイクルの短縮と生産性の向上を実現することができます。革命的なAPEX 20Kデバイスと、これまでにない高い性能と機能を実現したQuartusのソフトウェアを使用することによって、数百万ゲートのデザインで発生する課題に対する理想的なソリューションが提供されます。

FLEX 最新情報

EPF10K50E デバイスを出荷開始

EPF10K50Eは機能が拡張強化されたFLEX[®] 10KEファミリの最初のデバイスであり、それぞれ独立したリードとライトのポートを持つデュアル・ポートRAMを構成できる特長を持っています。EPF10K50Eデバイスは、フルに最適化された0.25ミクロン5層メタルSRAMプロセスで製造されています。コア部分が2.5Vで動作するこのデバイスは、3.3Vで動作する同等のFPGA (Field Programmable Gate Array) に比較して66%も消費電力を低減させています。EPF10K50Eデバイスは16タップ、8ビットのFIR (Finite Impulse Response) フィルタが140MHzで動作する高い性能も提供します。これは同等の3.3Vデバイスよりも84%も高速です。さらに、EPF10K50EはMultiVolt™ I/O機能の提供により、2.5V、3.3Vまたは5.0Vデバイスとインタフェースすることができます。EPF10K50Eは、144ピンの薄型クワッド・フラット・パック (TQFP)、208ピンのプラスチック・クワッド・フラット・パック (PQFP)、240ピンのPQFP、256ピンのFineLine BGA™、および484ピンのFineLine BGAの各パッケージで入手可能になっています。

8.5ns t_{DRR}のEPF10K50Eの高速バージョンが入手可能に

EPF10K50Eが当初の規格よりもさらに高速で動作するようになっています。レジスタ間の遅延を規定したt_{DRR}のパラメータが、もっとも高速な-1スピード・グレードの製品で8.5nsへ改訂されています。最新のタイミング・モデルはMAX+PLUS[®] IIのバージョン9.1で提供されています。また、-2、-3スピード・グレードのt_{DRR}もそれぞれ、10.0ns、13.5nsに改善されています。

FLEX 10KE デバイスのPLL機能

PLL (Phase-Locked Loop) 回路を内蔵しているFLEX 10KEデバイスには、クロックの遅延とスキューを低減するClockLock™と、クロック周波数の通倍を実現するClockBoost™のオプションが提供されます。PLLのオプションは、-1および-2スピード・グレードのすべての集積度およびパッケージ (試作用の599ピン、ピン・グリッド・アレイ (PGA) パッケージを除く) 製品に提供されます。PLL回路内蔵のデバイスの注文コードの末尾には、“X”のサフィックスが付き (例: EPF10K200EBC600-1X)。PLL回路を内蔵した最初のFLEX 10KEデバイスとして、EPF10K200Eが1999年1月から供給される予定となっています。PLL回路に対するソフトウェア・サポートは、1999年1月リリース予定のMAX+PLUS IIのバージョン9.2で提供される予定です。

FineLine BGAパッケージのFLEX 10K デバイスを供給中

アルテラは、256ピンFineLine BGAパッケージのEPF10K100Bと484ピンFineLine BGAパッケージのEPF10K30Aを出荷中です。アルテラが実現した小さなダイ・サイズにより、ボード・スペースを経済的に削減することができる最新のFineLine BGAパッケージの採用が可能になりました。256ピンFineLine BGAパッケージのボード実装スペースは17 × 17mm²のみであり、100ピンのTQFPパッケージの実装に必要な面積とほぼ同じです。アルテラはこのFineLine BGAパッケージをすべてのFLEX 10KEデバイスとEPF10K10A、EPF10K50V、EPF10K100Aの各デバイスに提供する予定です。

表1はFLEX 10KEデバイスの供給予定を示したものです。

デバイス名	パッケージ	スピード・グレード	供給予定
EPF10K30E	144-pin TQFP	-1, -2, -3	1999年Q2
	208-pin PQFP	-1, -2, -3	1999年Q2
	256-pin FineLine BGA	-1, -2, -3	1999年Q2
	484-pin FineLine BGA	-1, -2, -3	1999年Q2
EPF10K50E	144-pin TQFP	-1, -2, -3	供給中
	208-pin PQFP	-1, -2, -3	供給中
	240-pin PQFP	-1, -2, -3	供給中
	256-pin FineLine BGA	-1, -2, -3	1998年12月
484-pin FineLine BGA	-1, -2, -3	1998年12月	
EPF10K100B	208-pin PQFP	-1, -2, -3	供給中
	240-pin PQFP	-1, -2, -3	供給中
	256-pin FineLine BGA	-1, -2, -3	供給中
EPF10K100E	208-pin PQFP	-1, -2, -3	1999年Q2
	240-pin PQFP	-1, -2, -3	1999年3月
	256-pin FineLine BGA	-1, -2, -3	1999年Q2
	356-pin BGA	-1, -2, -3	1999年Q2
484-pin FineLine BGA	-1, -2, -3	1999年Q2	
EPF10K130E	240-pin PQFP	-1, -2, -3	1999年3月
	484-pin FineLine BGA	-1, -2, -3	1999年Q2
	672-pin FineLine BGA	-1, -2, -3	1999年Q2
EPF10K200E	599-pin PGA	-1, -2, -3	1998年12月
	600-pin BGA	-1, -2, -3	1998年12月
	672-pin FineLine BGA	-1, -2, -3	1999年1月
EPF10K250E	599-pin PGA	-1, -2, -3	1999年Q2
	672-pin FineLine BGA	-1, -2, -3	1999年Q2

(6ページに続く)

Devices & Tools (5ページからの続き)

表2はFLEX 10KAデバイスの供給状況と出荷開始予定時期を示したものです。

デバイス名	パッケージ	スピード・グレード	供給予定
EPF10K10A	100-pin TQFP	-1,-2,-3	供給中
	144-pin TQFP	-1,-2,-3	供給中
	208-pin PQFP	-1,-2,-3	供給中
	256-pin FineLine BGA	-1,-2,-3	1998年12月
EPF10K30A	144-pin TQFP	-1,-2,-3	供給中
	208-pin PQFP	-1,-2,-3	供給中
	240-pin PQFP	-1,-2,-3	供給中
	256-pin FineLine BGA	-1,-2,-3	1998年12月
	356-pin BGA	-1,-2,-3	供給中
EPF10K50V	240-pin PQFP	-1,-2,-3	供給中
	240-pin RQFP (1)	-1,-2,-3,-4	供給中
	356-pin BGA	-1,-2,-3,-4	供給中
	484-pin FineLine BGA	-1,-2,-3	1999年Q1
EPF10K100A	240-pin RQFP	-1,-2,-3	供給中
	356-pin BGA	-1,-2,-3	供給中
	484-pin FineLine BGA	-1,-2,-3	供給中
	600-pin BGA	-1,-2,-3	供給中
EPF10K130V	599-pin PGA	-2,-3,-4	供給中
	600-pin BGA	-2,-3,-4	供給中
EPF10K250A	599-pin PGA	-1,-2,-3	供給中
	600-pin BGA	-1,-2,-3	供給中

注:

(1) RQFPはパワー・クワッド・フラット・バック

FLEX 10KA デバイスの新プロセスへの移行

アルテラは、EPF10K50V、EPF10K100A、EPF10K30A、EPF10K10Aの各デバイスの製造プロセスを0.35ミクロンから0.3ミクロンへ移行させています。表3は、各デバイスごとの移行実施予定時期と、この移行に関連した変更通知書の番号を示したものです。これらの変更通知書はアルテラのウェブ・サイト、<http://www.altera.com>のCustomer Notificationsのページからダウンロードすることができます。

表3 FLEX 10KA デバイスの新プロセスへの移行予定

デバイス名	移行時期	関係書類	新プロセス(μm)
EPF10K50V	1998年12月	PCN 9810	0.30
EPF10K100A	1999年2月	PCN 9810	0.30
EPF10K30A	1999年Q2	PCN 9810	0.30
EPF10K10A	1999年Q2	PCN 9810	0.30

3.3V 動作の FLEX 6000 デバイスを出荷中

3.3V動作のFLEX 6000ファミリの全製品が現在出荷中となっています。これらのデバイスは、高い性能をゲートアレイと同等の価格で実現しています。EPF6010A、EPF6016A、およびEPF6024Aの各デバイスが、もっとも高性能な-1スピード・グレードを含む3種類のスピード・グレードで供給されています。-1スピード・グレードに対するソフトウェア・サポートは、MAX+PLUS IIのバージョン9.01以降で提供されています。表4はFLEX 6000ファミリの各デバイスの特長をまとめたものです。

表4 FLEX 6000 ファミリのデバイス

機能	EPF6010A	EPF6016	EPF6016A	EPF6024A
プロセス加工幅	0.35 μm	0.5 μm	0.35 μm	0.35 μm
電源電圧	3.3 V	5.0 V	3.3 V	3.3 V
ロジック・エレメント数	880	1,320	1,320	1,960
ゲート数	5,000 ~ 10,000	8,000 ~ 16,000	8,000 ~ 16,000	12,000 ~ 24,000
最大ユーザ I/O ピン数	139	204	171	218

FineLine BGAパッケージのFLEX 6000デバイスが1999年の第2四半期から供給される予定です。ボード・スペースを効率的に削減できるこれらのパッケージは、従来のボール・グリッド・アレイ(BGA)の半分以下の面積でボードに実装することができます。表5はFLEX 6000デバイスの各パッケージごとの供給状況と供給開始予定時期を示したものです。

表5 FLEX 6000 デバイスのパッケージ・オプションと供給状況/予定 (√印が供給中を示す)

デバイス名	100-Pin TQFP	100-Pin FineLine BGA	144-Pin TQFP	208-Pin PQFP	240-Pin PQFP	256-Pin BGA	256-Pin FineLine BGA
EPF6010A	√	1999年Q2	√				1999年Q2
EPF6016			√	√	√	√	
EPF6016A	√	1999年Q2	√	√			1999年Q2
EPF6024A			√	√	√	√	1999年Q2

コンフィギュレーション EPROM 最新情報

再プログラムが可能なコンフィギュレーション EPROM、EPC2 の出荷を開始

アルテラのリプログラマブル・コンフィギュレーション EPROM の最初の製品である、EPC2 が現在出荷中となっています。このデバイスは 20 ピンのプラスチック J リード・チップ・キャリア (PLCC) と 32 ピンの薄型クワッド・フラット・バック (TQFP) パッケージで供給されており、同じパッケージで提供されている他のアルテラのコンフィギュレーション EPROM とピン互換となっています。EPC2 は 1 個のデバイスで最大 130,000 ゲートまでの FLEX デバイスをコンフィギュレーションすることができ、業界標準の IEEE Std. 1149.1 の JTAG (Joint Test Action Group) テスト・ポートを通じてイン・システムでプログラムすることができます。EPC2 は 3.3V または 5.0V の電源電圧で動作します。

コンフィギュレーション EPROM の新プロセスへの移行

アルテラは EPC1213 と EPC1064 の両デバイスの製造を 0.8 ミクロンから 0.65 ミクロンのプロセスへ移行させています。表 1 はこの移行予定時期と、これに関連した変更通知書類の番号を示したものです。これらの変更通知書類はアルテラのウェブ・サイト、<http://www.altera.com> の Customer Notifications のページからダウンロードすることができます。

デバイス名	移行時期	関係書類	新プロセス(μm)
EPC1213	1998 年 12 月	PCN 9802, ADV 9812	0.65
EPC1064	1998 年 12 月	PCN 9802, ADV 9812	0.65

MAX デバイス最新情報

MAX 9000A デバイスの供給状況

10ns のピン間遅延時間を実現した MAX[®] 9000A デバイスは、高い性能を実現しています。EPM9320A と EPM9560A の両デバイスは下記に示すパッケージで大量に供給されています。表 1 には、現在供給中の一般用および工業用温度範囲の MAX 9000A デバイスが各パッケージごとに示されています。

デバイス名	t _{pd}	84-Pin PLCC	208-Pin RQFP	240-Pin RQFP	356-Pin BGA
EPM9320A	10 ns	C, I	C, I		C
EPM9560A	10 ns		C, I	C, I	C

注：

(1) C は一般用、I は工業用温度範囲の製品が供給中となっていることを示しています。

MAX 7000A の供給状況

3.3V で動作する MAX 7000A ファミリの 4 種類のデバイス、EPM7064AE、EPM7128A、EPM7256A、および EPM7512AE が現在出荷中となっています。MAX 7000A ファミリの各デバイスは、ISP、MultiVolt I/O ピン、最大 5.0ns のピン間遅延時間をサポートしており、業界標準の MAX 7000 デバイスとピン互換となっています。表 2 は、MAX 7000A デバイスの供給状況 / 予定を示したものです。

デバイス名	パッケージ	スピード・グレード	供給状況 / 予定
EPM7032AE	44-pin PLCC	-5, -7, -10	1999 年 Q1
	44-pin TQFP	-5, -7, -10	
EPM7064AE	44-pin PLCC	-5, -7, -10	供給中
	44-pin TQFP	-5, -7, -10	
	84-pin PLCC	-5, -7, -10	
	100-pin TQFP	-5, -7, -10	
EPM7128A	84-pin PLCC	-6, -7, -10, -12	供給中
	100-pin TQFP	-6, -7, -10, -12	
	100-pin BGA	-6, -7, -10, -12	
	144-pin TQFP	-6, -7, -10, -12	
	256-pin FineLine BGA	-6, -7, -10, -12	
EPM7128AE	84-pin PLCC	-5, -7, -10, -12	1999 年 Q1
	100-pin TQFP	-5, -7, -10, -12	
	100-pin BGA	-5, -7, -10, -12	
	144-pin TQFP	-5, -7, -10, -12	
	256-pin FineLine BGA	-5, -7, -10, -12	
EPM7256A	100-pin TQFP	-7, -10, -12	供給中
	144-pin TQFP	-7, -10, -12	
	208-pin PQFP	-7, -10, -12	
	256-pin FineLine BGA	-7, -10, -12	
EPM7256AE	100-pin TQFP	-6, -7, -10, -12	1999 年 Q2
	100-pin FineLine BGA	-6, -7, -10, -12	
	144-pin TQFP	-6, -7, -10, -12	
	208-pin PQFP	-6, -7, -10, -12	
	256-pin FineLine BGA	-6, -7, -10, -12	
EPM7384AE	144-pin TQFP	-7, -10, -12	1999 年 Q1
	208-pin PQFP	-7, -10, -12	
	256-pin FineLine BGA	-7, -10, -12	
EPM7512AE	144-pin TQFP	-7, -10, -12	供給中
	208-pin PQFP	-7, -10, -12	
	256-pin FineLine BGA	-7, -10, -12	

MAX 7000 と MAX 9000 デバイスの新プロセスへの移行

MAX 7000 デバイスと MAX 9000 デバイスの 0.65 ミクロン・プロセスから 0.5 ミクロン・プロセスの移行が完了しました。8 ページの表 3 は、各デバイスの移行に伴う関係書類を示したものです。

(8 ページに続く)

Devices & Tools (7ページからの続き)

これらの関係資料はアルテラのウェブ・サイト、<http://www.altera.com>の中に提供されているCustomer Notificationのページからダウンロードすることもできます。

デバイス名	関係書類(2)
EPM7032	PCN 9703 ADV 9803
EPM7064 EPM7064S	PCN 9703 ADV 9708
EPM7128E EPM7128S	PCN 9703 ADV 9708
EPM7160E	PCN 9703 ADV 9803
EPM7192E EPM7192S	PCN 9703 ADV 9708
EPM7256S EPM7256E	PCN 9703 ADV 9708
EPM9320	PCN 9703 ADV 9803
EPM9560	PCN 9703 ADV 9803

注:

- (1) この移行に伴うデータシート上のパラメータおよび注文コードの変更はありません。
 (2) アルテラはこれらのプロセス変更通知書、アルテラ連絡書などの関係ドキュメントをワールド・ワイド・ウェブ、<http://www.altera.com>を通じて提供しています。

MAX 7000S ファミリ最新情報

すべてのMAX 7000Sデバイスが、現在入手可能となっています。これらのデバイスには、最大5nsのピン間遅延時間、ISP、128マクロセル以上のデバイスに内蔵されているIEEE Std. 1149.1のバウンダリ・スキャン・テスト(BST)回路、オープン・ドレイン出力オプションなど、多くの特長が提供されています。MAX 7000Sファミリのすべてのデバイスが、一般用および工業用温度範囲のグレードで出荷中となっています。詳細は表4をご覧ください。

デバイス名	パッケージ	スピード・グレード	
		一般用温度範囲	工業用温度範囲
EPM7032S	44-pin PLCC	-5, -6, -7, -10	-7
	44-pin TQFP	-5, -6, -7, -10	-7
EPM7064S	44-pin PLCC	-5, -6, -7, -10	-7
	44-pin TQFP	-5, -6, -7, -10	-7
	84-pin PLCC	-5, -6, -7, -10	-7
	100-pin TQFP	-5, -6, -7, -10	-7
EPM7128S	84-pin PLCC	-6, -7, -10, -15	-10
	100-pin TQFP	-6, -7, -10, -15	-10
	100-pin PQFP	-6, -7, -10, -15	-10
	160-pin PQFP	-6, -7, -10, -15	-10
EPM7160S	84-pin PLCC	-6, -7, -10	-10
	100-pin TQFP	-6, -7, -10	-10
	160-pin PQFP	-6, -7, -10	-10
EPM7192S	160-pin PQFP	-7, -10, -15	-10
EPM7256S	208-pin PQFP	-7, -10, -15	-10

TOOL 最新情報

アルテラ・サブスクリプション・プログラムのご紹介

アルテラは、ユーザが常に最新のアップデートされたソフトウェアを使用することができ、新しいツールのリリースを受け取ることができるようにした新しいプログラムの提供を開始しました。アルテラの新しいサブスクリプション・プログラムに加入することによって、ユーザは12ヶ月間にわたって、アルテラのすべてのソフトウェア(MAX+PLUS IIとQuartus™の双方を含む)の最新バージョンを受け取ることができます。

アルテラのソフトウェア製品の新しいユーザ、または有効な年間使用契約を保有しているユーザであれば、年間\$2,000の費用で、MAX+PLUS IIとQuartusのすべての新しいリリースとアップデート・バージョンを受け取ることができます。これまでのメンテナンス契約で同じサポートを受けるためには、PLS-MAGNUM(\$4,995相当)を購入して、さらに1年間のメンテナンス契約の費用(\$1,495相当)が必要となっていました。このアルテラの新しいプログラムは、この費用を大幅に削減しただけでなく、

Quartusソフトウェアに対するアップデート費用も上記の契約金額でカバーされるようになりました。各ソフトウェアに対する継続的なサポートを受けるためには、12ヶ月間の期間が終了した時点で契約を更新する必要があります。

新しいプログラムの利点

アルテラのサブスクリプション・プログラムは下記のような利点を提供します。

MAX+PLUS IIとQuartusの双方のソフトウェアのアップデートが受領できます。MAX+PLUS IIの最新バージョンはリリースされ次第すぐに、またQuartusについては1999年初めにリリースされた時点でユーザに送付されます。フル機能の開発システムを使用することができます。アルテラは従来の基本システム製品および拡張用オプション製品の提供を中止します。新しいプログラムでは、\$2,000(26万円、1ドル=130円換算)の費用で、個別ユーザ(固定ノード)がMAX+PLUS IIとQuartusのすべての機能を12ヶ月間にわたって使用することができます。

注文のプロセスが簡素化されます。この新しいプログラムでは、ユーザが単独の製品名を発注して、すべての開発ツールと契約期間内のすべてのアップデート・バージョンを受領できるようになっています。

現在有効なメンテナンス契約をお持ちのユーザが、Quartusソフトウェアを入手するためには、Quartusが入手可能になった時点で新しい年間契約に加入する必要があります。これによって、契約期間内にリリースされるMAX+PLUS IIとQuartusの双方のアップグレード・バージョンを受領することができます。

表1はアルテラのサブスクリプション・プログラムに提供されているオプションを示したものです。詳細については、日本アルテラの販売代理店へお問い合わせください。

製品名	提供される機能	標準価格
FIXEDPC	ソフトウェア・ガードを使用したPCバージョン	\$2,000
FLOATPC	PCベースのクライアントのみで構成されるネットワーク環境	\$2,200
FLOATNET	PC、UNIX、または両者が混在したクライアントで構成されるネットワーク環境	\$2,400
RENEWAL	既存の年間契約の向こう12ヶ月間の更新	\$2,000
ADD-FLOATPC	FLOAT-PC製品に対する追加ノード	\$1,700
ADD-FLOATNET	FLOAT-NET製品に対する追加ノード	\$1,800

Quartus の SignalTap ロジック解析機能

先頃発表されたアルテラの新しいプログラマブル・ロジック開発システム、Quartusには、SignalTap™と呼ばれる新しいロジック解析機能が含まれています。SignalTapの機能を利用することで、システムを実際のスピードで動作させながらチップ内部の信号レベルをチェックすることが可能になり、検証に要する時間を大幅に削減することができます。

このSignalTapロジック解析機能は、SignalTapメガファンクション、インタフェース・ソフトウェア、通信用ケーブルで実現されます。この新しい機能を利用するためには、観測したい信号を選択して、トリガ・ポイントを設定するだけです。SignalTapメガファンクションはデザイン内ヘトランスペアレントに挿入され、コンパイルされます。そして、SignalTapメガファンクションはエンベデッドなロジック・アナライザとして動作し、指定されたトリガ・ポイントで信号を捕らえ、データをAPEX™ 20Kデバイスのエンベデッド・システム・ブロック内のエンベデッド・メモリにストアします。このデータはAPEX 20KデバイスのIEEE Std. 1149.1ポートに送信され、通信用ケーブルを通じてアップロードされてQuartusのウェブフォーム・エディタ上に表示されます。

MAX+PLUS II バージョン9.1 に対する新しいESサイト・ライセンス入手方法

ESサイト・ライセンスは、エントリ・レベルのMAX+PLUS IIソフトウェアの機能を各ユーザに提供するものです。これまで、このESサイト・ライセンスはオーソライゼーション・コードを入手することで使用可能になり、MAX+PLUS IIのソフトウェアを購入した時点で、MAX+PLUS IIのESサイト・ライセンス・バージョンが無制限にインストールできるようになっていました。MAX+PLUS IIのバージョン9.1から、このESサイト・ライセンス・バージョンはライセンス・ファイルによって使用可能となっています。このライセンス・ファイルはユーザが使用しているPCのハードディスクのシリアル・ナンバをベースにしたものとなっており、ライセンスは6ヶ月間にわたって有効となります。この新しいライセンス方法の採用によって、ESサイト・ライセンス・ソフトウェアの西暦2000年問題もクリアされます。

ライセンス・ファイルを入手する場合は、アルテラのウェブ・サイト、<http://www.altera.com> をアクセスしてください。ライセンス・ファイルがE-Mailを通じて送付されるようになっています。なお、MAX+PLUS IIの9.1よりも前のバージョンを継続して使用したい場合は、既存のオーソライゼーション・コードを使用してください。

2000年問題への対応

MAX+PLUS IIのバージョン9.1のソフトウェアは、DISC PD-2000-1に基づく西暦2000年問題への対応がなされています。この西暦2000年問題への対応に関する規格書が、英国のBritish Standards Instituteから「*A Definition of Year 2000 Conformity Requirements*」という名前で刊行されています。アルテラと有効なメンテナンス契約を締結しているユーザには、アップデートされたソフトウェアが自動的に送付されるようになっています。

一方、アルテラは、MAX+PLUS IIのバージョン9.1よりも古いソフトウェアが西暦2000年問題に対応していることや、これらのバージョンが2000年にも適切に動作し続けることを保証できません。

アルテラの2000年問題に関する方針と見解を示した「Year 2000 Readiness Disclosure」と2000年問題に関するその他の情報が、アルテラのウェブ・サイト、<http://www.altera.com/html/new/yr2k.html> に提供されていますので、ご覧ください。

MAX+PLUS II バージョン9.1 のライセンスについて

アルテラは、有効なメンテナンス契約を保有しているすべてのユーザに対してMAX+PLUS IIのバージョン9.1の出荷を開始しました。この最新バージョンは西暦2000年問題に対応しており、GLOBEtrouter社の最新のライセンス管理用ソフトウェア、FLEXImの機能を使用しています。

(11 ページに続く)

FLEX 10KE デバイスの PLL 機能

FLEX[®] 10KE デバイスには ClockLock[™] と ClockBoost[™] の機能が内蔵されています。これらは最初の FLEX 10K デバイスが登場したときに発表された機能です。ClockLock 回路には、デバイス内のクロックのスキューと遅延を最小に抑え、性能を向上させるための PLL (Phase-Locked Loop) が含まれています。また、ClockBoost は PLL を使用して、システム・クロックの 2 倍の周波数となる内部クロックを作成します。ユーザは、これら的高速クロック・スピードの利点を活用して、新しいアプリケーションを創造することができます。これらの機能は、システムの性能やバンド幅に対してこれまでにない高いブレークスルーを提供します。

PLL の機能

FLEX 10KE は PLL を使用してクロックのスキューと遅延を最小に抑えています。PLL の回路は下記の要素で構成されています。

Phase Comparator (フェーズ・コンパレータ / 位相比較器) - 入力クロックとフィードバックされた遅延クロック間のズレをモニタし、検出された 2 クロック間の位相差に応じて VCO (Voltage-Controlled Oscillator : 電圧制御発振器) をコントロールします。

Locked Clock (同期クロック) - VCO からの出力信号としてデバイス内に分配されるクロック信号です。

Delay Element (遅延素子) - レジスタに対するクロックの遅延が一定になるようにします。

Frequency Divider (分周回路) - 逡倍されたクロック周波数を出力するときに使用されます。2 分周機能を備えた PLL 回路は、PLL にロックしたクロック出力が入力クロック周波数の 2 倍になるようにすることができます。フェーズ・コンパレータ (位相比較器) はフィードバックされたクロックが入力されたクロックと同じになるように VCO を調整します。

図 1 は PLL 回路の各部の機能をブロック図で示したものです。

さらに高いシステム性能を実現

プログラマブル・ロジック・デバイス (PLD) の集積度の増大に伴って、クロックのスキューと遅延も同様に増加してシステム性能に大きな影響を及ぼすようになります。ホールド・タイムに関連した問題の発生を防ぐためには、データ・パスにクロックの遅延時間も加算する必要があります。この遅延時間はワースト・ケースの条件におけるセットアップ・タイム (t_{su}) も増加させる可能性があります。使いやすくなっている ClockLock 機能を使用することで、PLD 内のクロックのスキューと遅延を低減して、性能を大幅に改善することができます。図 2 は、ClockLock 機能によって、スキューと遅延がどの程度低減され、I/O 性能が向上される結果になるかを示したものです。この性能の向上は、高速バス・インタフェースを実現するときに大いに役立ちます。11 ペー

ジの表 1 には、ClockLock 機能を使用した EPF10K200E デバイスの -1 スピード・グレードの I/O 性能が示されています。

システム・バンド幅の増大とエリアの縮小

FLEX 10KE デバイスの ClockBoost 回路はクロック周波数の逡倍機能を実現します。マイクロプロセッサでも標準的に使用されているこのクロック周波数の逡倍機能は、外部から供給されたクロックの周波数をデバイス内部で逡倍します。ClockBoost の機能を使用することによって、入力クロックの 2 倍の周波数で内部ロジックを動作させることができ、データ・パスのバンド幅を 2 倍に上げることができます。ClockBoost の機能は、メモリ (DRAM、SDRAM、非同期 SRAM) コントローラ、時分割マルチプレクシング (TDM)、2 倍のクロックで動作するステート・マシン、非同期入力のサンプリング、ゲート付きクロックを使用するアプリケーション、デジタル信号処理 (DSP) のデザイン、

図 1 PLL (Phase-Locked Loop) 回路

PLL が、入力クロックと内部オシレータとの間の位相遅延を一定に保つ。フィードバック信号を分周することにより、クロック周波数の逡倍機能を実現。

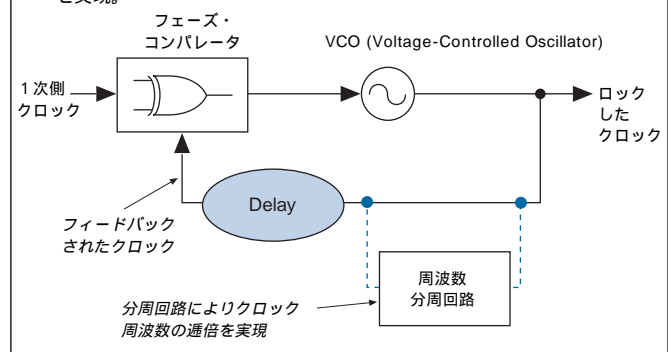


図 2 ClockLock の機能

ClockLock の機能により、クロックの遅延とスキューが解消されるため、「Clock-to-Output」遅延が 21% も改善される。

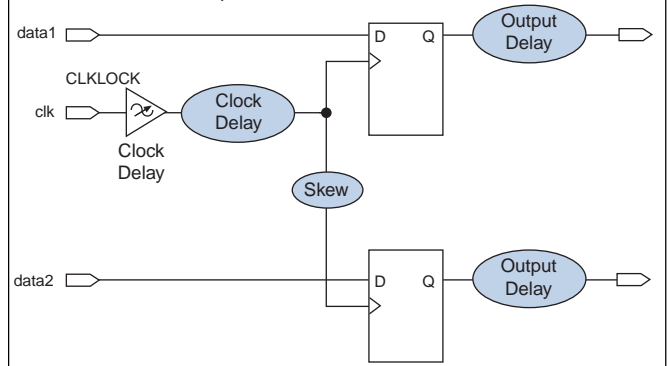


表1 EPF10K200E-1 デバイスの I/O 性能			
パラメータ	性能		性能の改善率
	PLL 非使用時	PLL 使用時	
t _{su}	3.1 ns	2.1 ns	32%
t _{co}	4.7 ns	3.7 ns	21%

データ圧縮アルゴリズム、および非常に高速で実行される複雑なデータ操作のアプリケーションなどを実現するときに有効です。

ClockBoost機能による時分割(TDM)技術を使用してデバイス内のリソースが共有されるようにすることで、デバイスの使用効率を改善することができます。例えば、50MHzで動作する必要がある64ビットのデータパスのファンクションを、100MHzで動作する32ビットのデータパスで構成することができるため、同じ回路機能を約半分に近いロジック・リソースとI/O数で実現することが可能になります。図3は、この時分割技術を使用したデザインの1例を示したものです。

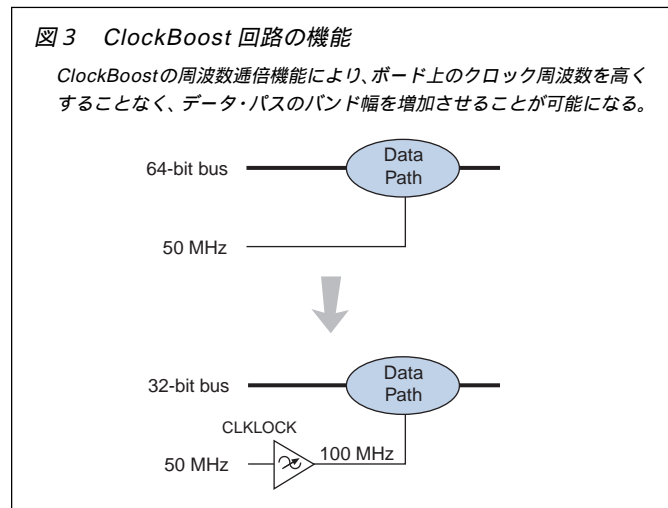
ソフトウェア・サポート

MAX+PLUS® II のバージョン 9.1 のソフトウェアは、FLEX 10KEデバイスに対するClockLockとClockBoostの双方の機能をサポートしています。ClockLockとClockBoostの回路をイネーブルにするためには、CLKLOCKと呼ばれるMAX+PLUS IIのメガファンクションを使用する必要があります。このCLKLOCKファンクションには、入力クロック周波数とクロック周波数を2倍にするためのパラメータが提供されています。デザインのコンパイル後に、MAX+PLUS IIのソフトウェアを使用したファンクショナル・シミュレーション、タイミング・シミュレーション、タイミング解析を行うことができます。ClockLockと

ClockBoost回路に対するサード・ベンダのEDA (Electronic Design Automation)ツールによるサポートは、Verilog HDLおよびVHDLのモデルを通じて提供されます。

供給予定

1999年1月にリリース予定のEPF10K200Eが、ClockLockとClockBoostのオプションをサポートした最初のFLEX 10KEデバイスとなります。また、ClockLockとClockBoostのオプションをサポートしたFLEX 10KEファミリの各デバイスが1999年から順次、供給される予定となっています。ClockLock機能をサポートしたデバイスの注文コードの最後には、"X"のサフィックスが付きます。したがって、これらデバイスの注文コードは、EPF10K200EFC672-1X、EPF10K200EFC672-2X、EPF10K200EBC600-1X、EPF10K200EBC600-2X となります。



Devices & Tools (9 ページからの続き)

バージョン9.1のMAX+PLUS IIソフトウェアを使用するためには、PC用およびUNIXワークステーション用の新しいライセンス・ファイルの使用が必要となります。

有効なソフトウェア・メンテナンス契約を保有されているユーザには、MAX+PLUS IIのバージョン9.1の使用を可能にするライセンス・ファイルが1998年の11月から配布されています。このファイルを受領されていない場合でも、アルテラのウェブ・サイト (<http://www.altera.com>) 上に提供されているウェブ・サイト・ベースのライセンス・ジェネレータからライセンス・ファイルを手に入れることができます。MAX+PLUS IIの最新バージョンのソフトウェアを使用するためには、有効なソフトウェア・メンテナンス契約を締結している必要があります。

MAX+PLUS IIのバージョン9.1のソフトウェアから、有効なメンテナンス契約を保有しているユーザのみが、各バージョンで提供される新しい機能を利用できるようになります。なお、有効なメンテナンス契約を保有していない場合でも、既存のバージョンのMAX+PLUS IIを継続して使用することはできます。

新しいライセンス・ファイルが入手されると、メンテナンス契約の残された期間にわたってMAX+PLUS IIの使用が可能になります。メンテナンス契約を更新した場合でも、新しいライセンス・ファイルの入手とインストールが必要です。

新しいライセンス方法の詳細については、日本アルテラの販売代理店にお問い合わせください。

アルテラの 1.00mm ピッチ FineLine BGA パッケージの使用方法

アルテラは先頃発表した1.00mmピッチのFineLine BGA™パッケージの投入により、プログラマブル・ロジック・デバイス(PLD)のパッケージ分野でもリーダの地位を確保しました。これらのパッケージは非常に多数のピンを提供しながら、プリント基板(PCB)の実装スペースを最適化できる特長があります。

概要

ボール・グリッド・アレイ(BGA)パッケージを使用した場合、PCBのレイアウトの複雑さやコストを増加させることなく、すべての信号をシステムのボード上で配線することが困難になってきます。BGAパッケージでは、I/Oとの接続がパッケージ底面部のソルダ・ボールのマトリクスを通じて行われるため、BGAパッケージのソルダ・ボールとの接続パッドからPCB上の他の部品へ接続するための引き出し配線用パターンに提供されるスペースの余裕がなくなってきます。この問題はマルチ・レイヤのPCBを使用することで解決されます。BGAパッケージの内側に配列されているボールと他の多様な部品との接続は、PCBの各レイヤ間の電気的な接続を実現するPCB上に設けられたビア(メッキされたスルー・ホール)を通じて行われます。1.00mmピッチのFineLine BGAパッケージを使用する場合は、このようなビアや引き出し配線用パターンのためのスペースをPCB上に十分に確保しておく必要があります。

ビア

ビアの配置を行うための十分なスペースがPCB上に確保されているかどうかを判断するためには、下記のパラメータが決定されている必要があります。

基板表面のランド・パッドのサイズ ビア接続用パッドのサイズとレイアウト

基板表面のランド・パッドとはPCB上でBGAパッケージのソルダ・ボールと接続される領域です。このパッドのサイズはランド・パッド間の領域を使用するビアや引き出し配線用パターンのスペースに影響を与えます。アルテラは、このランド・パッドのサイズをBGAパッケージのソルダ・ボールのパッドと同じ17.72ミルにすることを推奨します。同じようなサイズのパッドを採用することで、ハンダ付け部に加わるストレスが最小に抑えられます。図1は表面のランド・パッドのサイズを17.72ミルにした場合に、ビアと引き出し用の配線パターンにどの程度のスペースが確保されるかを示したものです。

ビアはPCBの各レイヤ間を電気的に接続しますが、このビアの接続用のパッド・サイズも、ビアや引き出し配線用パターンに使用できるスペースに影響を及ぼします。このビア接続用のパッドは、基板表面のランド・パッドと同じ水平線上の位置、または対角線上の位置になるように配置することができます。(13ページの図2を参照)

ビア接続用のパッドを基板表面のランド・パッドと同じ水平線上に配置するか、対角線上に配置するかの判断は、下記の点を基準にして行います。

- ビア接続用パッドの直径
- 配線パターンの幅と長さ
- ビア接続用パッドと基板表面のパッド間の間隔

基板表面のパッドとビア接続用パッドが同じ水平線上に配置された場合に、空きスペースが十分に確保されているかどうかを判断するときは、下記の式を使用します。

$$a + c + d \leq 21.653 \text{ mils}$$

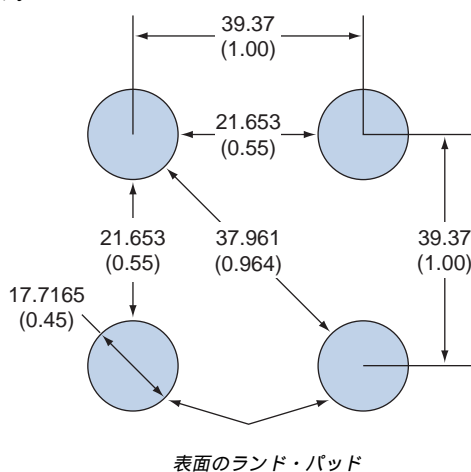
また、基板表面のパッドとビア接続用パッドが対角線上に配置された場合に、空きスペースが十分に確保されているかどうかを判断するときは、下記の式を使用します。

$$a + c + d \leq 37.961 \text{ mils}$$

社内の規定が上記の式のいずれにも準拠しない場合は、アルテラの応用技術部門へご相談ください。

図1 PCB上のパッド・レイアウト

表示されている寸法の単位はミルで、カッコ内の数値はミリメートルです。



引き出し配線

引き出し配線用のパターンを実現する場合は、配線パターン間に要求される最小の間隔と配線パターンの幅を決定しておく必要があります。信号を配線するための最小領域は、信号がこの間を通過して配線できるようになる最小の間隔ということになります（例えば、図2に示す2個のビアの間隔、 g ）。この領域は下記の式で計算されます。

$$g = 39.37 \text{ mils} - d$$

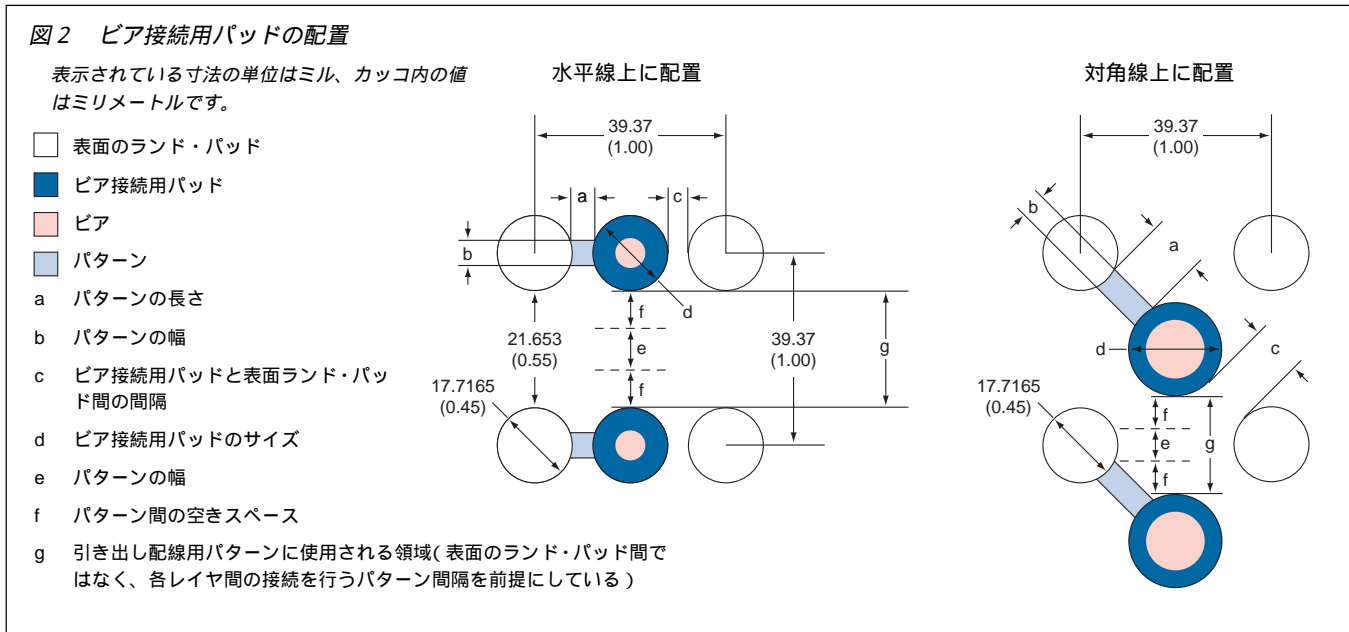
この領域を通して配線できるパターンの本数は、許容される配線パターンの幅とパターン間隔で決定されます。例えば、許容されるパターンの幅が4ミルで、許容されるパターン間隔も4ミルの場合は、トータルで12ミルの空きスペースが必要になります（パターン間隔 + 配線パターン幅 + パターン間隔）。ここで、 g の値が12ミルまたはそれ以上になっていれば、1本の配線パターンを通すことができます。ただし、 g の値が12ミル未満になる場合は、1.00mmピッチのFineLine BGAパッケージを使用できなくなる可能性があります。各PCBのベンダは、ビアのサイズ、配線パターン、パターン間のスペースに関して独自

の仕様を設定しています。これらの仕様によっては、パッド間に複数の引き出し配線パターンを通すことが可能になります。各PCBベンダに連絡して、これらの仕様を確認してください。

表1は、 g の値で与えられた領域に計何本の配線パターンを通せるかを示したものです。一般的に、通すことができるパターンの本数は、パッケージの配線に要求されるPCBのレイヤ数に反比例します。

FineLine BGAパッケージの使用法に関する詳細については、アルテラのウェブ・サイトに提供されている *White Paper*、「Using Altera's 1.00 mm FineLine BGA Packages」をご覧ください。

パターンの本数	計算式
1	$g \geq [2 \times f] + e$
2	$g \geq [3 \times f] + [2 \times e]$
3	$g \geq [5 \times f] + [3 \times e]$



日本アルテラの新社長にロバート・バックが就任

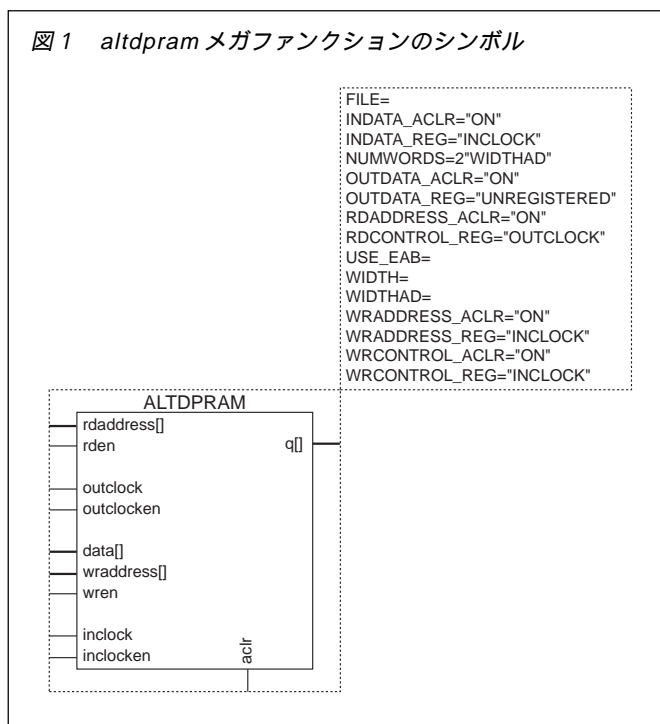
去る10月5日付けで、日本アルテラ株式会社の代表取締役役にロバート・バック(Robert V. Buck Jr.)が就任致しました。新社長のロバート・バックは、米国テキサス大学オースティン校を卒業後、ゼネラル・エレクトリック・カルマ社に勤務。その後、アドバンスド・マイクロ・デバイス(AMD)社へ移り、10年以上にわたって、さまざまな営業、マーケティング部門の要職を歴任しました。アルテラへの入社前は、AMD/Vantis社の日本および太平洋地域営業担当ディレクターを務めており、日本のPLD業界の状況にも精通しております。何卒、宜しくお願い申し上げます。



FLEX 10KE デバイスのパラメータ化されたデュアル・ポート RAM の使用方法

アルテラの FLEX[®] 10KE デバイスのエンベデッド・アレイ・ブロック (EAB) には、デュアル・ポート RAM が構成できる新たな特長が提供されています。このデュアル・ポート RAM では、EAB のリードおよびライトのセクションにそれぞれ独立したクロック信号を使用することができます。これによって、EAB へのライトとリードの動作を異なるレートで実行できるようになります。MAX+PLUS[®] II のバージョン 9.01 以降で提供されている altdpram メガファンクションと MegaWizard[™] Plug-In Manager を使用することによって、FLEX 10KE デバイスの EAB に提供されているデュアル・ポート RAM アーキテクチャをフルにコントロールすることができます。

図 1 は altdpram のシンボルを示したものです。



FLEX 10KE ファミリのデバイスで構成される高性能デュアル・ポート・メモリは、RAM の機能の実現に最適となっており、以下のような特長を実現しています。

最大 16 ビットのデータ幅と EAB あたり 4,096 ビットの容量 (従来の FLEX 10K デバイスの RAM の 2 倍)

EAB の構成を 256 × 16、512 × 8、1,024 × 4、または 2,048 × 2 のいずれかに選択可能

独立したリードとライトのデータ・ポート

独立したリードとライトのアドレス・ポート

拡張されたレジスタ・コントロール機能

- すべての EAB 入力に対するレジスタの挿入が選択可能
- 独立した入力クロックと出力クロック

- 入力または出力のクロックのいずれかで、リードおよびリード・イネーブルのレジスタがドライブ可能
- 入力と出力のレジスタに対する独立したクロック・イネーブル
- 非同期クリア

上記の FLEX 10KE の EAB に対するコントロール機能に加え、altdpram メガファンクションは以下の機能を提供します。

リードとライトの同時実行が可能

パラメータ化可能なデータ幅とアドレス・バス幅 (深さ)

1 個の EAB で実現できるよりも大きなサイズが要求された場合は、複数の EAB を自動的にカスケード接続

メモリ・イニシャライゼーション・ファイル (.mif) またはヘキサデシマル (インテル・フォーマット) ファイル (.hex) を使用した RAM データのプリロード機能

独立した入出力クロックの使用

入力と出力にそれぞれ独立したクロックを必要とする RAM では、ライト・アドレスとライト・イネーブルのポートに入力クロックが使用され、データ出力のポートには出力クロックが使用されます。リード・アドレスとリード・イネーブルのポートには、入力または出力クロックのいずれかを使用することができ、EAB を以下の 2 つモードのいずれかにコンフィギュレーションすることができます。

リードとライトのクロックが分離されたモード

リードとライトのクロックが分離されたモードでは、入力クロックがライト・クロックとして動作し、出力クロックがリード・クロックとして動作します。表 1 は、このモードのときに入力クロックと出力クロックにドライブされる各信号のレジスタを示したものです。

信号	入力クロック	出力クロック
データ入力	√	
ライト・アドレス	√	
ライト・イネーブル	√	
リード・アドレス		√
リード・イネーブル		√
データ出力		√

この構成はアルテラのMegaWizard Plug-In Manager を使用して実現することができます。この場合、MegaWizard Plug-In Managerの画面でdual-port RAM メガファンクションを指定し、Plug-In Manager の3ページ目で *Dual Clock: use separate 'read' and 'write' clocks* のオプションを選択します (図2を参照)。

入力と出力のクロックが分離されたモード

この入力と出力のクロックが分離されたモードでは、入力と出力のクロックから表2に示される各信号のレジスタがドライブされます。

表2 入力クロックと出力クロックにドライブされる各信号のレジスタ

信号	入力クロック	出力クロック
データ入力	√	
ライト・アドレス	√	
ライト・イネーブル	√	
リード・アドレス	√	
リード・イネーブル	√	
データ出力		√

この構成のモードもアルテラのMegaWizard Plug-In Manager を使用して実現できます。この場合もdual Port RAMのメガファンクションを指定し、Plug-In Manager の3ページ目で *Dual Clock: use separate 'input' and 'output' clocks* のオプションを選択します

MegaWizard Plug-In Manager を使用してパラメータ化されたメガファンクションをインスタンス化する方法の詳細については、News & Views 1998年春季号に掲載された「MegaWizard Plug-In を使用したメガファンクションのパラメータ化」を参照してください。

シングル・クロックの使用

1本のクロック信号と入力と出力にレジスタを使用するRAMの機能を実現する場合は、inclockとoutclockの入力が同じクロック信号でドライブされるようにします。このシングル・クロックの構成もアルテラのMegaWizard Plug-In Manager を使用してdual-port RAM メガファンクションを選択し、*Single clock* のオプションを指定することで実現できます。

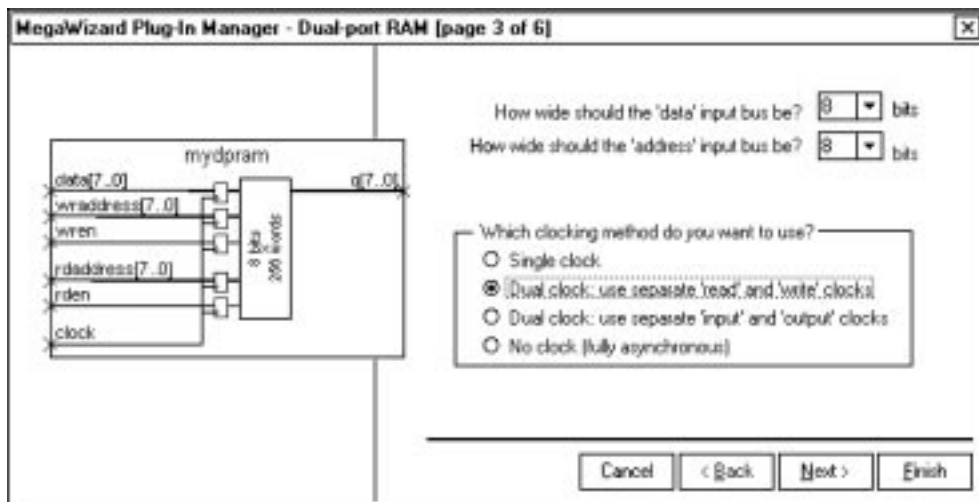
ソフトウェア・サポート

MAX+PLUS IIのソフトウェア(バージョン9.01以降)は,altdpramメガファンクションをサポートしています。このaltdpramメガファンクションは、回路図およびハードウェア記述言語 (HDL) (アルテラ・ハードウェア記述言語 (AHDL))、VHDL およびVerilog HDL) の双方のデザイン内でインスタンス化できます。

また、altdpramメガファンクションは、デザイン・フローのプロセスで使用されるサード・パーティの複数のツールでもサポートされています。また、MAX+PLUS IIはサード・パーティのシミュレータ用出力ファイルを生成することができます。

altdpramメガファンクションに関するさらに詳しい情報は、MAX+PLUS IIのヘルプ機能を活用して参照するか、またはアルテラのウェブ・サイト、<http://www.altera.com> をアクセスすることで入手できます。また、不明な点がありましたら、日本アルテラの応用技術部へお問い合わせください。

図2 MegaWizard Plug-In Manager を使用して altdpram メガファンクションを実現するときの画面



Customer Application

Axis Systems が新しい EDA ツールにアルテラ・デバイスを選択

「Xcite-1000 は、シリコンの集積度と既存の検証ソリューション間に存在するデザインの生産性のギャップを埋める製品である。」
Axis Systems 社、
社長兼最高経営責任者 (CEO)
Mike Tsai

シングル・デバイス上にシステム全体を集積化することによって、高性能、高容量、そして信頼性の高い製品が実現されます。ただし、この実現は非常に魅力的ではありますが、その設計の検証には長い時間が消費されることが多くなり、全体の設計時間の70%までもが検証作業に費やされることにもなります。この結果、検証の作業には、設計よりも多くの技術者が必要とされるようになります。こうしたボトルネックを解消するため、Axis Systems 社は、同社のリコンフィギュラブル・コンピュータエンジン (RCC) エンジンを搭載した最初の製品、Xcite-1000を発表し、EDA (Electronic Design Automation) ツールの新しい分野を開きました。アルテラの FLEX[®] 10K デバイスが、この製品を構成する重要な部品として採用されています (図1を参照)。

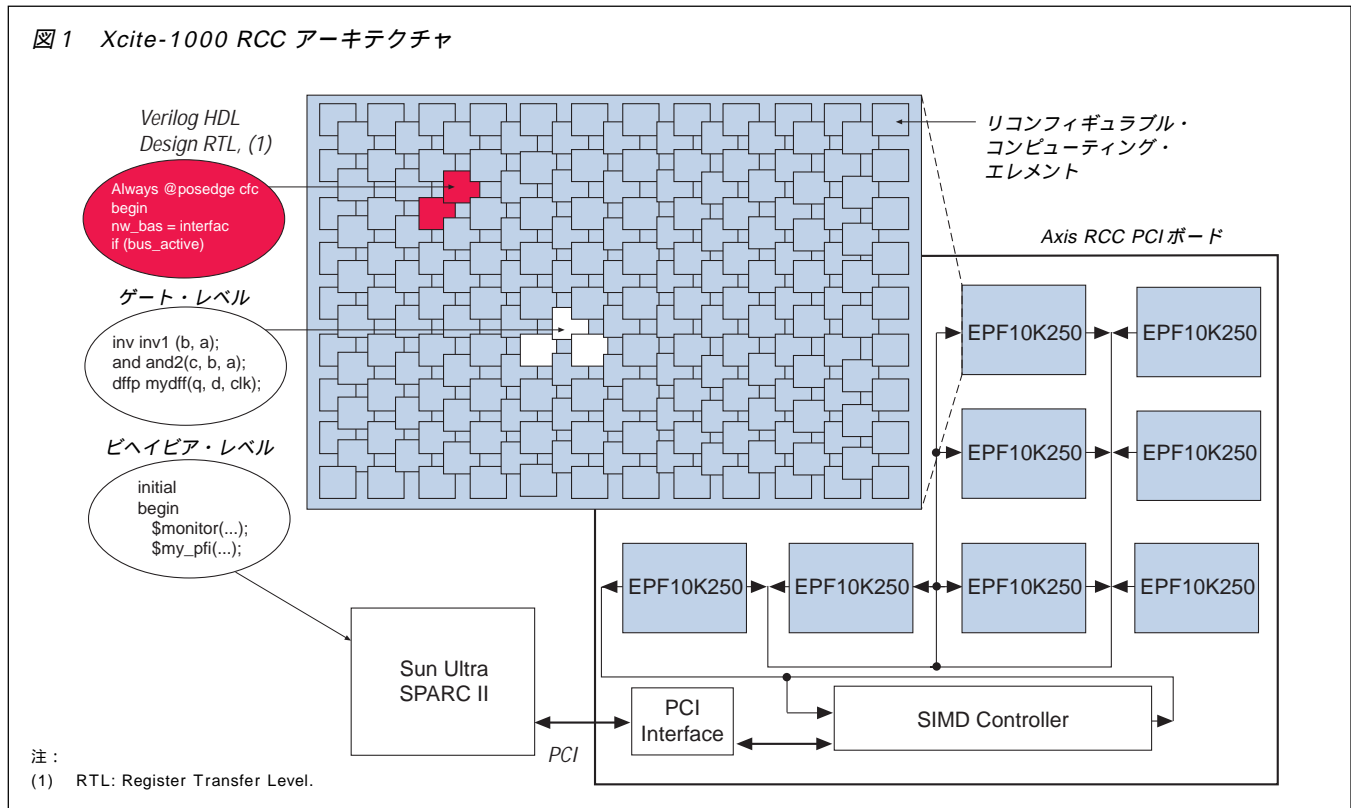
せんでした。現在使用されているシミュレーション、エミュレーション、アクセラレーションなどの検証ツールは、デバイスの規模や複雑さの進展と同じスピードで改善される状況にはなっていません。このため、多くの設計者が既存の設計と検証のフローにもダイレクトに適合し、ソフトウェア・シミュレーションよりも高速で、さらにエミュレーション・ツールやハードウェア・アクセラレータよりも高い性能対価格比が得られる検証システムを必要としています。Xcite-1000、ロジック・ペリフィケーション・システムは、こうしたニーズに対応した製品です。Axis Systems 社の Mike Tsai 社長兼最高経営責任者 (CEO) は「Xcite-1000は、シリコンの集積度と既存の検証ソリューション間に存在するデザインの生産性のギャップを埋める製品である。」と述べています。

現在まで、ビヘイビア・シミュレーションからハードウェアおよびソフトウェアのシミュレーションに至るデザイン・プロセス全体を検証できるような完全なソリューションを提供する製品はありません。

RCCテクノロジーを採用した設計検証システム

Axis Systems 社の Xcite-1000 は、RCC エンジン・テクノロジーを採用した高速ファンクショナル

図1 Xcite-1000 RCC アーキテクチャ



Verilog HDL シミュレータです。Axis Systems 社の RCC エンジンにはシングル・インストラクション・マルチプル・データ (SIMD) アルゴリズムをベースにした強力なパラレル・アーキテクチャとなっています。コンピュータの演算機能をフルに活用する必要があるタスクは、16ページの図1に示されている数十万個ものリコンフィギュラブル・コンピューティング・エレメントにマッピングされます。そして、各リコンフィギュラブル・コンピューティング・エレメントは、シングル・タスク用に設計されたカスタム・プロセッサとなっています。処理を行うエレメント間の通信はシストリック・アレイ構造をベースにして実行され、データがもっとも近傍のエレメント間で転送されるようになっています。

Xcite-1000には、Verilog HDL ソフトウェア・シミュレータ、RCC コンパイラ、そして RCC ハードウェア・エンジンが含まれています。Axis Systems 社はハードウェア・エンジンで使用されるカスタム・プロセッサに、アルテラの EPF10K250A を選択しました。このハードウェアは Sun Microsystems 社のワークステーションの内部に組み込まれ、図2に示されるように PCI (Peripheral Component Interconnect) のバックプレーンとダイレクトに接続されます。

図2 Sun Workstation に組み込まれた Xcite-1000



ここで、インストールされる PCI ボードの数でシステムの容量が決定されます。599ピンのピン・グリッド・アレイ (PGA) パッケージの EPF10K250AGC599-3 デバイスが 4 個実装されている 1 枚のボードで 250,000ゲートまで処理可能です。計 8 枚のボードが Sun のワークステーションに収納できるようになっており、現在トータル 2 百万ゲートまでの集積度に対応できるようになっています。Xcite-1000 ボードの容量は今年の年末までに、トータル 4 百万ゲートまで拡張される予定です。図3は、このボードの写真です。

Xcite-1000は、RCC テクノロジーを採用した最初の市販ファンクショナル・ベリフィケーション・システムとなっています。18ページの図4に、Xcite-1000

を使用した場合の設計検証フローが示されています。このシステムには、Verilog HDL のピヘイピア・レベル、RTL レベル、およびゲート・レベルで記述されたデザインが入力できます。このシステムでは、論理合成を実行してハイレベルな構文をロジック・ゲートに変換することなく、RCC コンパイラが RTL ステートメントを各エレメントにマッピングし、組み込まれたソフトウェア・シミュレータによるハードウェア上でのインタラクティブなデバッグ機能が提供されます。

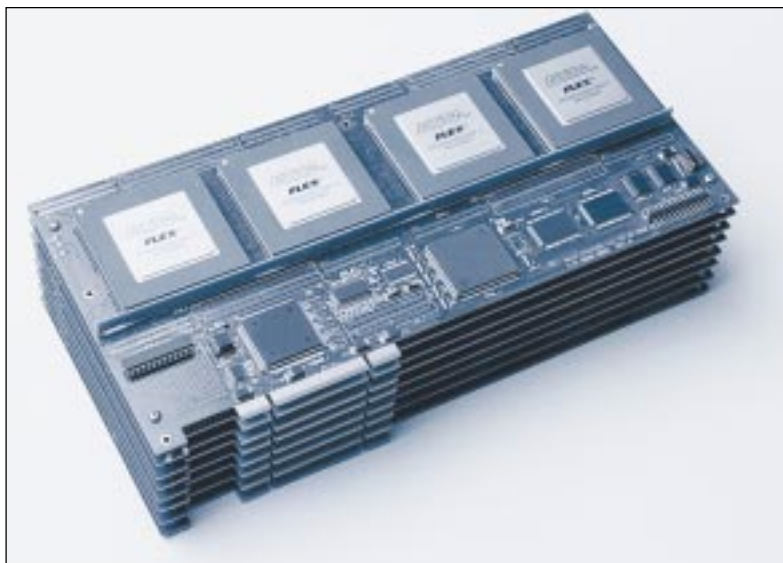
要求に完全にフィットしたアルテラ・デバイス

Axis Systems 社は、Xcite-1000に高速のコンパイル時間と高いデバイス使用効率を提供するアルテラのデバイスを採用しました。Axis Systems社の Steven Wang マーケティング担当副社長は「RCCには高速のコンパイル時間と高いデバイス使用効率が必要でしたが、アルテラのプログラマブル・デバイス・アーキテクチャは我々のこうしたニーズに完全にフィットした」と述べています。

MAX+PLUS® IIのソフトウェアが実現している高速のコンパイル時間も、このプロジェクトの重要な要素となりました。アルテラとAxis Systems社は契約を締結して、MAX+PLUS IIのアルゴリズム・最適化機能と配置配線機能がRCC製品の中に組み込まれるようにしました。

(18 ページに続く)

図3 4 個の EPF10K250A が実装された Xcite-1000 のボード



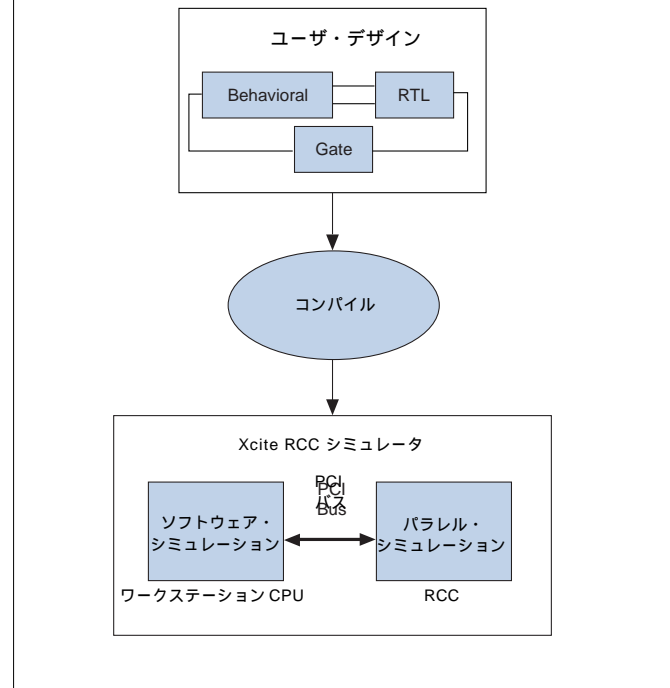
Axis Systems が新しい EDA ツールにアルテラ・デバイスを選択
(17 ページからの続き)

アルテラはAxis社における開発当初から同社と提携して活動しており、Axis社がアルテラの新しい最高集積デバイスを使用できるようにするため、同社との提携関係をさらに継続させて行く予定です。Steven Wang 氏によれば「当社は、我々の顧客の初期投資を保護するため、Xcite-1000の性能と容量をテクノロジーの進展に応じて改善して行く予定である。アルテラがさらに高い集積度のデバイスの出荷を開始した時点で当社は顧客にアップグレード製品を提供する計画である。」とのこと。同社は今年末までに600ピンBGAパッケージEPF10K250ABC600-3が供給開始されることを熱望しています。また、同社はアルテラの革命的なAPEX™ 20K ファミリの最初の製品である40万ゲートのEP20K400とQuartus™ ソフトウェアが来年初めに入手可能になり次第、すぐに採用する意向です。

まとめ

250,000ゲートのEPF10K250Aは業界でもっともゲート数の大きなプログラマブル・ロジック・デバイスとなっており、最近の設計で要求される高速システム性能を実現しています。Xcite-1000にEPF10K250Aを採用することによって、Axis Systems社は同社の新製品を短期間で市場に投入できただけでなく、設計と検証のプロセスに要する期間を大幅に短縮させることができる新しいEDAツールの実現と顧客への提供を可能にしました。

図4 Xcite-1000 を使用した設計検証フロー



Lexra LX-4080P : PLD 上に実現するプロセッサ

デバイスの集積度が百万ゲートに近づき、システム・レベルの集積化がより一般的となり、こうした集積化がより複雑化してくると共に、各設計者にとって信頼性の高い再利用可能なメガファンクションが非常に重要なツールとなってきます。アルテラが推進している Altera Megafunction Partners Program (AMPPSM) は、アルテラのプログラマブル・ロジック・デバイス(PLD)ユーザに対してこのようなニーズに適合したメガファンクションを提供しています。このプログラムを通じて、プロセッサのメガファンクションに新たに追加されたのが、LX-4080Pファンクションです。

このLX-4080PメガファンクションはAMPPの新メンバであるLexra, Inc. から発表された製品で、プログラマブル・ロジック業界初となる32ビットのR3000クラスのRISC (Reduced Instruction Set Computer) プロセッサ・メガファンクションです。FLEX[®] 10KE デバイスをターゲットにしたこのLX-4080Pの大きな利点は、その実装面積が最小になっていることです。このLX-4080PがEPF10K200Eに実現された場合、このメガファンクションは33MHzで動作し、またこれをデバイス全体のロジック・リソースの半分以下で実現できるため、約100,000ゲートのリソースを他のメガファンクションやカスタム・ロジックの実現に使用することができます。この新たなブレイクスルーの達成によって、PLDを使用したエンベデッド・プロセッサのデザインの試作、さらに量産が実現できます。

これまで、論理合成可能な32ビットのマイクロプロセッサの実現には、プログラマブル・ロジック・デバイスの大量なロジックとメモリのリソースが必要となっていました。LX-4080PメガファンクションとFLEX 10KEデバイスを組み合わせることによって、データ通信システム、ネットワーク・プロトコル・プロセッサ、ケーブル・モデム、セット・トップ・ボックス、ディスク・コントローラなどのようなR3000クラスのRISCプロセッサを使用した組み込みシステムへのアプリケーションに対するプログラマブル・ロジック・ソリューションが提供されます。このソリューションの実現により、デザイン・サイクルの早い段階から高価で複雑なハードウェア・エミュレータを使用せずに、32ビットRISCシステムの検証を簡単にまた短時間でできるようになり、最終製品の市場投入までの期間、「Time-to-Market」が短縮できます。

次世代のメガファンクション

FLEX 10KEデバイスをターゲットにしたLX-4080Pは現在入手可能となっており、1999年にアルテラのAPEX™ 20K デバイスをターゲットにした製品も提供される予定です。このLX-4080PはアルテラのMAX+PLUS[®] II 開発システム、およびアルテラの次世代開発システムであるQuartus™の開発環境で実現することができ、Lexra社の提供する評価システムも併せて使用することができます。Lexra社の評価システムは、LX-4080Pの機能を実

(19 ページに続く)

Questions & ANSWERS

Q FLEX[®] 10KE デバイスに提供される最大 I/O ピン数は、どうして FLEX 10K デバイスや FLEX 10KA デバイスよりも少なくなっているのでしょうか？

A 一般的に FLEX 10KE デバイスの I/O ピン数は、対応する FLEX 10K デバイスや FLEX 10KA デバイスの I/O ピン数よりも少なくなっています。例えば、EPF10K50 の最大 I/O ピン数が 310 本であるのに対して、EPF10K50E の最大 I/O ピン数は 254 本となっています。FLEX 10KE デバイスのダイ・サイズはボンディング・パッドのサイズで制限されています。アルテラは最小のダイ・サイズを実現するため、FLEX 10KE デバイスの最大 I/O ピン数を減少させました。

Q 異なる V_{CCIO} と V_{CCINT} 電圧を使用している FLEX デバイスを EPC1、EPC2 または EPC1441 のコンフィギュレーション EPROM でコンフィギュレーションする場合、EPROM の VCC ピンは 3.3V、5.0V のどちらに接続した良いのでしょうか？

A FLEX 10K と FLEX 6000 ファミリのすべてのデバイスは 5.0V デバイスの入力電圧範囲に対応しているため、EPC1、EPC2、EPC1441 の各コンフィギュレーション EPROM の VCC ピンは、3.3V または 5.0V のどちらにも接続できるようになっています。

EPROM の VCC ピンを 3.3V に接続する場合は、コンフィギュレーション EPROM 用のプログラミング・ファイルを生成する前に、Global Project Device Options (Assign メニュー) のダイアログ・ボックスで、「Use Low-Voltage Configuration EPROM」のオプションを ON に設定しておく必要があります。

Q “Error: Can't open VHDL 'STD.STANDARD'” というエラー・メッセージが表示されます。どのような原因が考えられますか？

A 使用中のハード・ディスク・ドライブからすべての .dls ファイルが削除されていると、VHDL デザインをコンパイルしたときにこのエラー・メッセージが表示されます。vhd187 および vhd193 のディレクトリ内のライブラリ・パッケージを使用するときに必要となる .dls ファイルが、maxplus2\vhdl93\std または

maxplus2\vhdl87\std のライブラリ・ディレクトリから消去されている可能性があります。これらのファイルが消去されていた場合は、MAX+PLUS[®] II を再インストールしてこの状態を解消する必要があります。

MAX+PLUS II の Help 機能には、「“unknown error” のエラー・メッセージが表示された場合は、現在のプロジェクトのディレクトリ内にある .dls ファイルを消去して改めてコンパイルを実行する。」と述べられています。ただし、ここで消去するのは現在のプロジェクトのディレクトリ内にある .dls ファイルだけであって、maxplus2\vhdl87 や maxplus2\vhdl93 のディレクトリ内にある .dls ファイルではありません。

Q Jam[™] Player を動作させたときに、プログラミング・ファイルまたはコンフィギュレーションは問題なく実行されましたが、その後のデバイス動作が開始されません。どうしてでしょうか？

A Jam Player は、指定されたプログラミング / コンフィギュレーションの変数がイニシャライズされていない限り、以降の動作を実行しません。これらの変数がイニシャライズされていないと、Jam Player は Jam ファイル上のシンタックス・チェックだけを行います。

デバイスをプログラミングするときのイニシャライゼーション・ステートメントは以下の通りです。

```
jam -dDO_PROGRAM=1 jamfile.jam
```

デバイスをコンフィギュレーションするときのイニシャライゼーション・ステートメントは次のようになります。

```
jam -dDO_CONFIGURE=1 jamfile.jam
```

次のイニシャライゼーション・ステートメントは、デバイスのプログラミングとコンフィギュレーションの双方を行うときに使用できます。

```
jam -dDO_PROGRAM=1 -dDO_CONFIGURE=1 jamfile.jam
```

上記のイニシャライゼーション・ステートメントはシステムのコマンド・ラインにタイプすることができます。Jam 言語およびイニシャライゼーション変数およびステートメントの詳細については、アプリケーション・ノート、AN 88 「Using the Jam Language for ISP & ICR via an Embedded Processor」を参照してください (日本語版も近く刊行される予定です)。

Lexra LX-4080P : PLD 上に実現するプロセッサ
(18 ページからの続き)

現した EPF10K200E が実装されているプリント基板 (PCB) とソフトウェア開発キットで構成されています。

また、LX-4080P メガファンクションには、MAX+PLUS II デザイン・キットを使用するためのコア・データベース、シミュレーション・モデル、テスト・ベクタを含む包括的なテスト環境、完全な関連ドキュメントが含まれています。

LX-4080P と FLEX 10KE : 迅速な試作と量産を実現するソリューション

Lexra 社とアルテラは、LX-4080P と FLEX 10KE デバイスにより、最先端の IP (Intellectual Property) とデバイスとの組み合わせをユーザに提供しています。ユーザは LX-4080P メガファンクションを FLEX 10KE デバイスに簡単に実現して、R3000 クラスのマイクロプロセッサを使用した組み込みシステムのアプリケーションを短期間で量産へ移行させることができるため、最終製品の迅速な市場への投入が可能になります。

GOEPEL electronics社がJam Playerを バウンダリ・スキャン・テスト用ソフトウェアに組み込む

by Renato Paelicke
Applications Engineer
and
Heiko Ehrenberg
Manager US Operations
GOEPEL electronics

プログラミング/テスト用言語、Jam™ はイン・システム・プログラマビリティ (ISP) に対するソフトウェア・レベルの業界標準となっており、使いやすい、高速のプログラミング時間を実現するイン・システム・プログラミング・ソリューションとなっています。Jam Player はイン・サーキット・テストにも簡単に組み込むことができ、イン・サーキット・テストを ISP 対応デバイスのプログ

ラムとテストにも使用することができます。この方法はデバイスのプログラミング工程を標準的な生産フローの中に組み込むことができるため、「Time-to-Market」の期間が短縮されます。

IEEE Std. 1149.1 準拠のバウンダリ・スキャン・テスト・システムのリーディング・サプライヤである GOEPEL electronics 社は、最近になって Jam Player を SYSTEM CASCON (computer-aided, scan-based observation and node control) ソフトウェア、バージョン 3.2 に組み込みました。SYSTEM CASCON は、業界で幅広く認知された最先端のスキャン・テスト、検証、プログラミング用ソフトウェアです。この SYSTEM CASCON は完全なテスト・ソリューション、または特定用途の開発、テスト、修理用パッケージとして提供されており、GOEPEL electronics 社の幅広いテスト用ハードウェアと接続することによって、包括的な研究用、生産用、およびサービス用のテスト・システムが提供されます。

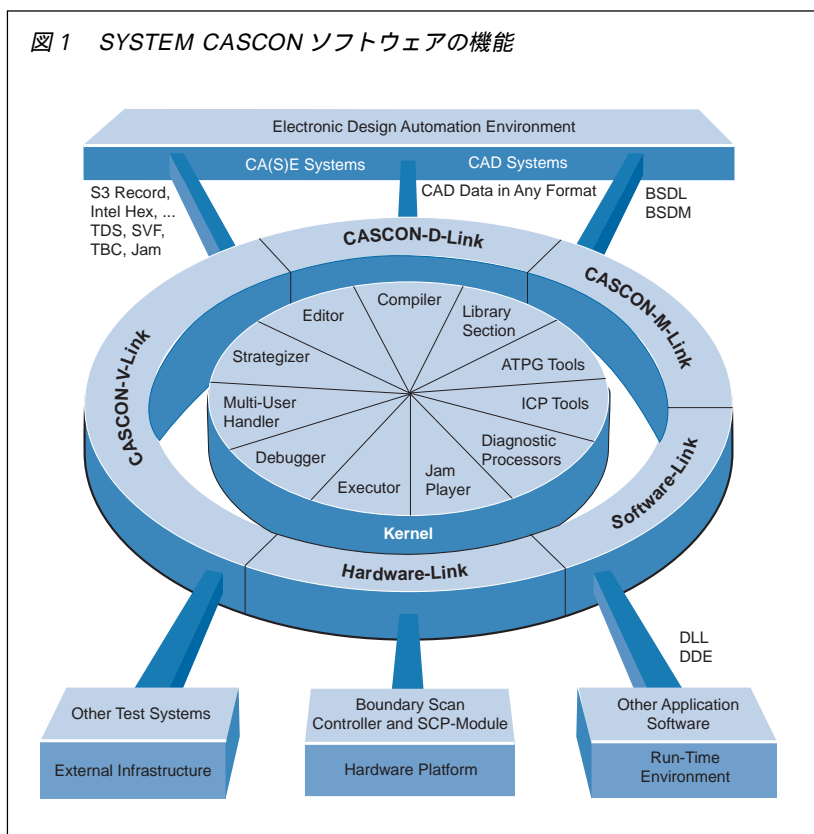
使いやすい Jam Player の組み込み

Jam Player は SYSTEM CASCON パッケージの一部として組み込まれており、Jam ファイル (.jam) が図 1 のように入力可能なテスト・ファイル・フォーマットとしてサポートされています。

SYSTEM CASCON のソフトウェアでは、21 ページの図 2 に示される使いやすいダイアログ・ボックスで Jam Player に対するオプションが設定できるようになっています。

ユーザはこのダイアログ・ボックスで、使用する Jam ファイルを簡単に選択し、表示されたストリングの中から、あらかじめ規定されたひとつまたは複数の値や動作の選択、イニシャライゼーションの変数などを規定することができ、これらの設定後に OK のボタンを押します。Jam Player から生成されたメッセージや動作結果は SYSTEM CASCON のテスト・ウィンドウに表示されます。

図 1 SYSTEM CASCON ソフトウェアの機能



Jam Playerの採用で得られた優れたプログラミング時間

GOEPEL electronics社は、Jam Player を使用した3個のデバイスのプログラミングで優れた高速プログラミング時間を記録しました。プログラムされたデバイスは、アルテラのEPM7064SLC44-10とEPM9560ARC304-15、Lattice Semiconductor社のispLSI3256A70LMです。テスト・ステーションはWindows NT オペレーティング・システムが動作する200MHzのペンティアム・プロセッサのPC上にセットされ、デバイスはJamデモンストレーション・ボード上でプログラムされました。プログラミング時間のデータは3種類のコントローラを使用して得られています。低性能テストに、GOEPEL electronics社はパラレル・ポートSCAN BOOSTERコントローラを使用しています。また、高性能テストには、CASCON GALAXYソフトウェア・パッケージがPC/ATバスASC 16コントローラ、およびPCIバスPSC 1149.1-Aコントローラと共に使用されています。このテスト結果は表1に示された通りです。アルテラのMAX[®] デバイスは、低性能および高性能のコントローラと共に非常に高速のプログラミング時間を記録しました。

SYSTEM CASCONとJam Playerによる最高の組み合わせ

Jam PlayerをSYSTEM CASCONソフトウェアに組み込むことで、GOEPEL electronics社は、バウンダリ・スキャン・テストを使用したISP対応デバイスに対する高速で使いやすいテストおよびプログラミング方法をユーザに提供できるようになりました。このようなハードウェアとソフトウェア・ツールの統合化により、ユーザはISPを

実現する新たな手法を認識できるようになり、現在PLD業界で要求されているコストの削減や「Time-to-Market」を実現することができます。

GOEPEL electronics GmbH
本社：
Goeschwitzer Stabe 58/60,
D-007745, Jena, Germany
sales@goepel.com
http://www.goepel.com

図2 SYSTEM CASCONのJam Player オプション設定ダイアログ・ボックス

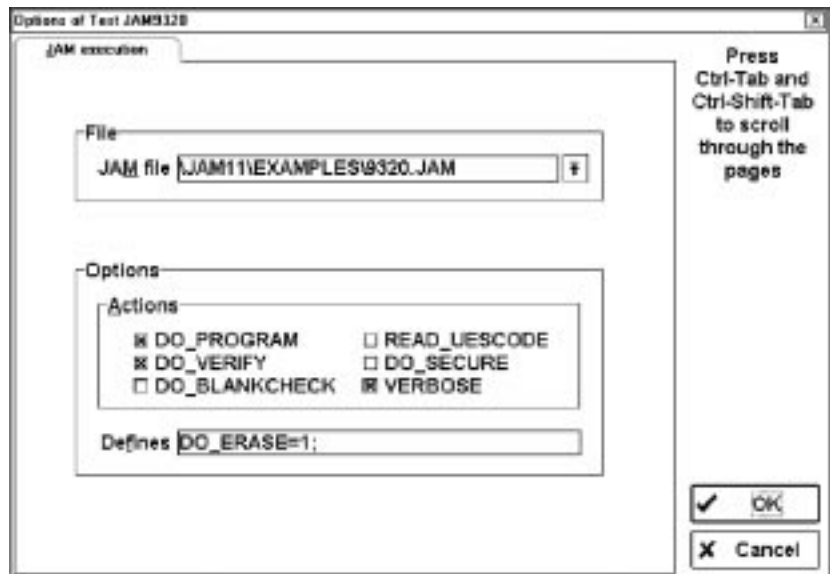


表1 Jam PlayerとIEEE 1149.1コントローラを使用した場合のプログラミング時間

デバイス名	Jam File	ASC 16 PC/ATバス (秒)(1)	PSC 1149.1-A PCIバス (秒)(1)	SCAN BOOSTER パラレル・ポート (秒)(1)
EPM7064SLC44-10	7064s.jam	2/16	2/13	3/20
EPM9560RC304-15	9560.jam	10/85	10/75	15/94
ispLSI3256A70LM	3256a.jam	52/95	52/93	67/122

注：

(1) 最初(左側)に示されているのがデバイスのプログラムのみの時間で、2番目(右側)に示されているのがトータルの時間(プログラムとベリファイのトータル時間)です。

Design Tips

Altera Applications

MAX+PLUS II VHDL における演算オペレータの使用法

この記事は、MAX+PLUS® IIのソフトウェアがサポートしているVHDLのデザインにおいて、ロジック・セルの使用効率を最適化する方法を解説した4回シリーズの第3回目となっています。次回発行のNews & Views 99年春季号では、このシリーズの最終回として「階層化インスタンス化の重要性」について解説する予定です。

設計者は常にデザイン性能の改善に努力しています。これを達成するひとつの方法はエリアの効率化を実現することであり、演算オペレータ（算術演算子）を注意深く使用して余分なアダダーを削除することによって、消費されるロジックを削減してデザインを最適化することができます。

MAX+PLUS IIのソフトウェアは、関連する複数のアダダーを自動的に結合して1個のアダダーに集積化することはせず、ロジックの使用効率を改善するためにマルチプレクサのロジックを追加します。したがって演算オペレータは、注意深く使用することが必要です。例えば、VHDLで加算のステートメントが追加されると、アダダーが生成されるようになっています。このため、MAX+PLUS IIでデザインをコンパイルする前に、デザインを最適化して演算オペレータの不必要なインスタンスを除去しておく必要があります。演算オペレータを注意深く使用したり、グループ化することによって、実現されるアダダーの数の削減とクリティカル・パスの改善を実現し、デザインを最適化することができます。

VHDLのコードに2つの加算ステートメントが記述されると、2個のアダダーとアダダーからの出力信号を切り換えるための1個のマルチプレクサが生成されます。（例1を参照）

例1

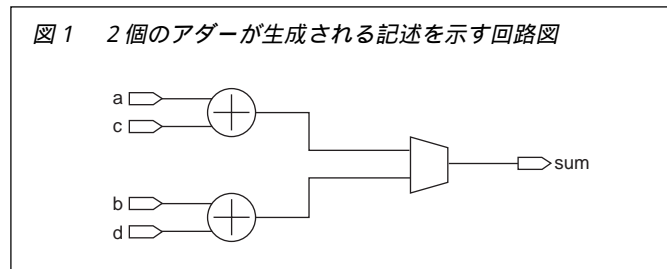
```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_unsigned.ALL;

ENTITY add_ex2 IS
  PORT
  (
    a, b: IN STD_LOGIC_VECTOR(15
      DOWNTO 0);
    c, d: IN STD_LOGIC_VECTOR(15
      DOWNTO 0);
    input : IN STD_LOGIC;
    sum: OUT STD_LOGIC_VECTOR(15
      DOWNTO 0)
  );
END add_ex2;
```

```
ARCHITECTURE behavior OF add_ex2 IS
BEGIN

  PROCESS (a,b,c,d,input)
  BEGIN
    IF input = '0' THEN
      sum <= a + b;
    ELSE
      sum <= c + d;
    END IF;
  END PROCESS;
END behavior;
```

図1は、この例1を表した回路図を示したものです。



例2で示すVHDLの記述では、1個のアダダーと入力信号を切り換える2個のマルチプレクサが生成されます。この実現方法は、例1の場合よりも使用されるロジックのリソースが少なくなります。

例2

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_unsigned.ALL;

ENTITY add_ex1 IS
  PORT
  (
    a, b: IN STD_LOGIC_VECTOR(15
      DOWNTO 0);
    c, d: IN STD_LOGIC_VECTOR(15
      DOWNTO 0);
    input : IN STD_LOGIC;
    sum: OUT STD_LOGIC_VECTOR(15
      DOWNTO 0)
  );
END add_ex1;
```

```

ARCHITECTURE behavior OF add_ex1 IS
  SIGNAL a_in1 : STD_LOGIC_VECTOR(15
    DOWNTO 0);
  SIGNAL a_in2 : STD_LOGIC_VECTOR(15
    DOWNTO 0);

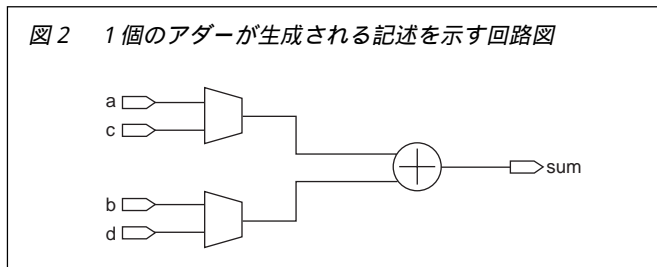
BEGIN

  PROCESS (a,b,c,d,input)
    BEGIN
      IF input = '0' THEN
        a_in1 <= a;
        a_in2 <= b;
      ELSE
        a_in1 <= c;
        a_in2 <= d;
      END IF;
    END PROCESS;
    sum <= a_in1 + a_in2;

```

END behavior;

図2は、例2の記述で実現される回路を示したものです。



演算機能を記述する順番とグループ化の方法も、デザインを最適化する上で重要な点になります。VHDL内で演算機能を注意深くグループ化することで、カスケード接続された回路で生じるクリティカル・パスを改善することもできます。例3に同じ演算ファンクションを実現する2種類の記述方法を示します。

例3

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_unsigned.ALL;

ENTITY arithmetic IS
  PORT
  (
    a,b,c,d : IN STD_LOGIC_VECTOR(3
      DOWNTO 0);
    x,z: OUT STD_LOGIC_VECTOR(3 DOWNTO
      0)
  );
END arithmetic;

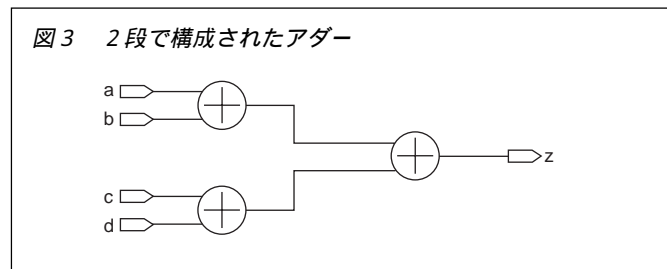
```

```

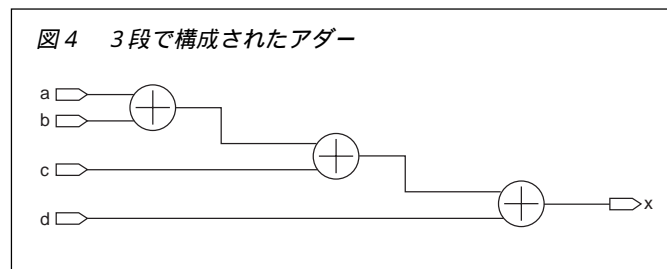
ARCHITECTURE behav OF arithmetic IS
BEGIN
  z <= (a + b) + (c + d);
  -- This code creates 2 parallel
  -- adders and another adder to
  -- add them together
  x <= a + b + c + d;
  -- This code creates 3 adders
  -- cascaded in series
END behav;

```

実現される2種類の演算ファンクションは同じ機能を持っていますが、最初の(z <= (a + b)+(c + d);)の記述では、2段構造のアダーが生成されます(図3を参照)。複数の演算機能をグループ化することによって、改善されたタイミング結果が得られ、遅延の段数を1段少なくすることができます。



2番目の(x <= a + b + c + d;)の記述では、3段構造のアダーが生成されます(図4を参照)。最初の記述方法では2段のアダーが2番目の記述方法では3段のアダーが実現されるため、zの出力はxの出力よりも先に確定することになります。したがって、最初の記述方法のほうが、より高速な回路となります。



MAX+PLUS II のVHDLでの演算オペレータの使用方法の詳細については、MAX+PLUS IIのHelp機能を活用して確認してください。

AMPP パートナの HammerCores 社がフルにパラメータ化された リード・ソロモン・エンコーダとデコーダを供給開始



Altera Megafunctions Partners Program (AMPPSM) のメンバである HammerCores 社が、アルテラのプログラマブル・ロジック・デバイス (PLD) に最適化されているフルにパラメータ化されたリード・ソロモン (RS) デコーダとエンコーダの供給を開始しました。HammerCores 社の RS エンコーダはアルテラのすべての FLEX[®] デバイスに最適化されており、より複雑なアルゴリズムとなっている RS デコーダはアルテラの FLEX 10K デバイスに最適化されています。HammerCores 社の RS ファンクションはパラメータ化されアルテラのデバイスに最適化されているため、デザイン・プロセス内でのコントロール範囲が大幅に拡大され、「Time-to-Market」の期間も短縮されます。RS コードをプログラマブル・ロジック内に実現する方法は最近開発されたものですが、アルテラの PLD がさらに低価格になり、性能が向上すると共に、この実現手法がさらに増加することが予想されます。

機能

エラー・コントロール・コーディングには、Automatic Repeat reQuest (ARQ) と Forward Error Correction (FEC) の 2 種類の標準的な手法があります。ARQ コーディングは検出のみを行うコーディング方法で、雑音やエラーが比較的少ない伝送路に有効です。ARQ コーディングのひとつの例には CRC (Cyclic Redundancy Code) があり、この機能はアルテラのパラメータ化された CRC MegaCore[™] ファンクションに効率的に実現されています。雑音の多い伝送路のデータ転送には FEC が要求され、FEC はエラーの検出と訂正の双方を行います。FEC を採用することで、データの再転送はエラーの個数がエラー検出の限界を超えたときのみ必要となるため、データの再転送が要求される回数が大幅に減少します。

FEC で使用される RS コードは、最小の追加オーバーヘッドで比較的大規模なエラー訂正機能を実現するため、幅広く使用されています。RS コードは、使用されるシステム内で期待されるエラー・レートと一致するように、簡単に拡張したり縮小することができます。

RS コードは、複数のチェック、パリティまたはシンボルと接続されるインフォメーション・シンボルの数で構成されます。コードは (N, K) の形で記述され、ここで N はコードワード内のシンボルの総数で、 K はインフォメーション・シンボルの数です。検出可能なエラーの数は、チェック・シンボルの半分です。そして、エラーはシンボル・ベースで定義されます。このため、ひとつの

シンボル内で複数のビットが反転した場合でも、そのシンボルに対するエラーは 1 個のみとカウントされます。

ひとつのメッセージ内の最大シンボル数 (コードワードの長さ) は、 $2^m - 1$ シンボルで表されるフィールド・サイズで決定され、ここで m はシンボルあたりのビット数になります。したがって、8 ビット・シンボルのメッセージには、チェック用シンボルを含め最大 255 個までのシンボルを入れることができます。コードワードあたりのチェック・シンボルの数は、生成多項式で決定される任意の値に設定することができます。

RS コードをシステム・レベルで実現するために、エンコーダとデコーダの双方が必要になります。送信側では、エンコーダが K の数のインフォメーション・シンボルを使用し、 N の長さのコードワード (R 個のチェック・シンボルに続く K 個のインフォメーション・シンボル) を出力します。そして、このコードワードが伝送路に転送されます。変調、転送、パケット化の種類は、このコードとは無関係になります。受信側では、エラーがあるかを判断して、エラーがあればその訂正を行います。デコーディングのプロセスでは、下記のパラメータが使用されます。

- N コードワードあたりのシンボルの総数
- R コードワードあたりのチェック・シンボル数
- m シンボルあたりのビット数
- field* 有限フィールドを規定する多項式
- genstart* 生成多項式の最初の位置

HammerCores 社のリード・ソロモン・エンコーダとデコーダを使用することによって、数分間で任意の RS コーデックに対応したエンコーダとデコーダを構成することができます。この構成に要求される全体のリソースは指定されたパラメータによって大きく変化しますが、チェック・シンボルの数とフィールド・サイズの双方に比例して増加します。

リード・ソロモンの性能

表 1 は 8 ビットのデータ・シンボルを持つリード・ソロモン・ファンクションを MAX+PLUS[®] II のバージョン 9.02 を使用して FLEX 10KA-1 デバイスに実現したときの性能を示したものです。

表1 リード・ソロモンの性能

メガファンクション名	メガファンクションの生成時間 (秒)	フィッタ所有時間 (秒)	性能 (Mビット/秒)	使用ロジック・セル数 / メモリ・ビット数
RS Encoder, 16 Check Symbols	< 1	20	500	266/0
RS Encoder, 8 Check Symbols	< 1	11	550	170/0
RS Decoder, 16 Check Symbols	2	300	200	2,076/2,304
RS Decoder, 8 Check Symbols	1	120	400	1,240/2,304

図1はこのリード・ソロモン・メガファンクションに対するMAX+PLUS IIでのパラメータ設定画面を示したものです。

デザイン・フロー

HammerCores社のリード・ソロモン・メガファンクションは、同社のウェブ・サイト、<http://www.hammercores.com>から無償でダウンロードすることができます。MAX+PLUS IIのOpenCore™ 評価機能は、AMPPメガファンクションまたはMegaCoreファンクションがデザイン内でどのように動作するかをリスク・フリーで評価できる方法を実現させています。HammerCores社のリード・ソロモン・ファンクションは下記の3種類のライブラリで提供されています。

- 高速リード・ソロモン・エンコーダ (500Mビット/秒)
- リード・ソロモン・ディスクリット・デコーダ (20-100Mビット/秒)
- リード・ソロモン・ストリーミング・デコーダ (40-400Mビット/秒)

これらのメガファンクションには、パラメータの転送、有効なフィールド多項式の生成、およびパラメータ・リストをベースにしたMAX+PLUS II用テスト・ベクタの生成を行うためのユーティリティ・プログラムも含まれています。

パラメータの入力後に、ユーティリティ・プログラムでカスタマイズされたモジュールを生成すると、MAX+PLUS IIのソフトウェアによるコンパイルとシミュレーションが行えるようになります。また、このファンクションはサード・パーティのEDAツール内でブラック・ボックスとして扱うこともできるため、トップ・レベルの任意のプロジェクトにも簡単に集積化できます。

RS MegaWizard Plug-In Manager を使用して、このメガファンクションに対するパラメータの設定を4段階で簡単に行うことができます。

1. MegaWizard Plug-In Manager を起動する。
2. 出力する言語を選択する。 Verilog HDL、VHDL、アルテラ・ハードウェア記述言語 (AHDL) のいずれか。
3. リード・ソロモンのパラメータを選択する (図1を参照)。
4. MAX+PLUS IIのソフトウェアでシミュレーションとコンパイルを実行する。

RS MegaWizard Plug-In は、このファンクションのハードウェア記述言語 (HDL) のインスタンスと、ファンクショナル・シミュレーションおよびタイミング・シミュレーションを行うためのMAX+PLUS II用シミュレーション・ファイルを生成します。

プログラミング・ファイルまたはコンフィギュレーション・ファイルを生成する場合は、HammerCores社からこのRSファンクションの使用ライセンスを受ける必要があります。HammerCores社のRSファンクションに関する詳細な情報は、同社のウェブ・サイト、<http://www.hammercores.com>から入手することができます。また、この記事に記載されているアルテラ製品に関する詳細な情報は、アルテラのウェブ・サイト、<http://www.altera.com> をアクセスして入手してください。

図1 リード・ソロモン・メガファンクションのパラメータ設定画面

サード・パーティ・ベンダによる プログラミング・サポート

Data I/O 社と BP Microsystems 社は、アルテラのデバイスをサポートしたプログラミング・ハードウェアを供給しています。各デバイスのプログラミング・アルゴリズムが Data I/O 社の電子掲示板、「Keep Current Express-Bulletin Board Service」(KCE-BBS) BP Microsystems 社の BBS、および MAX+PLUS® II の各ソフトウェアの最新リリースを通じて提供されています。アルテラのコンフィギュレーション EPROM、MAX® 9000、MAX 7000 ファミリの各デバイスに対するサポート状況は下記の表の通りです。なお、ここに示されている情報は変更されることがあります。

サード・パーティ・ベンダによるプログラミング・サポート		
デバイス名	Data I/O (1)	BP Microsystems (2)
EPC1064	√	√
EPC1213	√	√
EPC1	√	√
EPC1441	√	√
EPM7032	√	√
EPM7032S	√	√
EPM7064	√	√
EPM7064S	√	√
EPM7064AE	注(3)	注(3)
EPM7096	√	√
EPM7128E	√	√
EPM7128S	√	√
EPM7128A	√	√
EPM7160E	√	√
EPM7192E	√	√
EPM7192S	√	√
EPM7256E	√	√
EPM7256A	注(4)	注(5)
EPM7256S	√	√
EPM9320	√	√
EPM9320A	√	√
EPM9400	√	√
EPM9480	√	√
EPM9560	√	√
EPM9560A	√	√

表中の注：

- (1) これらのデバイスは、Data I/O 社の 3900 システムのバージョン 5.8、および UniSite のバージョン 5.8 のプログラマでサポートされています。
- (2) これらのデバイスは BP Microsystems 社のバージョン 3.36 のプログラマでサポートされています。
- (3) このデバイスに対するサポートは、1999 年 1 月に提供される予定です。
- (4) このデバイスに対するサポートは、1998 年 12 月に提供される予定です。
- (5) このデバイスに対するサポートは、1998 年 11 月から提供される予定です。

Data I/O 社製品の詳細についてはデータ・アイオー・ジャパン(株)電話:03-3779-2151)へ、BP Microsystems 社の製品については、日本総代理店、丸紅ソリューション(株)(電話:03-5778-8665)へお問い合わせ下さい。

アルテラは新たに下記の資料を刊行しました。これらの新しい資料は、販売代理店またはアルテラのワールド・ワイド・ウェブ・サイト、<http://www.altera.com> を通じて入手できます。カッコ内の記号はドキュメント番号です。なお、マークの付いた資料は日本語版の制作を進めており、近くアルテラの日本語ウェブ・サイト、<http://www.altera.com/japan/> からダウンロードできるようになります。

Configuration EPROMs for FLEX Devices Data Sheet
(A-DS-EPROM-09)

PCI MegaCore Function User Guide (A-UG-PCI-01)

AN 88: Using the Jam Language for ISP & ICR via an Embedded Processor (A-AN-088-03)

AN 101: Improving Performance in FLEX 10K Devices with Synplify Software (A-AN-101-01)

TB 49: Generating Post-Route Files in the MAX+PLUS® II Software for Third-Party Verification Tools (M-TB-049-01)

APEX 20K Programmable Logic Device Family Advance Information Brief (A-AIB-APEX20K-01)

ATF1500AS Analysis Report White Paper (M-WP-ATF1500-01)

Using Altera's 1.00-mm FineLine BGA Packages White Paper
(A-WP-BGA-01)

現在のソフトウェア・バージョン

アルテラのソフトウェアの最新バージョンは下記の通りとなっています。

MAX+PLUS II: バージョン 9.1 (PC、Sun SPARCstation、HP 9000 シリーズ 700/800、IBM RISC System/6000 の各プラットフォーム)

アルテラが 1998 DSP World に参加

アルテラは、1998 年 9 月 13 日から 16 日まで、カナダ、トロントで開催された DSP World に参加し、リード・ソロモン・ファンクションなどのデモや、1 時間単位で製品プレゼンテーションを行いました。

また、アルテラは「*DSP Oriented Communications Functions Optimized for PLD Architectures*」というタイトルの半日製品プレゼンテーションのスポンサも務めました。また、アルテラの Tapan Mehta が「*Implementing High-Performance Error Control Coding Functions in Programmable Logic*」というタイトルの論文を発表しました。

アルテラのプログラミング・ハードウェアによるサポート状況

下記の表1はアルテラの各デバイスに対するプログラミング・アダプタの最新情報を示したものです。正しいプログラミングを行うためには、26ページに示されている「現在のソフトウェア・バージョン」を使用することが必要です。

デバイス名	パッケージ	アダプタ
EPC1064 (2), EPC1064V (2), EPC1441 (3)	DIP, J-lead TQFP	PLMJ1213 PLMT1064
EPC1 (3), EPC1213 (2)	DIP, J-lead	PLMJ1213
EPC2 (3)	J-lead TQFP	PLMJ1213 PLMT1064
EPM9320	J-lead (84-pin) RQFP (208-pin) PGA (280-pin)	PLMJ9320-84 PLMR9000-208 PLMG9000-280
EPM9320A	J-lead (84-pin) RQFP (208-pin)	PLMJ9320-84 PLMR9000-208NC (4)
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560	RQFP (208-pin) RQFP (240-pin) PGA (280-pin) RQFP (304-pin)	PLMR9000-208 PLMR9000-240 PLMG9000-280 PLMR9000-304
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC (4) PLMR9000-240NC (4)
EPM7032, EPM7032V	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7032S, EPM7032AE	J-lead (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMT7000-44
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7064S, EPM7064AE	J-lead (44-pin) J-lead (84-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMJ7000-84 PLMT7000-44 PLMT7000-100NC (4)
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7128, EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7128A	J-lead (84-pin) TQFP (100-pin) TQFP (144-pin)	PLMJ7000-84 PLMT7000-100NC (4) PLMT7000-144NC (4)

デバイス名	パッケージ	アダプタ
EPM7128S	J-lead (84-pin) PQFP (100-pin) TQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (4) PLMT7000-100NC (4) PLMQ7128/160-160NC (4)
EPM7160E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7160S	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (4) PLMQ7128/7160-160NC (4)
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/7256-160
EPM7192S	PQFP (160-pin)	PLMQ7192/256-160NC (4)
EPM7256E	PQFP (160-pin) PGA (192-pin) PQFP (208-pin) RQFP (208-pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208 PLMR7256-208
EPM7256A EPM7256S	PQFP (208-pin) RQFP (208-pin)	PLMR7256-208NC (4) PLMT7000-208NC (4)
EPM7384AE	TQFP (144-pin) PQFP (208-pin)	PLMT7000-144NC (4) PLMR7256-208NC (4)
EPM7512AE	TQFP (144-pin) PQFP (208-pin)	PLMT7000-144NC (4) PLMR7256-208NC (4)

注:

- (1) MAX 5000およびClassicデバイス用のアダプタについては、1998年版のデータブックでご確認ください。アルテラは、0.8ミクロン・プロセスのEPM5032、EPM5064、EPM5130用プログラミング・アダプタの交換プログラムを提供しております。
- (2) FLEX 8000用コンフィギュレーション EPROM
- (3) FLEX 10K、FLEX 8000、FLEX 6000用コンフィギュレーション EPROM
- (4) これらのデバイスはキャリア付きで出荷されません。

下記の表2は、BitBlaster™およびByteBlasterMV™の各ダウンロード・ケーブルでプログラミングおよびコンフィギュレーションできるアルテラのデバイス・ファミリを示したものです。(ByteBlaster™ダウンロード・ケーブルはByteBlasterMVケーブルで代替されております。)

デバイス名	BitBlaster	ByteBlasterMV
FLEX 10K	√	√
FLEX 10KA		√
FLEX 10KE		√
FLEX 8000	√	√
FLEX 6000	√ (1)	√
MAX 9000	√	√
MAX 9000A	√	√
MAX 7000S	√	√
MAX 7000A		√

注:

- (1) このダウンロード・ケーブルは、EPF6016にのみ使用可能です。

アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドはアルテラの FLEX[®] 10K、FLEX 8000、FLEX 6000、MAX[®] 9000、MAX 7000 ファミリの各デバイスの概要をまとめたものです。他のアルテラ製品に関する情報は、「コンポーネント・セレクト・ガイド」に掲載されています。最新の情報については、アルテラのウェブ・サイト、<http://www.altera.com> でご確認ください。また、各デバイスの現在の供給状況については販売代理店にお問い合わせください。

FLEX 10Kデバイス						
デバイス名	ゲート数	ピン数 / パッケージ・オプション	電源電圧	スピード・グレード	ロジック・エレメント数	RAMビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin PQFP	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 356-Pin BGA, 484-Pin BGA ¹	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹ , 484-Pin BGA ¹	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA, 403-Pin PGA	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ¹	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 484-Pin BGA ¹	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100	100,000	503-Pin PGA	5.0 V	-3, -4	4,992	24,576
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ¹ , 600-Pin BGA	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100B	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹	2.5 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 356-Pin BGA, 484-Pin BGA ¹	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	599-Pin PGA, 600-Pin BGA	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 484-Pin BGA ¹ , 672-Pin BGA ¹	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	599-Pin PGA, 600-Pin BGA, 672-Pin BGA ¹	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	599-Pin PGA, 600-Pin BGA	3.3 V	-1, -2, -3	12,160	40,960
EPF10K250E	250,000	599-Pin PGA, 672-Pin BGA ¹	2.5 V	-1, -2, -3	12,160	81,920

注：

(1) このパッケージは実装スペースを削減する FineLine BGATM パッケージです。

FLEX 8000デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	フリップ・フロップ数	ロジック・エレメント数
EPF8282A	2,500	84-Pin PLCC, 100-Pin TQFP	68, 78	5.0 V	-2, -3, -4	282	208
EPF8282AV	2,500	100-Pin TQFP	78	3.3 V	-3, -4	282	208
EPF8452A	4,000	160-Pin PQFP	120	5.0 V	-2	452	336
EPF8452A	4,000	84-Pin PLCC, 100-Pin TQFP, 160-Pin PGA/PQFP	68, 120	5.0 V	-3, -4	452	336
EPF8636A	6,000	208-Pin PQFP	136	5.0 V	-2	636	504
EPF8636A	6,000	84-Pin PLCC, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	68, 118, 136	5.0 V	-3, -4	636	504
EPF8820A	8,000	144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	112, 120, 152	5.0 V	-2	820	672
EPF8820A	8,000	144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP, 225-Pin BGA	112, 120, 152	5.0 V	-3, -4	820	672
EPF81188A	12,000	208-Pin PQFP, 232-Pin PGA, 240-Pin PQFP	148, 184	5.0 V	-2, -3, -4	1,188	1,008
EPF81500A	16,000	240-Pin PQFP, 280-Pin PGA, 304-Pin RQFP	181, 208	5.0 V	-2, -3, -4	1,500	1,296

FLEX 6000デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	フリップ・フロップ	ロジック・エレメント数
EPF6010A	10,000	100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 256-Pin BGA ¹	71, 81 ² , 102, 139 ²	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	81, 81 ² , 117, 171, 171 ²	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin BGA ¹	117, 171, 199, 218, 218 ²	3.3 V	-1, -2, -3	1,960	1,960

注：

- (1) このパッケージは実装スペースを削減する FineLine BGA パッケージです。
 (2) このデータは暫定仕様です。最新の情報については日本アルテラの実用技術部へお問い合わせください。

MAX 9000デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	5.0 V	-10
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	5.0 V	-15, -20
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	5.0 V	-15, -20
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-15, -20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-10
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-15, -20

MAX 7000デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM7032AE	32	44-Pin PLCC/TQFP	36	3.3 V	-5, -7, -10
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-6, -7, -10
EPM7032	32	44-Pin PLCC/TQFP/PQFP	36	5.0 V	-6, -7, -10, -12, -15
EPM7032V	32	44-Pin PLCC/TQFP	36	3.3 V	-12, -15, -20
EPM7064AE	64	44-Pin PLCC/TQFP, 100-Pin TQFP, 100-Pin BGA ¹	38, 68, 68	3.3 V	-5, -7, -10
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin PQFP/TQFP	36, 52, 68	5.0 V	-5, -6, -7, -10
EPM7064	64	44-Pin PLCC/TQFP, 68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	36, 52, 68	5.0 V	-6, -7, -10, -12, -15
EPM7096	96	68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	52, 64, 76	5.0 V	-7, -10, -12, -15
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 256-Pin BGA ¹	68, 84, 84, 100, 100	3.3 V	-6, -7, -10, -12
EPM128AE	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 256-Pin BGA ¹	68, 84, 84, 100, 100	3.3 V	-5, -7, -10, -12
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128E	128	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-7, -10, -12, -15, -20
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-6, -7, -10
EPM7160E	160	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 104	5.0 V	-10, -12, -15, -20
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7192E	192	160-Pin PQFP/PGA	124	5.0 V	-12, -15, -20
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	84, 120, 164, 164	3.3 V	-7, -10, -12
EPM7256AE	256	100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	84, 120, 164, 164	3.3 V	-6, -7, -10, -12
EPM7256S	256	208-Pin RQFP/PQFP	164	5.0 V	-7, -10, -15
EPM7256E	256	160-Pin PQFP, 192-Pin PGA, 208-Pin RQFP	132, 164	5.0 V	-12, -15, -20
EPM7384AE	384	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	120, 176, 212	3.3 V	-7, -10, -12
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	120, 176, 212	3.3 V	-7, -10, -12

注：

- (1) このパッケージは実装スペースを削減する FineLine BGA パッケージです。

製造中止品最新情報

アルテラは、製造中止品に関する新しい発表を行っておりません。アルテラは製造中止品に関する情報が記載された製造中止通知書 (PDN:Product Discontinuance Notices) およびアルテラ連絡通知書 (ADV:Altera Distributes Advisories) を発行しています。特定デバイスのPDNまたはADVの入手を希望される場合は、日本アルテラまたは販売代理店へご連絡下さい。なお、一部のPDNとADV、および全製造中止品のリストがアルテラのウェブ・サイト、<http://www.altera.com>でも提供されています。なお、各半導体メーカーの製造中止品を専門に供給している米国のロチェスタ・エレクトロニクス社は、多数のアルテラの製造中止品の供給を引き続きサポートする予定です。

詳細についてはロチェスタ・エレクトロニクス社のウェブ・サイト、<http://www.rocelec.com>をご覧ください。同社の日本代理店である小松セミコン(株)(電話:03-3573-6828)へお問い合わせ下さい。

アルテラへのコンタクト方法

	情報提供元	連絡先	
資料のご請求 (1)	日本アルテラ株式会社	☎ 03-3340-9480	
	株式会社アルティマ	☎ 045-939-6113	☎ 06-307-7670
	株式会社 PALTEK	☎ 045-477-2009	☎ 06-390-0817
	ワールド・ワイド・ウェブ	英語 http://www.altera.com	
		日本語 http://www.altera.com/japan/	
価格・納期等について	株式会社アルティマ	☎ 045-939-6113	☎ 06-307-7670
	株式会社 PALTEK	☎ 045-477-2009	☎ 06-390-0817
技術的なご質問	日本アルテラ株式会社	☎ 03-3340-9480	
	株式会社アルティマ	☎ 045-939-6113	☎ 06-307-7670
		☎ 052-202-1024	☎ 028-637-4488
	株式会社 PALTEK	☎ 045-477-2009	☎ 06-390-0817
	ブリティン・ボード (米国本社)	☎ 001-1-408-954-0104	
	E-mail (日本アルテラ)	japan@altera.com	
	FTP Site (US)	ftp.altera.com	
製品案内	CompuServe (US)	go altera	
	World-Wide Web	http://www.altera.com/japan/	

(1) MAX+PLUS II Getting Started Manual はアルテラのウェブ・サイトから入手可能です。他のMAX+PLUS IIのマニュアルについては、販売代理店または日本アルテラへお問い合わせください。

ALTERA PLD WORLD '98 が大盛況のうちに閉幕

5回目を迎えたALTERA PLD WORLD が去る10月23日、東京青山のTEPIAホールで開催されました。今年のイベントは過去最高の入場者数を記録し、特にアルテラの次世代プログラマブル・ロジック開発システム、Quartus™ の発表が注目を集めました。また、Altera Corporation の社長兼CEOであるRodney Smithによる基調講演の他、Synopsys社のCEOであるAart de Geus様、日経エレクトロニクス編集長の山口健様、日本電気(株)第三伝送通信事業部長の白井和彦様の皆様から貴重な特別講演を行って頂きました。その他、アルテラおよび日本アルテラの代理店、ACCESSSMおよびAMPPSMのパートナー企業によるプレゼンテーション、アルテラ・ユーザによる応用技術論文の発表も行われました。1999年の第6回PLD

WORLDは11月5日、会場を有楽町の東京国際フォーラムに移して開催される予定です。



FAX レスponse・フォーム

News & Views の購読を希望します。
私のデザインを News & Views に掲載することを希望します。
送付先の住所を右記に変更して下さい。

ご氏名 _____
会社名 _____
所属 _____
住所 〒 () _____

電話番号 _____
FAX 番号 _____
E-mail アドレス _____

担当代理店：株式会社アルティマ 株式会社 PALTEK その他 / 不明 / 未取引
(いずれかに をつけて下さい。)

ご意見をお聞かせ下さい。

News & Views に関する皆様のご意見をお聞かせ下さい。News & Views に取り上げられている下記の各項目について、皆様有益と思われるレベルを 5 点満点で評価して下さい。皆様からのフィードバックを今後の編集の参考にさせていただきます。

	役立つ			非常に役立つ	
	1	2	3	4	5
1. デバイスおよび開発ツールに関する最新情報	1	2	3	4	5
2. アルテラの最新刊行資料	1	2	3	4	5
3. Q & A	1	2	3	4	5
4. How To タイプの技術論文	1	2	3	4	5
5. アルテラの EDA パートナと インタフェース・サポートに関する情報	1	2	3	4	5
6. カスタム・アプリケーション	1	2	3	4	5
7. ソフトウェア・ユーティリティと 現在のソフトウェア・バージョン	1	2	3	4	5
8. アルテラ・ニュース	1	2	3	4	5

アルテラの News & Views に関するご意見がありましたら、下記にお書き下さい。(どのような内容が良かったか、疑問に思われた点、取り上げて欲しい内容など。必要に応じて別紙を使用しても結構です。)

このフォームをコピーして必要事項を記入の上、日本アルテラへ FAX または郵送して下さい。

日本アルテラ (株) 〒163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱 261 号
電話 : 03-3340-9480 FAX : 03-3340-9487 E-mail: japan@altera.com



パフォーマンス・チャンピオン



FLEX 10KE : 勝つためのフォーミュラ

最新の2.5-V FLEX 10KE デバイスは、FLEX 10K エンベデッド・プログラマブル・ロジック・ファミリに新しいレベルの性能と機能を提供します。デュアルポートRAMと画期的な性能を備えた FLEX 10KE デバイスは、FLEX 10KA デバイスより平均で 30% ~ 40% 速く、30,000 ~ 250,000 ゲートの集積度で 100MHz のイン・システム性能を 50% 低い消費電力で実現します。

ポール・ポジション

FLEX 10KE デバイスは、独自のエンベデッド・アレイ・ブロック構造の採用により 96Kbits までのエンベデッドメモリをサポートします。FLEX 10KE デバイスは 2.5-V のコア動作電圧と、PCI 準拠の I/O 構造で、2.5-V、3.3-V、5.0-V のシステムに対応する MultiVolt™ I/O を備えています。先進の 0.25 ミクロン、5 層メタル配線構造 CMOS SRAM プロセスで製造される FLEX 10KE デバイスは、同等の FPGA に比べ大幅にダイ面積を節約できます。また、省スペース化が可能な 1.0 ミリ・ピッチの FineLine BGA™ パッケージにより、ボード面積とコストの低減を果たします。

高性能チーム

VHDL または Verilog HDL 設計であれ、使いやすい MAX + PLUS® II 開発システムは既存の設計フローに適用し、現在、すべての FLEX 10KE デバイスをサポートします。MAX+PLUS II は主要 EDA ツールとのインターフェイスに対応しており、動作速度と使用効率を最適化した最高の結果をもたらします。アルテラのデバイスアーキテクチャに最適化された MegaCore™ と AMPP™ のメガファンクションにより設計効率がさらに向上します。

特徴	FLEX 10K	FLEX 10KA	FLEX 10KE
電源電圧	5.0 V	3.3 V	2.5 V
ゲート数	10K-100K	10K-250K	30K-250K
エンベデッドRAM	6-24 Kbits	6-40 Kbits	24-96 Kbits
拡張されたデュアルポートRAM			✓
FineLine BGA		✓	✓
相対的な性能比較	1.0	2.0	2.6



コックピットへ!

アルテラのホームページで FLEX 10KE デバイスの詳細をご覧の上、無償のメガファンクション資料をお申し込みください。さあ、高性能の FLEX 10KE デバイスでライバルの一步先へ。

www.altera.com/race

ALTERA® 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**
101 Innovation Drive, San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>