

66MHz/64 ビット PCI 仕様準拠の課題に対応した FLEX 10KE デバイス

アルテラの FLEX[®] 10KE ファミリーは、66MHz/64 ビットの PCI (Peripheral Component Interconnect) 仕様に準拠させる場合に発生する多くの課題に対応しています。この製品ファミリーの高い柔軟性と集積度は、PCI デザインに理想的なプログラマブル・ロジック・デバイス (PLD) を実現させています。FLEX 10KE デバイスは 3ns のセットアップ・タイム (t_{SU}) と 6ns の「Clock-to-Output」遅延 (t_{CO}) が要求される PCI の I/O タイミング規格に適合しており、66MHz/64 ビットの PCI 仕様準拠しています。

革新的なプログラマブル遅延コントロール機能

FLEX 10KE デバイスには、PCI の非常に厳しいタイミング規格への準拠を可能にする革新的なプログラマブル遅延コントロール機能が提供されています。FLEX 10KE デバイスでは、新しいプログラマブル・マルチプレクサを使用して I/O エlement (IOE) 内のディレイ・バッファをバイパスさせ、I/O タイミングを改善することができます。図 1 を参照。

FLEX 10KE デバイスには、ディレイ・バッファによるプログラマブルな遅延機能も提供されており、このディレイ・バッファを必要に応じて使用したり、バイパスさせることができます。PCI 以外のデザインでは、指定したピンで 0ns のホールド・タイムを保証するときに要求される遅延をこのディレイ・バッファを使用して生成させることができます。PCI のデザインでは、レジスタとピンとの間に一定の遅延を持つ組み合わせ

回路ロジックが存在するため、レジスタでの 0ns のホールド・タイムを保証するための追加遅延が必要となりません。このディレイ・バッファをバイパスさせることによって、信号がより短時間でレジスタの入力に到達するようになるため、さらに短いセットアップ・タイムが提供されます。これによって、FLEX 10KE デバイスは 66MHz/64 ビットの PCI 仕様準拠させるときに要求されるセットアップ・タイムに対応することができます。

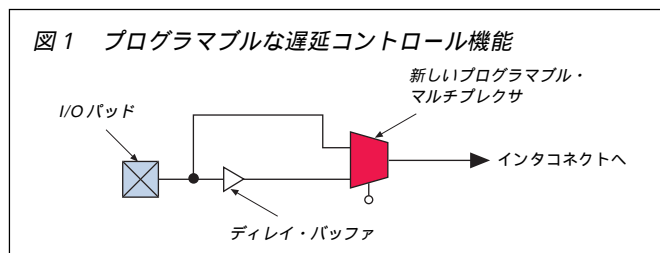


既存の EPF10K50E と EPF10K200E の両デバイスでは、I/O エlement が入力ピンからレジスタ入力までのパスに遅延を発生させるようになっており、すべてのデザインで 0ns のホールド・タイムが保証されます。将来、これらのデバイスにもプログラマブル遅延コントロール機能が内蔵される予定です。現在の EPF10K50E はこのプログラマブル遅延コントロール機能なしでも PCI 仕様準拠していますが、このプログラマブル遅延コントロール機能を追加することによって、PCI デザインの柔軟性がさらに向上されます。

MAX+PLUS II のバージョン 9.2 でプログラマブル遅延コントロール機能をサポート

プログラマブル遅延コントロール機能は、MAX+PLUS[®] II のバージョン 9.11 以降でサポートされています。MAX+PLUS II のバージョン 9.2 のソフトウェアは、アルテラの PCI MegaCore[™] ファンクションおよび AMPPSM (Altera Megafunction Partners Program) のメガファンクションに対する 66MHz/64 ビットの PCI 仕様準拠したタイミングをサポートしています。

(3 ページに続く)



目次

特集記事

66MHz/64 ビット PCI 仕様準拠の課題に対応した FLEX 10KE デバイス	1
カスタム・アプリケーション： 豊富な機能を持つコンパクトなモーション・コントローラの 開発で重要な役割を果たした FLEX 10K デバイス	16

アルテラ・ニュース

Coming Soon :

アルテラの 1999 年版データブックを刊行	3
デザイン・プロセスを強化する革命的な Quartus ソフトウェア	21
日本アルテラ、1999 テクニカル・ソリューションズ・ セミナーのご案内	22
ASSET 社が Jam と SVF プログラミングの双方を サポートした初のツール・セットを提供	23
最新の AMPP パートナが SONET、ATM、 POS テスト・ボードを提供	24

デバイス & ツール

APEX 20K ファミリー	4
APEX 20K の MegaLAB 構造	4
APEX 20K が高性能の PLL と I/O をサポート	4
ESB が提供するメモリのアドバンテージ	5
検証時間を短縮する SignalTap ロジック解析機能	5
高集積デバイス、EPF10K200E の出荷を開始	5
FLEX 10KE デバイスに内蔵された PLL 回路	5
FLEX 10KE デバイスの プログラマブル遅延コントロール機能	5
BGA パッケージの FLEX 10K デバイスがさらに充実	5
FLEX 10K デバイスの新プロセスへの移行	5
FLEX 10K デバイスの供給状況	6
FLEX 6000 デバイスに FineLine BGA パッケージが 近く登場	6
FLEX 6000 デバイスの工業用温度範囲品を供給開始	6
リプログラマブル・コンフィギュレーション・ デバイス、EPC2 を出荷開始	6
MAX 9000A デバイスの供給状況	7
MAX 7000A デバイスの供給状況	7

MAX 7000S デバイス	7
MAX 7000 と MAX 9000 デバイスの 新プロセスへの移行	8
EDA ツールとのシームレスなインタフェースを 実現する NativeLink 統合機能	8
製造中止品最新情報	8
CoreSyn による論理合成	9
アルテラのサブスクリプション・プログラムを提供中	9
新しい MAX 7000A および MAX 7000AE デバイス用プログラミング・アダプタ	10
アルテラが MAX+PLUS II のバージョン 9.21 を 出荷開始	10
Web 上で MAX+PLUS II のライセンス・ファイルを 入手する方法	11
新製品、MAX+PLUS II BASELINE ソフトウェア	11

技術論文

複数の電源電圧があるシステムにおける アルテラ・デバイスの使用方法	12
活線挿抜	13
8051 マイクロプロセッサと Jam Byte-Code を 使用したエンベデッド・プログラミング	14
Questions & Answers	18
APEX 20K デバイスの プロダクト・ターム・モードの特長	20

定期掲載記事

サード・パーティ・ベンダによる プログラミング・サポート	25
アルテラの新規刊行資料	25
プログラミング・ハードウェアのサポート状況	25
アルテラのプログラミング・アダプタ	26
アルテラが 50 種類を超える DSP メガファンクションを提供	27
アルテラ・デバイス・セレクション・ガイド	28
現在のソフトウェア・バージョン	29
アルテラへのコンタクト方法	30
FAX レスポンス・フォーム	31



ご質問、ご意見などがありましたら、
お知らせください。

日本アルテラ株式会社

〒163-0436

東京都新宿区西新宿 2-1-1

新宿三井ビル私書箱 261 号

電話：03-3340-9480

FAX：03-3340-9487

E-mail：japan@altera.com

Altera, APEX, APEX 20K, ASCEND, ACCESS, AMPP, BitBlaster, ByteBlaster, ByteBlasterMV, Classic, ClockBoost, ClockLock, CoreSyn, EPC2, FineLine BGA, FLEX, FLEX 10K, FLEX 10KE, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, Jam, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX 7000S, MAX 7000A, MAX 7000AE, MAX 5000, MAX, MAX+PLUS, MAX+PLUS II, MegaCore, MegaLAB, MegaWizard, MultiCore, MultiVolt, NativeLink, nSTEP, OpenCore, Quartus, SignalTap, System-on-a-Programmable-Chip, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: ASSET is a registered trademark of ASSET InterTech, Inc. HammerCores is a registered trademark of HammerCores, Inc. Integrated Silicon Systems is a registered trademark of Integrated Silicon Systems, Inc. KTech Telecommunications is a registered trademark of KTech Telecommunications, Inc. Nova Engineering is a registered trademark of Nova Engineering, Inc. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Tech 80 is a registered trademark of Technology 80, Inc. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader.

Copyright © 1999 Altera Corporation. All rights reserved.



I.S. EN ISO 9001

66MHz/64 ビット PCI 仕様準拠の課題に対応した
FLEX 10KE デバイス (1 ページからの続き)

最高の性能を実現する PCI MegaCore ファンクション と AMPP メガファンクション

新しい FLEX 10KE デバイスを使用した PCI ソリューションにより一段と向上した柔軟性と能力に加え、アルテラは新しい PCI MegaCore ファンクションの提供も開始しました。この新しい MegaCore ファンクションは PCI デザインの性能を最高のレベルで実現します。アルテラは、新しい MegaCore ファンクション、pci_c を 1999 年の 3 月にリリースしました。この高性能 PCI マスタ/ターゲット MegaCore ファンクションはハードウェアで完全にテストされており、66MHz/64 ビットの PCI マスタ/ターゲット・インタフェースを柔軟に実現することができます。このメガファンクションを使用した場合、設計者は各機能をパラメータ化して、各デザインの要求を最適化された PLD で実現することができます。FLEX 10KE デバイスに実現される pci_c ファンクションは、66MHz の PCI 仕様準拠します。表 1 はアルテラの PCI MegaCore ファンクション製品を示したものです。

メガファンクション名	機能	供給状況
pci_c	66MHz、64 ビット；マスタ/ターゲット 33MHz、64 ビット；マスタ/ターゲット	1999 年 3 月 から出荷開始
pci_a	33MHz、32 ビット；マスタ/ターゲット	供給中
pci_b	33MHz、32 ビット；マスタ/ターゲット	供給中
pcit1	33MHz、32 ビット；ターゲット	供給中

AMPP プログラムからも、アルテラのデバイスに最適化された多くの 32 ビットおよび 64 ビットの 33MHz PCI メガファンクションが提供されています。表 2 は現在供給されている AMPP の PCI メガファンクションを示したものです。

ユニバーサル PCI ボードで PCI の機能をテスト

PCI デザインのテスト工程の期間を短縮し、ユーザの生産性をさらに高めるため、アルテラは新しいユニバーサル PCI ボードを供

AMPP パートナ	機能	供給状況
Eureka Technology	32 ビット、ターゲット、バースト・モード付き	供給中
Eureka Technology	64 ビット、ターゲット	供給中
Eureka Technology	32 ビット、マスタ/ターゲット、バースト・モード付き	供給中
PLD Applications	32 ビット、ターゲット	供給中
PLD Applications	32 ビット、マスタ/ターゲット	供給中
PLD Applications	64 ビット、ターゲット	供給中
PLD Applications	64 ビット、マスタ/ターゲット	供給中

給します。設計者は PCI のデザインを作成して、このユニバーサル PCI ボード上の FLEX 10KE デバイスにダウンロードすることによって、作成したデザインを動作させ、その機能を検証することができます。このボードを利用することで、PCI デザインの作成と検証に要求される時間を大幅に短縮することができます。このユニバーサル PCI ボードはアルテラのすべての PCI MegaCore ファンクションをサポートし、1999 年の第 2 四半期 (4 ~ 6 月期) からその出荷が開始される予定です。

まとめ

革新的なプログラマブル遅延コントロール機能を持つ新しい FLEX 10KE デバイスの投入を通じて、アルテラは PCI のデザインで発生する課題に対応した新たなソリューションを提供します。この新しい 66MHz、64 ビットのマスタ/ターゲット MegaCore ファンクションとユニバーサル PCI ボードは、これら新デバイスの性能を最高のレベルまで向上させます。これらのデバイス、メガファンクション、ボードを組み合わせて使用することで、PCI デザインの作成とテスト工程が簡略化されます。アルテラは PCI デザインで発生する課題に対応した的確なソリューションを開発しました。

Coming Soon : アルテラの 1999 年版データブックを刊行

アルテラの 1999 年版データブックが 1999 年 3 月から提供されています。このデータブックには下記を含むアルテラ・デバイスに関する包括的な資料が収録されています。

APEX™ 20K Programmable Logic Device Family のデータシートを含む新しい APEX アーキテクチャに関する最新情報

アルテラの各デバイス・ファミリの最新データシート
デバイス・タイミングに関するアプリケーション・ノート

アルテラのデバイスおよびソフトウェア製品の発注方法に関する情報

アルテラは 1999 年の第 2 四半期にデバイス・パッケージのデータブックも刊行する予定で、1999 年の後半にはアルテラのツール製品に関するデータブックも発行する予定です。日本アルテラでは、この新しいデータブックに収録されている資料の日本語版を順次、提供してゆく予定です。

APEX デバイス最新情報

APEX 20K ファミリ

125MHzを超えるシステム性能を持つAPEX™ 20Kファミリは、100,000ゲートから1,000,000ゲートの集積度を提供します。このファミリには、ルック・アップ・テーブル(LUT)ロジック、プロダクト・ターム・ロジック、エンベデッド・メモリを1個のデバイスに集積してSystem-on-a-Programmable-Chip™ソリューションを提供する革命的なMultiCore™アーキテクチャが採用されています。APEX 20Kファミリの最初のデバイスとして、2.5Vで動作するEP20K400が1999年3月から供給されています。このデバイスは拡張強化された数多くの新しい機能をサポートしています。さらに多くの機能が実現される1.8V動作のAPEX 20KEデバイスが、1999年中に供給される予定です。

APEX 20K の MegaLAB 構造

APEX 20Kデバイスには、ロジック・エレメント(LE)とメモリを結合させたMegaLAB™構造(図1を参照)が採用されています。このMegaLAB構造は、10個ずつのLEで構成されている計16個のLAB、エンベデッド・システム・ブロック(ESB)と呼ばれる最新エンベデッド構造のブロック、そして16個すべてのLABとESB間を接続するローカル・インタコネクタによって構成されています。

APEX 20Kが高性能のPLLとI/Oをサポート

APEX 20Kデバイスはさらにその機能と性能が強化されたClockLock™と

ClockBoost™の機能を提供しており、PCI(Peripheral Component Interconnect)仕様に準拠したI/Oピンもサポートしています。複数の電源電圧を使用するシステムに最適なMultiVolt™ I/Oインタフェースも標準機能としてサポートされています。APEX 20KEデバイスはPLDの最高集積度のレベルをさらに引き上げると共に、LVTTTL、LVCMOS、Gunning Transceiver Logic(GTL+)、Stub-Series Terminated Logic(SSTL-2およびSSTL-3)、Low-Voltage Differential Signaling(LVDS)、Advanced Graphics Port(AGP)、Center Tap Terminated(CTT)およびHigh Speed Transceiver Logic(HSTL)を含む最新の標準I/O規格をサポートしています。また、これらのデバイスには、さらに機能と性能が強化されたClockLockとClockBoostの機能も提供されています。

APEX 20Kデバイスは、実装スペースを節減するFineLine BGA™パッケージを含む多様なパッケージで供給されます。表1はAPEX 20Kファミリのデバイスの機能を示したものです。

図1 APEX 20K の MegaLAB 構造

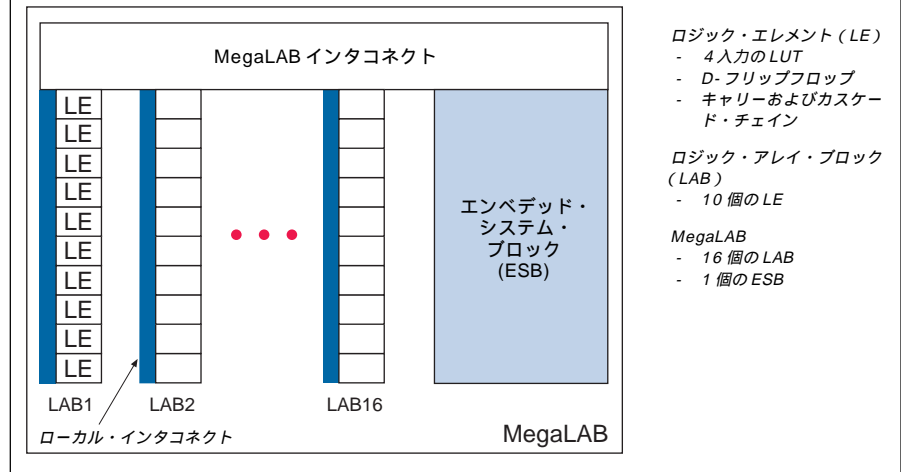


表1 APEX 20K デバイス・ファミリ

機能	EP20K100E EP20K100	EP20K160E	EP20K200E EP20K200	EP20K300E	EP20K400E EP20K400	EP20K600E	EP20K1000E
最大ゲート数	263,000	404,000	526,000	728,000	1,052,000	1,537,000	2,670,000
標準ゲート数	53,000 ~ 106,000	82,000 ~ 163,000	106,000 ~ 211,000	147,000 ~ 293,000	213,000 ~ 423,000	311,000 ~ 618,000	541,000 ~ 1,073,000
ロジック・エレメント数	4,160	6,400	8,320	11,520	16,640	24,320	42,240
最大マクロセル数	416	640	832	1,152	1,664	2,432	4,224
最大RAMビット数	53,248	81,920	106,496	147,456	212,992	311,296	540,672

ESB が提供するメモリのアドバンテージ

2,048ビットのプログラマブル・ビットが内蔵されているAPEXのESBは、プロダクト・ターム・ロジック、LUTベースのロジック、あるいはデュアル・ポートRAM、ROM、CAM (Content Addressable Memory) の3種類のメモリのいずれかにコンフィギュレーションすることができます。ESBをプロダクト・ターム・ベースのロジックにコンフィギュレーションすることによって、APEX 20Kデバイスはこれまでにない高い効率での集積化を実現することができます。ESBのプロダクト・ターム・モードで実現される機能の詳細については、20ページに掲載されている「APEX 20Kデバイスのプロダクト・ターム・モードの特長」をご覧ください。

ESBは、デュアル・ポートRAM、およびシステム・レベルのデザインに要求される多様なデータ幅と深さのRAMもサポートしています。さらに、APEX 20KEのESBは高速サーチを必要とするアプリケーションの動作を加速する並列処理メモリ、CAMもサポートします。CAMはデータを入力すると、そのデータ入力に対応したアドレスを出力します。APEX 20KのESBをカスケード接続して、さらに大規模なファンクションを構成することもできます。

検証時間を短縮する SignalTap ロジック解析機能

APEX 20Kデバイスには、Quartus™開発ソフトウェアを使用して、ユーザがAPEX 20K内部の任意の信号を捕らえ、解析することができるようにしたSignalTap™ロジック解析機能を実現することができます。このSignalTapロジック解析機能を利用することによって、ボード上のデバイスを実スピードで動作させながら機能検証を行うことができるため、検証に要する時間が大幅に短縮されます。

FLEX デバイス最新情報

高集積デバイス、EPF10K200E の出荷を開始

独立したリード/ライト・ポートを持つデュアル・ポートRAM、9,984個のロジック・エレメント (LE) 98,304ビットのオンチップRAMなどの特長を提供する高集積デバイス、EPF10K200Eの出荷が開始されました。EPF10K200EデバイスはFLEX® 10Kファミリの中でもっとも大容量のオンチップRAMを内蔵しており、600ピンのボール・グリッド・アレイ (BGA)、672ピンのFineLine BGA、および599ピンのピン・グリッド・アレイ (PGA) の各パッケージで現在入手可能となっています。

FLEX 10KE デバイスに内蔵された PLL 回路

PLL (Phase-Locked Loop) 回路を内蔵したEPF10K200Eデバイスの入手が可能となっており、このデバイスの発注コードは末尾に「X」が付加されます (例: EPF10K200EBC600-1X)。PLL回路の機能は-1および-2スピード・グレードのすべてのFLEX 10KEデバイスに提供される予定です。このPLL回路は、クロックの遅延とスキューを低減するClockLockと内部クロック周波数

を過倍してボード・デザインを簡略化するClockBoostのオプションを提供しています。FLEX 10KEデバイスのPLLは、MAX+PLUS® IIのバージョン9.2以降のソフトウェアでサポートされています。

FLEX 10KEデバイスのプログラマブル遅延コントロール機能

FLEX 10KEデバイスには、-1スピード・グレードのデバイスによる66MHz/64ビットのPCI (Peripheral Component Interconnect) 仕様への準拠、-2および-3スピード・グレードのデバイスによるタイミングがクリティカルなデザインに対するI/O性能の強化を狙ったプログラマブル遅延コントロール機能が提供されています。EPF10K100Eはこの機能を内蔵した最初のデバイスとなっており、EPF10K130EとEPF10K30Eの両デバイスが、この機能を内蔵した次の製品としてリリースされる予定です。また、すでにリリースされているEPF10K50EとEPF10K200Eは、このプログラマブル遅延コントロール機能を内蔵した製品にバージョン・アップされる予定です。なお、その高い性能により、EPF10K50E-1デバイスは66MHz/64ビットのPCI仕様にすでに準拠しています。このこのプログラマブル遅延コントロール機能は、MAX+PLUS IIのバージョン9.2以降でサポートされています。

BGAパッケージのFLEX 10K デバイスがさらに充実

アルテラは、さらに多くのFLEX 10KEデバイスを1.27mmピッチのBGAパッケージで供給する予定です。356ピンBGAパッケージのEPF10K100Eと600ピンBGAパッケージのEPF10K200Eに加え、アルテラはEPF10K50E、EPF10K130E、およびEPF10K200Eの各デバイスを356ピンBGAパッケージで、EPF10K130Eデバイスを600ピンBGAパッケージでも供給する予定です。各デバイスの供給状況と供給開始予定時期については、6ページの表2を参照してください。

FLEX 10K デバイスの新プロセスへの移行

アルテラはEPF10K100A、EPF10K30A、EPF10K10Aの各デバイスの製造プロセスを0.35ミクロンから0.30ミクロンへ移行させる作業を進めています。また、EPF10K50のプロセスを0.5ミクロンから0.42ミクロンへ移行させる作業も進めています。表1は各デバイスの新プロセスへの移行予定と参照資料をまとめたものです。これらの資料はアルテラのWebサイト、<http://www.altera.com>のCustomer Notificationのページからダウンロードすることができます。

デバイス名	移行時期	参照資料	移行後のプロセス(μm)
EPF10K100A	1999年2月	PCN 9810	0.30
EPF10K30A	1999年4月	PCN 9810	0.30
EPF10K10A	1999年7月	PCN 9810	0.30
EPF10K50	1999年7月	PCN 9901	0.42

(6ページに続く)

デバイス & ツール (5 ページからの続き)

FLEX 10K デバイスの供給状況

表2は2.5Vの電源電圧で動作するFLEX 10KEデバイスの供給状況と供給開始予定時期を示したものです。FLEX 10KAデバイスでまだリリースされていない製品は484ピンFineLine BGAパッケージのEPF10K50Vだけです(表2を参照)。3.3Vで動作するこの他のすべてのFLEX 10KAデバイスは現在、入手可能となっています。MAX+PLUS IIによるデザイン・サポートは、現在ほとんどデバイス・パッケージに対応しています。

デバイス名	パッケージ	スピード・グレード	供給状況 / 予定
EPF10K30E	144-pin TQFP	-1, -2, -3	1999年6月
	208-pin PQFP	-1, -2, -3	1999年6月
	256-pin FineLine BGA	-1, -2, -3	1999年8月
	484-pin FineLine BGA	-1, -2, -3	1999年8月
EPF10K50V	484-pin FineLine BGA	-1, -2, -3	供給中
EPF10K50E	144-pin TQFP	-1, -2, -3	供給中
	208-pin PQFP	-1, -2, -3	供給中
	240-pin PQFP	-1, -2, -3	供給中
	256-pin FineLine BGA	-1, -2, -3	供給中
	356-pin BGA	-1, -2, -3	1999年7月
EPF10K100B	484-pin FineLine BGA	-1, -2, -3	供給中
	208-pin PQFP	-1, -2, -3	供給中
	240-pin PQFP	-1, -2, -3	供給中
EPF10K100E	256-pin FineLine BGA	-1, -2, -3	供給中
	356-pin BGA	-1, -2, -3	1999年4月
	484-pin FineLine BGA	-1, -2, -3	1999年4月
EPF10K130E	208-pin PQFP	-1, -2, -3	1999年4月
	356-pin BGA	-1, -2, -3	1999年6月
	484-pin FineLine BGA	-1, -2, -3	1999年5月
	600-pin BGA	-1, -2, -3	1999年6月
	672-pin FineLine BGA	-1, -2, -3	1999年5月
EPF10K200E	240-pin RQFP (1)	-1, -2, -3	1999年6月
	356-pin BGA	-1, -2, -3	1999年8月
	484-pin FineLine BGA	-1, -2, -3	1999年8月
	599-pin PGA	-1, -2, -3	供給中
	600-pin BGA	-1, -2, -3	供給中
	672-pin FineLine BGA	-1, -2, -3	供給中

注:

(1) RQFP: パワー・クワッド・フラット・バック

FLEX 6000 デバイスにFineLine BGAパッケージが近く登場

FineLine BGAパッケージのFLEX 6000デバイスが1999年の第2四半期に入手可能となる予定です。この実装面積の効率が高いパッケージは、従来のBGAパッケージの半分のボード・スパー

スで実装できます。表3はFLEX 6000デバイスの供給状況と予定されている供給開始時期を示したものです。

パッケージ	デバイス名			
	EPF6010A	EPF6016	EPF6016A	EPF6024A
100-Pin TQFP	✓		✓	
100-Pin FineLine BGA	1999年7月		1999年7月	
144-Pin TQFP	✓	✓	✓	✓
208-Pin PQFP		✓	✓	✓
240-Pin PQFP		✓		✓
256-Pin BGA		✓		✓
256-Pin FineLine BGA	1999年7月		1999年7月	1999年7月

注:

(1) ✓は供給中であることを示しています。

FLEX 6000 デバイスの工業用温度範囲品を供給開始

FLEX 6000デバイスが、工業用温度グレードでも入手可能となっています。現在、5種類のデバイスが144ピンの薄型クワッド・フラット・バック(TQFP)または208ピンのプラスチック・クワッド・フラット・バック(PQFP)パッケージのいずれかで出荷されています。また、新たに100ピンTQFPパッケージの6種類のデバイスの出荷が1999年3月から開始されています。表4は工業用温度グレードのFLEX 6000デバイスをまとめたものです。

デバイス名	パッケージ	供給状況
EPF6016T144-3	144-pin TQFP	供給中
EPF6016Q1208-3	208-pin PQFP	供給中
EPF6016AT1100-3	100-pin TQFP	1999年3月から出荷開始
EPF6016AT1144-3	144-pin TQFP	供給中
EPF6016AQ1208-3	208-pin PQFP	供給中
EPF6024AQ1208-3	208-pin PQFP	供給中

コンフィギュレーション・デバイス 最新情報

リプログラマブル・コンフィギュレーション・デバイス、EPC2 を出荷開始

アルテラの最初のリプログラマブル・コンフィギュレーション・デバイスであるEPC2が入手可能となっています。このデバイスは20ピンのプラスチック・Jリード・チップ・キャリア(PLCC)および32ピンのTQFPパッケージで供給されており、同一パッケージでアルテラから供給されている既存のすべてのコンフィギュレーション・デバイスとピン互換となっています。1個の

EPC2で最大130,000ゲートまでのFLEXデバイスをコンフィギュレーションすることができます。また、このデバイスは、IEEE Std. 1149.1のJTAG (Joint Test Action Group) テスト・ポートを使用してイン・システムでプログラムすることができます。EPC2はSerial Vector Format (SVF) およびJamテスト/プログラミング言語をサポートしています。EPC2は3.3Vまたは5.0Vで動作し、MAX+PLUS IIのバージョン9.2以降のソフトウェアによってサポートされています。

MAX デバイス最新情報

MAX 9000A デバイスの供給状況

最大10nsの伝搬遅延時間を持つMAX[®] 9000Aデバイスは既存のMAX 9000を凌ぐ大幅に強化された性能とさらに低減されたコストを実現しています。すべてのパッケージのEPM9320AとEPM9560Aの量産が開始されており、現在入手可能となっています。表1は一般用および工業用温度範囲のMAX 9000Aデバイスの供給状況をまとめたものです。

デバイス名	t _{PD}	84-Pin PLCC	208-Pin RQFP	240-Pin RQFP	356-Pin BGA
EPM9320A	10 ns	C, I	C, I		C
EPM9560A	10 ns		C, I	C, I	C

注:

(1) "C" は一般用温度範囲品、"I" は工業用温度範囲品が入手可能であることを示しています。

MAX 7000A デバイスの供給状況

アルテラはMAX 7000Aデバイスの性能を改善しました。このデバイス・ファミリには新たに4.5nsの伝搬遅延を保証した製品も含まれています。MAX 7000Aデバイスはイン・システム・プログラマビリティ (ISP) やMultiVolt I/O ピンをサポートしており、業界標準となっているMAX 7000デバイスとピン互換となっています。EPM7032AE、EPM7064AE、EPM7128A、EPM7256A、EPM7512AEの各デバイスは出荷中となっています。表2はMAX 7000Aデバイスの供給状況と出荷開始予定時期を示したものです。

MAX 7000S デバイス

現在、MAX 7000Sファミリのすべてのデバイスが入手可能となっています。これらのデバイスは5nsのスピード・グレード、イン・システム・プログラミング、オープン・ドレイン出力、128マクロセル以上のデバイスに内蔵されているIEEE Std. 1149.1 (JTAG) バウンダリ・スキャン・テスト (BST) 回路などの特長を備えています。すべてのMAX 7000Sデバイスは、工業用温度グレードの製品としても供給されています。表3には、一般用温度範囲の製品として供給されている各デバイスのパッケージ・オプションとスピード・グレードが示されています。

デバイス名	パッケージ	スピード・グレード	供給状況 / 予定
EPM7032AE	44-pin PLCC	-4, -7, -10	供給中
	44-pin TQFP	-4, -7, -10	供給中
EPM7064AE	44-pin PLCC	-4, -7, -10	供給中
	44-pin TQFP	-4, -7, -10	供給中
	100-pin TQFP	-4, -7, -10	供給中
	100-pin FineLine BGA	-4, -7, -10	供給中
EPM7128A	84-pin PLCC	-6, -7, -10, -12	供給中
	100-pin TQFP	-6, -7, -10, -12	供給中
	100-pin FineLine BGA	-6, -7, -10, -12	供給中
	160-pin PQFP	-6, -7, -10, -12	供給中
	256-pin FineLine BGA	-6, -7, -10, -12	供給中
EPM7128AE	84-pin PLCC	-5, -7, -10	1999年5月供給中
	100-pin TQFP	-5, -7, -10	1999年5月供給中
	144-pin TQFP	-5, -7, -10	1999年5月供給中
	256-pin FineLine BGA	-5, -7, -10	1999年5月供給中
EPM7256A	100-pin TQFP	-7, -10, -12	供給中
	144-pin TQFP	-7, -10, -12	供給中
	208-pin PQFP	-7, -10, -12	供給中
	256-pin FineLine BGA	-7, -10, -12	供給中
EPM7256AE	100-pin TQFP	-6, -7, -10	供給中
	100-pin FineLine BGA	-6, -7, -10	1999年6月供給中
	144-pin TQFP	-6, -7, -10	1999年5月供給中
	208-pin PQFP	-6, -7, -10	1999年5月供給中
EPM7512AE	256-pin FineLine BGA	-6, -7, -10	1999年6月供給中
	144-pin TQFP	-7, -10, -12	供給中
	208-pin PQFP	-7, -10, -12	供給中
	256-pin BGA	-7, -10, -12	供給中
EPM7512AE	256-pin FineLine BGA	-7, -10, -12	供給中
	256-pin FineLine BGA	-7, -10, -12	供給中

デバイス名	パッケージ	スピード・グレード
EPM7032S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
EPM7064S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
	84-pin PLCC	-5, -6, -7, -10
	100-pin TQFP	-5, -6, -7, -10
EPM7128S	84-pin PLCC	-6, -7, -10, -15
	100-pin TQFP	-6, -7, -10, -15
	100-pin PQFP	-6, -7, -10, -15
	160-pin PQFP	-6, -7, -10, -15
EPM7160S	84-pin PLCC	-6, -7, -10
	100-pin TQFP	-6, -7, -10
	160-pin PQFP	-6, -7, -10
EPM7192S	160-pin PQFP	-7, -10, -15
EPM7256S	208-pin PQFP	-7, -10, -15

(8 ページに続く)

デバイス&ツール (7ページからの続き)

ツール製品最新情報

MAX 7000 と MAX 9000 デバイスの新プロセスへの移行

アルテラは MAX 7000 および MAX 9000 デバイスの製造プロセスを 0.65 ミクロン・プロセスから 0.5 ミクロン・プロセスへ移行させる作業を完了しました。表 4 はこの移行が完了したデバイスと関連するドキュメントの番号を示したものです。これらのドキュメントはアルテラの Web サイト、<http://www.altera.com> の中にある Customer Notification のページからダウンロードすることができます。

デバイス名	関連ドキュメント番号(2)	移行時期	移行後のプロセス (μm)
EPM7032	PCN 9703 ADV 9803	完了	0.5
EPM7064 EPM7064S	PCN 9703 ADV 9708	完了	0.5
EPM7128E EPM7128S	PCN 9703 ADV 9708	完了	0.5
EPM7160E	PCN 9703 ADV 9803	完了	0.5
EPM7192E EPM7192S	PCN 9703 ADV 9708	完了	0.5
EPM7256S EPM7256E	PCN 9703 ADV 9708	完了	0.5
EPM9320	PCN 9703 ADV 9803	完了	0.5
EPM9560	PCN 9703 ADV 9803	完了	0.5

注：

- (1) このプロセスの変更に伴うデータシート上の規格および発注コードの変更はありません。
- (2) アルテラはこれらのプロセス変更通知および連絡通知をアルテラの Web サイト上で提供しています。

EDA ツールとのシームレスなインタフェースを実現する NativeLink 統合機能

APEX 20K で 400,000 ゲートのデザインを開発するような場合に、アルテラの Quartus ソフトウェアと共にサード・パーティの合成ツールやシミュレータ、検証ツールを使用するデザイン・フローが要求されることがあります。こうしたデザイン・フローのひとつの課題は、各ツール間でデザイン情報をどのように受け渡すかです。アルテラの Quartus ソフトウェアで実現されている NativeLink™ の機能はサード・パーティの EDA ツールとの統合をこれまでになく高いレベルで提供しているため、デザインをさらに短時間で、また、より効率的にコンパイルすることができます。サード・パーティのアプリケーション・ソフトウェアを Quartus ソフトウェアの中から起動し、コンパイルの実行中にバックグラウンドで動作させることができます。

Quartus ソフトウェアの NativeLink 機能はアルテラのパートナー企業とのシームレスなインタフェースを確保するために開発されたものです。アルテラはサード・パーティの EDA パートナに対して Quartus ソフトウェアの API (Application Programming Interface) 仕様を提供し、C++、TCL、または Visual Basic を使用したサード・パーティ EDA ツールによるデータベースへのアクセスが可能になるようにしました。この統合された開発環境では、この NativeLink 機能によって、Quartus ソフトウェアと他社のツールとを簡単にインタフェースすることができます。

サード・パーティの EDA ツールと Quartus ソフトウェアとの統合を実現した NativeLink の機能を利用することによって、デザインのプロセスがさらに簡略化されます。また、設計者は新たなソフトウェア・パッケージの使用方法を修得する必要がなく、すでに習熟しているツールと Quartus ソフトウェアをインタフェースさせることができます。この密接な統合の実現により、エラーやワーニング・メッセージの原因となるソース・ファイルの個所をダイレクトにトレースすることができます。この NativeLink 機能を持つ Quartus ソフトウェアでは、ツール間で情報がさらに効率的に受け渡されるため、コンパイルのスピードが加速されると共に、最適な合成が得られるときのタイミング予測の精度が改善されます。このタイトな統合を実現した開発システムにより、デザインをアルテラの APEX 20K デバイスに実現したときに高い品質の結果を得ることができます。

製造中止品最新情報

アルテラは、製造中止品に関する新しい発表を行っておりません。アルテラは製造中止品に関する情報が記載された製造中止通知 (PDN: Product Discontinuance Notices) およびアルテラ連絡通知 (ADV: Altera Distributes Advisories) を発行しています。特定デバイスの PDN または ADV の入手を希望される場合は、日本アルテラまたは販売代理店へご連絡下さい。なお、一部の PDN と ADV、および全製造中止品のリストがアルテラの Web サイト、<http://www.altera.com> でも提供されています。

なお、各半導体メーカーの製造中止品を専門に供給している米国のロチェスタ・エレクトロニクス社は、多数のアルテラの製造中止品の供給を引き続きサポートする予定です。詳細についてはロチェスタ・エレクトロニクス社の Web サイト、<http://www.rocelec.com> をご覧になるか、同社の日本代理店である小松セミコン (株) (電話：03-3573-6828) へお問い合わせください。

CoreSyn による論理合成

Quartus ソフトウェアの nSTEP™ コンパイラには、インクリメンタル・コンパイル機能と CoreSyn™ 合成機能が含まれています。CoreSyn 論理合成機能は、アルテラのデバイス・アーキテクチャに対して最適となるマッピング方法を判断して適切な合成テクノロジーを起動します。

デザインがコンパイルされるとき、CoreSyn はデザインのファンクションを APEX 20K デバイス内の適切なアーキテクチャ・エレメントに分割します。例えば、ステート・マシンはプロダクト・ターム・ベースのマクロセルに実現され、FIFO (First-In First-Out) は ESB に配置され、データ・パスは LUT ベースの LE を使用して構成されます。また、設計者がデザインの特典部分を APEX 20K 内のどの部分にマッピングするかを指定することもできます。図 1 は CoreSyn の合成機能を示したものです。

設計者は CoreSyn の機能とインクリメンタル・コンパイル機能の機能を併用することによって、nSTEP コンパイラを使用したデザインのコンパイル、変更、再コンパイルのプロセスを従来よりも大幅に短縮された時間で実行することができます。デザインの各部分は APEX アーキテクチャ内の適切なブロックに配置され、デザインの最適化が確保されます。

アルテラのサブスクリプション・プログラムを提供中

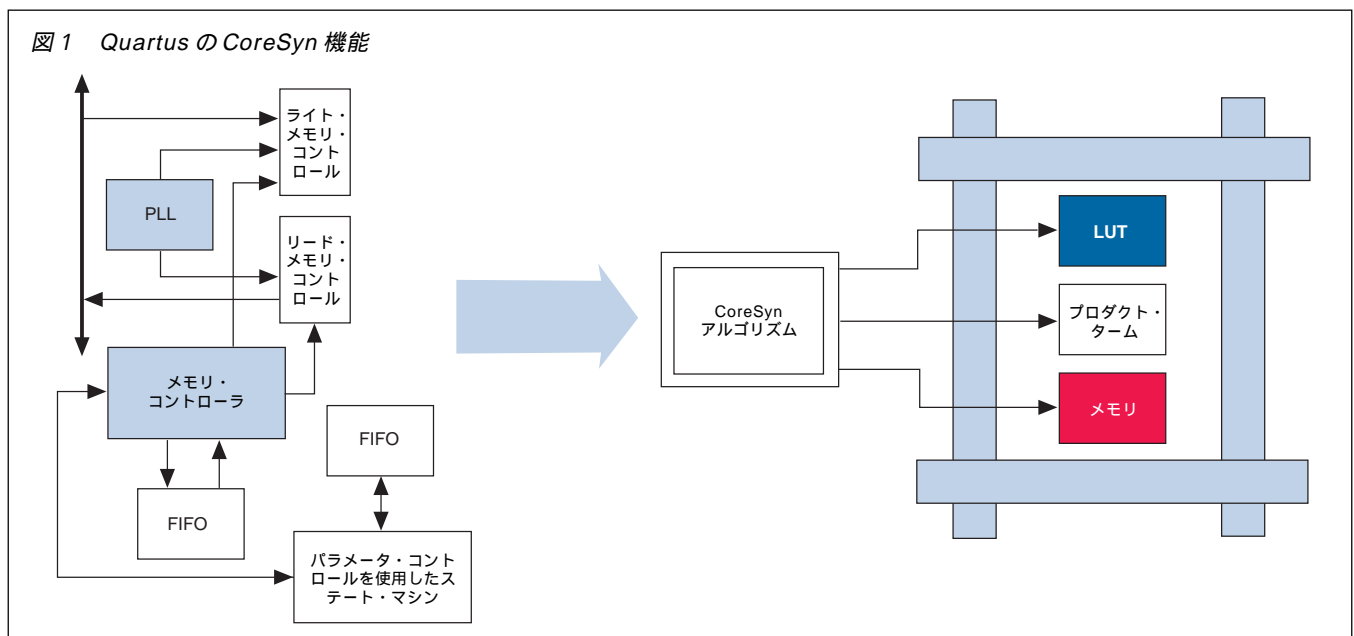
アルテラの新しいサブスクリプション・プログラムは、各ユーザーに対してアルテラの開発ソフトウェアの入手とサポートに関するシンプルな方法を提供しています。このサブスクリプション・プログラムをアルテラと契約することにより、12 カ月間にわたって、アルテラのすべてのソフトウェア製品 (MAX+PLUS II と Quartus の両ソフトウェア) の最新バージョンを受け取ることが

できます。このサブスクリプション製品を発注したユーザーには、Quartus ソフトウェアがリリースされ次第、すぐに配布されます。そして、契約された 12 カ月のサブスクリプション期間に、フル機能の MAX+PLUS II と Quartus の両開発ソフトウェアの最新版が継続して配布されます。12 カ月間の契約期間が切れた時点で、それ以降にリリースされる最新バージョンを受領するためには、この契約を更新する必要があります。

この新しいサブスクリプション・プログラムは従来のコストを大幅に削減する形で提供されており、PC 用の固定ノード製品は 12 カ月でわずか 2,000 ドルとなっています。アルテラの従来のメンテナンス・プログラムでは、同じサポートが 6,000 ドルを超える価格となっていました (4,995 ドルの PLS-MAGNUM と 1,495 ドルの 1 年間のソフトウェア・メンテナンス契約)。表 1 は、アルテラから提供されているサブスクリプション・プログラムのオプションを示したものです。

製品コード	対応する環境	標準価格
FIXEDPC	ソフトウェア・ガードを使用した PC	\$2,000
FLOATPC	PC のクライアントでのみ構成されるネットワーク環境	\$2,200
FLOATNET	PC、UNIX、または両者の組み合わせで構成されるネットワーク環境	\$2,400
RENEWAL	既存のサブスクリプション期間をさらに 12 カ月延長する契約の更新	\$2,000
ADD-FLOATPC	FLOATPC 製品に対するクライアントの追加	\$2,200
ADD-FLOATNET	FLOATNET 製品に対するクライアントの追加	\$2,400

(10 ページに続く)



デバイス&ツール (9ページからの続き)

アルテラのサブスクリプション・プログラムの詳細については、日本アルテラまたは販売代理店へお問い合わせください。

新しいMAX 7000A およびMAX 7000AE デバイス用プログラミング・アダプタ

MAX+PLUS IIのバージョン9.2のソフトウェアは、FineLine BGA および BGA パッケージの MAX 7000A と MAX 7000AE デバイスのデザインをサポートしています。ほとんどの場合、これらのデバイスはイン・システムでプログラムされますが、Master Programming Unit (MPU) によるプログラミングを行うときに使用される新しい3種類のアダプタが提供されています。これらのアダプタは、すべてのスピード・グレードのデバイスをサポートしています。表2は、これら新しいアダプタと対象となるデバイスを示したものです。

各 MAX 9000 および MAX 7000 デバイス、コンフィギュレーション・デバイスに対応するプログラミング・アダプタについては、26ページの「アルテラのプログラミング・アダプタ」をご覧ください。

アルテラの製品番号	デバイス・パッケージ	サポート・デバイス
PLMF7000-100	100-pin FineLine BGA	EPM7064AEFC100 EPM7128AFC100 EPM7128AEFC100 EPM7256AEFC100
PLMF7000-256	256-pin FineLine BGA	EPM7128AFC256 EPM7128AEFC256 EPM7256AFC256 EPM7256AEFC256 EPM7512AEFC256
PLMB7000-256	256-pin BGA	EPM7512AEBC256

アルテラがMAX+PLUS IIのバージョン9.21を出荷開始

MAX+PLUS IIのバージョン9.21のソフトウェアが、有効なソフトウェア・メンテナンス契約またはサブスクリプション契約を保有されているすべてのユーザーに出荷されています。

MAX+PLUS IIのバージョン9.21のソフトウェアは、ClockLock™ と ClockBoost™ の機能を持つ新しいFLEX 10KE デバイスをサポートしています。高速のデザインをサポートするため、FLEX 10KE デバイスには PLL (Phase-Locked Loop) による

ClockLock と ClockBoost の回路が内蔵されています。MAX+PLUS IIバージョン9.21のアップデート・バージョンは、EPF10K200EB600とEPF10K200EF672に内蔵されているこれらの新しい機能をサポートしています。

このMAX+PLUS IIソフトウェアの最新バージョンには、新しいFLEX 10KE および MAX 7000AE デバイスの多様なパッケージ・オプションに対するサポートを含め、アルテラ的全製品に対する多くの便利な機能が追加されています。表3はこのバージョンで新たにサポートされたデバイス・パッケージを示したものです。

デバイス・ファミリ	デバイス	パッケージ
MAX 7000	EPM7032AE EPM7064AE EPM7128A EPM7512AE	44-pin PDIP, 44-pin TQFP 100-pin FineLine BGA 256-pin FineLine BGA 144-pin TQFP, 208-pin PQFP, 256-pin BGA, 256-pin FineLine BGA
FLEX 10K	EPF10K10 EPF10K30A EPF10K50E EPF10K200E	256-pin FineLine BGA 256-pin FineLine BGA 256-pin FineLine BGA, 484-pin FineLine BGA 599-pin PGA, 600-pin BGA

MAX+PLUS IIのバージョン9.21のソフトウェアでは、EPC2 コンフィギュレーション・デバイスでサポートされている新しい機能が活用できるようになっています。このバージョンはEPC2で実現されたプログラマブルなブルアップ抵抗と JTAG の USERCODE 命令をサポートしています。また、ユーザーはこのバージョン9.21のソフトウェアを使用してJTAGのコマンドを発行することができるようになるため、EPC2デバイスからボード上のFLEXデバイスに対するコンフィギュレーションを開始させることができます。

Web上でMAX+PLUS IIのライセンス・ファイルを手 入手する方法

MAX+PLUS IIソフトウェアの最新バージョンに対するライセンス・ファイルは、アルテラのWebサイトから入手することができます。

MAX+PLUS IIを初めて使用する場合、またはアルテラとのサブスクリプション・プログラムの契約を更新した場合は、新しいライセンス・ファイルの入手が必要となります。この新しいライセンス・ファイルの入手は、サブスクリプション契約が更新されるごとに必要となります（通常は年1回）。

ライセンス・ファイルをリクエストするためには、使用中のソフトウェア・ガードのID番号（Tで始まる10桁）、ホストIDまたはネットワーク・インタフェース・カード（NIC）番号とAltera IDナンバーが必要となります。Altera IDナンバーは、各ユーザごとに設定されています。このAltera IDナンバーが不明の場合は各代理店へお問い合わせください。

Webベースのライセンス・ジェネレータを使用して、MAX+PLUS IIのBASELINEソフトウェアに対するライセンスも生成することができます。

新製品、MAX+PLUS II BASELINEソフトウェア

MAX+PLUS II BASELINEは、従来のPLS-WEBソフトウェアおよびESサイト・ライセンスに替わるMAX+PLUS IIの新しいエントリ・バージョンの無償ソフトウェアです。

MAX+PLUS II BASELINEソフトウェアのバージョン9.2には、タイミング・シミュレータとファンクショナル・シミュレータが含まれています。このMAX+PLUS II BASELINEは幅広いデバイスに対するサポートを提供しており、Web上から無償でダウンロードできるプログラマブル・ロジック開発用ソフトウェアとしては、もっとも多くの機能を提供しています。

MAX+PLUS II BASELINEソフトウェアは、アルテラのWebサイト、<http://www.altera.com>を通じてライセンス・ファイルを手入手することによって、6カ月使用可能となります。

表4はMAX+PLUS II BASELINEソフトウェアのバージョン9.2で提供されている機能の概要をまとめたものです。

MAX+PLUS II BASELINEソフトウェアはアルテラのWebサイトからダウンロードできるようになっており、*Altera Digital Library CD-ROM*の中にも収録されています。

機能	サポート範囲
デバイス・サポート	EPF10K10、EPF10K10A、EPF8452A、EPF8282A、EPF6010A、EPF6016、EPF6016A、EPM9320、EPM9320A、すべてのMAX 7000デバイス（MAX 7000E、MAX 7000S、MAX 7000A、MAX 7000AEの各デバイスを含む）MAX 5000 およびClassic ファミリのデバイス。
デザイン入力	<ul style="list-style-type: none"> - 回路図入力 - AHDL (Altera Hardware Description Language)によるテキスト・ベースのデザイン入力 - 主要なEDAツールとのインタフェース - フロアプラン・エディティング - 階層設計マネージメント - LPM (Library of Parameterized Modules)
デザインのコンパイル	<ul style="list-style-type: none"> - 論理合成と自動フィッティング - 自動エラー・ロケーション検出機能 - アルテラのMegaCore™ ファンクションおよびAMPPSM (Altera Megafunction Partner Program)パートナー企業から提供されるメガファンクションに対するOpenCore™ 評価機能
デザインの検証	<ul style="list-style-type: none"> - ファンクショナルおよびタイミング・シミュレーション - タイミング解析 - サード・パーティのシミュレータ用出力ファイルの生成
プログラミング	デバイス・プログラミング(1)
その他の機能	オンライン・ヘルプ

注：

- (1) フル機能のMAX+PLUS IIソフトウェアがない場合でも、アルテラ・デバイスのプログラム、ベリファイ、エグザミン、テストを行うことができるMAX+PLUS II Programmerのスタンドアロン・バージョン、ASAP2(Altera Stand-Alone Programmer)ソフトウェアが使用可能です。このASAP2ソフトウェアはアルテラのFTPサイト、<ftp.altera.com>からダウンロードすることができます。

複数の電源電圧があるシステムにおけるアルテラ・デバイスの使用方法

5.0Vのインタフェースは長年にわたって標準となっていました。最新のプロセス・テクノロジーへの移行に伴って、低電圧のインタフェースが必要になってきました。現在では、5.0V、3.3V、2.5Vのデバイスが混在して使用されるプリント基板（PCB）がアッセンブルされるようになってきました。このように電源電圧の異なるデバイスを混在させて使用するためには、これらのデバイスが電源電圧の異なるシステムとインタフェースできる機能を持っていることが重要です。

アルテラの MultiVolt™ I/O インタフェース機能は、異なる電圧レベルとの互換性を持つデバイスへの要求の高まりに対応させたものです。この MultiVolt インタフェースは電源電圧を出力電圧から分離し、アルテラのデバイスのコア部分にのみ規定された電圧レベルが与えられるようにして、電圧レベルの異なる他のデバイスとのインタフェースを可能にしています。

MultiVolt インタフェース

0.35ミクロン・プロセス・テクノロジーのデバイスには3.3Vの電源が要求され、0.25ミクロン・プロセスのデバイスには2.5Vの電源が必要です。このため、現在使用されているデバイスの多くには、5.0V、3.3V、そして2.5Vとのインタフェースが要求され

ます。そして、今後はさらに微細なプロセスのデバイスに、より低い電圧レベルが要求されることになります。

こうした今後の動向に対応するため、アルテラは複数の電源電圧が使用されるシステムの集積を可能にする MultiVolt I/O インタフェースをサポートした幅広いデバイスを開発しました（表1を参照）。MultiVolt I/O インタフェースは、複数の電源電圧を使用するデザインの中で電圧レベルの異なるデバイス間の通信を可能にします。VCCINT ピンからはデバイスのコア部分の電源が供給され、VCCIO ピンからはI/O バッファの電源が供給されます。このため、デバイスのコア部分とI/O ピンには、分離された電源から異なる電圧を供給することができます。ただし、MultiVolt 機能を持つデバイスのすべての VCCIO ピンには、同じ電圧を供給する必要があります（2.5V、3.3V、または5.0V）。

2.5V、3.3V、5.0V デバイスとのインタフェース機能

2.5V 動作の FLEX® 10KE デバイスでは、VCCINT ピンを常時、2.5Vの電源に接続する必要があります。2.5VのV_{CCINT}を使用するデバイスは、2.5V、3.3V、および5.0Vの入力と互換性を持ちます。このとき、VCCIO ピンは出力の要求に応じて2.5Vまたは3.3Vのいずれかの電源に接続することができます。VCCIO ピン

表1 アルテラ・デバイスの MultiVolt I/O サポート 注(1)

デバイス名	V _{CCINT} (V)	V _{CCIO} (V)	入力信号 (V)				出力信号 (V)			
			1.8	2.5	3.3	5.0	1.8	2.5	3.3	5.0
FLEX 10K, FLEX 8000 (2)	5.0	5.0			✓	✓				✓
FLEX 6000 (5.0 V) MAX 9000, MAX 7000S		3.3			✓	✓			✓	✓
EPF10K130V, EPF10K50V	3.3	3.3			✓	✓			✓	✓
FLEX 10KA, FLEX 6000 (3.3V), MAX 7000A, MAX 7000AE	3.3	3.3		✓	✓	✓			✓	✓
		2.5		✓	✓	✓		✓		
FLEX 10KE	2.5	3.3		✓	✓	✓			✓	✓
		2.5		✓	✓	✓		✓		
APEX 20K	2.5	3.3		✓	✓			✓	✓	
		2.5		✓	✓			✓		
APEX 20KE	1.8	3.3	✓	✓	✓			✓	✓	
		2.5	✓	✓	✓			✓		
		1.8	✓	✓	✓		✓			

注：

- 84ピンのプラスチック・Jリード・チップ・キャリア（PLCC）、240ピンのクワッド・フラット・バック（QFP）パッケージを除くすべての FLEX 10K デバイスが 5.0V のコア電圧と 3.3V の I/O ピンをサポートしています。MAX 7000 ファミリーでは、44ピンの PLCC と薄型クワッド・フラット・バック（TQFP）パッケージの EPM7032S と EPM7064S の両デバイスが 5.0V のコア電圧における 3.3V の I/O ピンをサポートしていません。これらのデバイスでは、VCCINT ピンと VCCIO ピンが分離されていません。
- EPF8282V の I/O ピンは 5.0V の電圧レベルに対応していません。アルテラは、これらの 3.3V デバイスを 5.0V の信号でドライブすることを推奨していません。

を2.5Vの電源に接続した場合は、出力レベルが2.5Vシステムと互換性を持つようになります。また、VCCIOピンを3.3Vの電源に接続した場合は、出力のHighレベルが3.3Vとなり、3.3Vまたは5.0Vのシステムと互換性を持つようになります。

3.3VのFLEX 6000デバイス、およびFLEX 10KAとMAX[®] 7000AEファミリの全デバイスを含むアルテラの新しい3.3Vデバイスを使用する場合は、VCCINTピンを3.3Vの電源に接続する必要があります。このとき、VCCIOピンを2.5Vの電源に接続すると、出力レベルが2.5Vのシステムと互換性を持つようになります。また、VCCIOピンを3.3Vの電源に接続した場合は、出力のHighレベルが3.3Vとなり、3.3Vまたは5.0Vのシステムと互換性を持つようになります。EPF10K50VとEPF10K130Vの両デバイスでは、VCCIOピンを3.3Vの電源に接続する必要があります。EPF10K50VとEPF10K130Vを除くこれらの3.3Vデバイスでは、入力を2.5V、3.3V、または5.0Vのシステムからドライブすることができます。EPF10K50VとEPF10K130Vの入力は3.3Vと5.0Vのシステムからのみドライブ可能です。

5.0Vで動作するアルテラのMAX 7000、MAX 7000S、MAX 9000、FLEX 8000、FLEX 6000、FLEX 10Kファミリの各デバイスは、3.3Vおよび5.0Vのデバイスとインタフェースすることができます。これらのデバイスのVCCIOピンを5.0Vの電源に接続した場合は、出力レベルが5.0Vのシステムと互換性を持つようになります。また、VCCIOピンを3.3Vの電源に接続した場合は、出力のHighレベルが3.3Vとなり、3.3Vまたは5.0Vのシステムとの互換性が提供されます。

5.0V TTL との互換性

アルテラの全デバイスは、5.0V TTLとの互換性があります。このため、3.3Vデバイスは5.0Vデバイスをドライブすることができます。5.0Vからもドライブできます。また、アルテラ・デバイスのVCCIOピンを3.3Vに接続したときでも、I/Oピンは5.0Vの入力に対応しているため、5.0Vの信号でドライブすることができます。ただし、EPF8282Vは例外となっており、I/Oピンが5.0Vの入力には対応していません（表1の注2を参照）。

5.0V CMOS との互換性

NMOSのみの出力バッファとなっているアルテラの5.0Vデバイスは、5.0VのTTLレベルに適合しています。出力ピンの電圧が約3.8V以上になると、NMOSのプルアップ・トランジスタがカットオフ・モードになります。このため、外部のプルアップ抵抗によって、出力ピンを5.0Vレベルに到達させることができます。

アルテラの3.3Vデバイスの出力を5.0VのCMOS互換にする場合には、出力ピンをオープン・ドレインのピンにコンフィギュレーションしてください。3.3VデバイスにはCMOSドライバが内蔵されています。 $V_{OUT} > V_{CCIO}$ のときは、PMOSのプルアップ・トランジスタが導通状態となるため、外部のプルアップ抵抗を通じて出力信号を5.0Vに到達させることができなくなります。3.3Vデバイスの出力を5.0VのCMOSデバイスのVIHレベルにプルアップする必要がある場合は、オープン・ドレインにコンフィギュレーションしたピンが外部のプルアップ抵抗を通じて

5.0Vにプルアップされるパターンをドライブするようにしてください。

オープン・ドレインのピンはHighレベルをドライブせず、Lowまたはトライ・ステートをドライブします。オープン・ドレインのピンがアクティブになると、Lowレベルがドライブされます。また、オープン・ドレインのピンがインアクティブになると、このピンがトライ・ステートとなり、デバイスの動作条件範囲であれば、ピンが接続されたパターンが外部抵抗を通じて5.0Vにプルアップされます。

まとめ

アルテラのMultiVolt I/Oインタフェースの機能を活用することによって、新世代のデバイスを多様な電圧レベルのデバイスとシームレスにインタフェースさせることができます。多くのPCBには、2.5V、3.3V、5.0Vのデバイスが混在して使用されます。MultiVoltインタフェースにより、デバイスのコア部分を規定の電圧（2.5V、3.3Vまたは5.0V）で動作させながら、I/Oピンに5.0V、3.3V、または2.5Vのロジック・レベルとの互換性を持たせることができます。MultiVolt I/Oと活線挿抜（Hot-Socketing）の機能により、アルテラのデバイスはあらゆるデザインの要求に対応することができます。

活線挿抜

活線挿抜（Hot-socketing & Hot-plug-in）は、システムに電源を供給している状態で、ボードの抜き差しを行ったり、ボード上のデバイスを挿抜できることを意味します。この場合、ボードを挿入したり、引き抜いた場合でも、システムの動作が影響を受けないようになっている必要があります。

アルテラのデバイスは、活線挿抜をサポートするようにデザインされています。活線挿抜がサポートされているアルテラのデバイスには、下記の能力が実現されています。

電源が投入される前でも、ダメージを与えることなく、デバイスをドライブすることが可能。
電源投入前または投入中には、出力をドライブしない。
信号ピンは V_{CCIO} または V_{CCINT} の電源をドライブできない。

アルテラのほとんどの2.5Vおよび3.3Vデバイスは、特別なデザイン上の配慮なしでも活線挿抜がサポートされるように設計されています。これらのデバイスには、FLEX 10KA、FLEX 10KE、FLEX 6000（3.3V）およびMAX 7000AEの各製品が含まれています。

（15ページに続く）

8051 マイクロプロセッサと Jam Byte-Code を使用した エンベデッド・プログラミング

エンベデッド・プロセッサを使用したイン・システム・プログラミングやイン・サーキット・リコンフィギュレーションによって、デザインの試作や量産への移行が容易になり、フィールドでのアップグレードを短時間で効率的に行うことができます。イン・システム・プログラマビリティ (ISP) またはイン・サーキット・リコンフィギュラビリティ (ICR) の機能をサポートしているデバイスは、ROM、FLASHカード、モデム、または他のデータ・リンクを使用して新しいデザイン情報をダウンロードすることにより、フィールドでアップグレードすることができます。

この記事では、8051ファミリのマイクロプロセッサとJam™ Byte-Codeファイル(.jbc)を使用したエンベデッド・プログラミングおよびコンフィギュレーションに対するアルテラのサポートの概要を解説します。MAX+PLUS® IIソフトウェアは、IEEE Std. 1149.1のJTAG (Joint Test Action Group) チェイン技術で使用される特定のデザイン情報を含んだJBCファイルを生成することができます。8051プロセッサのサポートとJam Byte-Codeに関する詳細は、アルテラが提供しているアプリケーション・ノート、AN 111「*Embedded Programming Using the 8051 Processor & Jam Byte-Code*」およびAN 88「*Using the Jam Language for ISP & ICR via an Embedded Processor*」; 日本語版「*エンベデッド・プロセッサによるISPとICRにJam言語を使用する方法*」をご覧ください。

8051 のアーキテクチャ

8051ファミリのマイクロプロセッサは低価格で、使いやすく、またシンプルなタスク処理管理が行える実績の高いプラットフォームとなっています。8051のアーキテクチャは、ROMとRAMのアドレッシングが分離された構造になっています。図1はこの8051のアーキテクチャをメモリを対象にして示したものです。

8051マイクロプロセッサは、ROMまたは「プログラム・メモリ」からの命令を解読して、実行します。実行される命令には、ROM、RAM、I/Oポート、アドレス・ラインへのアクセスを行うI/Oピンのコントロールも含まれます。例えば、8051マイクロプロセッサは、外部データまたはRAMをアクセスする命令を受信すると、RAMからの情報が解読され、適切な内部レジスタにストアされるように、!RDピンを自動的にトグルさせます。これらの動作はプロセッサによって自動的に実行されます。

8051プロセッサは、EPROMまたはFLASHデバイスからのプログラミングまたはコンフィギュレーション情報を解読することができます。8051は最大64KバイトまでのROM、および

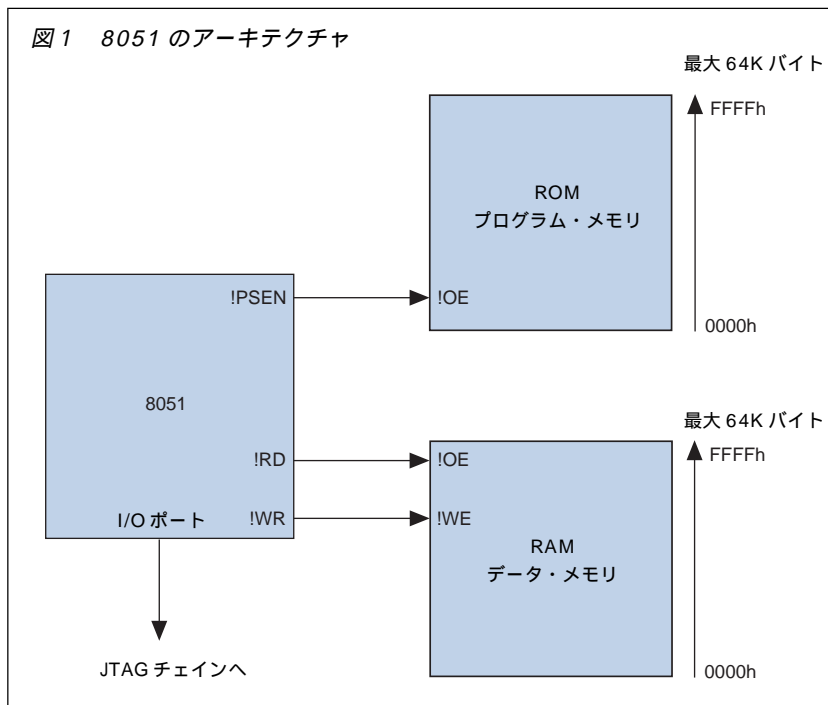
64KバイトまでのRAMをアクセスすることができ、これらの容量はページング形式のメモリを構成することによって拡張することができます。ただし、ページング形式のメモリを使用するためには、8051マイクロプロセッサと該当するメモリとの間に追加のロジックを構成する必要があり、これによって、アクセス・タイムとプログラミング時間が長くなります。

8051のアーキテクチャをベースにしたプロセッサには、クロック・スピードの違い(12MHzから50MHzまで)や、8ビットまたは16ビットのファンクション、0から24KバイトまでのオンチップROMなど、多様なバリエーションの製品が供給されています。64マクロセル以上のデバイスをプログラミングする場合、アルテラは最短のプログラミング時間が得られる最高バージョンの8051を使用することを推奨します。

Jam Byte-Code ソフトウェア

8051プロセッサを使用してアルテラのデバイスをプログラムまたはコンフィギュレーションする場合は、C言語でコーディングされているJam Byte-Code Player とJBCファイルが必要となります。ソース・コードのデフォルト設定が特定の8051プロセッサとの互換性がない場合は、コードを使用する8051マイクロプロセッサ用にカスタマイズする必要があります。ただし、サポートするコンパイラは、Cコードをコンパイルできる必要があります。Jam Byte-Code Player のソース・コードの入手をご希望の方は、日本アルテラの応用技術部にご連絡ください。ソース・コードをカスタマイズする方法の詳細については、アプリケー

図1 8051 のアーキテクチャ



ジョン・ノート、AN 111「*Embedded Programming Using the 8051 Processor & Jam Byte-Code*」をご覧ください。

JBCファイルはMAX+PLUS IIを使用するか、スタンドアローンのJam Byte-Code Compiler を使用してASCIIベースとなっている既存のJamファイル(.jam)をJam Byte-Codeにコンパイルすることによって生成することができます。このコンパイラはJamのWebサイト、<http://www.jamisp.com> から入手することができます。図2はJamのソフトウェアを8051のエンベデッド・システムにストアするひとつの方法を示したものです。

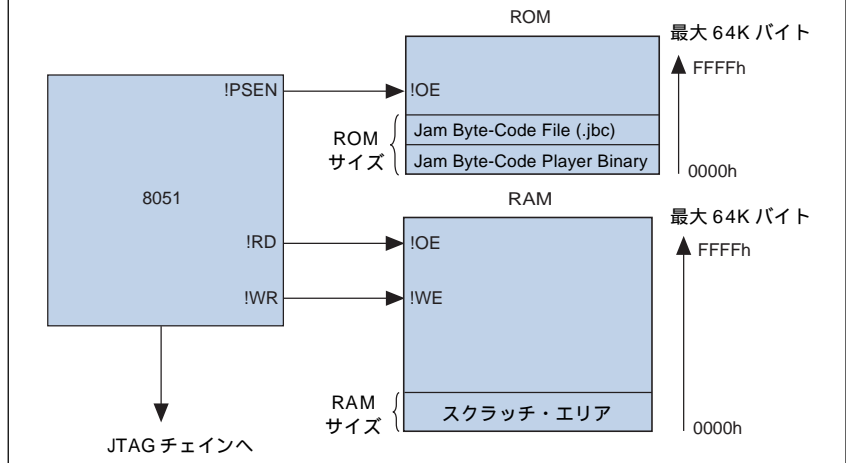
図2ではJBCファイルがROMにストアされていますが、このファイルをRAMにストアして実行することも可能です。どちらの場合でも、Jam Byte-Code Player は8051プロセッサによって動作を開始し、JBCファイルにアクセスできるようになっている必要があります。

まとめ

8051 Jam Byte-Code Player はISPをサポートしており、フィールドでのアップグレードを可能にします。8051マイクロプロセッサによってサポートされるISPとICRはデザインのプロセスも短縮します。これらの作業をさらに

簡略化するためのソース・コードが提供されており、このソース・コードをポーティングすることで、多様なデバイス集積度へのアップグレードがサポートされます。このソース・コードは8051ファミリのマイクロプロセッサ専用のもとなっており、その内容を変更して8051ファミリの多様なバリエーションに適合させることができます。また、プログラミング・ファイルの生成はMAX+PLUS IIのソフトウェアによってサポートされています。

図2 8051でのJamソフトウェアのストア方法



活線挿抜 (13 ページからの続き)

これらデバイスのユーザI/Oピンと入力専用ピンまたはクロック専用ピンは、デバイスにダメージを与えることなく、電源の投入前または投入時に外部からドライブすることができます。また、これらのピンは電源の投入前または投入時、あるいはコンフィギュレーションの実行中に信号を出力しません。さらに、V_{CCIO}とV_{CCINT}ピンに電源が投入される前の状態では、I/Oピン、入力専用ピン、またはクロック専用ピンからV_{CCIO}またはV_{CCINT}ピンへのリーク電流が流れません。したがって、これらのデバイスは、ダメージを与えることなく、またシステム・ボードの動作を妨害することなく、電源が投入されているシステムのボードへ挿入する(またはボードからの引き抜き)ことができます。

通常の動作中には、これらのデバイスに各デバイスのデータシートのDC動作特性の中で規定されている入力リーク電流が存在します。活線挿抜をサポートしているデバイスのリーク電流は10μAとなっています。表1は活線挿抜が発生したときのリーク電流の値を示したものです。

システムの柔軟性を高めるため、アルテラはデバイスを活線挿抜の動作がサポートされるように設計しました。

表1 アルテラ・デバイスの活線挿抜時のリーク電流 注(1)

デバイス名	条件	最大リーク電流
FLEX 10KA FLEX 10KE FLEX 6000 (3.3 V)	V _{CC} = 0 V V _{IN} ≤ 5.75 V (1)	300 μA (2)
MAX 7000AE	V _{CC} = 0 V V _{IN} ≤ 3.6 V (3)	300 μA (2)
	V _{CC} = 0 V V _{IN} ≤ 5.75 V(3)	

注:

- (1) これらのデバイスは5.0Vの入力に対応しています。
- (2) I/Oセルのウイーク・プルアップ抵抗からのリークを含む値です。
- (3) MAX 7000AEデバイスのOE1とGCLRnのピンは、活線挿抜時に3.6Vまでドライブ可能となります。他のすべてのピンは、活線挿抜時に5.75Vまでドライブ可能となります。活線挿抜後は、すべてのピンが5.0Vの入力に対応します。

Customer Application

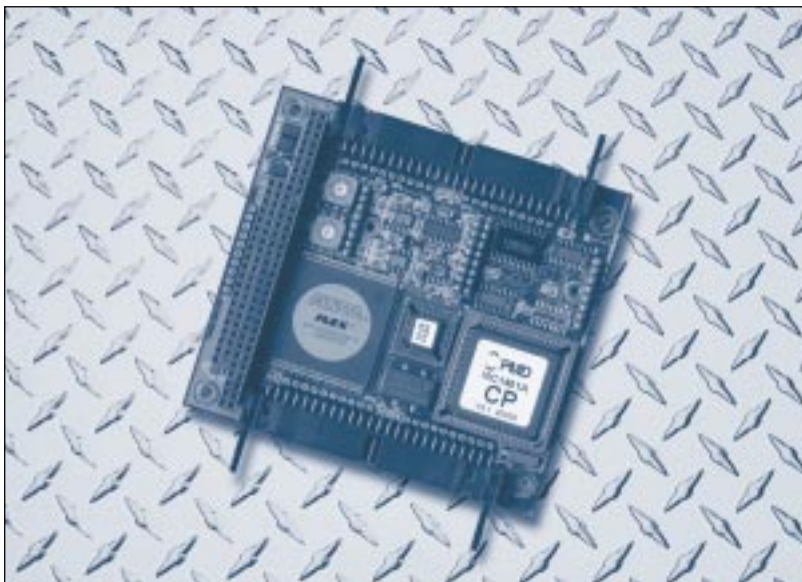
豊富な機能を持つコンパクトなモーション・コントローラの 開発で重要な役割を果たした FLEX 10K デバイス

FLEX 10K デバイスのアーキテクチャと集積度により、Tech 80 社の技術者は 5950B のすべてのデジタル機能を 1 個の FLEX 10K デバイスに集積化することができた。

モーション・コントローラの製造メーカーである Technology 80, Inc. (以下、Tech 80 社と呼ぶ) の技術部門は、PC/104 のバージョン 2.3 の仕様に準拠した豊富な機能を持つ新しい 4 軸サーボ・モーション・コントローラを開発する計画を立てました。問題は、この複雑なコントローラのすべての機能をわずか 3.55 × 3.78 インチのサイズのボードで実現することでした。この製品は PC/104 で要求されるサイズに適合した業界初の 4 軸モーション・コントローラとなるものです。同社が選択したソリューションは、これまで大きなボード・サイズと多数のデバイスを必要とした従来のデザインをアルテラの 1 個の FLEX[®] 10K デバイスにポーティングするというシンプルなものでした。

完成した製品は、図 1 に示す 5950B 4 軸 PC/104 サーボ・モーション・コントローラです。このコントローラは、その小さなサイズから、多様な機械類やロボット、医用測定機器などへの組み込み用途に有効な製品となっています。5950B の主要部分は、PMD 1401A デジタル・シグナル・プロセッサ (DSP) とアルテラの EPF10K30 デバイスとで構成されています。

図 1 Technology 80 社の 5950B 4 軸 PC/104 サーボ・モーション・コントローラ



FLEX 10K デバイスにより高性能化

FLEX 10K デバイスのアーキテクチャと集積度を活用することによって、Tech 80 社の技術者は PC/104 のバス・インタフェースだけでなく、図 2 に示したように 5950B のすべてのデジタル機能を 1 個の FLEX 10K デバイスに集積することができました。また、Tech 80 社はこのデザインに拡張強化された多くの機能を追加して、さらに精度の高い、使いやすいコントローラを実現することができました。

Tech 80 社の技術者が 5950B の設計でもっとも優先していたのは、精度の高いコントロールでした。FLEX 10K デバイスは、ボードのアナログ出力に測定器品質の 16 ビットの D/A コンバータ (DAC) を使用したデザインを実現させました。この 5950B で使用された DAC はモノトニック・タイプのもので、アナログ出力回路で発生する低レベルの偏差の補正して、サーボ・ループの安定性を確保しています。

5950B のセットアップを簡略化するため、Tech 80 社の技術者はすべてのジャンパやポテンションメータを排除しました。このボードのデフォルト設定では、ボードの機能が工場 FLEX 10K デバイスにプログラムされており、ユーザがセットアップ用のソフトウェアを使用して 5950B を簡単にリコンフィギュレーションできるようになっています。

オンチップ・メモリを構成することができる FLEX 10K デバイスのエンベデッド・アレイ・ブロック (EAB) アーキテクチャを使用することで、Tech 80 社は内部レジスタ群を構成する RAM とパワフルなレジスタ・アドレッシング機能を持つ ROM を実現することができました。

また、FLEX 10K デバイスを使用することでボード・スペースが節減されたため、Tech 80 社は、さらに改善強化された I/O プロテクション機能やインタフェース仕様、完全な各軸用の I/O 信号など、この製品の仕様を拡張強化する機能を追加することができました。

MAX+PLUS IIソフトウェアが開発期間を短縮

MAX+PLUS IIのパワフルなシミュレーションとタイミング解析機能は、5950Bデザイン・プロジェクトの開発期間を短縮させました。MAX+PLUS IIのシミュレータを活用することで、ハードウェアを確定させる前にプロジェクトを検証することができたため、オリジナルのデザインを変換してFLEX 10Kデバイスにフィッティングさせるまでの時間が大幅に短縮されました。また、タイミング・アナライザを使用することで、プロジェクト内のすべての信号パスのトレースが可能になり、スピードがクリティカルになるパスを判断してプロジェクトの性能を解析することができました。Tech 80社のシニア・エンジニアであるJim Sandell氏は「MAX+PLUS II開発ソフトウェアの使いやすさと高い能力は、この製品を設計段階から完成させるまでに必要な技術部門の作業時間を短縮した。」と述べています。

4種類の新製品を1枚のボードで実現

開発の過程で、Tech 80社の技術者はアナログ回路をプラグ・インのドータ・ボードに移動させることを決定しました。これによって、5950Bをアナログ回路なしで販売することが可能となり、デジタルのモータ・インタフェースのみを必要とする顧客にはコストの低減を提供することができました。この手法を採用したことによって、同社は同じPCBのデザインを使用して、5950Bの他に3種類の新製品

を開発することができました。Tech 80社のCOO(最高運営責任者)であるJim Burkett氏は「この決定によって、当社はPCBの生産量を最大に引き上げ、そのコストを最小に抑えることが可能になるだろう。」と述べています。

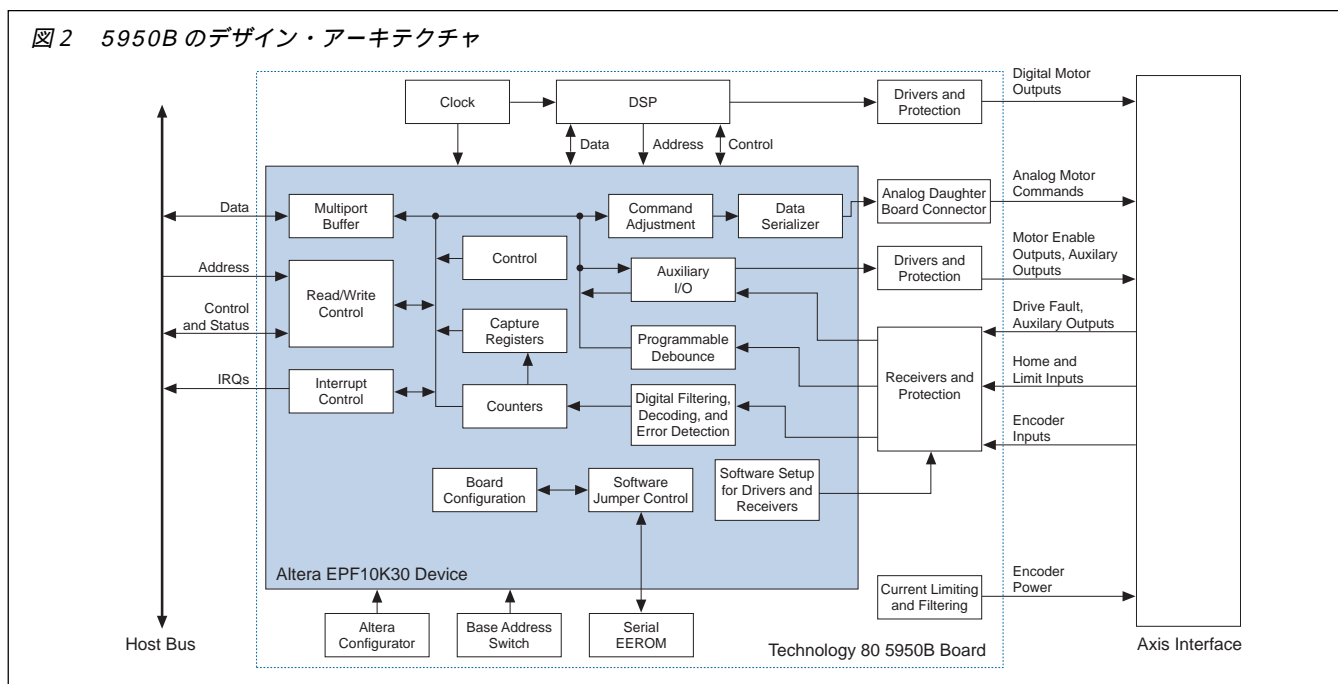
このアルテラ・デバイスを使用した基本デザインは良好で、Tech 80社はこれをすでに設計済みの他のプラットフォームにも移植することを計画しています。バス・インタフェースの設計と変更は簡単な作業となり、開発コスト(NRE)と開発時間も最小になると予想されます。コアとなるアルテラ・デバイスのデザインとサポート回路を変換することで同社の製品ファミリが最大限に拡大され、コストが最小に抑えられます。

まとめ

5950Bのすべてのデジタル回路機能を1個のEPF10K30デバイスで実現することによって、Tech 80社はボード・スペース、設計時間、そして開発コストを節減しました。また同時に、この新しいデザインは、5950Bモーション・コントローラの使いやすさ、精度、そして柔軟性を向上させました。アルテラのデバイスとソフトウェアを使用することで、Tech 80社のモーション・コントローラの現在および今後のデザインは、システム機能を1個のデバイスに簡単に集積できる利点を得ることができるようになります。

「MAX+PLUS II開発ソフトウェアの使いやすさと高い能力は、この製品を設計段階から完成させるまでに必要な技術部門の作業時間を短縮した。」 Tech 80社、シニア・エンジニア、Jim Sandell

Tech 80社の連絡先：
Technology 80, Inc.
658 Mendelssohn Ave. No.
Minneapolis, MN 55427
(612) 542-9545
<http://www.tech80.com>



Questions & ANSWERS

Q MAX+PLUS II ソフトウェアの各バージョン間でプログラマ・オブジェクト・ファイル (.pof) に違いはありますか？

A 古いバージョンのソフトウェアで作成されたデザインを新しいバージョンのソフトウェアで再コンパイルすると、論理合成の違いや改善された配線アルゴリズムなどによって、POF が同一にならないことがあります。デザインのバックアノートによってロジックの位置は固定されますが、配線は固定されません。したがって、デザインやアサイメントを変更していない場合でも、配線が異なる可能性があり、プログラミング・ファイルが異なる結果になることがあります。

MAX+PLUS II プログラムの最新バージョンは、常に以前のバージョンの MAX+PLUS II で作成された POF を読み込むことができます。

Q "Can't program or configure device 'EPFxxxx' in a multi-device JTAG chain-delete programming file from device information" というエラー・メッセージが表示されました。どのような原因が考えられますか？

A FLEX[®] デバイスが含まれているデバイス・チェーンに対するシリアル・ベクタ・フォーマット (.svf) ファイルを作成しようとすると、このようなエラー・メッセージが表示されます。FLEX デバイスは SVF をサポートしていません。

そのファイル・サイズやコンフィギュレーション時間の点から、SVF ファイルは FLEX デバイスのコンフィギュレーションには使用できません。SVF ファイルは、イン・サーキット・テストで使用されるものです。テストから FLEX デバイスが搭載されたボードが取り外されると、コンフィギュレーション・データが失われるため、イン・サーキット・テストによる FLEX デバイスのコンフィギュレーションは推奨されません。

イン・サーキット・テストまたはエンベデッド・プロセッサを使用して、FLEX デバイスを IEEE Std. 1149.1 の JTAG (Joint Test Action Group) インタフェースを通じてコンフィギュレーションする場合は、Jam[™] または Jam Byte-Code 言語が使用できます。Jam 言語は JTAG インタフェースを通じたデバイスのコンフィギュレーションに最適化されたインタプリタ言語です。

Jam 言語に関する詳細は、Jam の Web サイト、<http://www.jamisp.com> で確認してください。

Q FLEX 10KE デバイスの V_{CCIO} と V_{CCINT} ピンにはどのような電源電圧レベルを与えれば良いのでしょうか？

A FLEX 10KE デバイスでは、V_{CCINT} を 2.5V にする必要があり、V_{CCIO} は 2.5V または 3.3V のいずれかに設定することができます。FLEX 10KE デバイスの MultiVolt[™] 機能についての詳細は、12 ページの「複数の電源電圧があるシステムにお

けるアルテラ・デバイスの使用方法」および「FLEX 10KE Embedded Programmable Logic Family」のデータシート（日本語版も有り）で確認してください。

Q MAX[®] 7000A、MAX 7000AE、MAX 7000S および MAX 9000 デバイスのプログラミング時間は、アルテラの MPU (Master Programming Unit) と PC を使用した場合と、サード・パーティのプログラマを使用した場合とでどうして異なるのでしょうか？

A MAX 7000A、MAX 7000AE、MAX 7000S および MAX 9000 デバイスのプログラミング時間は、使用されるプログラミング・ハードウェアによって異なります。また、さらに低速動作のプログラミング・ハードウェアを使用した場合は、プログラミング時間がさらに長くなります。

プログラミング時間のばらつきが特に重要になるような場合は、イン・サーキット・テストと注文コードの末尾に "F" のサフィックスが付く固定アルゴリズムのデバイスを使用することを推奨します。この "F" コード付きのデバイスをイン・サーキット・テストを使用してプログラムすると、プログラミング時間が各デバイスで同じになります。"F" コード付きのデバイスとイン・サーキット・テストが使用できない場合は、より高速の PC を使用することで全体のプログラミング時間を短縮することができます。高速の PC を使用することでプログラミング時間のばらつきは解消されませんが、全体のプログラミング時間は短縮されます。

Q 現在使用中の PLS-WEB 用のライセンスは、MAX+PLUS II BASELINE ソフトウェアには適用できないのでしょうか？

A PLS-WEB のバージョン 9.01 と BASELINE バージョン 9.1 のソフトウェアは、共に license.dat のファイルによりライセンスが提供されるようになっており、これらのソフトウェアは同じ機能を持っています。ただし、これらの製品のバージョンは異なり、ライセンス方法と license.dat ファイルの中の FEATURE の行の内容も異なっています。各ソフトウェアを正常に動作させるためには、FEATURE の行が適切な内容になっている必要があります。

PLS-WEB バージョン 9.01 のライセンス・ファイルの例を下記に示します。

```
FEATURE max2.es alterad 0000.00 15-jun
1999 uncounted D64F2D5DAE78 \
HOSTID=DISK_SERIAL_NUM=d8452f2f
```

BASELINE バージョン 9.1 のライセンス・ファイルの例を下記に示します。(赤で表示されている部分が PLS-WEB のライセンス・ファイルと異なっています。)

```
FEATURE maxplus2web alterad 1999.06
15-jun-1999 uncounted \
626CE8C32D52
HOSTID=DISK_SERIAL_NUM=d8452f2f
```

これら双方のバージョンのソフトウェアに共通のライセンス・ファイルを使用したい場合は、2種類のFEATUREの記述をひとつのlicense.datファイルにまとめることが可能です。そして、このファイルをPLS-WEBとBASELINEの双方のソフトウェアに指定してください。

Q Jamファイル(.jam)またはJam Byte-Codeファイル(.jbc)を変換してエンベデッド・メモリにストアするためには、どのような処理を行えば良いのでしょうか？

A Jamファイル(.jam)はASCII、Jam Byte-Codeファイル(.jbc)はバイナリのファイル・フォーマットとなっています。これらの各ファイルに含まれる内容はデザインによってそれぞれ異なりますが、ファイルのフォーマットは一定です。したがって、EPROMまたはFLASHメモリ用のプログラマを使用して、これらのファイルのフォーマットをプログラマに使用できるフォーマットに変換することが可能です。例えば、デバイス・プログラマはASCIIファイルを読み込んで、EPROMまたはFLASHメモリに自動的にプログラムすることができます。イン・システムでプログラムされるFLASHメモリについては、プログラミング時にFLASHデバイスに送出されるデータのフォーマットを各FLASHデバイスのベンダに確認してください。

また、ASCIIおよびバイナリのファイルを多様な種類のメモリにプログラミングするときに要求される出力フォーマットに変換するユーティリティ・プログラムも幅広く提供されています。

Q "Can't open file<ファイル名>.pof" (JTAGチェーン・ファイル)のエラー・メッセージが表示されました。どのような原因が考えられるでしょうか？

A JTAGチェーン・ファイル(.jcf)には、デバイスのプログラムに必要なプログラマ・オブジェクト・ファイル(.pof)の名前と場所を示す情報が含まれています。ただし、JCFには実際のPOFは含まれていません。

JCFファイル内で参照されるPOFの場所が変更されていると、MAX+PLUS IIのMulti-Device JTAG Chainのダイアログ・ボックスにそのJCFがロードされたときに、上記のようなエラー・メッセージが表示されます。

このようなエラーの発生を避けるためには、POFがセーブされる場所が変更されないようにする必要があり、例えばJCFとPOFが同じディレクトリにセーブされるようにしてください。

Q EPF10K100Bデバイスには、コンフィギュレーション時に使用されるウィークI/Oプルアップ抵抗が内蔵されていますか？

A いいえ、EPF10K100Bデバイスには、このようなプルアップ抵抗は内蔵されていません。コンフィギュレーション時にI/Oピンはトライ・ステートとなり、これらのピンの電圧は不定となります。これらのピンを規定された電圧レベルの入力と接続する必要がある場合は、これらのピンを外部のプルアップ

(またはデザインの要求によってはプルダウン)抵抗を通じてプルアップ(またはプルダウン)する必要があります。

他のFLEX 10KEデバイスにはウィークI/Oプルアップ抵抗が内蔵されており、これらの抵抗がコンフィギュレーションの開始前と実行中にアクティブとなります。詳細については、「FLEX 10KE Embedded Programmable Logic Family」のデータシートを参照してください。

Q バウンダリ・スキャン・テスト回路を内蔵していないEPM7032SやEPM7064Sが含まれているJTAGチェーンに対するJTAGテストはどのようにしたら実行できますか？

A EPM7032SとEPM7064SにはJTAGのバウンダリ・スキャン・テスト回路が内蔵されていませんが、JTAGのテスト・アクセス・ポート(TAP)コントローラは内蔵されています。また、これらのデバイスには、JTAGのテスト動作を妨害しないようにするための必要な回路も内蔵されています。このため、イン・システム・プログラマビリティ(ISP)をサポートしているシステムでは、JTAGチェーンにこれらのデバイスを含めることが可能です。これらのデバイスは、以下のJTAG命令に対応できます。

- ISP関連命令 これらのデバイスに内蔵されているJTAGコントローラにより、デバイスをイン・システムでプログラミングするための命令とデータを送出するときに使用されるJTAG仕様準拠のISP命令の使用が可能です。
- BYPASS JTAGチェーンにいずれかのデバイスが含まれている場合、そのデバイスはバイパスされる必要があります。この機能をサポートするため、これらのデバイスにはJTAGのBYPASS命令に対応できる回路が内蔵されています。
- EXTESTとSAMPLE/PRELOAD テスト・ツールがチェーン内のすべてのデバイスにEXTESTやSAMPLE/PRELOADの命令を送出することがあるため、これらのデバイスは実際にはテストされませんが、EXTESTおよびSAMPLE/PRELOADの命令をサポートしています。EPM7032SとEPM7064Sは、これらの命令がロードされた場合でもテストされませんが、1ビットの長さのバウンダリ・スキャン・レジスタが選択されるようになっています。JTAGの仕様では、EXTESTとSAMPLE/PRELOADの命令が任意のビット・パターンで実行できるようになっています。EPM7032SとEPM7064Sの両デバイスは、JTAGバウンダリ・スキャン・テスト回路をフル装備している同じファミリー内の他のデバイスとは異なるビット・パターンを持っています。

これらのデバイスに対するバウンダリ・スキャン記述言語(BSDL)ファイルは、これらの命令を選択するビット・パターンとなっています。これらのデバイスに関するすべてのJTAG情報は、アルテラのWebサイトに提供されている各BSDLファイルの中に含まれています。

APEX 20K デバイスのプロダクト・ターム・モードの特長

アルテラの APEX™ 20K デバイスには、ルック・アップ・テーブル (LUT) とプロダクト・ターム・ロジックの双方の長所を結合した革命的な MultiCore™ アーキテクチャが採用されています。これら 2 種類のアーキテクチャを集積することによって、APEX 20K は System-on-a-Programmable-Chip™ のデザインに最適なデバイスとなっています。

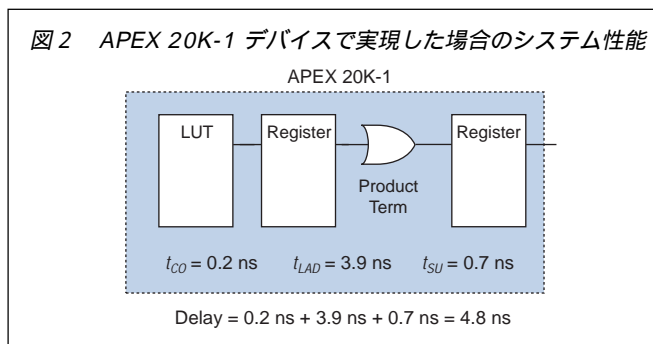
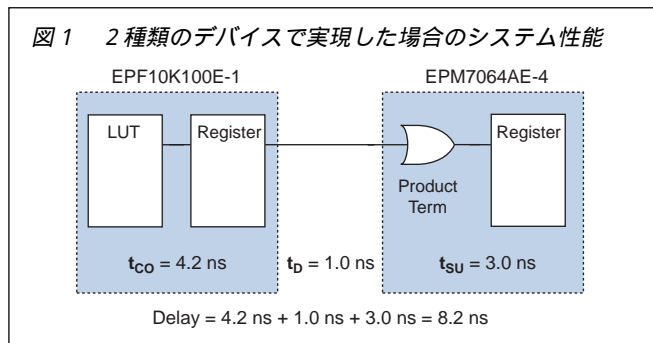
APEX 20K のアーキテクチャ

APEX 20K ファミリの基本ビルディング・ブロックは、MegaLAB™ と呼ばれる構造となっており、この MegaLAB には 10 個のロジック・エレメント (LE) で構成されているロジック・アレイ・ブロック (LAB) が計 16 個内蔵されています。また、APEX 20K の各 MegaLAB にはエンベデッド・システム・ブロック (ESB) が 1 個含まれており、これを 2,048 ビットの RAM、ROM または CAM (Content Addressable Memory) または 16 プロダクト・タームのマクロセル構造にコンフィギュレーションすることができます。各マクロセルには、OR ゲートまたは XOR ゲートと接続できる 2 本のプロダクト・ターム、および多入力の OR ゲート機能を構成するためのプログラマブルなインバータが内蔵されています。各マクロセルの出力はレジスタ付きにすることができ、このレジスタにはクロック・イネーブルと非同期のクリア機能が備えられています。また、ESB によるマクロセルには隣接するマクロセルの入力または出力との接続が可能なパラレル・エクスパンダも含まれています。このパラレル・エクスパンダはシステム性能とルーティングを改善し、ESB のプロダクト・ターム・アーキテクチャをデータ幅の広いマルチプレクシングや多入力のアプリケーションに最適なものにしていきます。

改善される性能

MultiCore アーキテクチャでは、プロダクト・ターム・アーキテクチャによるアドレス・デコーダなどの組み合わせ回路やステート・マシンにより高い性能が提供され、同時に LUT アーキテ

キテクチャによってレジスタ付きのデータ・パス・ファンクションに優れた性能が実現されるため、システム性能が改善されます。また、デザインが LUT ベースのデバイスとプロダクト・ターム・ベースのデバイスに分割された場合にデバイス間の接続で発生する遅延時間も解消されます。図 1 は LUT ベースのデバイスとプロダクト・ターム・ベースのデバイスを使用してデザインを実現した場合のデバイス間の遅延時間とシステム性能を示したものです。これに対して、図 2 は LUT とプロダクト・タームのアーキテクチャを集積することによって、システム性能が改善されることを示したものです。



機能	性能比較						
	プロダクト・ターム			LUT		理想的ソリューション	
	性能 (MHz)	使用リソース	性能 (MHz)	使用リソース	プロダクト・ターム	LUT	
レジスタ付き入出力の 32 ビット AND ゲート	192	1 本のプロダクト・ターム (1.6 個のロジック・エレメントに相当するダイ・サイズ)(1)	172	8 個のロジック・エレメント (1)	✓		
8 ステート、6 入力 / 11 出力、148 トランジション・ステート・マシン	76	204 本のプロダクト・ターム (319 個のロジック・エレメントに相当するダイ・サイズ)	66	366 個のロジック・エレメント	✓		
16 対 1 のレジスタ付き I/O マルチプレクサ	149	20 本のプロダクト・ターム (30 個のロジック・エレメントに相当するダイ・サイズ)(1)	185	10 個のロジック・エレメント (1)		✓	
8 × 8 レジスタ付きマルチプライヤ	52	702 本のプロダクト・ターム (1,097 個のロジック・エレメントに相当するダイ・サイズ)(1)	188	135 個のロジック・エレメント (1)		✓	

注:

(1) 入力レジスタはカウントされていません。

APEX 20Kでは2種類のアーキテクチャが1個のデバイス内に備えられているため、多入力のファンクションやステート・マシンなどのようなデザイン機能が、より高い性能と使用効率で実現されます。

表1は、標準的なファンクションをプロダクト・タームとLUTで実現した場合の性能と、双方の実現方法で使用するデバイスの使用効率を比較したものです。32本のプロダクト・タームには、50個分のLEに相当するダイ・エリアが必要です。多入力のANDゲートやステート・マシンは、プロダクト・タームで実現した方がより高速で効率的になり、マルチプライヤやマルチプレクサはLUTで実現した方が高速で効率的です。

Quartus ソフトウェアによるサポート

Quartus™ソフトウェアは各ESBをマクロセル構造のブロックに個別にコンフィギュレーションすることができるため、デザインに高い柔軟性が提供されます。ESBでは、プロダクト・ターム、RAM、ROM、CAMまたはLUTの各モードを使用できます。

APEX 20KデバイスとQuartusソフトウェアの詳細については、日本アルテラまたは各販売代理店の応用技術部へお問い合わせ頂くか、アルテラのWebサイト、<http://www.altera.com>でご確認ください。

Altera

NEWS

デザイン・プロセスを強化する革命的な Quartus ソフトウェア

アルテラの新しいQuartus™開発システムを使用することで、デザインの作成とコンパイルをさらに効率的に行うことができます。この革命的なソフトウェアとアルテラのAPEX™アーキテクチャを使用することで、1,000,000ゲート・レベルを超えるデザインが可能になります。

APEX 20Kデバイスのサイズと複雑さは、デザインの実現に新たな課題をもたらします。Quartusはデザイン全体のプロセスを簡略化し、デザインの効率的な実現と「Time-to-Market」の期間をさらに短縮するソフトウェアです。



Quartus開発システムには、下記のようなデザインの生産性を向上させる多くの新しい機能が提供されています。

- **ワークグループ・コンピューティング** グローバルなファイル管理とデザイン・リビジョン・コントロール機能により、複数の設計者が同じプロジェクトに参加できます。
- **ロジック解析機能の実現** このソフトウェアのSignalTap™ロジック・アナライザにより、デバイスを実際のスピードで動作させながらシステム・レベルの検証が行えるため、検証時間が大幅に短縮されます。
- **EDAツールとの統合化** NativeLink™インタフェース機能により、Quartusソフトウェアは他社の合成ツールや検証ツールとシームレスに接続され、検証に要する時間が短縮されます。NativeLink機能の詳細については、8ページの「EDAツールとのシームレスなインタフェースを実現するNativeLink統合機能」を参照してください。

- **マルチ・プロセッサのサポート** コンピュータの計算機能をフルに活用する必要があるタスクは、ネットワークや複数のオペレーティング・システムを通じて複数のプロセッサに分配されて処理されるため、コンパイル時間が短縮されます。
- **インクリメンタル・コンパイルーション** nSTEP™コンパイラにより、小規模なデザインの変更を高速に処理できるため、コンパイル時間が大幅に短縮されます。
- **IP (Intellectual Property) の集積** ブロック・ベースのデザイン手法の採用により OpenCore™ 評価機能、および MegaWizard™ Plug-In パラメータ化機能を使用したメガファンクションの集積が容易になり、各ブロックが最適化されたタイミングになるように配置されます。
- **改善された合成結果** CoreSyn™と呼ばれる合成機能が適切な合成テクノロジを起動して、デザインを最適なデバイス・アーキテクチャにマッピングします。コンパイラはデザインを解析して、これをAPEX 20Kアーキテクチャ内の適切なエレメントやメモリに分割します。CoreSynの機能の詳細については、9ページの「CoreSynによる論理合成」をご覧ください。
- **Internetとの接続** Quartusソフトウェアは最新のインターネット・ブラウザ技術が組み込まれたWebベースのソフトウェアです。

アルテラのサブスクリプション・プログラム製品を購入されたすべてのユーザには、このQuartusソフトウェアがリリースされ次第、すぐに配布されます。アルテラのサブスクリプション・プログラムの契約方法については、各販売代理店にお問い合わせください。

日本アルテラ、1999 テクニカル・ソリューションズ・セミナーのご案内



Present

最先端の設計ツールを
差し上げます。

セミナー会場でアンケートにお答え
頂いた方の中から抽選でアルテラの
MAX+PLUS II と Quartus のパッ
ケージ、および Synopsys, Exemplar
Logic, Synplicity の各社より提供の
最先端ツールを差し上げます。

日本アルテラは、下記の要領でテクニカル・ソリューションズ・セミナーを開催します。今回のセミナーでは、新製品、APEX™ 20K デバイスのアーキテクチャの詳細や、次世代プログラマブル・ロジック開発システム、Quartus の機能などを含むアルテラの System-on-a-programmable-chip™ ソリューションをご紹介します。競合他社の一步先を行くための最新情報を提供する日本アルテラのセミナーに皆様をご招待致します。次ページの申し込みフォームでお申し込みください。

なお、各会場でアンケートにお答え頂いた方にもれなくアルテラ特製のTシャツを差し上げます。さらに、抽選でアルテラの開発ツール、MAX+PLUS II と Quartus のパッケージおよび協賛EDAツール・メーカから提供される最先端EDAツールを差し上げます。

セミナー内容

General Session 10:00am-12:00am
ジェネラル・セッションでは、APEX 20K ファミリーを中心にアルテラ・デバイスの概要、ならびに、Quartus を中心に開発用ソフトウェア、また、アルテラ・デバイスが提供する最新の機能、特長、将来の製品動向などについてご紹介します。

アルテラ製品概要

APEX 20K ファミリー
アルテラ・デバイスの特長、主な機能
Quartus 開発ツールの概要
アルテラ製品ロードマップ

Application Session 1:30pm-5:00pm

アプリケーション・セッションでは、システム・レベル・インテグレーションを実現するための設計手法、IPの効率的な使用方法、デザイン・テクニックなどを、Quartus ソフトウェアのデモを交えてご紹介します。

最新デザイン・フロー

設計ツール・インテグレーション
アルテラ・デバイス・デザイン・テクニック
システム・レベル設計手法

お申し込み方法

セミナーの受講は無料ですが、事前のお申し込みが必要です。必要事項をご記入の上、FAXでご返送ください。各会場共、定員になりしだい締め切らせていただきます。登録完了後、登録確認証をお送りします。なお、競合会社、およびその関連の方の受講はお断りいたします。

1999 アルテラ・テクニカル・ソリューションズ・セミナー

開催日時 / 会場 :

5月14日(金) 東京 / 大東京火災新宿ビル B1 ホール 定員 : 350 名
5月19日(水) 横浜 / 新横浜プリンスホテル 定員 : 500 名
5月21日(金) 大阪 / 大阪ガーデンパレス 定員 : 300 名 (各会場共に 10:00 から 17:00 まで)

セミナー会場案内図

5/14 (金) 東京会場



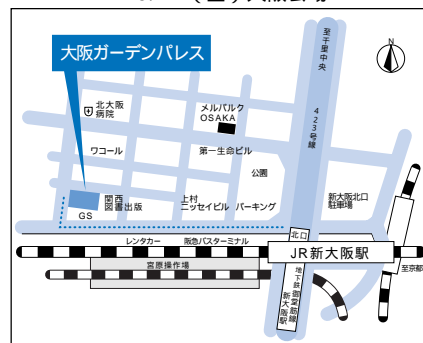
大東京火災新宿ビル B1 ホール
新宿駅西口または南口より徒歩 15 分

5/19 (水) 横浜会場



新横浜プリンスホテル 5F シンフォニア
新横浜駅より徒歩 2 分

5/21 (金) 大阪会場



大阪ガーデンパレス 2階 桐 / 桜
新大阪駅より徒歩 15 分

1999 アルテラ・テクニカル・ソリューションズ・セミナ 受講申し込み書

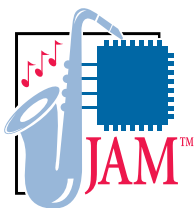
申込書の返送先： FAX: 045-939-6114 株式会社アルティマ

または、 FAX: 045-477-2013 株式会社パルテック

(現在お取引のある、またはコンタクトのある上記販売代理店あてにお送りください。)

受講希望セミナ	会社名	_____
希望される会場をチェックしてください。	フリガナ	_____
5/14 (金) 東京会場	所属部署	_____
5/19 (水) 横浜会場	役職	_____
5/21 (金) 大阪会場	氏名	_____
アルテラのセミナへの参加は	フリガナ	_____
初めて	住所： 〒	_____
以前にも参加したことがある	_____	_____
現在、アルテラ製品をご使用頂いていますか	TEL	_____
はい	FAX	_____
いいえ	Eメール	_____
(FAX 送付の際は、このページをコピーして ご使用ください)		

ASSET 社が Jam と SVF プログラミングの 双方をサポートした初のツール・セットを提供



バウンダリ・スキャン・テストとイン・システム・プログラマビリティ (ISP) の分野のマーケット・リーダで、これらに関する標準化作業でも長い間にわたってリーダ的な存在となっている ASSET InterTech 社が、ASSET ツール・セットのバージョン 2.3 をリリースしました。今回のリリース・バージョンでは、いくつかの新しいバウン

ダリ・スキャン・テスト機能に加え、Jam™ プログラミング / テスト用言語とシリアル・ベクタ・フォーマット (SVF) のテスト / プログラミング言語の双方がサポートされており、ASSET ツールは双方の言語をサポートした業界初のバウンダリ・スキャン・テスト・システムとなります。

バージョン 2.3 の ASSET ツールのリリースにより、任意のプログラマブル・ロジック・デバイス (PLD) ベンダ用の Jam ファイルを使用したイン・システム・プログラミングが、スタンドアローンのプログラミング・ステーションあるいは生産工程内のテスト・フローの一部に組み込まれた形で実行できるようになりました。

この ASSET 社のツールは、標準化のために 1997 年 9 月に JEDEC に提出された Jam のバージョン 1.1 の規格をサポートしています。

この標準化された言語によって ISP とバウンダリ・スキャン・テストをサポートしたツールの開発が容易になるため、アルテラと ASSET 社は Jam が JEDEC の標準規格に採用されることを期待しています。SVF は ISP の実行とバウンダリ・スキャン・テストの開発のために使用できるオープンな規格となっています。

ASSET のバージョン 2.3 に関する詳細については、同社の Web サイトをご覧になるか、または下記の ASSET 社日本代理店へお問い合わせください。

ASSET InterTech, Inc.
2201 N. Central Expressway, Suite 105
Richardson, TX 75080
<http://www.asset-intertech.com>

日本代理店
有限会社オンテスト
東京都あきる野市草花 193-24
TEL:042-532-7203, FAX:042-532-7823
E-mail:asami@ontest.co.jp

最新の AMPP パートナが SNET、ATM、POS テスト・ボードを提供



アルテラの AMPPSM (Altera Megafunction Partner Program) のもっとも新しいパートナー企業である Innocor 社は、カナダ、オンタリオ州にあるデータ

通信関連製品の OEM (Original Equipment Manufacturer) 企業および技術提供会社です。同社はアルテラのデバイスをターゲットにしたデザイン・サービスも顧客へ提供しています。同社の創業者、Randy Gill 氏は Nortel 社に勤務していたときに初めてアルテラのデバイスとツールを使用したデザインを経験しました。1995年に同氏はデータ通信機器のデザイン経験を生かして、11人の技術者チームによる Innocor 社を設立しました。

Innocor 社は、同社のデータ通信メガファンクションを使用して OC-1/OC-3 と呼ばれるテスト製品を開発しました。図 1 に示す Innocor 社が開発した TestPoint OC-1/OC-3 テスタにはカスタマイズが可能なエンベデッド Web サーバが含まれており、この製品で同社が開発した SNET (Synchronous Optical Network)、ATM (Asynchronous Transfer Mode)、POS (Packet Over SNET) の各ファンクションがアルテラのデバイスに最適化されて実現されています。アルテラの EPF10K100A デバイスのリターゲット可能なアーキテクチャの特長を活用することで、Innocor 社は経済的な方法で機能の拡張を提供することができました。SNET、ATM、POS のテスト機能を備えたこの新製品は幅広い多様な機能をサポートしています。また、この TestPoint OC-1/OC-3 テスタを、ある変更されたソフトウェア・イメージでコンフィギュレーションすることにより、この製品を SNET、ATM、POS に関連した IP (intellectual property) のデモンストレーションおよび開発用プラットフォームとしても使用できるようになります。



図 1 アルテラの EPF10K100A が採用された Innocor 社の TestPoint の OC-1/OC-3 Tester

Innocor 社は特にアルテラのプログラマブル・ロジック・デバイス (PLD) を対象にしたデザインや、最適化されたメガファンクションも提供しています。これらアルテラのデバイスを対象にした製品には、下記のファンクションが含まれています。

- 8030 serial communications controller
- Monosync/bisync controller
- SDLC/HDLC controller
- Data encoder/decoder
- Cyclic redundancy code (CRC) generator/detector
- Digital phase-locked loop (PLL)
- 8036 CIO
- 8259 programmable interrupt controller (PIC)
- SNET byte telecommunication bus interface
- SNET VT1.5 mapper
- SNET VT1.5 extractor
- PPP over SNET controller

Innocor 社は、アルテラのデバイスを使用したデータ通信のアプリケーションに関する高い品質のデザインを作成した幅広い経験を持っています。アルテラと Innocor 社との提携によって、ユーザのデザイン・コストと「Time-to-Market」の期間が大幅に短縮されます。Innocor 社が提供するソリューションはメガファンクションの提供から、広範囲にわたるユーザ・サポート、デザイン・コンサルティング、将来の新製品の提供にまで及んでいます。

Innocor 社製品の価格などの情報については、同社へ直接、お問い合わせください。

Innocor Ltd.
 連絡先 : Randy Gill
 7 Mill Street, Suite 300
 Almonte, ON
 Canada K0A 1A0
 Tel: (613)256-5339
 Fax: (613)256-5161
 info@innocor.com
 http://www.innocor.com

サード・パーティ・ベンダによる プログラミング・サポート

Data I/O 社と BP Microsystems 社は、アルテラのデバイスをサポートするプログラミング・ハードウェアを供給しています。各デバイスのプログラミング・アルゴリズムが Data I/O 社の BBS、「Keep Current Express-Bulletin Board Service (KCE-BBS)」および BP Microsystems 社の BBS を通じて提供されています。アルテラのコンフィギュレーション・デバイス、MAX[®] 9000、MAX 7000ファミリの各デバイスに対するサポート状況は下記の表 1 の通りです。なお、ここに示されている情報は変更されることがあります。

デバイス名	Data I/O (1)	BP Microsystems (2)
EPC1064	✓	✓
EPC1213	✓	✓
EPC1	✓	✓
EPC1441	✓	✓
EPM7032	✓	✓
EPM7032S	✓	✓
EPM7032AE	(3)	(3)
EPM7064	✓	✓
EPM7064S	✓	✓
EPM7064AE	(3)	(3)
EPM7096	✓	✓
EPM7128E	✓	✓
EPM7128S	✓	✓
EPM7128A	✓	✓
EPM7160E	✓	✓
EPM7192E	✓	✓
EPM7192S	✓	✓
EPM7256E	✓	✓
EPM7256A	(3)	(3)
EPM7256S	✓	✓
EPM7512AE	(3)	(3)
EPM9320	✓	✓
EPM9320A	✓	✓
EPM9400	✓	✓
EPM9480	✓	✓
EPM9560	✓	✓
EPM9560A	✓	✓

表中の注：

- これらのデバイスは、Data I/O 社の 3900 システムのバージョン 5.9、および UniSite のバージョン 5.9 のプログラマでサポートされています。
- これらのデバイスは BP Microsystems 社のバージョン 3.38 のプログラマでサポートされています。
- これらのデバイスに対するプログラミング・サポートは、データ・アイ・オー社または BP Microsystems 社へお問い合わせください。Data I/O 社製品の詳細についてはデータ・アイ・オー・ジャパン(株)(電話: 03-3779-2151)へ、BP Microsystems 社の製品については、日本総代理店、丸紅ソリューション(株)(電話: 03-5778-8665)へお問い合わせください。

アルテラは新たに下記の資料を刊行しました。これらの新しい資料は、販売代理店またはアルテラの Web サイト、<http://www.altera.com> を通じて入手できます。カッコ内の記号はドキュメント番号です。なお、マークの付いた資料は日本語版の制作を進めており、近くアルテラの日本語 Web サイト、<http://www.altera.com/japan/> からダウンロードできるようになります。

- *Altera Digital Library CD-ROM, version 5 (P-CD-ADL-05)*
- *APEX 20K Programmable Logic Device Family Data Sheet (A-DS-APEX20K-01)*
- AN 71 : *Guidelines for Handling J-Lead, QFP & BGA Devices (A-AN-071-04)*
- AN 80 : *Selecting Sockets for Altera Devices (A-AN-080-03)*
- AN 81 : *Reflow Soldering Guidelines for Surface-Mount Devices (A-AN-081-03)*
- AN 90: *SameFrame Pin-Out Design for FineLine BGA Packages (A-AN-090-01)*
- AN 102: *Improving Performance in FLEX 10K Devices with Leonardo Spectrum Software (A-AN-102-01)*
- AN 106: *Designing with 2.5-V Devices (A-AN-106-01)*
- SB 38: *SDRAM Controller Megafunction (A-SB-038-01)*

プログラミング・ハードウェアの サポート状況

下記の表 1 は BitBlaster[™] シリアル・ポート・ダウンロード・ケーブルおよび ByteBlasterMV[™] パラレル・ポート・ダウンロード・ケーブルでプログラミングおよびコンフィギュレーションできるアルテラのデバイス・ファミリを示したものです。(ByteBlaster[™] ダウンロード・ケーブルは ByteBlasterMV ケーブルで代替されております。)

デバイス名	BitBlaster	ByteBlasterMV
FLEX 10K	✓	✓
FLEX 10KA		✓
FLEX 10KE		✓
FLEX 8000	✓	✓
FLEX 6000	✓ (1)	✓
MAX 9000	✓	✓
MAX 9000A	✓	✓
MAX 7000S	✓	✓
MAX 7000A		✓

注：

- (1) このダウンロード・ケーブルは、EPF6016 にのみ使用可能です。

(26 ページに続く)

プログラミング・ハードウェアのサポート状況
(25 ページからの続き)

アルテラのプログラミング・アダプタ

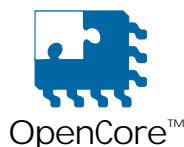
下記の表2 はアルテラの各デバイスに対応するプログラミング・アダプタの最新情報を示したものです。正しいプログラミングを行うためには、29ページに示されている「現在のソフトウェア・バージョン」を使用することが必要です。表2 は MAX[®] 9000、MAX 7000、コンフィギュレーション・デバイスに対応するアルテラのアダプタを示したものです。

デバイス名	パッケージ	アダプタ
EPC1064 (2), EPC1064V (2), EPC1441 (3)	DIP, J-lead TQFP	PLMJ1213 PLMT1064
EPC1 (3), EPC1213 (2)	DIP, J-lead	PLMJ1213
EPC2 (3)	J-lead TQFP	PLMJ1213 PLMT1064
EPM9320	J-lead (84-pin) RQFP (208-pin) PGA (280-pin)	PLMJ9320-84 PLMR9000-208 PLMG9000-280
EPM9320A	J-lead (84-pin) RQFP (208-pin)	PLMJ9320-84 PLMR9000-208NC (4)
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560	RQFP (208-pin) RQFP (240-pin) PGA (280-pin) RQFP (304-pin)	PLMR9000-208 PLMR9000-240 PLMG9000-280 PLMR9000-304
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC (4) PLMR9000-240NC (4)
EPM7032, EPM7032V	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7032S, EPM7032AE	J-lead (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMT7000-44
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7064AE	FineLine BGA (100-pin)	PLMF7000-100
EPM7064S, EPM7064AE	J-lead (44-pin) J-lead (84-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMJ7000-84 PLMT7000-44 PLMT7000-100NC (4)
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100

デバイス名	パッケージ	アダプタ
EPM7128, EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7128A	J-lead (84-pin) TQFP (100-pin) TQFP (144-pin) FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMJ7000-84 PLMT7000-100NC (4) PLMT7000-144NC (4) PLMF7000-100 PLMF7000-256
EPM7128AE	FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMF7000-100 PLMF7000-256
EPM7128S	J-lead (84-pin) PQFP (100-pin) TQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (4) PLMT7000-100NC (4) PLMQ7128/7160-160NC(4)
EPM7160E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7160S	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (4) PLMQ7128/7160-160NC(4)
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/7256-160
EPM7192S	PQFP (160-pin)	PLMQ7192/7256-160NC(4)
EPM7256E	PQFP (160-pin) PGA (192-pin) PQFP (208-pin) RQFP (208-pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208 PLMR7256-208
EPM7256A	FineLine BGA (256-pin)	PLMF7000-256
EPM7256A EPM7256S	PQFP (208-pin) RQFP (208-pin)	PLMR7256-208NC (4) PLMT7000-208NC (4)
EPM7256AE	FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMF7000-100 PLMF7000-256
EPM7384AE	TQFP (144-pin) PQFP (208-pin)	PLMT7000-144NC (4) PLMR7256-208NC (4)
EPM7512AE	TQFP (144-pin) PQFP (208-pin) BGA (256-pin) FineLine BGA (256-pin)	PLMT7000-144NC (4) PLMR7256-208NC (4) PLMB7000-256 PLMF7000-256

- 注：
 (1) MAX 5000およびClassic™ デバイス用のアダプタについては、「Altera Programming Hardware」のデータシートでご確認ください。アルテラは、0.8ミクロン・プロセスのEPM5032、EPM5064、EPM5130用プログラミング・アダプタに対する交換プログラムを提供しております。
 (2) FLEX[®] 8000用コンフィギュレーション・デバイス
 (3) FLEX 10K、FLEX 8000、FLEX 6000用コンフィギュレーション・デバイス
 (4) これらのデバイスはキャリア付きでは出荷されません。

アルテラが 50 種類を超える DSP メガファンクションを提供



アルテラの DSP (Digital Signal Processing) ソリューションは、衛星通信、デジタル画像処理、スペクトラム拡散システムなど、リアル・タイムの高い性能が要求されるアプリケーションに対して理想的なソリューションとなるようにその性能

が最適化されています。アルテラは FIR フィルタや高速マルチプライヤのような基本ビルディング・ブロックから、リード・ソロモン・コーデックやビダビ・デコーダのような複雑なメガファンクションに至る幅広い DSP 関連製品を提供しています。

メガファンクションはあらかじめ開発、テスト済みの IP (Intellectual Property) ブロックとなっており、ターゲット・デバイスのアーキテクチャで効率的に使用できるように最適化され

ています。メガファンクションを利用することで、設計者は標準的なファンクションを再設計することなく、システム・レベル製品の改良や差別化に時間とエネルギーを注ぐことができます。アルテラの MegaCore ファンクションはアルテラの Web サイトからダウンロードすることができ、MAX+PLUS® II ソフトウェアで提供されている OpenCore™ 機能を使用して、購入前に無償で評価することができます。また、AMPPSM (Altera Megafunction Partner Program) を通じて提供されている多くのメガファンクションについても、アルテラの Web サイトから各パートナー企業に E-mail を送信して、その OpenCore バージョンをリクエストすることができるようになってきています。アルテラのメガファンクション製品に関する最新情報は、アルテラの Web サイトでご確認頂くか、日本アルテラまたは販売代理店へお問い合わせください。

DSP ビルディング・ブロック・メガファンクション

ファンクション	供給者
FIR Filter Compiler	Altera MegaCore Function
Convolutional Interleaver/Deinterleaver	Altera MegaCore Function
Fast Fourier Transform	Altera MegaCore Function
Fast Fourier Transform (FFT/IFFT)	Integrated Silicon Systems
FIR Filter Library	Integrated Silicon Systems
Floating-Point Adder	Integrated Silicon Systems
Floating-Point Divider	Integrated Silicon Systems
Floating-Point Multiplier	Integrated Silicon Systems
IIR Filter Library	Integrated Silicon Systems
Median Filter Library	Integrated Silicon Systems
Multi-Standard ADPCM	Integrated Silicon Systems
Rank Order Filter Library	Integrated Silicon Systems
Parameterized Floating-Point Adder/Subtractor	Altera Reference Design
Parameterized Integer Divider	Altera Reference Design
Parameterized Floating-Point Multiplier	Altera Reference Design
Data Word Rounder	Altera Reference Design
Data Word Saturator	Altera Reference Design

DSP エラー・コントロール・コーディング・メガファンクション

ファンクション	供給者
CRC Checker/Generator	Altera MegaCore Function
Convolutional Encoder	Integrated Silicon Systems
Convolutional Interleaver	KTech Communications
Reed-Solomon Encoder	HammerCores
Intermediate Data Rate (IDR) Framer/Deframer	Integrated Silicon Systems
Reed-Solomon Decoder	Integrated Silicon Systems
Reed-Solomon Decoder	HammerCores
Reed-Solomon Encoder	Integrated Silicon Systems
Viterbi Decoder	CAST
Viterbi Decoder	Integrated Silicon Systems

DSP ワイヤレス/広帯域通信用メガファンクション

ファンクション	供給者
Adaptive Equalizer	HammerCores
Adaptive Equalizer	Integrated Silicon Systems
Adaptive Filter	Integrated Silicon Systems
Binary Pattern Correlator	Nova Engineering, Inc.
Convolutional Encoder	Integrated Silicon Systems
Block and Convolutional Interleavers/Deinterleavers	Integrated Silicon Systems
Complex Mixer/Multiplier	Nova Engineering, Inc.
Convolutional Interleaver (Cable Modem and PCS)	KTech Communications
Cordpol Function	HammerCores
DES-Core	CAST
DES-Core (US and Canada Only)	HammerCores
DES-Core	Sican Microelectronics
Digital Modulator	Nova Engineering, Inc.
Early/Late Gate Symbol Synchronizer	Nova Engineering, Inc.
FFT/IFFT	Integrated Silicon Systems
Linear Feedback Shift Register	Nova Engineering, Inc.
LMS and Zero-Forcing Equalizers	Nova Engineering, Inc.
Numerically Controlled Oscillator	HammerCores
QPSK Equalizer	Integrated Silicon Systems

DSP イメージング・メガファンクション

ファンクション	供給者
RGB2YCrCb and YCrCb2RGB Color Space Converters	Altera MegaCore Function
Image Processing Library	Integrated Silicon Systems
IDR Framer/Deframer	Integrated Silicon Systems
JPEG Decoder/Encoder	Integrated Silicon Systems
Laplacian Edge Detector	Integrated Silicon Systems
Parameterized Discrete Cosine Transform	Integrated Silicon Systems

アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドはアルテラのAPEX™ 20K、FLEX® 10K、FLEX 800Q、FLEX 600Q、MAX® 900Q、MAX 7000ファミリの各デバイスの概要をまとめたものです。他のアルテラ製品に関する情報は、「コンポーネント・セレクト・ガイド」に掲載されています。最新の情報については、アルテラのWebサイト、<http://www.altera.com>でご確認ください。ここにリストされた製品の一部はまだ供給されておられません。各デバイスの現在の供給状況については販売代理店にお問い合わせください。

APEX 20K デバイス						
デバイス名	ゲート数	ピン数 / パッケージ・オプション ²	電源電圧	ロジック・エレメント数	RAM ビット数	マクロセル数
EP20K100	100,000	144-Pin TQFP, 196-Pin BGA ¹ , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ¹ , 356-Pin BGA	2.5 V	4,160	53,248	416
EP20K100E	100,000	144-Pin TQFP, 196-Pin BGA ¹ , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ¹	1.8 V	4,160	53,248	416
EP20K160E	160,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 400-Pin BGA ¹	1.8 V	6,400	81,920	640
EP20K200	200,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ¹ , 672-Pin BGA ¹	2.5 V	8,320	106,496	832
EP20K200E	200,000	208-Pin PQFP, 240-Pin PQFP, 484-Pin BGA ¹	1.8 V	8,320	106,496	832
EP20K300E	300,000	208-Pin RQFP, 240-Pin RQFP, 672-Pin BGA ¹	1.8 V	11,520	147,456	1,152
EP20K400	400,000	652-Pin BGA, 655-Pin PGA, 672-Pin BGA ¹	2.5 V	16,640	212,992	1,664
EP20K400E	400,000	208-Pin RQFP, 240-Pin RQFP, 672-Pin BGA ¹	1.8 V	16,640	212,992	1,664
EP20K600E	600,000	672-Pin BGA ¹ , 900-Pin BGA ¹	1.8 V	24,320	311,296	2,432
EP20K1000E	1,000,000	900-Pin BGA ¹ , 984-Pin PGA	1.8 V	42,240	540,672	4,224

注：

- (1) このパッケージは実装スペースを削減する FineLine BGA™ パッケージです。
- (2) これらのデータはいずれも暫定仕様です。最新の情報については、日本アルテラの応用技術部へお問い合わせください。

FLEX 10K デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード	ロジック・エレメント数	RAM ビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	59, 102, 134	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	66, 102, 134, 150	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin RQFP	102, 147, 189	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	147, 189, 246	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 356-Pin BGA, 484-Pin BGA ¹	102, 147, 189, 191, 246, 246	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹ , 484-Pin BGA ¹	102, 147, 176, 220	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	147, 189	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA, 403-Pin PGA	189, 274, 310	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ¹	189, 274, 291	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 356-Pin BGA, 484-Pin BGA ¹	102, 147, 189, 191, 256 ² , 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	189, 358	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100	100,000	503-Pin PGA	406	5.0 V	-3, -4	4,992	24,576
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ¹ , 600-Pin BGA	189, 274, 369, 406	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100B	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹	147, 189, 191	2.5 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 356-Pin BGA, 484-Pin BGA ¹	147, 189, 191, 274 ² , 338	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ¹ , 600-Pin BGA, 672-Pin BGA ¹	186, 274 ² , 369, 426 ² , 413	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ¹ , 599-Pin PGA, 600-Pin BGA, 672-Pin BGA ¹	182 ² , 274 ² , 380 ² , 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-1, -2, -3	12,160	40,960

注：

- (1) このパッケージは実装スペースを削減する FineLine BGA パッケージです。
- (2) このデータは暫定仕様です。最新の情報については、日本アルテラの応用技術部へお問い合わせください。

FLEX 8000 デバイス

デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード	フリップフロップ数	ロジック・エレメント数
EPF8282A	2,500	84-Pin PLCC, 100-Pin TQFP	68, 78	5.0 V	-2, -3, -4	282	208
EPF8282AV	2,500	100-Pin TQFP	78	3.3 V	-3, -4	282	208
EPF8452A	4,000	84-Pin PLCC, 100-Pin TQFP, 160-Pin PGA/PQFP	68, 68, 120	5.0 V	-2, -3, -4	452	336
EPF8636A	6,000	84-Pin PLCC, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	68, 118, 136, 136	5.0 V	-2, -3, -4	636	504
EPF8820A	8,000	144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP, 225-Pin BGA	112, 120, 152, 152, 152	5.0 V	-2, -3, -4	820	672
EPF81188A	12,000	208-Pin PQFP, 232-Pin PGA, 240-Pin PQFP	148, 184, 184	5.0 V	-2, -3, -4	1,188	1,008
EPF81500A	16,000	240-Pin PQFP, 280-Pin PGA, 304-Pin RQFP	181, 208, 208	5.0 V	-2, -3, -4	1,500	1,296

FLEX 6000 デバイス

デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード	フリップフロップ数	ロジック・エレメント数
EPF6010A	10,000	100-Pin TQFP, 144-Pin TQFP, 100-Pin BGA ¹ , 256-Pin BGA ¹	81, 117, 81 ² , 139 ²	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	81, 81, 117 ² , 171, 218 ²	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin BGA ¹	117, 171, 199, 218, 218 ²	3.3 V	-1, -2, -3	1,960	1,960

注:

- (1) このパッケージは実装スペースを削減する FineLine BGA パッケージです。
 (2) このデータは暫定仕様です。最新の情報については、日本アルテラの実用技術部へお問い合わせください。

APEX & FLEX デバイス用コンフィギュレーション・デバイス

デバイス名	ピン数 / パッケージ・オプション	電源電圧	説明
EPC1064	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	5.0 V	FLEX 8000 デバイス用 64K ビット シリアル・コンフィギュレーション・デバイス
EPC1064V	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3 V	FLEX 8000 デバイス用 64K ビット シリアル・コンフィギュレーション・デバイス
EPC1213	8-Pin PDIP, 20-Pin PLCC	5.0 V	FLEX 8000 デバイス用 213K ビット シリアル・コンフィギュレーション・デバイス
EPC1441 ¹	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	FLEX デバイス用 441K ビット シリアル・コンフィギュレーション・デバイス
EPC1 ¹	8-Pin PDIP, 20-Pin PLCC	3.3/5.0 V	APEX および FLEX デバイス用 1 M ビット シリアル・コンフィギュレーション・デバイス
EPC2 ¹	20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	APEX および FLEX デバイス用 2 M ビット シリアル・コンフィギュレーション・デバイス

注:

- (1) このデバイスは 3.3V または 5.0V のいずれかの電源電圧で動作するようにプログラムすることができます。

MAX 9000 デバイス

デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	5.0 V	-10
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	5.0 V	-15, -20
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	5.0 V	-15, -20
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-15, -20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-10
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-15, -20

(30 ページに続く)

現在のソフトウェア・バージョン

アルテラのソフトウェアの最新バージョンは、MAX+PLUS® II バージョン 9.21 です。MAX+PLUS II 開発システムは Windows ベースの PC、Sun SPARCstation、HP 9000 シリーズ 700/800、IBM RISC System/6000 の各プラットフォームで動作する製品が提供されています。

デバイス・セレクション・ガイド (29 ページからの続き)

MAX 7000 デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード
EPM7032AE	32	44-Pin PLCC/TQFP	36	3.3 V	-4, -7, -10
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-5, -6, -7, -10
EPM7032	32	44-Pin PLCC/TQFP/PQFP	36	5.0 V	-6, -7, -10, -12, -15
EPM7064AE	64	44-Pin PLCC/TQFP, 100-Pin TQFP, 100-Pin BGA ¹	38, 68, 68	3.3 V	-4, -7, -10
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 68, 68	5.0 V	-5, -6, -7, -10
EPM7064	64	44-Pin PLCC/TQFP, 68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	36, 52, 68	5.0 V	-6, -7, -10, -12, -15
EPM7096	96	68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	52, 64, 76	5.0 V	-7, -10, -12, -15
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 256-Pin BGA ¹	68, 84, 84, 100, 100	3.3 V	-6, -7, -10, -12
EPM7128AE	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 256-Pin BGA ¹	68, 84, 84, 100, 100	3.3 V	-5, -7, -10
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128E	128	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-7, -10, -12, -15, -20
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-7, -10, -15
EPM7160E	160	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 104	5.0 V	-10, -12, -15, -20
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7192E	192	160-Pin PQFP/PGA	124	5.0 V	-12, -15, -20
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	84, 120, 164, 164	3.3 V	-7, -10, -12
EPM7256AE	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 100-Pin BGA ¹ , 256-Pin BGA ¹ 256-Pin BGA	84, 120, 164, 84, 164	3.3 V	-6, -7, -10
EPM7256S	256	208-Pin RQFP/PQFP	164	5.0 V	-7, -10, -15
EPM7256E	256	160-Pin PQFP, 192-Pin PGA, 208-Pin RQFP	132, 164	5.0 V	-12, -15, -20
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹ , 256-Pin BGA	120, 176, 212, 212	3.3 V	-7, -10, -12

注:

(1) このパッケージは実装スペースを削減する FineLine BGA パッケージです。

アルテラへのコンタクト方法

アルテラからの情報やサービスの提供が従来よりも迅速に行えるようになってきました。お問い合わせの内容やご要求されるサービスの種類に応じて下記へご連絡ください。

	情報提供元	連絡先
資料のご請求 (1)	日本アルテラ株式会社	☎ 03-3340-9480
	株式会社アルティマ	☎ 045-939-6113 ☎ 06-6307-7670
	株式会社パルテック	☎ 045-477-2009 ☎ 06-6390-0817
	World-Wide Web	英語 http://www.altera.com 日本語 http://www.altera.com/japan/
価格・納期等について	株式会社アルティマ	☎ 045-939-6113 ☎ 06-6307-7670
	株式会社パルテック	☎ 045-477-2009 ☎ 06-6390-0817
技術的なご質問	日本アルテラ株式会社	☎ 03-3340-9480
	株式会社アルティマ	☎ 045-939-6113 ☎ 06-6307-7670 ☎ 052-202-1024 ☎ 028-637-4488
	株式会社パルテック	☎ 045-477-2009 ☎ 06-6390-0817
	E-mail (日本アルテラ)	japan@altera.com
	FTP Site (US)	ftp.altera.com
製品案内	World-Wide Web	http://www.altera.com/japan/

注:

(1) MAX+PLUS II Getting Started Manual はアルテラの Web サイトから入手可能です。他の MAX+PLUS II のマニュアルについては、販売代理店または日本アルテラへお問い合わせください。

FAX レスponse・フォーム

News & Views の購読を希望します。

私のデザインを News & Views に掲載することを希望します。

送付先の住所を右記に変更してください。

氏名 _____

会社名 _____

所属 _____

住所 〒 () _____

電話番号 _____

FAX 番号 _____

E-mail アドレス _____

担当代理店：株式会社アルティマ 株式会社パルテック その他 / 不明 / 未取引
(いづれかに をつけてください。)

ご意見をお聞かせ下さい。

News & Views に関する皆様のご意見をお聞かせください。News & Views に取り上げられている下記の各項目について、皆様が有益と思われるレベルを 5 点満点で評価してください。皆様からのフィードバックを今後の編集の参考にさせていただきます。

	役立たない			非常に役立つ		
1. デバイスおよび開発ツールに関する最新情報	1	2	3	4	5	
2. アルテラの最新刊行資料	1	2	3	4	5	
3. Q & A	1	2	3	4	5	
4. "How To" タイプの技術記事	1	2	3	4	5	
5. アルテラの EDA パートナと インタフェース・サポートに関する情報	1	2	3	4	5	
6. カスタム・アプリケーション	1	2	3	4	5	
7. アルテラ・ニュース	1	2	3	4	5	

アルテラの News & Views に関するご意見がありましたら、下記にお書きください。(どのような内容が良かったか、疑問に思われた点、取り上げて欲しい内容など。必要に応じて別紙を使用しても結構です。)

このフォームをコピーして必要事項を記入の上、日本アルテラへ FAX または郵送してください。

日本アルテラ (株) 〒 163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱 261 号
電話 : 03-3340-9480 FAX : 03-3340-9487 E-mail: japan@altera.com



Quartus

新しいプログラマブル・ロジックの設計環境

システム・オン・プログラマブル・チップのための デザイン・ソフトウェア

アルテラの画期的な Quartus™ 開発ソフトウェアは、集積度数百万ゲートの PLD の設計に他に類をみない柔軟性とパフォーマンスをもたらします。先進機能を備えたアルテラの新しい APEX™ 20K デバイス・ファミリをサポートする Quartus ソフトウェアが、真の System-on-a-Programmable-Chip™ ソリューションを実現します。

生産性の向上

Quartus ソフトウェアは設計の生産性を高め、製品の市場投入を今までよりもさらに早めます。nSTEP™ コンパイラによるインクリメンタル・リコンパイルやマルチプロセッサ・サポート、ワークグループ・コンピューティング、そしてインターネットによるサポートといった優れた特長により、Quartus ソフトウェアは製品開発にかかる時間を大幅に削減します。

また、設計サイクルをさらに早めて生産性をより向上させるために、Quartus はアルテラの MegaCore™ および AMPPSM のメガファンクション (IP) をサポートしています。これらの機能は、合成ツールおよびコンパイルの向上と共に製品の競争力を高めます。

NativeLink™ のインテグレーションは、主な EDA ソフトウェア・ツールとのシームレスなインタフェースが可能です。従って既存のデザインフローのサポート、高速のシステム・パフォーマンスを得るためのより優れた合成、高速検証のための効率的なシミュレーションができ、新たにデザイン・ツールについて学ぶ必要も最小限です。

高速検証

SignalTap™ のロジック解析機能は、ロジック・アナライザの機能をソフトウェアに組み込み検証のスピードを高めます。

次の設計は新しい設計環境で

Quartus 開発ソフトウェアに関する最新の情報についてはアルテラのホームページをご覧ください。またホームページで Quartus デモ CD-ROM (無料) をご請求ください。



The Programmable Solutions Company™

<http://www.altera.com/reshape>

ALTERA 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**
101 Innovation Drive, San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>