

News & Views

1999 年夏季号

アルテラ・ユーザのためのニュース・レター

System-on-a-Programmable-Chipソリューション を提供する APEX デバイスと Quartus ソフトウェア

システム・レベルの集積化を行うデザインには、新しい設計手法をサポートし、デザインの生産性を向上させる高い集積度と柔軟性を持ったデバイスが必要となっています。アルテラの新製品、APEX™ デバイス・ファミリと Quartus™ ソフトウェアは、プログラマブル・ロジックのデザインに新しい時代を切り開きました。

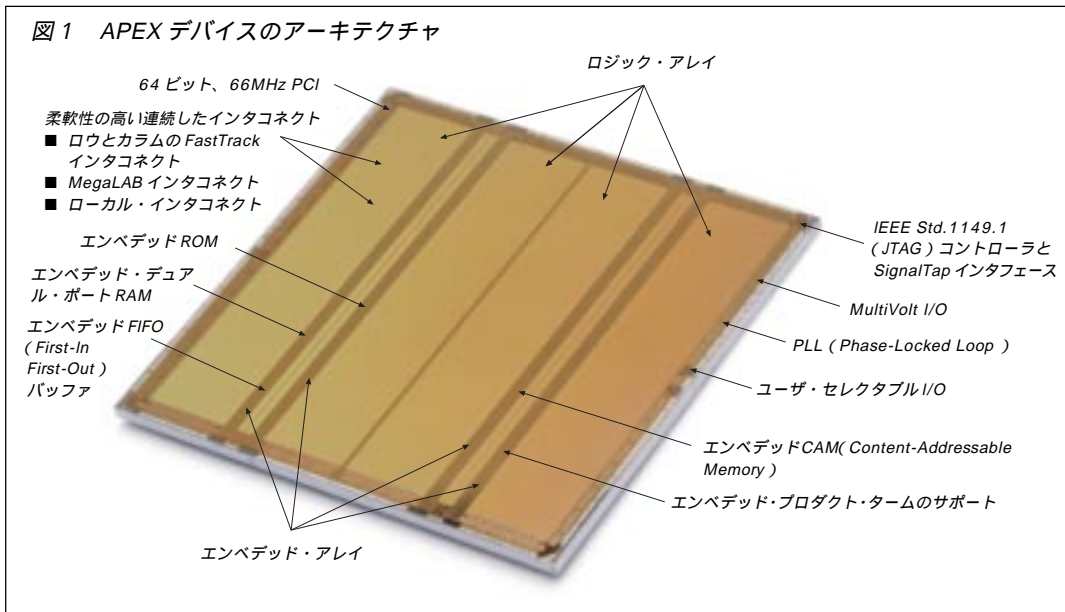
100万ティピカル・ゲート(267万システム・ゲート)を超える集積度を提供する APEX デバイスは、RAM、プロダクト・ターム・ロジック、ルック・アップ・テーブル(LUT)ロジックを1個のデバイス上に集積化したMultiCore™アーキテクチャが採用された初のプログラマブル・ロジック・デバイス(PLD)です。数百万ゲートのデバイスの設計で発生する多くの課題に対応するため、Quartusソフトウェアは従来のプログラマブル・ロジック開発ツールでは見られなかった多くの新しい機能を実現して

います。APEXデバイスとQuartusソフトウェアを併用することで、System-on-a-Programmable-Chip™のデザインを高性能で実現する理想的なソリューションが提供されます。

アーキテクチャとソフトウェアのマッチング

アルテラの高集積APEXデバイスのMultiCoreアーキテクチャは、システム・レベルの集積化を実現できるように設計されています(図1を参照)。このMultiCoreアーキテクチャは、LUTのロジック、プロダクト・タームのロジック、そしてメモリの機能をひとつのエンベデッド・アーキテクチャに統合したものとなっています。設計者は複雑なシステムのデザインを1個のAPEXデバイス上に集積することができ、複数のデバイスを使用する必要がなくなります。

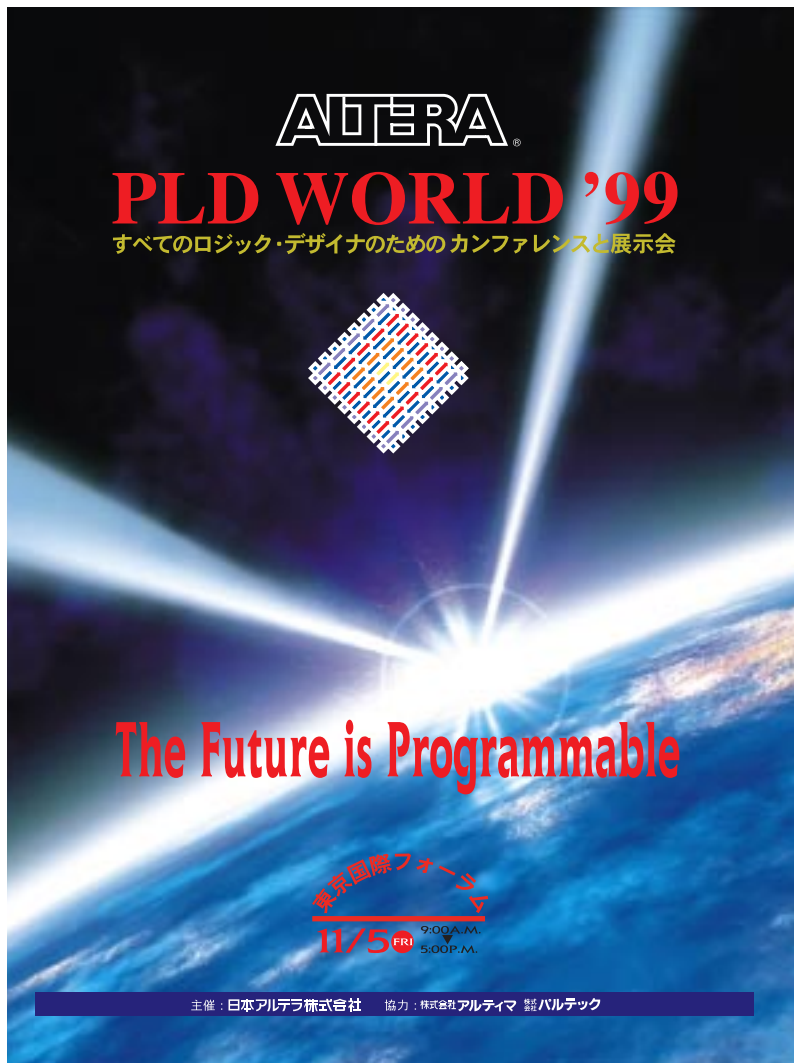
図1 APEX デバイスのアーキテクチャ



(4 ページに続く)

本号の内容

- 選択可能な標準 I/O 規格を活用したデザインの簡略化 ... 13
- Design Tips : 階層化されたインスタンスエイションによるデザインの構築 16
- SignalTap エンベデッド・ロジック・アナライザ 24



ALTERA®

PLD WORLD '99

開催のお知らせ

11/5 FRI

東京国際フォーラム

ALTERA PLD WORLD は、今回より会場を有楽町、東京国際フォーラムに移し、規模を拡大、また一段と充実した内容で多くの設計者に有益な情報をお届けします。

日本アルテラは本年11月5日(金)第6回ALTERA PLD WORLD '99を東京国際フォーラムにて開催いたします。今回のALTERA PLD WORLDでは、“The Future is Programmable”をテーマに、21世紀へ向けてのプログラマブル・ロジック・ソリューションの未来を紹介してまいります。日本アルテラは昨年、200万ユーザブル・ゲートをカバーするAPEX™ファミリ、斬新な最先端の機能をサポートするQuartus™開発ツールを発表し、多くの技術者の注目を集めました。本年も多くの有益な最新技術情報をお届けすることをお約束します。

開催概要

- 名 称：ALTERA PLD WORLD '99
- 日 時：1999年11月5日(金)
9:00 a.m. ~ 5:00 p.m.
- 会 場：東京国際フォーラム Bブロック
〒100-0005 東京都千代田区丸の内3-5-1
(JR/地下鉄有楽町駅より徒歩1分)
- 入場料：無料。ただし、入場券が必要となります。
入場券に関するお問い合わせ先：
株式会社アジア広告社内 ALTERA PLD WORLD 事務局
Tel: 03-3292-0611
- 主 催：日本アルテラ株式会社
- 協 力：株式会社アルティマ
株式会社バルテック

技術論文の募集について

日本アルテラでは第6回ALTERA PLD WORLD '99技術論文集へ掲載される技術論文を、皆様から広く募集いたします。

募集する論文はアルテラ・デバイス、および開発ツールなどに関連する技術的な内容をテーマにしたものです。論文の内容はアルテラ・デバイスを有効に使用した具体例や、アルテラのデバイスをターゲットにした設計手法などについての具体化された実例、あるいは実現可能なものに限定させていただきます。なお、採用された技術論文は技術論文集に掲載され、ALTERA PLD WORLD '99の会場で配布されます。また、応募頂いた技術論文の中から優秀技術論文を選定し、これらにつきましてはALTERA PLD WORLD '99カンファレンス会場にて論文発表をしていただきます。応募方法、その他詳細については日本アルテラまでお問い合わせください(TEL: 03-3340-9480)。

Table of Contents

特集記事

System-on-a-Programmable-Chip ソリューションを提供する APEX デバイスと Quartus ソフトウェア	1
カスタム・アプリケーション： ブライト・スター・エンジニアリング社と FLEX 6000 デバイスが、インターネット 接続機能内蔵製品を実現	18

アルテラ・ニュース

NWL 社が PCI/C を内蔵した SDRAM コントローラを開発	21
APEX デザインとデザイン・フローを 簡素化する Synplify と Quartus の統合	22
PLD の内部信号の観測を可能にした SignalTap エンベデッド・ロジック・アナライザ	24
PCI および他のバス・インタフェース用 メガファンクション	35

デバイス & ツール

EP20K400 を出荷開始	7
0.22μm プロセスの EPF10K100E を出荷開始	7
EPF10K200S と EPF10K50S の 両デバイスを発表	7
FLEX 10KE デバイスの新しいパッケージに 対するソフトウェア・サポート	8
FLEX 10K デバイスの供給状況	8
FLEX 10K 製品の新プロセスへの移行	8
FLEX 10KE デバイスの工業用温度範囲製品	8
PLL を内蔵した FLEX 10KE デバイスの供給状況 ..	9
FLEX 6000 デバイスの工業用温度範囲品	9
FLEX 6000 デバイスに FineLine BGA パッケージが近く登場	9

MAX 7000S デバイスの供給状況	10
MAX 7000A デバイスの供給状況	10
新しい MAX 7000B デバイス	10
新製品、MAX 3000A デバイスが登場	11
Quartus プレビューのダウンロード	11
Quartus シミュレータの新しい機能	11
Quartus のスタティック・ タイミング・アナライザ	12
Quartus のライセンス・ファイル	12
MAX+PLUS II BASELINE の バージョン 9.23 を提供中	12
製造中止品最新情報	35

技術論文

選択可能な標準 I/O 規格を活用した デザインの簡略化	13
APEX デバイスのアプリケーションを 高速化する CAM	14
Design Tips： 階層化されたインスタンスエイション によるデザインの構築	16
Questions & Answers	27

定期掲載情報

現在のソフトウェア・バージョン	20
アルテラの新規刊行資料	29
アルテラ・デバイスの プログラミング・サポート状況	29
アルテラ・デバイス・セレクション・ガイド	31
アルテラへのコンタクト	34

Altera, APEX, APEX20K, ASCEND, ACCESS, AMPP, BitBlaster, ByteBlaster, ByteBlasterMV, Classic, ClockBoost, ClockLock, ClockShift, CoreSyn, EPC2, FastTrack, FineLine BGA, FLEX, FLEX10K, FLEX 10KE, FLEX10KA, FLEX8000, FLEX 6000, FLEX6000A, Jam, MasterBlaster, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX7000S, MAX 7000A, MAX 7000AE, MAX 7000B, MAX5000, MAX 3000A, MAX, MAX+PLUS, MAX+PLUS-II, MegaCore, MegaLAB, MegaWizard, MultiCore, MultiVolt, NativeLink, nSTEP, OpenCore, Quartus, SignalTap, System-on-a-Programmable-Chip, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: Boulder Creek Engineering is a registered trademark of Boulder Creek Engineering. Bright Star Engineering is a registered trademark of Bright Star Engineering, Inc. Motorola is a registered trademark of Motorola, Inc. Northwest Logic Design is a registered trademark of Northwest Logic Design. Palm VII is a trademark of 3Com Corporation. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Synplicity and Synplify are registered trademarks of Synplicity, Inc. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader.

ご質問、ご意見などがありましたら、お知らせください。

日本アルテラ株式会社
〒163-0436
東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱 261号
電話：03-3340-9480
FAX：03-3340-9487
E-mail：japan@altera.com



System-on-a-Programmable-Chip ソリューションを提供する APEX デバイスと Quartus ソフトウェア (1 ページからの続き)

APEX アーキテクチャは貴重なボード・スペースを節減するだけでなく、デザインの開発プロセスも簡略化します。

APEX アーキテクチャは、高速の連続した配線構造となっている FastTrack[®] インタコネクタにより MegaLAB[™] のアレイを接続する構成となっています。各 MegaLAB は、16 個のロジック・アレイ・ブロック (LAB)、1 個のエンベデッド・システム・ブロック (ESB)、そして LAB および ESB 間を接続する MegaLAB インタコネクタによって構成されています。ESB には、LUT ロジック、プロダクト・ターム・ロジック、またはデュアル・ポート RAM、FIFO (First-In First-Out) バッファ、ROM、CAM (Content-Addressable Memory) を含むメモリを構成することができます。

ロジックが APEX のアーキテクチャに適切にマッピングされるようにするため、Quartus のコンパイラには CoreSyn[™] と呼ばれる機能が採用されています。コンパイラはデザインを解析し、APEX アーキテクチャに提供されている LUT をベースにしたロジック・エレメント (LE)、プロダクト・タームをベースにしたマクロセルまたは ESB の各ブロックに対して最適化される合成テクノロジーを使用してデザインの各機能を実現します。

図 2 に示されるように、ロジック・オプションは各ブロックごとに設定できます。ユーザは Quartus ソフトウェアの Assignment Organizer を使用して、プロジェクトの階層内にあるブロックやモジュール

をそれぞれ LUT ロジック、プロダクト・ターム・ロジック、メモリのいずれかにマッピングするかを規定できます。また、Quartus の Technology Mapper (テクノロジー・マップ) で AUTO モードを指定して、Quartus ソフトウェアに最善の実現方法を判断させることもできます。

622MHz のクロック・レートを実現

Quartus ソフトウェアは、APEX デザインの性能の検証を容易にする幅広いタイミング情報を提供します。Quartus のコンパイラにはタイミング・アナライザが組み込まれているため、タイミング解析が各コンパイル時に自動的に実行されます。このタイミング・アナライザの機能により、ユーザはデバイスのシステム動作周波数、内部動作周波数、およびその他のタイミング・パラメータをモニタすることができます。このとき、システム動作周波数、 f_{MAX} は接続される外部デバイスの t_{SU} と t_{CO} 、およびデバイス外部の配線遅延を考慮して算出されます (これらのパラメータが指定された場合)。図 3 と図 5 には、Quartus の Report ウィンドウに表示されたデザインの f_{MAX} が示されています。

システムのさらに高いクロック・レートを実現するため、APEX デバイスには出力の周波数が 200MHz に達する 4 個の PLL (Phase-Locked Loop) が組み込まれています。これらの PLL はデザイン性能を改善する ClockLock[™]、ClockBoost[™]、ClockShift[™] のクロック・マネージメント回路をサポートしています。ClockLock 回路はクロックの遅延とスキューを低減し、0ns のホールド・タイムを維持しながら「Clock-to-Output」の遅延を最小に抑えます。ClockBoost 回路は、柔軟性に富んだクロック周波数の過倍機能と分周機能を実現しています。また、ClockShift 回路は、クロックの位相と遅延の調整を可能にしています。これらの機能は、システムの性能とバンド幅を大幅に改善します。Quartus のタイミング・アナライザは APEX デバイスのクロック・マネージメント回路をサポートしており、複数のクロックを使用したデザインに対するタイミング解析を実行することができます。

APEX デバイス : CAM を内蔵した業界初の PLD

APEX デバイスは、CAM の機能を提供した業界初のプログラマブル・ロジック・デバイス (PLD) ファミリーです。APEX デバイスに CAM のモードが実現された場合は、各 ESB に 32 ワード × 32 ビットの CAM が構成されます。複数の CAM (ESB) を接続してさらに広いデータ幅の CAM や深い CAM を実現することができます。大容量の CAM が構成されるときは、Quartus ソフトウェアの CoreSyn 合成機能が複数の ESB と必要になるロジック・エレメント (LE) を自動的に接続します。APEX デバイスに CAM を実現した場合は、ロジックと CAM の機能が同一デバイス上に集積されるため、従来のディスクリート・タイプの

図 2 Quartus ソフトウェアによるテクノロジー・マッピング



CAMを使用した場合よりも非常に高い性能が実現されます。APEXのCAMは、オン・チップおよびオフ・チップの遅延時間の解消と各ブロックごとに組み込まれているパラレル・コンパレータにより、サーチ動作を行うアプリケーションをさらに高速化します。

革新的なアプローチを必要とするミリオン・ゲートのデザイン

APEX デバイスは、その高い集積度と性能により、従来のPLDよりもさらに広範囲なアプリケーションに使用される大規模なデザインにも対応できる高い柔軟性を提供しています。ただし、このような高い集積度を活用して複雑なデザインをオン・タイムで市場に投入できるようにするためには、複数の技術者で構成される開発チームがプロジェクトを幾つかの部分に分割して設計を進める必要が生じます。Quartus ソフトウェアは、特にこうした複数の設計者が参加するデザイン・プロジェクトに対応できるように設計されています。

Quartusソフトウェアには、複数の技術者がネットワークを通じてアクセスできる集中管理型のデータベースが組み込まれています。Quartusソフトウェアにはユーザが各プロジェクト・ファイルのすべての変更をトラックできる業界標準のリビジョン・コントロール・システムが使用されており、各ファイルがひとつのデータベースにリンクするようになっています。ユーザはファイルをデータベースから引き出して作業を行い、再びデータベースに戻すことができ、これによって変更された内容がドキュメント化されます。そして、各ファイルに対して作業を行ったユーザ名と変更内容が、ひとつのログとしてトラックされます。このリビジョン・コントロール・システムとQuartusソフトウェアを併用することにより、プロジェクトを完全な形で管理、保全することができます。この管理システムでは、ユーザが他のユーザの作業内容に上書きできないようになっており、行われたすべての変更がドキュメント化されます。また、必要に応じてデザインを以前のバージョンに戻すことも簡単に行えます。

大規模なデバイスの設計を行うときに問題となるのが、フル・コンパイルの実行に要する時間です。複雑なデザインでは、要求される結果が得られるまでに数回の設計変更を繰り返す必要がある生じます。Quartusソフトウェアには、デザイン・プロセスを短縮するための2つの新しい機能として、マルチ・プロセッサのサポートと nSTEP™ コンパイラが提供されています。

Quartusソフトウェアはマルチ・プロセッサの環境をサポートすることを基準に設計されています。コンパイルのようなプロセッサの演算機能を多用するタスクは、ネットワークを通じてオペレーティング・システムの異なる複数のプロセッサに分散させて実行させることができます。複数のPCとワークステーショ

図3 Quartusソフトウェアで表示されるシステムの f_{MAX}



ンの能力を結合させることによって、コンパイルの実行に要する時間を大幅に短縮することができます。

Quartusソフトウェアが登場する前までは、デザインの一部を変更するたびに、デザイン全体をフル・コンパイルする必要がありました。現在では、QuartusソフトウェアのnSTEPコンパイラの機能により、インクリメンタルにコンパイルを実行することが可能となっています。このため、一部分の設計変更を行った場合でも、フル・コンパイルを実行することなく、またデザインの残りの部分の配置やタイミングに影響を与えることなく、変更箇所のコンパイル結果を得ることができます。このプロセスの実現により、変更部分に対する評価を簡単に行うことができようになり、貴重な時間を無駄にすることもなくなります。

LVDS のサポート

APEX デバイスは、複数の高帯域、低電圧の標準 I/O インタフェース規格をサポートしています。APEX ファミリーは、最大 622Mbps/sec までの性能を持つ LVDS (Low-Voltage Differential Signaling) の標準規格をサポートした最初の PLD です。APEX デバイスは、LVTTTL (Low-Voltage Transistor-to-Transistor Logic)、SSTL (Stub-Series Terminated Logic) -3/-2、AGP (Advanced Graphics Port)、HSTL (High-Speed Transceiver Logic)、GTL+ (Gunning Transceiver Logic) を含むその他の標準 I/O 規格もサポートしています。ユーザは Quartus ソフトウェアを使用して、SDRAM、プロセッサ、またはシステム・バックプレーンと APEX デバイス間的高速インタフェースの種類を規定し、要求されるスピードを達成することができます。

APEX の JTAG BST 回路を SignalTap エンベデッド・ロジック・アナライザに接続

数百万ゲート規模のデザインでは、デザインの検証プロセスにもっとも長い時間が消費されます。

(6 ページに続く)

System-on-a-Programmable-Chip ソリューションを提供する APEX デバイスと Quartus ソフトウェア (5 ページからの続き)

APEX デバイス・ファミリと Quartus ソフトウェアはこの工程を簡略化し、検証に要する時間を大幅に短縮します。APEX デバイスには、専用の IEEE Std. 1149.1 JTAG (Joint Test Action Group) パウンダリ・スキャン・テスト (BST) 回路が組み込まれています。この JTAG BST 回路は、Quartus ソフトウェアで実現される SignalTap™ ロジック・アナライザによりデバイス内部のロジック動作をモニタするときにも使用されます (図 4 を参照)。SignalTap ロジック・アナライザを使用することによって、回路を実スピードで動作させながらハードウェアのデバッグを行うことができるようになるため、ボード・レベルでの検証機能が大幅に強化されます。MasterBlaster™ 通信ケーブルを使用して Quartus ソフトウェアが動作しているプラットフォームと APEX デバイスが実装されているプリント基板 (PCB) を接続することによって、SignalTap

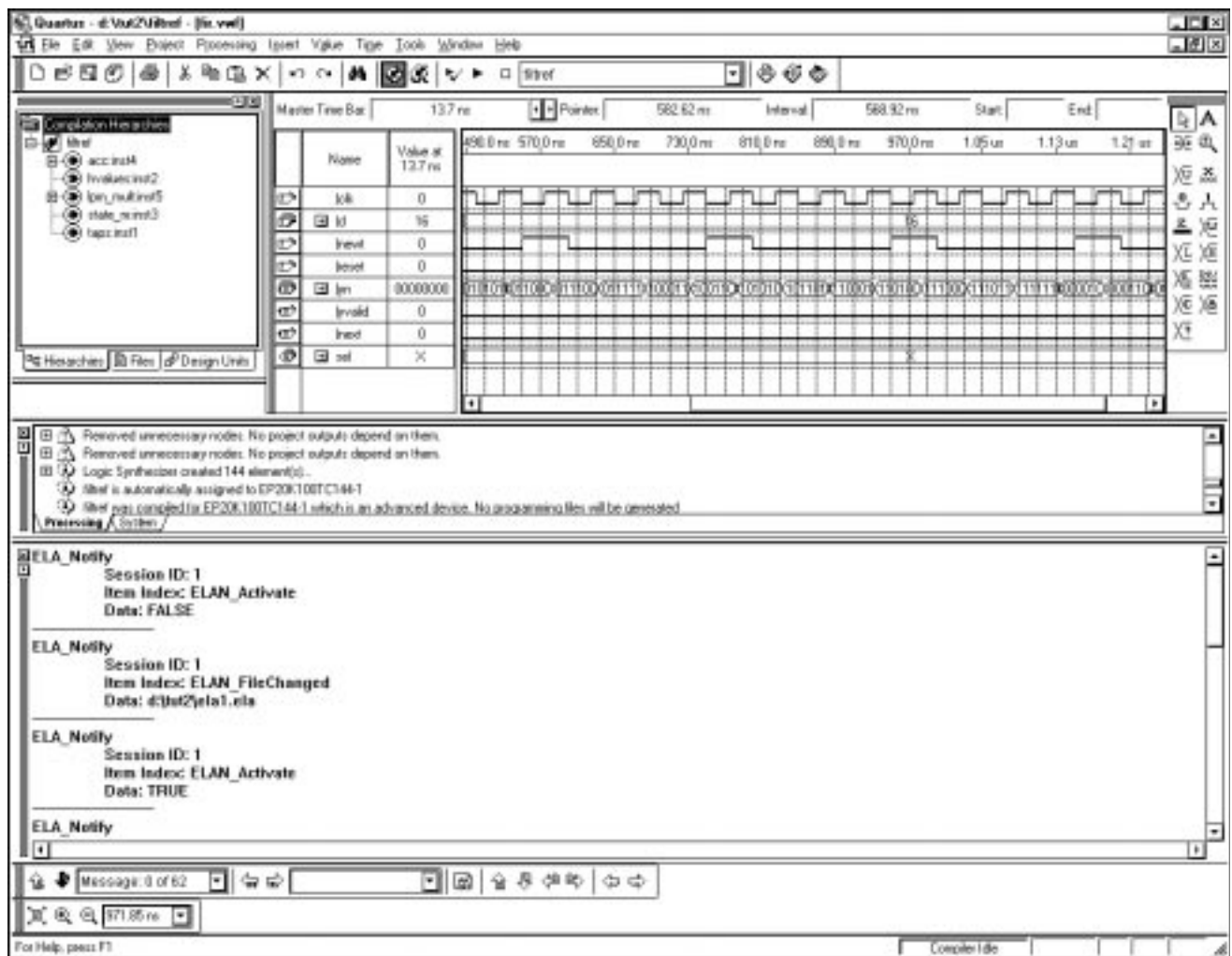
ロジック・アナライザによる APEX デバイスのモニタが可能になります。SignalTap ロジック・アナライザの詳細については、24 ページの「PLD の内部信号の観測を可能にした SignalTap エンベデッド・ロジック・アナライザ」をご覧ください。

まとめ

Quartus ソフトウェアのパワフルな機能により、設計者は APEX デバイスが提供する最先端機能をフルに活用することができ、設計時間を短縮してデザインの生産性を大幅に向上させることができます。アルテラの Quartus ソフトウェアと APEX デバイスの組み合わせは、System-on-a-Programmable-Chip のデザインを実現する現実的なソリューションとなっています。

APEX デバイスと Quartus ソフトウェアは、現在入手可能となっています。詳細については、アルテラの Web サイト (<http://www.altera.com>) にアクセスするか、日本アルテラの販売代理店へお問い合わせください。

図 4 SignalTap エンベデッド・ロジック・アナライザ



APEX

EP20K400 を出荷開始

APEX™ファミリの最初のデバイスが入手可能になりました(表1を参照)。400,000ゲート(最大1,000,000システム・ゲート)のEP20K400には、ルック・アップ・テーブル(LUT)ロジック、プロダクト・ターム・ロジック、そして柔軟性の高いメモリを1チップ上に集積化したMultiCore™アーキテクチャが採用されています。APEX デバイスのMultiCore アーキテクチャは、設計者にシングル・デバイスによる完全なシステム・レベル・インテグレーションを提供しており、複数のデバイスを使用する必要性を解消してボード・スペースを節減すると共に、複雑なデザインの実現を簡略化します。柔軟性に富んだメモリ構造は、リードとライトのポートが独立したデュアル・ポートRAM、同期および非同期の動作、161MHzのFIFO(First-In First-Out)性能を幅広いデータ幅と深さの構成でサポートしています。

APEX デバイスは64ビット/66MHzのPCI(Peripheral Component Interconnect)仕様に完全に準拠しており、最高622MHzのクロック・レートを実現することができます。EP20K400デバイスにはPLL(Phase-Locked Loop)が内蔵されており、さらに性能が強化されたClockLock™とClockBoost™回路をサポートしています。このPLL回路は、広い周波数範囲で1x、2x、および4xのクロック周波数通倍機能を実現します。また、このデバイスには複数の電源電圧を使用するシステムに最適なMultiVolt™ I/Oインタフェース機能が提供されており、活線挿抜もサポートされています。EP20K400は、652ピンBGA(Ball-Grid Array) 655ピンPGA(Pin-Grid Array)パッケージで入手可能となっており、672ピンFineLine BGA™パッケージの製品も近く供給される予定となっています。最新の情報については、アルテラのWebサイト、<http://www.altera.com>にアクセスしてご確認ください。



FLEX

0.22μm プロセスのEPF10K100E を出荷開始

EPF10K100Eが入手可能となりました。このデバイスは最先端の0.22ミクロンの5層メタル・プロセスで製造されており、高い性能と低消費電力を実現しています。4,992個のロジック・エレメント(LE)、49,152ビットのデュアル・ポートRAMに加え、EPF10K100Eには64ビット/66MHzのPCI仕様に準拠させるときに使用できるプログラマブルな遅延コントロール機能、ピン間のタイミングを改善するPLL回路が内蔵されています。EPF10K100Eには、208ピンPQFP、240ピンPQFP、256ピンFineLine BGA、484ピンFineLine BGA および356ピンBGAの各パッケージが用意されています。

EPF10K200S と EPF10K50S の両デバイスを発表

EPF10K200EとEPF10K50Eの強化バージョンとして、EPF10K200SとEPF10K50Sの両デバイスが新たに登場します。これらのデバイスは従来の0.25ミクロン・プロセスから0.22ミクロン・プロセスに移行して製造され、性能の向上と消費電力の低減を実現すると共に、64ビット/66MHzのPCI仕様に準拠させるためのプログラマブル遅延コントロールを内蔵しています(EPF10K100E、EPF10K130E、EPF10K30Eの各デバイスも0.22ミクロン・プロセスで製造され、プログラマブルな遅延コントロール機能を備えています)。また、EPF10K200Sと

表1 APEX デバイスの供給状況 / 予定

デバイス名	パッケージ(1)	供給状況 / 予定
EP20K100	144-pin TQFP	供給中
	208-pin PQFP	
	240-pin PQFP	
	196-pin FineLine BGA	
EP20K200	324-pin FineLine BGA	1999年Q3
	356-pin BGA	1999年Q4
	484-pin FineLine BGA	1999年Q3
EP20K400	208-pin RQFP	1999年Q3
	240-pin RQFP	1999年Q3
	356-pin BGA	1999年Q4
EP20K400E	484-pin FineLine BGA	1999年Q3
	652-pin BGA	1999年Q4
	655-pin PGA	1999年Q3
EP20K600E	672-pin FineLine BGA	1999年Q4
	652-pin BGA	1999年Q4
	655-pin PGA	1999年Q4
EP20K1000E	672-pin FineLine BGA	1999年Q4
	984-pin PGA	
	1020-pin FineLine BGA	
	1020-pin FineLine BGA	

注:

- (1) PQFP: プラスチック・クワッド・フラット・バック
RQFP: パワー・クワッド・フラット・バック
TQFP: 薄型クワッド・フラット・バック



デバイス & ツール (7ページからの続き)

EPF10K50Sには、ClockLock と ClockBoost の機能も内蔵されています。

600ピン BGA パッケージと 672ピン FineLine BGA パッケージの EPF10K200E に加えて、EPF10K200Sが 240ピン RQFP、356ピン BGA、484ピン FineLine BGA パッケージで提供されることになりました。EPF10K50Sは、EPF10K50Eと同じパッケージで供給される予定です。EPF10K50SとEPF10K200Sのデザインは、すでに MAX+PLUS II のバージョン 9.24 でサポートされています。

FLEX 10KE デバイスの新しいパッケージに対するソフトウェア・サポート

アルテラは 1.27mm ピッチの BGA や経済的な QFP (クワッド・フラット・パック) を含む多くの新しいデバイス・パッケージを提供しています。これらの新しいパッケージに対するソフトウェア・サポートの状況が表 2 に示されています。なお、ソフトウェアのアップデートはアルテラの Web サイト、<http://www.altera.com> を通じて行うことができます。

デバイス名	パッケージ	MAX+PLUS II のソフトウェア・バージョン
EPF10K50S	356-pin BGA	9.23
EPF10K130E	356-pin BGA	9.23
EPF10K130E	600-pin BGA	9.23
EPF10K200S	240-pin RQFP	9.24
EPF10K200S	356-pin BGA	9.25
EPF10K200S	484-pin FineLine BGA	9.25

FLEX 10K デバイスの供給状況

484ピン FineLine BGA パッケージの EPF10K50V の発表により、すべての FLEX® 10KA デバイスが入手可能となりました。表 3 は、2.5V で動作する FLEX 10KE デバイスの出荷開始予定時期を示したものです。現在、MAX+PLUS® II ですべてのデバイス・パッケージ・オプションの設計が可能になっています。

FLEX 10K 製品の新しいプロセスへの移行

アルテラは 3.3V の FLEX 10KA デバイスの製造プロセスを 0.35ミクロンから 0.30ミクロンに移行させる作業を進めております。また、5.0V で動作する FLEX 10K デバイスの一部製品については、その製

造プロセスを 0.50ミクロンから 0.42ミクロンに移管する作業を進めております。表 4 はこれらの移行予定時期と該当する参照資料をまとめたものです。これらの資料はアルテラの Web サイト、<http://www.altera.com> の中にある Customer Notification のページからダウンロードすることができます。

FLEX 10KE デバイスの工業用温度範囲製品

表 5 は、FLEX 10KE デバイスの工業用温度範囲製品の供給状況をまとめたものです。

デバイス名	パッケージ (1)	スピード・グレード	供給状況 / 予定
EPF10K30E	144-pin TQFP	-1, -2, -3	1999年8月
	208-pin PQFP	-1, -2, -3	1999年8月
	256-pin FBGA	-1, -2, -3	1999年9月
	484-pin FBGA	-1, -2, -3	1999年9月
EPF10K50E	144-pin TQFP	-1, -2, -3	供給中
	208-pin PQFP	-1, -2, -3	供給中
	240-pin PQFP	-1, -2, -3	供給中
	256-pin FBGA	-1, -2, -3	供給中
	356-pin BGA	-1, -2, -3	1999年8月
	484-pin FBGA	-1, -2, -3	供給中
EPF10K50S	144-pin TQFP	-1, -2, -3	1999年9月
	208-pin PQFP	-1, -2, -3	1999年9月
	240-pin PQFP	-1, -2, -3	1999年9月
	256-pin FBGA	-1, -2, -3	1999年9月
	356-pin BGA	-1, -2, -3	1999年9月
	484-pin FBGA	-1, -2, -3	1999年9月
EPF10K100E	208-pin PQFP	-1, -2, -3	供給中
	240-pin PQFP	-1, -2, -3	供給中
	256-pin FBGA	-1, -2, -3	供給中
	356-pin BGA	-1, -2, -3	供給中
EPF10K130E	240-pin PQFP	-1, -2, -3	供給中
	356-pin BGA	-1, -2, -3	供給中
	484-pin FBGA	-1, -2, -3	供給中
	600-pin BGA	-1, -2, -3	供給中
EPF10K200E	599-pin PGA	-1, -2, -3	供給中
	600-pin BGA	-1, -2, -3	供給中
	672-pin FBGA	-1, -2, -3	供給中
	EPF10K200S	240-pin RQFP	-1, -2, -3
356-pin BGA		-1, -2, -3	1999年8月
484-pin FBGA		-1, -2, -3	1999年8月
600-pin BGA		-1, -2, -3	1999年8月
672-pin FBGA		-1, -2, -3	1999年8月

注：
(1) FBGA: FineLine BGA パッケージ

PLLを内蔵したFLEX 10KEデバイスの供給状況

-1と-2のスピード・グレードのFLEX 10KE デバイスに、PLL回路内蔵バージョンが提供されるようになりました。これらのデバイスのオーダ・コードの末尾には、“X”のコードが付加されます(例: EPF10K200EBC600-1X)。表6はPLL回路を内蔵したFLEX 10KEデバイスの供給状況と供給開始予定時期を示したものです。

デバイス名	コア電圧 (V)	移行時期 / 予定	参照資料	移行後のプロセス (μm)
EPF10K10A	3.3	1999年7月	PCN 9810	0.30
EPF10K30A	3.3	完了	PCN 9810	0.30
EPF10K50V	3.3	完了	PCN 9810	0.30
EPF10K100A	3.3	完了	PCN 9810	0.30
EPF10K10	5.0	1999年10月	PCN 9901 ADV 9909	0.42
EPF10K20	5.0	1999年7月	PCN 9901 ADV 9909	0.42
EPF10K30	5.0	1999年7月	PCN 9901 ADV 9909	0.42
EPF10K40	5.0	1999年10月	PCN 9901 ADV 9909	0.42
EPF10K50	5.0	1999年7月	PCN 9901 ADV 9909	0.42
EPF10K70	5.0	1999年10月	PCN 9901 ADV 9909	0.42
EPF10K100	5.0	1999年10月	PCN 9901 ADV 9909	0.42

デバイス名	供給状況 / 予定
EPF10K50ETI144-2	供給中
EPF10K50EQI240-2	供給中
EPF10K50EFI256-2	供給中
EPF10K50SQI208-2	1999年Q3
EPF10K50SBI356-2	1999年Q3
EPF10K50SFI484-2	1999年Q3
EPF10K100EQI208-2	供給中
EPF10K100EFI256-2	供給中
EPF10K100EFI484-2	供給中
EPF10K130EQI240-2	供給中
EPF10K130EBI356-2	供給中
EPF10K130EFI484-2	供給中
EPF10K200EBI600-2	供給中
EPF10K200SRI240-2	1999年Q3
EPF10K200SBI356-2	1999年Q3
EPF10K200SFI672-2	1999年Q3

FLEX 6000 デバイスの工業用温度範囲品

アルテラはFLEX 6000ファミリの幅広いデバイスに対して工業用温度範囲グレードの製品を供給しています。7種類の工業用温度範囲グレード品がTQFP、PQFP、BGAを含む多様なパッケージ・オプションで供給されています。表7は、工業用温度範囲グレードで提供されているFLEX 6000デバイスを示したものです。

PLL内蔵のFLEX 10KE デバイスを-1と-2スピード・グレードで供給

FLEX 6000デバイスにFineLine BGAパッケージが近く登場

FineLine BGAパッケージのFLEX 6000デバイスが1999年8月から供給される予定です。FineLine BGAパッケージは実装効率が高く、従来のBGAパッケージの半分以下のボード・スペースで実装できます。10ページの表8は、FLEX 6000デバイスの各パッケージごとの供給状況と供給開始予定時期をまとめたものです。

デバイス名	パッケージ (1)	供給状況 / 予定
EPF10K30E	144-pin TQFP, 208-pin PQFP, 256-pin FBGA, 484-pin FBGA	1999年9月
EPF10K50S	144-pin TQFP, 208-pin PQFP, 240-pin PQFP, 356-pin BGA, 256-pin FBGA, 484-pin FBGA	1999年9月
EPF10K100E	208-pin PQFP, 240-pin PQFP, 256-pin FBGA, 356-pin BGA, 484-pin FBGA	1999年9月
EPF10K130E	240-pin PQFP, 356-pin BGA, 484-pin FBGA, 600-pin BGA, 672-pin FBGA	1999年9月
EPF10K200S	240-pin RQFP, 356-pin BGA, 484-pin FBGA, 600-pin BGA, 672-pin FBGA	1999年9月

注:

(1) FBGA: FineLine BGAパッケージ

デバイス名	パッケージ	供給状況
EPF6016TI144-3	144-pin TQFP	供給中
EPF6016QI208-3	208-pin PQFP	供給中
EPF6016ATI100-2	100-pin TQFP	供給中
EPF6016ATI144-3	144-pin TQFP	供給中
EPF6016AQI208-3	208-pin PQFP	供給中
EPF6024AQI208-3	208-pin PQFP	供給中
EPF6024ABI256-2	256-pin BGA	供給中

(10ページに続く)

デバイス & ツール (9 ページからの続き)

表 8 FLEX 6000 デバイスの各パッケージ供給状況 / 予定 (1)

パッケージ	デバイス名			
	EPF6010A	EPF6016	EPF6016A	EPF6024A
100-pin TQFP	✓		✓	
100-pin FineLine BGA	1999 年 Q4		1999 年 8 月	
144-pin TQFP	✓	✓	✓	✓
208-pin PQFP		✓	✓	✓
240-pin PQFP		✓		✓
256-pin BGA		✓		✓
256-pin FineLine BGA	1999 年 Q4		1999 年 8 月	1999 年 8 月

注 :

(1) ✓印は供給中であることを示しています。

MAX



MAX 7000S デバイスの供給状況

現在、すべてのMAX[®] 7000Sデバイスが入手可能となっています。これらのデバイスは、5nsのスピード・グレード、イン・システム・プログラマビリティ (ISP) のサポート、オープン・ドレインの出力オプションなどの特長を持っており、128 マクロセル以上のデバイスにはIEEE Std. 1149.1 のJTAG (Joint Test Action Group) のバウンダリ・スキャン・テスト (BST) 回路が内蔵されています。すべてのMAX 7000Sデバイスが、工業用温度範囲グレード品で入手可能となっています。表 9 は一般用温度範囲グレードで供給されている各デバイスのパッケージとスピード・グレードをまとめたものです。

表 9 一般用温度範囲グレードの MAX 7000S デバイスとパッケージ

デバイス名	パッケージ	スピード・グレード
EPM7032S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
EPM7064S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
	84-pin PLCC	-5, -6, -7, -10
	100-pin TQFP	-5, -6, -7, -10
EPM7128S	84-pin PLCC	-6, -7, -10, -15
	100-pin TQFP	-6, -7, -10, -15
	100-pin PQFP	-6, -7, -10, -15
	160-pin PQFP	-6, -7, -10, -15
EPM7160S	84-pin PLCC	-6, -7, -10
	100-pin TQFP	-6, -7, -10
	160-pin PQFP	-6, -7, -10
EPM7192S	160-pin PQFP	-7, -10, -15
EPM7256S	208-pin PQFP	-7, -10, -15

MAX 7000A デバイスの供給状況

現在、すべてのMAX 7000Aデバイスが入手可能となっています。MAX 7000Aファミリには32 マクロセルから512 マクロセルのデバイスがあり、4.5nsの伝搬遅延時間を保証したスピード・グレードの製品も含まれています。MAX 7000AデバイスはISP、MultiVolt I/O ピン、活線挿抜をサポートしており、業界標準となっているMAX 7000デバイスとピン互換になっています。すべてのMAX 7000Aデバイスは工業用温度範囲グレード品としても供給されています。表 10 は、一般用温度範囲グレードで供給されているMAX 7000Aデバイスのパッケージとスピード・グレードをまとめたものです。

表 10 一般用温度範囲グレードの MAX 7000A デバイスとパッケージ

デバイス名	パッケージ	スピード・グレード
EPM7032AE	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
EPM7064AE	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
	100-pin TQFP	-4, -7, -10
	100-pin FineLine BGA	-4, -7, -10
EPM7128A	84-pin PLCC	-6, -7, -10, -12
	100-pin TQFP	-6, -7, -10, -12
	100-pin FineLine BGA	-6, -7, -10, -12
	144-pin TQFP	-6, -7, -10, -12
	256-pin FineLine BGA	-6, -7, -10, -12
EPM7128AE	84-pin PLCC	-5, -7, -10
	100-pin TQFP	-5, -7, -10
	100-pin PQFP	-5, -7, -10
	144-pin TQFP	-5, -7, -10
	256-pin FineLine BGA	-5, -7, -10
EPM7256A	100-pin TQFP	-7, -10, -12
	144-pin TQFP	-7, -10, -12
	208-pin PQFP	-7, -10, -12
	256-pin FineLine BGA	-7, -10, -12
EPM7256AE	100-pin TQFP	-6, -7, -10
	100-pin FineLine BGA	-6, -7, -10
	144-pin TQFP	-6, -7, -10
	208-pin PQFP	-6, -7, -10
EPM7512AE	256-pin FineLine BGA	-6, -7, -10
	144-pin TQFP	-7, -10, -12
	208-pin PQFP	-7, -10, -12
	256-pin BGA	-7, -10, -12
	256-pin FineLine BGA	-7, -10, -12

新しい MAX 7000B デバイス

新たに登場したMAX 7000Bデバイスは、2.5Vで動作するプロダクト・ターム・ベースのプログラマブル・ロジック・デバイス (PLD) です。これらのデバイスは、GTL+ (Gunning Transceiver Logic)、SSTL (Stub-Series Terminated Logic) -2、

SSTL-3などの新しい標準 I/O 規格をサポートしており、3.5nsの伝搬遅延時間、32マクロセルから512マクロセルまでの幅広い集積度を実現しています(表11を参照)。MAX 7000B デバイスはISP、MultiVolt I/O ピン、活線挿抜をサポートしており、業界標準となっているMAX 7000 デバイスとピン互換になっています。

表 11 一般用温度範囲グレードの MAX 7000B デバイスとパッケージ		
デバイス名	パッケージ	スピード・グレード
EPM7032B	44-pin PLCC	-3, -5, -7
	44-pin TQFP	-3, -5, -7
EPM7064B	44-pin PLCC	-3, -5, -7
	44-pin TQFP	-3, -5, -7
	100-pin FineLine BGA	-3, -5, -7
	100-pin TQFP	-3, -5, -7
EPM7128B	100-pin FineLine BGA	-4, -7, -10
	100-pin TQFP	-4, -7, -10
	144-pin TQFP	-4, -7, -10
	256-pin FineLine BGA	-4, -7, -10
EPM7256B	100-pin FineLine BGA	-5, -7, -10
	100-pin TQFP	-5, -7, -10
	144-pin TQFP	-5, -7, -10
	208-pin PQFP	-5, -7, -10
EPM7512B	256-pin FineLine BGA	-5, -7, -10
	144-pin TQFP	-6, -7, -10
	208-pin PQFP	-6, -7, -10
	256-pin FineLine BGA	-6, -7, -10

新製品、MAX 3000A デバイスが登場

MAX 3000A デバイスは、ローコストの量産アプリケーションをターゲットにした3.3Vで動作するプロダクト・ターム・ベースのPLDファミリです。これらのデバイスはISPに対するサポートを強化しており、32マクロセルから256マクロセルまでの製品が供給されています(表12を参照)。最高速バージョンで伝搬遅延時間が4.5nsを実現しているMAX 3000A デバイスは、最高の性能をマクロセルあたりもっとも低い価格で提供します。

表 12 MAX 3000A デバイス		
デバイス名	パッケージ	スピード・グレード
EPM3032A	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
EPM3064A	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
	100-pin TQFP	-4, -7, -10
EPM3128A	100-pin TQFP	-5, -7, -10
	144-pin PQFP	-5, -7, -10
EPM3256A	144-pin TQFP	-6, -7, -10
	208-pin PQFP	-6, -7, -10

TOOLS

Quartus プレビューのダウンロード

System-on-a-Programmable-Chip™ソリューションを実現したアルテラの第4世代のデザイン・ソフトウェア、Quartus プレビューが、アルテラのWebサイト、<http://www.altera.com> からダウンロードできます。このQuartus プレビューは、Quartus の最新機能を自動的にデモするものです。



Quartusソフトウェアのプレビュー・バージョンでは、NativeLink™機能によるシームレスなツール間の統合や、SignalTap™エンベデッド・ロジック・アナライザによる検証プロセスの短縮などがデモンストレーションされます。また、Quartusの画面からアルテラのアプリケーション部門に対してサービスを要求する機能や、業界初のインターネット完全対応のPLDソフトウェアとなっているQuartusソフトウェアの使いやすさを確認することもできます。デバイス集積度の向上に合わせて、PLDの設計手法も継続的に変革されて行く必要があります。このQuartus プレビューをダウンロードすることによって、Quartusソフトウェアがプログラマブル・ロジックのデザインをどのように変革しているかを短時間で確認することができます。

Quartus シミュレータの新しい機能

Quartusのシミュレータでは、テストベンチに対するサポートを含むいくつかの新しい機能がサポートされています。この新しいシミュレータは、波形入力(MAX+PLUS IIのシミュレータ・ファイルとの互換性を確保)とテストベンチ入力の双方をサポートしています。

ウェブフォーム・エディタには複数のタイム・バーを設定することができます。Quartusのシミュレータは9種類の信号レベル(1, 0, X, U, Z, H, L, W, およびDC)をサポートしています。

新たにサポートされたノード・ファインダ(Node Finder)を利用することにより、ユーザは合成後またはフロアプランのネットリストから特定のノードを抽出するためにフィルタを作成することができ、ノードの配置も容易に行えるようになっていきます。また、ノード・ファインダはベクタ・ウェブフォーム・ファイル(.wvf)に出力ピンを追加して、シミュレーションの最後に期待値に対する出力の値をチェックすることができます。

(12 ページに続く)



デバイス & ツール (11 ページからの続き)

Quartusのスタティック・タイミング・アナライザ

Quartusのスタティック・タイミング・アナライザは、下記のような新しい機能を備えています。

異なるクロックでコントロールされる複数のレジスタ間バスが含まれているデザインを解析できるマルチ・クロック周波数解析機能。

組み合わせ回路のループを含むデザインの解析時間を大幅に短縮する組み合わせ回路ループ検出機能。

システムの f_{MAX} または内部の f_{MAX} のいずれかを表示するタイミング・アナライザ。この f_{MAX} の計算には、デバイスへの入力で生じる遅延を含めることができます。

クリティカル・バスのタイミングをデータ・バス、クロック・バス、セットアップ・タイムに分割する機能。各遅延バスをインクリメンタルに分割することも可能となっています。

ピン間または組み合わせ回路に対するタイミング解析機能。このプロセスはMAX+PLUS IIで実現されていた遅延マトリックス表示機能に類似しています。

Quartusのライセンス・ファイル

Quartusの新しいバージョンがリリースされると、サブスクリプション契約が有効なユーザには、自動的にこの最新バージョンが送付されます。ただし、新しいバージョンのソフトウェアを使用するための新しいライセンス・ファイルが必要になることがあります。

Quartusソフトウェアの各バージョンへの移行をスムーズに行うため、アルテラは1999年4月にWebベースのライセンス・サーバを設置して、サブスクリプション契約が有効なすべてのユーザに対してMAX+PLUS IIとQuartusの両ソフトウェアのライセンス・ファイルを発行するようにしました。お持

ちのlicense.datファイルのFEATUREの行にQuartusが含まれていれば、このライセンス・ファイルがQuartusソフトウェアに対しても有効です。図1は、QuartusとMAX+PLUS IIの双方が使用可能となっているライセンス・ファイルの例を示したものです。

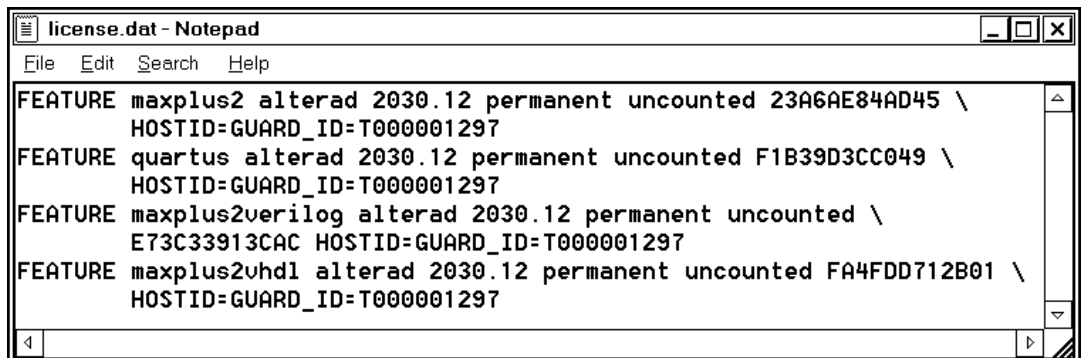
サブスクリプション契約が有効な場合は、アルテラのWebベースのライセンス・サーバ (<http://www.altera.com>) からQuartusとMAX+PLUS IIの双方の使用が可能になる新しいライセンス・ファイルを手に入れることができます。

MAX+PLUS II BASELINE のバージョン 9.23 を提供中

MAX+PLUS II BASELINE ソフトウェアのバージョン9.23には、完全なファンクショナル・シミュレーションやゲート・レベルのタイミング・シミュレーションが含まれており、業界唯一の完全な無償PLD開発ソフトウェアとなっています。このソフトウェアはアルテラのWebサイト、<http://www.altera.com>から無償でダウンロードすることができます。

MAX+PLUS II BASELINE ソフトウェアのバージョン9.23は、EPF10K10、EPF10K10A、EPM9320、EPM9320A、EPF8452A、EPF8282A、EPF6010A、EPF6016、EPF6016Aの各デバイス、およびMAX7000、MAX7000E、MAX7000S、MAX7000A、MAX7000AE、MAX5000、Classicファミリの各デバイスを含む幅広いプログラマブル・ロジック・デバイスをサポートしています。このソフトウェアには回路図およびテキスト(AHDL)によるデザイン入力、完全なタイミング・シミュレーション、スタティック・タイミング解析などの機能が含まれており、小規模から中規模のプログラマブル・ロジックのデザインに対する理想的な開発ツールとなっています。

図1 ライセンス・ファイルの例



選択可能な標準 I/O 規格を活用したデザインの簡略化

クロック・スピードの上昇と低電圧動作デバイスの増加と共に、高性能な低電圧の標準 I/O 規格が登場してきました。これらの標準 I/O 規格はメモリ、マイクロプロセッサ、バックプレーン、そしてペリフェラル・デバイスをサポートしている必要があります。プログラマブル・ロジックでこれらの新しい標準規格を使用するためには、高性能で複数の標準規格をサポートした柔軟性の高い I/O バッファが必要になります。アルテラの革新的な APEX™ 20KE デバイスは、コミュニケーションおよびコンピュータ業界で要求される複数の標準 I/O 規格をサポートした最高集積度で最高性能のプログラマブル・ロジック・ソリューションを提供して、こうした課題に対応しています。

APEX 20KE デバイスでサポートされている複数の新しい標準 I/O 規格を活用することによって、1 個のデバイスで高速、低電圧動作のメモリ・バスや最高 622MBPS のデータ・レートのバックプレーンとのインタフェースが可能になります。APEX 20KE デバイスは、LVDS (Low-Voltage Differential

Signaling) 規格をサポートした最初のプログラマブル・ロジック・デバイス (PLD) となっています。このインタフェース機能に加え、現在供給されている PLD としてはもっとも高い集積度を提供する APEX デバイスは、完全なプログラマブル・ソリューションを実現しています。

複数の標準 I/O 規格が選択可能となっていることで、ボードのデザインが簡略化されます。例えば、APEX デバイスとバックプレーンのインタフェースには LVDS ドライバのような専用デバイスが不要となります。

APEX 20KE がサポートする標準 I/O 規格

APEX 20KE の I/O ブロックは 17 種類の標準 I/O 規格をサポートしています。APEX 20KE デバイスの I/O バッファは、表 1 に示されている標準 I/O 規格で要求される電圧レベル、ドライバの強さ、AC 特性に準拠しています。

APEX 20KE デバイスでサポートされている複数の新しい標準 I/O 規格を活用することにより、1 個のデバイスで高速、低電圧動作のメモリ・バスやバックプレーンとのインタフェースが可能です。

表 1 APEX 20KE デバイスでサポートされている標準 I/O 規格

標準 I/O 規格 (1)	タイプ	リファレンス電圧 (V_{REF}) (V) (2)	出力供給電圧 (V_{CCIO}) (V) (2)	ボード終端電圧 (V_{TT}) (V) (2)
LVTTTL	シングル・エンデッド	N/A	3.3	N/A
LVC MOS	シングル・エンデッド	N/A	3.3	N/A
2.5 V	シングル・エンデッド	N/A	2.5	N/A
1.8 V	シングル・エンデッド	N/A	1.8	N/A
PCI	シングル・エンデッド	N/A	3.3	N/A
LVDS	ディファレンシャル	N/A	3.3	N/A
GTL+	オープン・ドレイン	1.0	N/A	1.5
SSTL-2 Class I and II	電圧リファレンス	1.25	2.5	1.25
SSTL-3 Class I and II	電圧リファレンス	1.5	3.3	1.5
HSTL Class I	電圧リファレンス	0.75	1.5	0.75
HSTL Class II	電圧リファレンス	0.75	1.5	0.75
HSTL Class III	電圧リファレンス	0.9	1.5	0.9
HSTL Class IV	電圧リファレンス	0.9	1.5	0.9
AGP	電圧リファレンス	1.32	3.3	N/A
CTT	電圧リファレンス	1.5	3.3	1.5

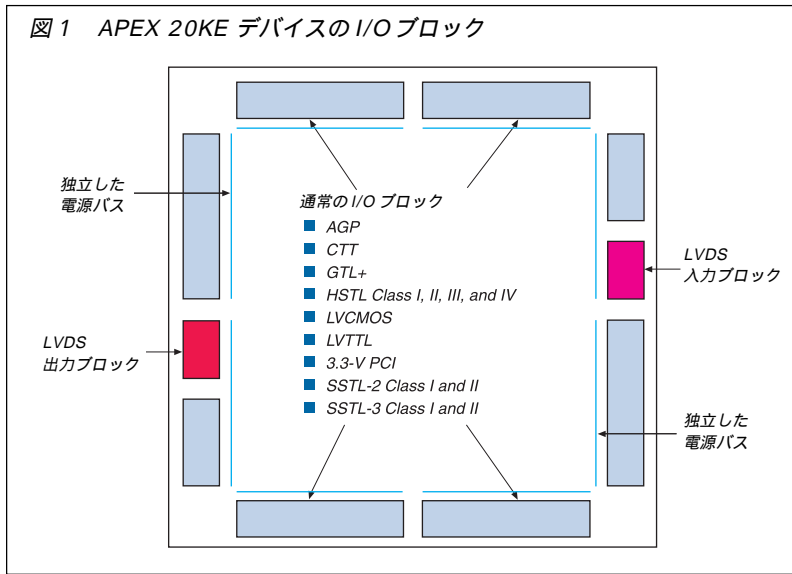
注:

- (1) AGP: Advanced Graphics Port, CTT: Center-Tap-Terminated, GTL+: Gunning Transceiver Logic, HSTL: High-Speed Transceiver Logic, LVC MOS: Low-Voltage Complementary Metal-Oxide Semiconductor, LVTTTL: Low-Voltage Transistor-to-Transistor Logic, PCI: Peripheral Component Interconnect, SSTL: Stub-Series Terminated Logic
- (2) 表示されている V_{REF} 、 V_{CCIO} 、 V_{TT} は、標準値です。

(14 ページに続く)

選択可能な標準I/O規格を活用したデザインの簡略化
(13 ページからの続き)

APEX 20KE デバイスは、6 個のプログラマブルI/O ブロックと 2 個の LVDS 専用 I/O ブロックを持っています。LVDS I/O ブロックはその他の標準 I/O 規格もサポートすることができます。図 1 は I/O ブロックの配置を示したものです。



プログラマブルな I/O ブロックは、各 I/O ブロックごとに個別の VCCIO ピンと独立した電源プレーンを持っています。各 VCCIO プレーンは 3.3V、2.5V、または 1.8V の電圧レベルをサポートしています。

LVDS

LVDS の標準 I/O 規格は、特定のプロセスやアーキテクチャに依存しない高速で低電圧スイングのロー・パワーな汎用 I/O インタフェースとなっています。LVDS には差動入力が必要ですが、入力の参照電圧は不要です。LVDS インタフェースは、高帯域のデータ転送、バックプレーン・ドライバ、クロック分配などのアプリケーションに標準的に使用されています。

LVDS には、IEEE Std. 1596.3 の SCI-LVDS と ANSI/TIA/EIA-644 の 2 種類の主要な規格があります。双方の主要な機能は類似していますが、IEEE の規格では最高 250MBPS のデータ転送がサポートされています。APEX 20KE デバイスは ANSI/TIA/EIA-644 の規格を最高 622MBPS のレートでサポートするように設計されています。

まとめ

アルテラは設計者のニーズに適合したデバイスを提供することによって、プログラマブル・ソリューションのリーダーの地位を維持しました。標準 I/O 規格とその機能を利用することで、インタフェース用ロジックを使用することなく、APEX 20KE デバイスとマイクロプロセッサ、メモリ・デバイス、バックプレーンをダイレクトにインタフェースすることができます。これによって、ボード・スペースの節減、「Time-to-Market」、利益の増大が実現されます。

APEX 20KE デバイスの内部には CAM を構成することができるため、従来のディスクリット・タイプの CAM を使用した場合よりも高いシステム性能が実現されます。

APEX デバイスのアプリケーションを高速化する CAM

ほとんどのメモリ・デバイスは特定のメモリの位置のアドレスを指定してデータをストアし、読み出します。メモリ内にある特定のアイテムのサーチには多くのクロック・サイクルが必要になります。メモリへのアクセスをアドレスではなくデータを基準に実行することによって、このメモリ内にストアされているアイテムの発見に必要な時間を大幅に短縮することができます。CAM (Content-Addressable Memory) はこの手法で動作するメモリであり、高速サーチのアプリケーションに最適なデバイスとなっています。アルテラの APEX™ 20KE デバイスには、CAM の機能を実現することができるブロックが内蔵されています。

CAM の集積

これまで、ほとんどのアプリケーションには、CAM の機能を個別のデバイスで実現したディスクリー

ト・タイプのものが使用されていました。このため、CAM を使用する場合は、プリント基板 (PCB) に CAM デバイスを別個に実装する必要が生じ、使用できる PCB のスペースが減少すると共に設計時間を増加させる結果となっていました。また、ディスクリット・タイプの CAM ではオン・チップおよびオフ・チップでの遅延時間が発生するため、システム性能が低下する要因となっていました。

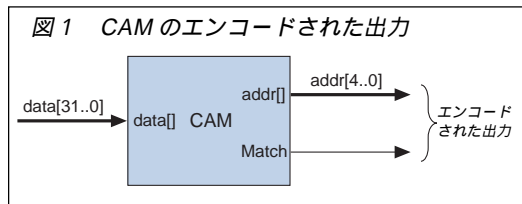
APEX 20KE デバイスにはオン・チップの CAM を構成できるため、ディスクリット・タイプの CAM の欠点が解消されています。この CAM は APEX 20KE デバイスの内部にエンベデッドに集積されるため、従来のディスクリット・タイプの CAM よりも高速のシステム性能を実現します。

APEX 20KE のCAM を使用する 方法

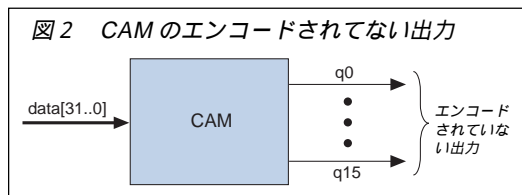
APEX 20KE デバイスの各エンベデッド・システム・ブロック (ESB) には、32ワード x 32ビットのCAMを構成することができます。CAMはすべてのデータをパラレルにサーチし、特定のデータがストアされているアドレスを出力します。

CAMにはコンフィギュレーション時にデータをプリロードすることができ、システムの動作中にデータを書き込むこともできます。CAMのデータには「ドント・ケア」のビットを書き込むこともでき、この「ドント・ケア」が指定されたビットはマッチングの結果に影響を与えません。

CAMからの出力は、エンコードされたフォーマットか、エンコードされていないフォーマットのいずれかに設定できます。メモリ内に重複したデータがない場合は、データの位置を示すアドレスをエンコードされたアドレスで出力するのが適当です。このフォーマットの出力の読み出しは1クロック・サイクルのみで実行できます (図1を参照)。



複数の位置に重複したデータを書き込む必要がある場合は、エンコードされていない出力を使用するのが適当です。このモードでは、ESBが16本の出力を使用して、各クロック・サイクルごとに16ビットを出力し、2クロック・サイクルで32ビットのワード・ラインを出力します。各出力はCAMの1ワードを表しており、CAMのワードがデータと一致したときにHighが出力されます (図2を参照)。



CAM のアプリケーション

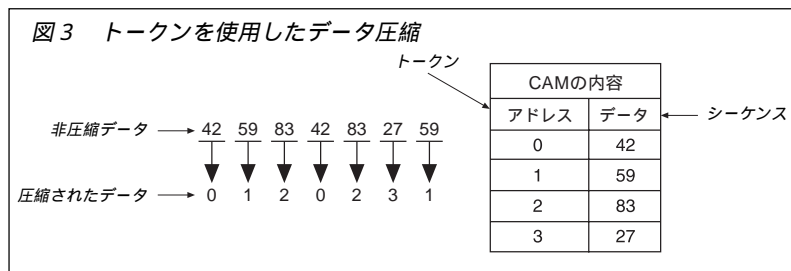
CAMを使用することによって、テレコミュニケーション、ファイル・ストレージ・マネージメント、テーブル・ルック・アップ、パターン認識などのアプリケーションを最適化することができます。このセクションでは、次のアプリケーションにおけるAPEX CAMの使用法について解説します。

- データ圧縮
- ネットワーク・スイッチ
- インターネット・プロトコル・フィルタ
- PCIアプリケーション

データ圧縮

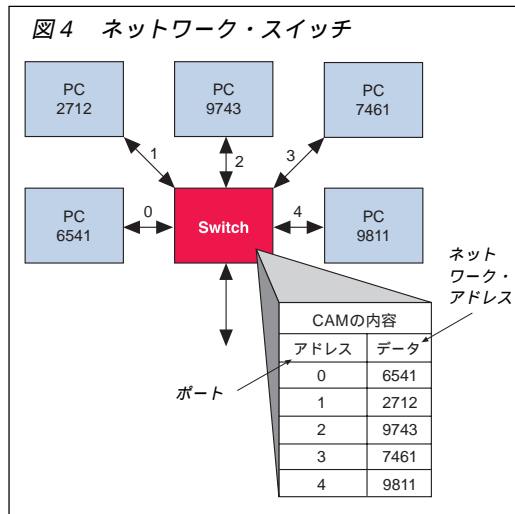
データ圧縮では、情報の冗長な部分が取り除かれ、等価な短いメッセージが生成されます (図3を参照)。各ワードが与えられた後でCAMがルック・アップ動作を実行します。CAM内に特定のコードが存在しない場合は、別のワードがシフト・インされます。該当するコードが発見された場合、CAMは対応するシンボルを出力し、入力レジスタがクリアされます。CAMはテーブル・サイズやサーチ・リストの長さとは関係なく、その結果を一回の動作で生成します。

CAMを使用することによって、テレコミュニケーション、ファイル・ストレージ・マネージメント、テーブル・ルック・アップ、パターン認識などのアプリケーションを最適化することができます。



ネットワーク・スイッチ

ネットワーク・スイッチのアプリケーションでは、受信したパケットからアドレス情報を取り出して処理するときCAMが使用されます。この場合、受信されたネットワーク・アドレスがCAMにストアされたネットワーク・アドレスのテーブルと比較され、パケットが正しい送信ポートにスイッチされます。このとき、CAMは各データ・パケットに対してディストネーションとなるポートを出力します。図4を参照してください。



(17 ページに続く)

階層化されたインスタンスエイションによるデザインの構築

この記事はアルテラの応用技術が4回シリーズでお届けしてきた「実践的設計手法」の最終回です。今回は階層化されたインスタンスエイションの重要性について解説します。

階層化されたインスタンスエイションは、VHDLのデザインや大規模なデジタル・デザインにおいて特に大きな役割を果たします。デザインの効率を最大限に高め、プロジェクトに注力するためには、デザインを階層化した設計手法を採用することが重要です。

階層化されたインスタンスエイションの使用とは、プロジェクトを小規模なエンティティで構成される幅広いツリーに分割することを意味します。各エンティティはそれぞれ個別の目的を持ったものとなり、他のエンティティとの関係が慎重に記述される必要があります。

階層化されたインスタンスエイションを使用する主な利点は、最適化が実現されることです。各ブロックを特定の動作を行うひとつのエンティティとして規定することによって、設計者は各ブロックごとのデザイン機能に注力することができます。また、このデザイン・テクニックを採用することで、デザイン全体の構造をハイ・レベルな視点から捕らえることができ、クリティカル・パスや問題の発生している個所の発見が容易になります。

作業の分割

プロジェクトを上手に分割しておくことによって、デザインの作業を適切に分割して進めることが可能になります。プロジェクトを複数の技術者に分割して設計を進める必要が生じることはたびたびあり、デザインの境界を明確にしておくことでこれらの作業をスムーズに進めることができるようになります。これにより、プロジェクトの分割が容易になり、各担当者が個々のセクションのデザインに集中することができます。

ドキュメントとリビジョンの管理

階層化されたデザインを作成することで、ドキュメントとリビジョンの管理にも大きな利点を提供されます。適切に分割されたモジュールを個別に作成することで、各ブロックの機能と他のブロックとのインタフェースを記述した完全なドキュメントが生成されるようになります。このような完全な形で管理されたドキュメントはデバッグの工程で非常に有効となり、また新しい担当者への移管を迅速に行う上でも役立ちます。また、設計変更が行われた場合でも、個々の設計変更の内容が明確となり、変更内容

を注意深くモニタすることができます。また、変更内容も完全にドキュメント化されるため、リビジョンの管理方法も改善されます。

エラーの検出

階層化されたインスタンスエイションを行うことで、アッセンブルされたプロジェクト内のエラーの検出も容易になります。シミュレーションされた各ノードは対応する階層で参照されるため、各ノードを簡単に発見することができます。また、クリティカル・パスの確認も容易になり、特に複数の位置にインスタンス化されたパラレル・モジュール内でのクリティカル・パスの特定も簡単に行えるようになります。

階層化の手法

階層化されたデザインの実現方法には、「トップ・ダウン」と「ボトム・アップ」の2種類の手法があります。双方の手法はそれぞれ異なる利点を持っており、それぞれ異なる方法で大規模なデザインを管理しやすい小さなブロックに分割します。最良のデザイン方法は、これら2種類の手法を併用したものにすることもあります。

トップ・ダウンのデザイン

トップ・ダウンのデザインは、全体のデザイン・フローに対するハイ・レベルな理解から開始されます。この場合は、各ビルディング・ブロックのデザインを開始する前に、各デザイン・ブロックの一般的な動作機能を記述します。トップ・ダウンの設計手法では、まず最初にデザイン全体の構造を検討する必要があります。適切に階層化されたデザインが作成される傾向があります。また、デザイン全体の構造を先に規定し、詳細が規定されていないブロックをそのままの状態に残しておくことができるため、これらのブロックが設計可能な状態になるまで、技術的な検討時間を延長させることもできます。

ボトム・アップのデザイン

ボトム・アップの手法では、下位レベルのブロックを最初に作成し、これらのブロックを上位レベルの構造に集積化していきます。この場合、設計者はデザイン全体ではなく、個々のサブ・ブロックのデザインに注力できるようになります。これにより、デ

ザイン全体の構築を行う前に、個々のブロックを検証することができます。

また、ボトム・アップのデザイン手法には、コードを再利用できるという利点もあります。プロジェクトを複数の小さなモジュールに分割することによって、プロジェクト内の冗長な部分の発見も容易になります。また、コードの個々のブロックが再利用可能になるため、設計時間を短縮することができます。さらに、共通に使用されるファンクションは通常のデザイン・ライブラリとしてアセンブルすることができるため、そのコードのブロックを他のプロジェクトで再利用することが容易になります。

このシリーズの第3回目で示した「MAX+PLUS II VHDLにおける演算オペレータの使用法」(1998年冬季号)に記載されているように、再利用可能なコードは論理合成においても高い効率を実現します。この記事では、マルチプレクサを注意深く配置

することによって、2個必要だったアダーのモジュールが1個で済むことが示されています。ただし、この例でアダーがインスタンス化されたブロックに配置されていなかった場合には、この最適化を認識することが困難になったはずです。

最終的には、パラメータ化が可能になっているコードを作成することによって、デザインの再利用がさらに効率的になります。パラメータ化が可能なコードを作成することで、同一デザイン内で特定ブロックを複数の個所に使用できるようになります。この機能はLPM(Library of Parameterized Modules)ファンクションやアルテラの多くのファンクションを非常に効率的なものとしています。

効率的な階層化デザインを作成するための詳しい情報については、日本アルテラの応用技術部(TEL: 03-3340-9480 japan@altera.com)へお問い合わせください。

共通に使用されるファンクションは標準のデザイン・ライブラリとしてアセンブルすることができるため、コードのブロックを他のプロジェクトで再利用することが容易になります。

APEXデバイスのアプリケーションを高速化するCAM
(15 ページからの続き)

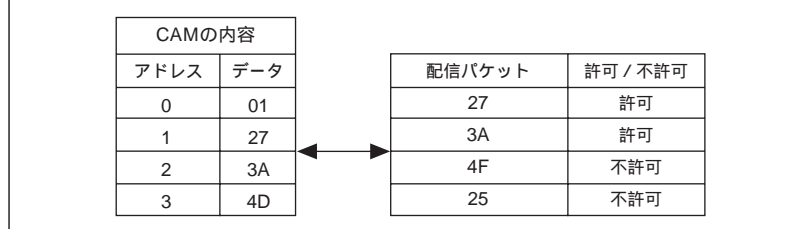
インターネット・プロトコル・フィルタ

インターネット・プロトコル・フィルタは許可されていないユーザがLAN(Local-Area Network)のリソースに対してアクセスができないようにするセキュリティ機能です。この機能はWAN(Wide-Area Network)のリンクを通じて行われるインターネット・プロトコルのトラフィックも制限します。このインターネット・プロトコル・フィルタを使用することによって、LANのユーザによるインターネット上で提供されている特定のアプリケーション(E-mailなど)の利用を制限することができます。この場合、CAMはフィルタとして動作し、許可されているパケットを除くすべてのアクセスをブロックします。許可されているアドレスは、あらかじめCAMに書き込んでおきます。アドレスがメモリに送られると、CAMはそのアドレスがストアされているかどうかをレポートします。そのアドレスがCAM内部にストアされていれば、そのアドレスのユーザのアクセスが許可されます(図5を参照)。

PCIアプリケーション

PCI(Peripheral Component Interconnect)バスは、電源の投入時にデバイスの各I/Oとメモリ・ファンクションが相互に指定されたアドレスの範囲になるようにコンフィギュレーションされる必要があります。そのため、システムは各デバイスに要求

図5 CAMをIPフィルタとして使用する方法



されるメモリとI/Oのアドレス範囲とそれぞれのサイズを検出できるようになっていなければなりません。ベース・アドレス・レジスタを使用することによって、このスペースの再配分が可能となり、デバイスをアドレス・スペースにマッピングする機能を実現することができます。各インタフェースは最大6個までのレジスタを持つことができます。CAMは、どのレジスタがアクセスされているかをレポートする機能に使用できます。PCIのアプリケーションにCAMを使用することで、最小のロジック・エレメント(LE)を使用してレジスタ・サーチの動作を高速化することができます。

アプリケーションを高速化するCAM

アルテラの新しいAPEXデバイスには、CAMの機能がESBに組み込まれています。CAMはアドレスではなくデータをサーチすることでサーチ時間を最小に抑えるため、APEXデバイスのスピードと機能をフルに活用できるようになります。

ブライト・スター・エンジニアリング社と FLEX 6000 デバイスが、インターネット接続機能内蔵製品を実現

「固定インタフェースとなっている従来のボード・レベル製品とは異なり、ipEngine-1はユーザが必要とするハードウェアをそれ自身で実現する機能を持っている。アルテラのEPF6016 デバイスは驚くべき高い柔軟性を提供した。」

Bright Star Engineering 社
Stuart Adams 社長

インターネット革命は新しいフェーズに移行しています。世界中の製造メーカは、インターネットとの接続が可能な「インターネット対応」のエンベデッド製品の開発を目指しています。このような製品の登場によって、ユーザは世界中の任意の場所からブラウザを通じてインターネットに接続された製品と通信できるようになり、多くのアプリケーションに大きな利点を提供されます。例えば、これによってネットワーク対応の製造機器のトラブルシューティングが行えるようになり、技術者がノートブック・コンピュータを使用して遠隔地から問題を解決して、生産ラインを復帰させることも可能になります。また、ネットワーク対応の診断機器を使用することで、医師は生体データを検討し、数百マイル離れた患者に適切な助言を与えることができます。ネットワーク対応の製品の登場によって、我々の生活のかなりの部分が影響を受けることが予想されます。

製品にネットワークへの接続機能を追加することは魅力的なことですが、この機能を追加する作業には長い時間と高額のコストが必要となる可能性があります。特に、ソフトウェアとハードウェアの双方を社内開発する方法を選択した場合には、この危険性が高くなります。開発と長期にわたるメンテナンス・コストが非常に高いものとなり、極めて重要な「Time-to-Market」の要素も失われる可能性もあり

ます。ブライト・スター・エンジニアリング社 (Bright Star Engineering, 以下BSE社と呼称) はこれらの問題点を解消するソリューションとなるipEngine-1を開発しました。このipEngine-1はボード上に実装できるミニチュア・ネットワーク・コンピュータとなっており、ネットワーク対応機器に要求される完全なハードウェアとソフトウェア、そして開発環境を提供しています。図1に示されているように、この製品の主要な部分はアルテラのFLEX[®] 6000 デバイスによって実現されています。

OSとWebサーバが内蔵されたクレジット・カード・サイズのボード

ipEngine-1 ネットワーク・コンピュータには、モトローラ社のプロセッサ、PowerPC MPC823がCPUとして使用されています。このデバイスは、そのサイズがわずか幅3.4インチ、長さが2.6インチのボード上に実装されています(図2を参照)。

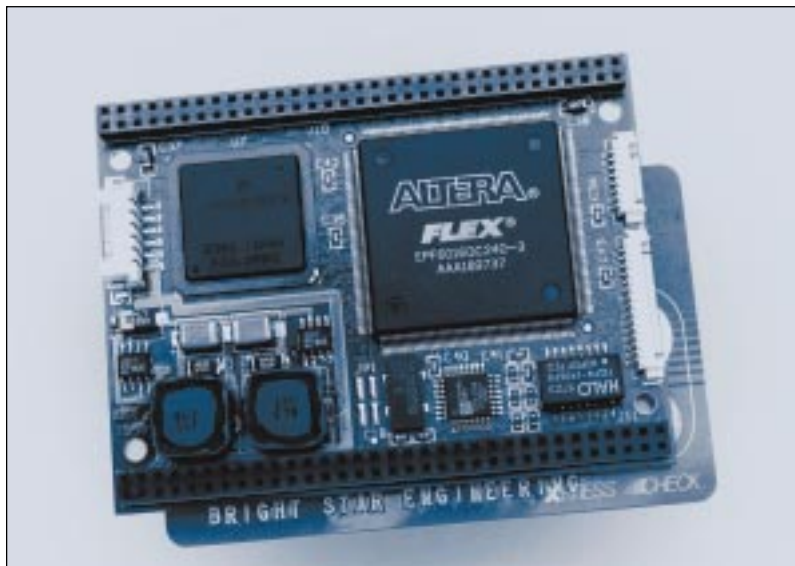
このプロセッサは下記を含む多様なオン・チップのペリフェラル機能をサポートしています。

- 10Base-Tイーサネット・インタフェース
- USB (Universal Serial Bus) のホスト/スレーブ・コントローラ
- 2個のシリアル・ポート
- LCD (Liquid-Crystal Display) ビデオ・コントローラ
- I²C シリアル・バス

MPC823は多様なロー・パワー動作モードをサポートしており、バッテリー動作のアプリケーションに最適なプロセッサとなっています。ipEngine-1には16MバイトのDRAMと2MバイトのFLASHメモリが実装されており、これらのメモリはオペレーティング・システム(OS)、OEM (Original Equipment Manufacturer's) ユーザのアプリケーションやデータのストアなどに使用できます。

リアル・タイムのオペレーティング・システムを必要とするユーザに対しても、ipEngine-1はPowerPCプロセッサからローカル・エリア・ネットワーク(LAN)やインターネットへの完全な接続を保証しています。ipEngine-1には、BSE社のPOSIXをベースにしたpKernelリアル・タイム・オペレーティング・システムが組み込まれています。

図1 クレジット・カードのサイズになっている ipEngine-1



pKernel OSは次の機能を備えています。

- TCP-IP ネットワーキング
- エンベデッド Apache Web サーバ
- ローカル RAM ファイル・システム
- FTP および HTTP を通じたインターネット・ファイルへのアクセス
- インタラクティブ・コマンド・シェル
- ソフトウェア開発キット

リアル・タイム性のないOSを使用したいユーザに対しては、BSE社のエンベデッドLinuxがLinuxカーネルとネットワーク・ユーティリティ、Apache Webサーバ、Javaのバーチャル・マシンの機能をipEngine-1のオン・ボードFLASHメモリで対応させます。

ipEngine-1の使用方法

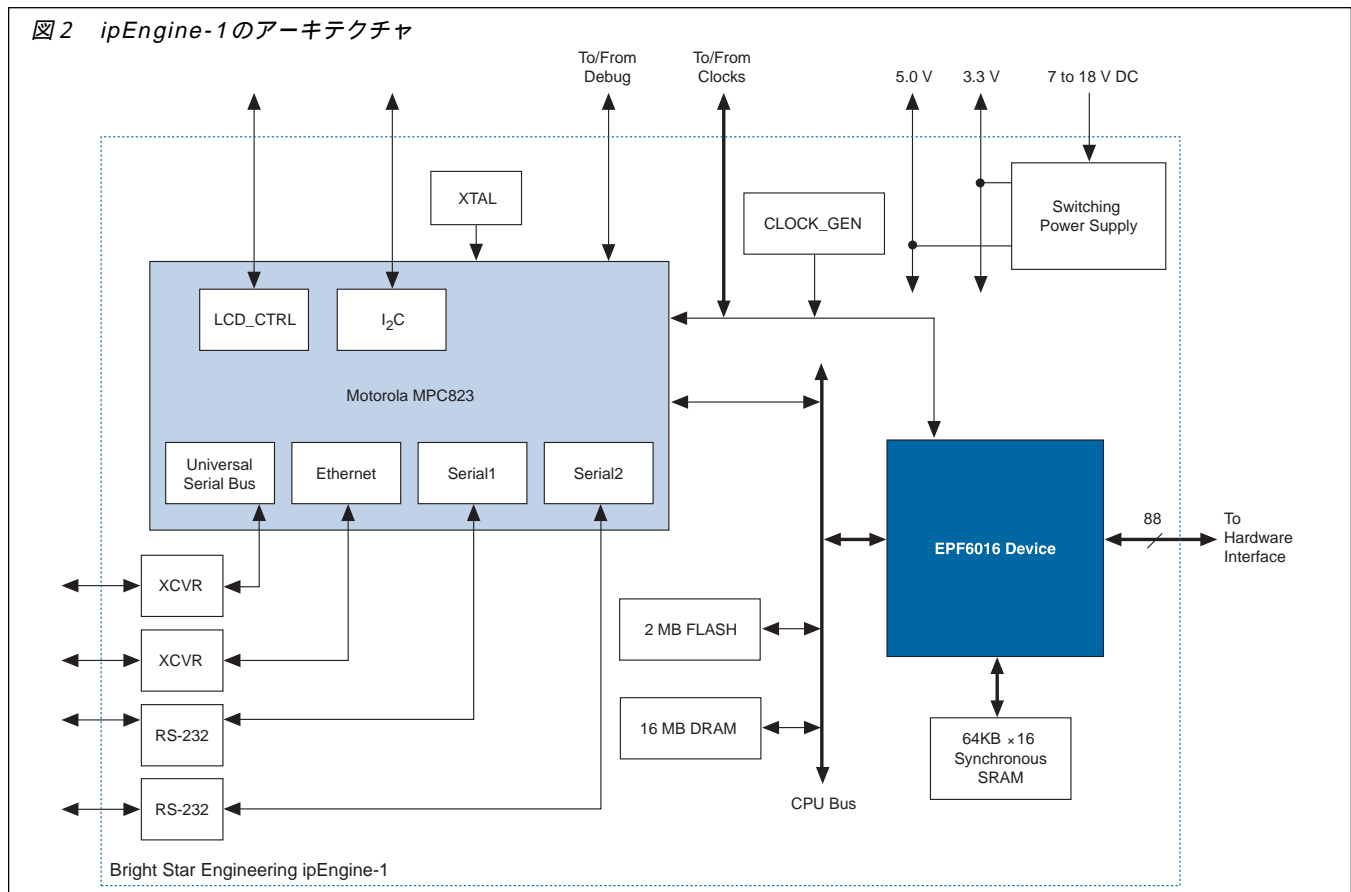
ipEngine-1は、シンプルな2段階の方法で既存の製品をネットワーク対応製品に変換します。例えば、マトリクス状のキーボードを持つ小規模なコントロール・デバイス改造して、これにネットワーク・コマンド・インタフェースを持たせるようにしたい場合があります。この場合には、まず最初に従来のマトリクス・キーボードを取り除き、

EPF6016にバーチャルなキーボードのマトリクスを定義します。そして、I/Oコネクタのピンをこの製品のキーボード入力と接続します。次に、PowerPCプロセッサに対して小規模なネットワーク・コマンド・プロセッサのモジュールを書き込み、ネットワーク・コマンドがマトリクス・キーボードを「押す」動作に変換されるようにします。マトリクス・キーボードの情報はEPF6016のバーチャル・インタフェースを介してこのコントロール・デバイスに送信されます。この新製品は、これで使用可能な状態になります。

アルテラのEPF6016が高い柔軟性を実現

BSE社はipEngine-1からOEM製品への外部インタフェースに、アルテラのプログラマブル・ロジック・デバイス(PLD) EPF6016QC240-3を選択しました。BSE社のStuart Adams社長は「固定インタフェースとなっている従来のボード・レベル製品とは異なり、ipEngine-1はユーザが必要とするハードウェアの機能をそれ自身で実現できるようになっている。アルテラのEPF6016デバイスは驚くべき高い柔軟性を提供した。」と述べています。BSE社は数年間にわたってアルテラのデバイスを使用しており、アルテラのデバイスがロー・コストで実現

(20ページに続く)



「無償で提供されている使いやすいBASELINEソフトウェアとBSE社から提供されるサンプルのコードを利用することによって、各ユーザはすぐに開発を開始することができます。」

Bright Star Engineering 社
19 Enfield Drive
Andover MA 01810
sales@brightstareng.com
http://www.brightstareng.com

ブライツ・スター・エンジニアリング社とFLEX 6000 デバイスが、インターネット接続機能内蔵製品を実現（19 ページからの続き）

した豊富な機能を活用しています。同社は、2つの理由からipEngine-1にEPF6016を採用しました。Stuart Adams 社長は「EPF6016はフリップフロップ数あたりのコストとしては業界でもっとも低価格なデバイスであるため、他社の高価なFPGAの場合とは異なり、そのまま量産に移行できる。」と述べています。

EPF6016は88ピンの「バーチャル・インタフェース」を構成しており、使用する各ユーザの特定の要求に応じてコンフィギュレーションされます。このデバイスはOEM製品の既存のI/Oとの通信、あるいは製品のハードウェアのコントロールまたはモニタを行うときにも使用できます。EPF6016は多様なバス・アーキテクチャをエミュレーションすることができ、UART (Universal Asynchronous Receiver/Transmitter)、PWM (Pulse Width Modulation) のコントロール、メモリのエミュレーション、データのキャプチャや合成、多様なデバイスとのインタフェースなどのペリフェラル・ファンクションを実現することもできます。EPF6016には128K x 16構成の同期型SRAMが接続されています。このSRAMはバーチャル・インタフェースで送受信されるデータに対する高速のシェアド・バッファとして使用できます。

MAX+PLUS II BASELINE による無償で容易なコンフィギュレーション

BSE社と同社の顧客にとって、ipEngine-1にアルテラのデバイスが採用されたことで得られた新たな

利点は、アルテラのMAX+PLUS® II BASELINE開発ソフトウェアが使用できることでした。アルテラのWebサイト、<http://www.altera.com>からこのソフトウェアを無償でダウンロードすることによって、ユーザはEPF6016をコンフィギュレーションすることができます。AHDL (Altera Hardware Description Language) とVHDLで記述されたサンプルのコンフィギュレーション・ファイルがBSE社のWebサイト、<http://www.brightstareng.com>で提供されています。Stuart Adams 社長は「無償で提供されている使いやすいBASELINEソフトウェアとBSE社から提供されるサンプルのコードを利用することによって、各ユーザはすぐに開発を開始することができます。」と述べています。EPF6016のコンフィギュレーションとバーチャル・インタフェースの定義をさらに簡単に行えるようにするため、BSE社はipEngine-1用にコンパイルされたコンフィギュレーションのライブラリを開発しており、同社のWebサイトで提供する予定です。

まとめ

将来、ネットワーク対応の製品が家庭や職場にあるデバイスとの関係を変えてゆくことが予想されます。ブライツ・スター・エンジニアリング社は、アルテラのFLEX 6000 デバイスをipEngine-1に組み込み、コンフィギュレーションにMAX+PLUS II BASELINEソフトウェアを使用することで、サード・パーティの製品を現在のインターネット網に接続できるようにしたミニチュア・サイズで高い柔軟性を持つ経済的なネットワーク・コンピュータを実現することができました。

現在のソフトウェア・バージョン

アルテラのMAX+PLUS® IIの最新バージョンは、9.26です。MAX+PLUS II開発システムは、WindowsベースのPC、Sun SPARCstation、HP 9000シリーズ700/800およびIBM RISC System/6000の各プラットフォーム上で動作する製品があります。

NWL 社が PCI/C を内蔵した SDRAM コントローラを開発

アルテラの AMPPSM (Altera Megafunction Partners Program) の新たなパートナー企業となった Northwest Logic Design (NWL) 社が、IP (Intellectual Property : 設計資産) ソリューションが提供する 3 つの重要な特長である高い性能の実現、拡張性、使いやすさを活用して、新しい SDRAM コントローラを開発しました。このファンクションには、アルテラが提供している 64 ビット / 66 MHz の PCI (Peripheral Component Interconnect) MegaCoreTM ファンクション、pci_c が完全に組み込まれています。

この新しいコントローラがアルテラの FLEX[®] 10KE デバイスで構成された場合には、100MHz までの性能が実現され、同時に複数のインタフェース・モジュールとユーザ規定のパラメータが使用できる高い柔軟性がもたらされます。この SDRAM コントローラには下記のような特長があります。

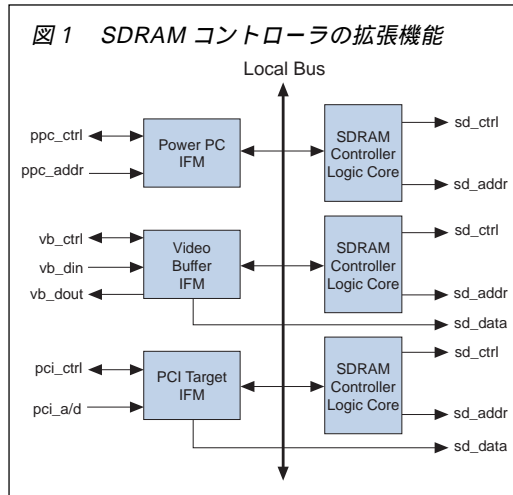
- FLEX 10KE デバイスで最高 100MHz のクロック・スピードを実現
- 32ビットまたは64ビット幅のバスをサポート
- バイト・イネーブル機能のフル・サポート
- パースト・レンジスが可変
- 64Mバイトまでの深さのメモリ
- 168ピンDIMM、144ピンSO-DIMMをサポート
- 大容量メモリ・システムに対応した余裕のある I/O
- パラメータ化されたタイミング仕様
- 最高のスループットを実現するバイブライン・アクセス
- 効率の高いバンク・マネージメント機能
- SDRAM の自動初期化機能
- 自動リフレッシュ機能

性能

この SDRAM コントローラは、ほとんどの FLEX 10KE デバイスで最高 100MHz の性能を達成します。NWL 社は MAX+PLUS[®] II が提供している最新のタイミング・モデルを利用して、高速のメモリ・アクセスが要求されるシステムに対する新しいソリューションを提供しています。

拡張性

この SDRAM コントローラには、システム側に SDRAM コントローラを集積するときに役立つ複数のインタフェース・モジュールが提供されており、各デザインごとにこれらのモジュールを付加することができます。図 1 は現在提供されているインタ



フェース・モジュールを示したものです。これらのモジュールには、モトローラ社の PowerPC 60x/750 インタフェース、ビデオ・フレーム・バッファ・インタフェース、およびアルテラの pci_c MegaCore ファンクションに対する PCI ターゲット・インタフェースが含まれています。表 1 はアルテラの FLEX 10KE にこの SDRAM コントローラを実現したときのこれら 3 種類のモジュールの性能と使用されるリソースを示したものです。

使いやすさ

この SDRAM コントローラには、これを簡単に使用できるようにした多くの機能が含まれています。現在、この SDRAM コントローラは評価が無償で行える OpenCoreTM メガファンクションとして提供されています。また、このデザインは完全にパラメータ化されており、さらにユーザが NWL 社の SDRAM コントローラを短時間で簡単に組み込めるようにするための技術サポートも提供されています。今後、このメガファンクションに対するパラメータの設定ができる MegaWizardTM Plug-In のサポートも計画されています。

表 1 SDRAM コントローラを FLEX 10KE デバイスで実現したときの性能

インタフェース	性能			
	デバイス名	スピード (MHz)	使用リソース	
			LE 数	ESB 数
PowerPC	EPF10K200E-1	113	564	0
ビデオ・バッファ	EPF10K50E-1	100	960	8
PCI	EPF10K50E-1	66	2,041	5

Northwest Logic Design
 1905 NW 169th Place
 Suite 121
 Beaverton, OR 97006
 USA
 TEL: (503)533-5800
 ip@nwlogic.com
 http://www.nwlogic.com

APEX デザインとデザイン・フローを簡素化する Synplify と Quartus の統合



APEX™ デバイスを採用することによって、複雑なデザインでも要求されるシステム性能を達成できるようになります。アルテラの Quartus™ 開発システムは超高集積デバイスのサポート、ワークグループ・コンピューティングやインクリメンタルなコンパイル機能の実現など、設計者の多様なニーズに対応した開発システムとなっています。Quartus ソフトウェアとの統合が可能な Synplicity 社の Synplify ソフトウェアは強化された HDL 合成機能やグラフィカル・デバッグ機能などを備えており、Quartus の能力をさらに拡張させています。この記事はこれら 2 つのソフトウェアの統合化方法と APEX のデザインに対してこの統合によっていかに有効な環境が提供されるかを解説したものです。

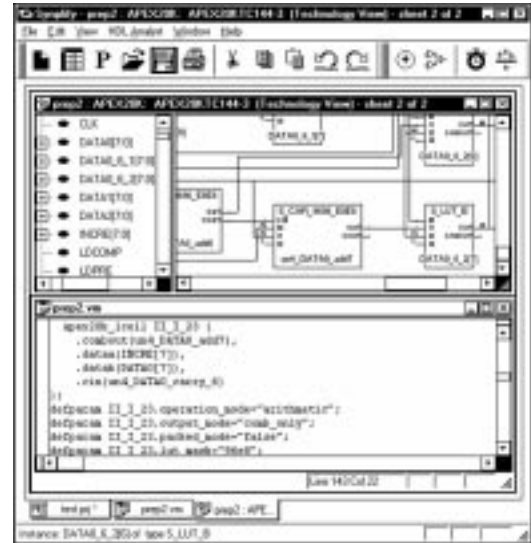
NativeLink による緊密な統合

Quartus ソフトウェアは、NativeLink™ 機能によりユーザが意識することなくサード・パーティ・ツールとの緊密な統合を実現しており、Synplify ソフトウェアの提供する合成パワーをさらに効率的に活用できるようになっています。Quartus 開発システムで実現された優れた機能により、Synplify ソフトウェアは合成されたロジックを APEX デバイスのアーキテクチャにより効率的にマッピングすることができます。Synplify ソフトウェアはターゲット・デバイスの構造を正確に理解し、この強化されたマッピング機能を使用してシステムの要求に適合するようにデザインを最適化します。

Quartus ソフトウェアには、ATOM プリミティブと呼ばれるさらにパワフルなマッピング・エレメントが提供されています。この ATOM プリミティブは、APEX アーキテクチャのロジック・エレメント (LE) からメモリ・エレメントや I/O セルまでのあらゆるリソースを考慮したマッピングが行われるようになります。Synplify ソフトウェアは、ネットリスト・ファイルにこの ATOM プリミティブを使用して性能とエリア効率を改善します (図 1 を参照)。この新しい ATOM プリミティブの使用は Synplify ソフトウェア側で自動的に行われ、ユーザが特別な設定を行う必要はありません。この ATOM プリミティブの使用は、生成結果の高い品質となって現れます。

生成結果の品質が改善される点に加え、APEX デバイスに対するロジックの実現が精密にコントロールされることで、Synplify ソフトウェアによるタイミング予測もさらに正確になります。Synplify ソフトウェアはこれらのタイミング予測値とユーザが設定したタイミング・コンストレインを使用して合成方

図 1 APEX のロジック・エレメント・マッピングの画面



法を決定し、デザインの使用効率と性能に大きな影響を与えます。過大な、あるいは過小なコンストレインにより、システム全体の性能を低下させる非効率なデザインが生成される可能性があります。Synplify ソフトウェアは得られたタイミング遅延情報を使用して、正確にコンストレインを実現し、デザインを最適化します。

設計フローの簡素化

Quartus と Synplify の両ソフトウェアを統合した開発環境は、最適化機能を改善すると共に、双方のソフトウェアが相互にシームレスな動作を行えるようにして多くの優れた機能を実現しています。Quartus ソフトウェアは Synplify ソフトウェアをデフォルトの合成ツールとして起動することができ、Synplify ソフトウェアがバッチ・モードで合成を実行できるようになっています。このとき、Synplify ソフトウェアから生成されるすべてのコンパイル・メッセージは、Quartus のメッセージ・ウィンドウに表示されます。Synplify ソフトウェアによる合成が完了すると、Quartus ソフトウェアはデザインの配置配線を実行します。

また、Quartus 開発システムでは、Synplify のアプリケーション側からの起動、コンパイルの実行、Quartus データベースに対するアクセスも可能になっています。さらに、Synplify ソフトウェアは Quartus ソフトウェアに情報を提供して、Quartus による中間ネットリストではなくオリジナルの

Verilog HDL/VHDL コードでのクロス・ブローイングを可能にしています。

例えば、Synplify ソフトウェアは Quartus ソフトウェアの起動と APEX デザインのコンパイルの双方を実行することができます。Quartus 開発システムが起動されると、ユーザは Quartus のプロジェクトの処理を開始し、Synplify ソフトウェアによって生成された合成後のネットリストをコンパイルすることができます。Synplify と Quartus 間の通信を高速化および強化したことによって、設計の生産性が大幅に改善されています。

さらに、Synplify 内で Quartus ソフトウェアによるコンパイルを実行すると、自動的に配置配線からログ・ファイルやタイミング解析情報の生成までのフローが連続して実行されます(図2を参照)。このプロセスでは複数の作業ステップが連続的に実行されるため、全体の処理時間が短縮され、全体のデザイン・フローがさらにユーザ・フレンドリなものとなります。Quartus のコンパイルが完了すると、Synplify ソフトウェアは配置配線後の情報をアクセスし、結果を確認すると共に必要に応じて変更、調整を行います。双方のツールを使用したデザインと

デバッグの環境をさらに改善、強化するため、Synplify ソフトウェアは Quartus ソフトウェアからソース・コードをアクセスできるようにリンクされています。これによって、設計者は EDIF のような中間のネットリストを通じて信号をトレースする必要がなくなります。

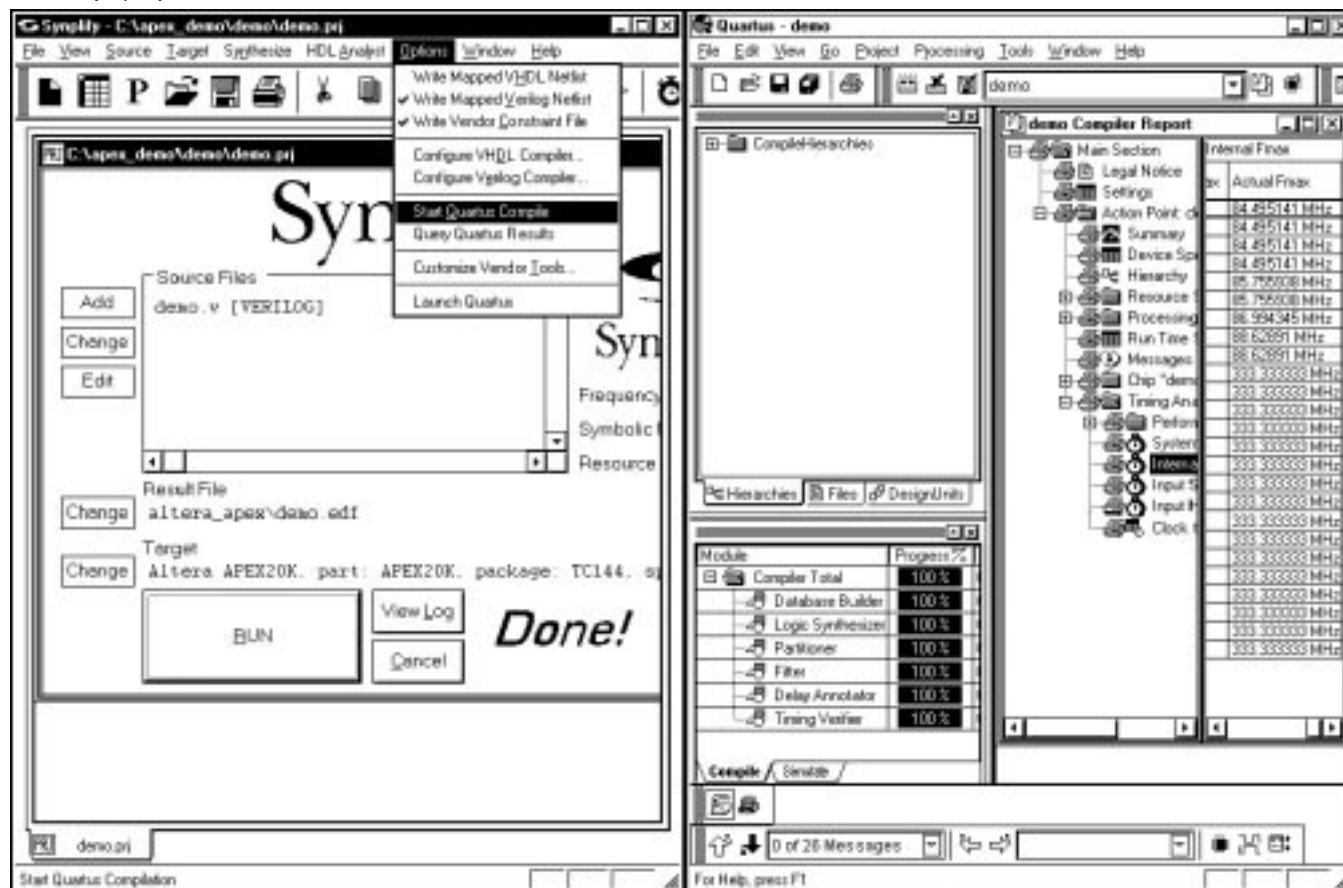
まとめ

Quartus ソフトウェアは NativeLink によるパワフルなインタフェースを提供しており、Synplify ソフトウェアがデザイン・フローと全体の合成結果を改善できるようにしています。Quartus と Synplify を組み合わせることによって、高速のデザインをより小さなエリアで、また短時間で作成することができます。

Synplicity 社は Quartus 開発システムをサポートした Synplify ソフトウェアの新バージョンを 1999 年 8 月にリリースする予定です。この新しいバージョンは Quartus ソフトウェアとの統合化機能を提供し、デザイン・フローの簡素化と APEX デバイスに対する効率的なマッピングを実現します。Synplicity 社は APEX の設計者に対して Quartus ソフトウェアとの最高レベルの統合化を提供する予定です。



図2 Synplify ソフトウェアを通じて Quartus のコンパイラを実行したときの画面



PLD の内部信号の観測を可能にした SignalTap エンベデッド・ロジック・アナライザ



アルテラはSignalTap™ エンベデッド・ロジック・アナライザを発表して、数百万ゲートのデザインに対する開発ツールのリーディング・プロバイダとしての役割を果たしました。これらの高集積デバイスはSystem-on-a-Programmable-Chip™ のデザインを可能にしましたが、同時にそのデザイン・プロセスには新たな課題も発生します。

複数の「パーチャル・コンポーネント」を含むようなシステム・デバイスでは、デバッグや検証時において、プログラマブル・ロジック・デバイス(PLD)の内部ノード信号へのアクセスが困難になります。従来から供給されている既存のツールは内部ノードへのアクセスが不可能なため、このようなデバッグや検証に使用することはできません。

この問題に対するソリューションは、デバイス内部にデバッグ・ツールをメガファンクションとして配置することです。SignalTap ロジック・アナライザを使用することで、内部ノードとI/Oピン上の信号へのアクセスが可能になります。

ベンチ・トップのロジック・アナライザをAPEXの内部に実現

SignalTap エンベデッド・ロジック・アナライザは新しいパワフルなデバッグ・ツールであり、デバイスを実スピードで動作させながら、デバイスの動作を妨げることなく内部ノードからの信号を観測できるようにしています。このSignalTap はAPEX™ デバイスの内部に実現されたベンチ・トップのロジック・アナライザのような機能を果たしており、以下のような特長を持っています。

- **チャンネル幅とアキュイジションの深さ** ユーザは入力チャンネル数とサンプル・バッファの深さを指定することができます。
- **実スピードでのアキュイジション** このエンベデッド・ロジック・アナライザは内部のグローバル・クロックに同期して信号を取り込みます。
- **パワフルなトリガ機能** SignalTap ロジック・アナライザはイベントの複雑なシーケンスに対応できる4レベルのトリガ「シーケンサ」の機能を持っています。
- **データのストアが選択可能** ユーザはセーブするデータと無視するデータを指定することができます。

- **Quartus™ソフトウェアとの統合** このアナライザのコントロールと表示機能は、Quartus開発ソフトウェア内に組み込まれています。

スケーラブルなアーキテクチャ

SignalTapはパラメータ化されたメガファンクションとして提供され、ユーザが観測する内部信号の本数を指定できるようになっています。入力チャンネル数は、内蔵されているロジック・エレメント(LE)およびエンベデッド・システム・ブロック(ESB)の数による制限を受けるまで、任意の2の累乗数に設定できます。表1は入力チャンネル数に対して使用されるLEの数を示したものです。

アナライザのチャンネル数	使用LE数	EP20K400での使用率
1	136	0.82%
2	144	0.87%
4	160	0.96%
8	192	1.15%
16	256	1.54%
32	384	2.31%
64	640	3.85%

キャプチャされたデータは内部のメモリ・ブロックにストアされ、IEEE Std.1149.1のJTAG (Joint Test Action Group)ポートを通じてチップの外部に転送されます。SignalTap ロジック・アナライザによって使用されるESBの数は、入力チャンネルの数とサンプル・バッファの深さで決定されます。表2はチャンネル数とバッファの深さに対して使用されるESBの数を示したものです。

SignalTap ロジック・アナライザは同期型(ステート)アナライザとなっており、ユーザが指定した内部のグローバル・クロックに同期して内部信号をキャプチャします。キャプチャされた信号は、実スピードで動作している内部回路の「ステート」を表しています。

表2 使用されるESB数

チャンネル数	バッファ・サンプル数				
	128	256	512	1,024	2,048
1	1	1	1	1	1
2	1	1	1	1	2
4	1	1	1	2	4
8	1	1	2	4	8
16	1	2	4	8	16
32	2	4	8	16	32
64	4	8	16	32	64

パワフルなトリガ機能

デザインのデバッグ時におけるもっとも大きな問題のひとつが、不適切な動作を行う回路の分離方法です。SignalTap ロジック・アナライザはマルチ・レベルのパワフルなトリガ機能と選択可能なデータ・ストレージ機能を提供しているため、問題が発生している箇所を特定し、関連する情報を取り込むことができます。

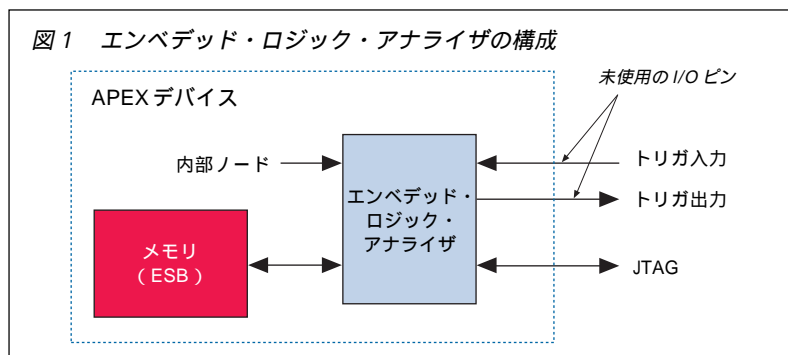
SignalTapは以下のトリガ・リソースをサポートしています。

- **4種類のパターン認識機能** 各パターンには、すべての入力チャンネルのHigh、Low、立ち上がりエッジ、立ち下がりエッジ、「ドント・ケア」の条件を組み合わせたロジックのイベントを規定することができます。
- **時間とカウントの認識機能** さらに、時間(期間)またはイベントの発生回数(カウント)によって、各パターンが認識されるようにすることができます。
- **遅延トリガ機能** このトリガ遅延機能は、特定のパターンが認識されたときにトリガの発生タイミングを指定した時間まで遅延させるときに使用できます。
- **4レベルのトリガ・シーケンス** IF/THEN/ELSE/STOREの構文とパターンを併用することで、アナライザのトリガ前に生成する必要があるイベントのシーケンスを規定することができます。
- **選択可能なデータのストレージ** これは重要なデータをセーブし、意味のないデータを無視できるようにする機能であり、各トリガ・レベルに対して設定することができます。
- **トリガI/O** ロジック・アナライザの外部のテスト機器への同期化には(その逆も可)外部トリガ入力とトリガ出力の信号が使用できます。

複数の構成方法をサポート

SignalTap ロジック・アナライザは、あらゆる種類の問題に対処できるように設計されています。このアナライザは要求されるタスクに適合するように複数の構成方法で使用することができます。アナライザ全体の機能は、APEX 20Kデバイスの内部で実現されます(図1を参照)。取り込まれたデータは内部のRAMにストアされ、トリガ後にチップ外部に転送されます。

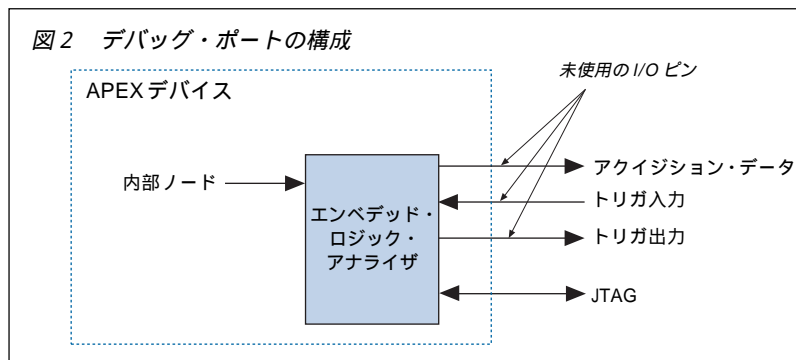
図1 エンベデッド・ロジック・アナライザの構成



アナライザのトリガ入力とトリガ出力の信号を未使用のI/Oピンに接続して、外部デバイスまたはイベントとの同期を取ることができます。

内部信号が未使用のI/Oピンと接続されるようにデバッグ・ポートを構成し、外部のロジック・アナライザによる内部信号のキャプチャを可能にすることもできます(図2を参照)。

図2 デバッグ・ポートの構成

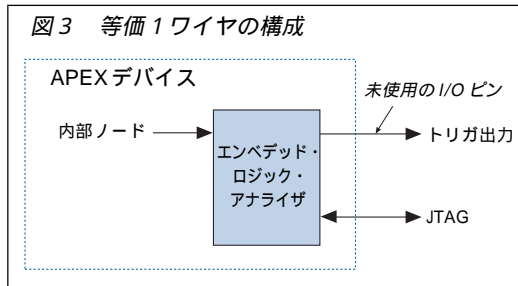


等価1ワイヤ・モードでは、SignalTap ファンクションのトリガ・ロジックが内部イベントの発生に応じて出力を生成します(26ページの図3を参照)。トリガ出力のパルスの幅は、トリガ・レベルまたはパターンの期間を表すように設定することができます。

(26ページに続く)

PLDの内部信号の観測を可能にした SignalTap
エンベデッド・ロジック・アナライザ
(25 ページからの続き)

SignalTap ロジック・アナライザは Quartus 開発ソフトウェアに組み込まれている機能の一部となっており、PLDの開発、デバッグ、および検証に使用できる唯一の環境となっています。



外部のロジック・アナライザ、またはオシロスコープによって信号がキャプチャされたとき、トリガ出力を使用して下記のようなトリガ・イベントについての情報を判断することができます。

- そのイベントが発生したかどうか
- 何回発生したか
- 内部イベントの発生期間
- 発生期間の変動（ジッタ）

MasterBlaster 通信ケーブル

図4に示されている MasterBlaster™通信ケーブルは、デザインをデバイスにダウンロードするときに使用されます。また、この通信ケーブルは SignalTap ロジック・アナライザのセットアップ、コントロール、および SignalTap からの情報を転送する機能も持っています。



MasterBlaster通信ケーブルは、ホストとなるPCの標準シリアル・ポートまたはUSB (Universal Serial Bus)ポートとターゲット・システム間を10ピンのメス型コネクタを使用して接続します。このケーブルはターゲット・システムに対してマルチ・ボルト・インタフェースを提供しており、1.8V から 5.0V までの間の V_{CC} レベル、および将来登場する低電圧標準規格をサポートします。

Quartusソフトウェアとの統合

SignalTap ロジック・アナライザは Quartus 開発ソフトウェアに組み込まれている機能の一部となっており、PLDの開発、デバッグ、および検証に使用できる唯一の環境となっています。

内部ノードは Quartus の Node Finder を使用して選択され、ロジック・アナライザのウィンドウ上に転送されて自動的にキャプチャされる信号に指定されます。トリガ方法、サンプル・バッファの構成方法、コントロールの実行などの設定は、Quartus ソフトウェア内に理解しやすいユーザ・インタフェースとして提供されています。

このアナライザが作製および構成されると、デザインの残りの部分がコンパイルされ、ターゲット・デバイスにダウンロードされます。トリガ条件の変更はデザインを再コンパイルすることなく簡単に行うことができます。ロジック・アナライザによってキャプチャされたデータは、Quartusソフトウェア内に波形として表示され、解析されます。

SignalTap Plus システム・アナライザ

PLDをシステムに集積する時点で、PLDとシステムの残りの部分とのインタフェースに関する新たな問題が発生することがあります。このため、ボード上のすべてのデバイスがどのような動作を行うかをシステム・レベルの視点から理解することが非常に重要になります。Boulder Creek Corporation から供給される SignalTap Plus システム・アナライザは、こうしたニーズに対応した製品です。SignalTap Plus システム・アナライザの詳細については、Boulder Creek 社の Web サイト、<http://www.bcreek.com> をご覧ください。

まとめ

Quartus 開発ソフトウェアと共に提供される SignalTap ロジック・アナライザは、デバイス内の信号の観測を可能にしました。この新しいテクノロジーを利用することで、デバッグに要する時間を短縮することができるため、デザインの生産性が大幅に向上します。

Q TCKポートは何故、HighではなくLowレベルにプル・ダウンしておく必要があるのでしょうか？

A JTAG (Joint Test Action Group) のTMSとTCKが共にHighの状態ではデバイスに電源が投入された場合でも、IEEE Std. 1149.1のJTAG TAPコントローラはベース・ステートまたはTEST_LOGIC/RESETステートに留まります。ただし、電源投入のプロセスでは、電源の供給されていないLowレベルの状態から電源の投入されたHighレベルへの遷移が、TMSとTCKとの間でわずかに異なるタイミングで発生する可能性があります。これについては、アルテラのアプリケーション・ノート、AN 88 (*Using the Jam Language for ISP & ICR via an Embedded Processor*、日本語版「エンベデッド・プロセッサによるISPとICRにJam言語を使用する方法」)のFigure 9(日本語版の図9)を参照してください。

TMSとTCKが同じタイミングでHighレベルになるか、TMSがTCKよりも先にHighレベルになれば、問題は発生しません。ただし、TCKがTMSよりも先に立ち上がると、JTAG TAPコントローラは、TMS信号が0の状態ではステート・マシンのクロックに立ち上がりエッジが発生したと認識し、デバイスをRUN_TEST/IDLEのステートに遷移させます。デバイスはJTAGポートから新たなコントロール信号が受信されるまで、このステートを維持します。したがって、ブランクのデバイスでもプログラムされたデバイスでも、TCKのピンは1kΩの抵抗を通じてLowレベルにプル・ダウンしておく必要があります。詳細については、アプリケーション・ノート、AN 95 (*In-System Programmability in MAX Devices*)のFigure 4を参照してください。

Q シミュレーションでは適切な結果が得られたマルチ・クロックのデザインが、ボード上では正常に動作しません。どのような原因が考えられますか？

A 複数のクロックを使用する場合は、下記のような非同期動作で発生する問題を考慮したデザインを行う必要があります。

- あるクロック・ドメインから他のクロック・ドメインにデータを転送する場合は、レジスタを使用して同期化をはかる。
- あるクロック・ドメインから他のクロック・ドメインにデータを転送する場合は、FIFO (First-In First-Out) バッファを使用する。

これらのテクニックが使用されなかった場合は、異なるクロックに同期したデータがレジスタをドライブしたときに、セットアップ・タイムまたはホールド・タイムの違反が発生する可能性があります。

MAX+PLUS® IIまたはQuartus™のシミュレータでSetup/HoldのオプションをONに設定しておく、このようなエラーを発見することができます。

ただし、このガイドラインは、複数のクロックが相互に全く関係しないようになっている「異なるクロック・ドメインを持つ回路」には適用されません。

Q JTAGの属性情報(attribute information)を入力したところ、MAX+PLUS IIソフトウェアがアルテラ以外のデバイスに対して"Device 'device name' does not have JTAG attribute information"というエラー・メッセージを表示しました。何が原因なのでしょうか？

A アルテラ以外のデバイスに対するJTAGの属性情報を入力したときに、JTAG Device Attributesのダイアログ・ボックスのDevice Nameのフィールドにスペース・コードが含まれていると、このようなエラー・メッセージが表示されます。入力したデバイス名からスペースのコードを取り除くと、このエラーが解消されるはずですが。

Q lpm_ram_dqファンクションを使用してロジック・エレメント(LE)またはマクロセルに実現されたメモリのイニシャライズにMemory Initialization File (.mif)は使用できますか？

A いいえ、MIFはFLEX® 10Kのエンベデッド・アレイ・ブロック(EAB)またはAPEX™デバイスのエンベデッド・システム・ブロック(ESB)に実現されたメモリをコンフィギュレーション時にイニシャライズするときのみ使用できます。LEまたはマクロセル内のすべてのレジスタは電源の投入後またはコンフィギュレーション後にゼロにイニシャライズされるため、EABまたはESB以外に実現されたRAMブロックのイニシャライズにMIFを使用することはできません。

イニシャライズされたRAMが必要な場合は、MIFを使用してFLEXのEABまたはAPEXのESBに実現されたメモリ・ブロックがイニシャライズされるようにしてください。

Q FLEX 10KEデバイスの双方向ピンの t_{su} と t_{co} のタイミングを改善するためには、どのような方法があるのでしょうか？

A FLEX 10KEの双方向ピンを入力ピンと出力ピンに分割し、双方のピンにI/Oエレメント(IOE)のレジスタを使用することで、 t_{su} と t_{co} を改善することが可能です。グローバル・クロックを使用して、入力ピンと出力ピンのIOEレジスタをドライブすることで、この信号に対する最善の t_{su} と t_{co} が与えられます。

(28 ページに続く)

Questions & Answers (27 ページからの続き)

Q 自動マウンタを使用して BGA (Ball-Grid Array) パッケージを実装しようとしています。使用しているマウンタではソルダ・ボールがデバイスの底面から認識されません。どうしてでしょうか？

A BGA パッケージによっては、底面側が光りすぎるため、マウンタがデバイスの底面側からソルダ・ボールを認識できなくなることがあります。多くの自動マウンタはデバイスの底面部が暗くなっていることを前提としており、ボールがより暗い色になっていると、底面側からの認識が容易になります。光っている底面部からソルダ・ボールを認識しやすくするためには、マウンタを再調整することが必要です。再調整の方法については、各マウンタのベンダに連絡して確認してください。

Q "Current device family <device family> does not support dual-port synchronous RAM-implementing the synchronous RAM as a dffe array instead. (dcfifo, FLEX 10K)?" のワーニング・メッセージが表示されました。これは、どういうことでしょうか？

A dcfifo ファンクションは、デュアル・ポート RAM をサポートしている FLEX 10KE の EAB または APEX デバイスのエンベデッド・システム・ブロック (ESB) に実現するのがもっとも効果的です。

FLEX 10KE または APEX 20K デバイスが使用されない場合は、dcfifo ファンクションが dffe のアレイトとして構成され、dcfifo ファンクションの機能の一部となっているデュアル・クロックの動作が実現されます。

FIFO バッファにデュアル・クロックの動作が必要ない場合は、シングル・クロック動作の EAB にも実現できる scfifo を使用するのが適当です。このメガファンクションは、任意の FLEX 10K デバイスの EAB に実現できます。

Q EPC2 は固定のプログラミング・パルス幅を持っていますか？

A EPC2 は固定のプログラミング・パルス幅を持っており、シリアル・ベクタ・フォーマット・ファイル (.svf) を使用してイン・サーキット・テストでプログラムすることができます。この場合、特別な固定アルゴリズムをサポートしている EPC2 を注文する必要はありません。

Q Jam™ Player を使用して、同じ JTAG チェインで MAX® デバイスのプログラムと FLEX デバイスのコンフィギュレーションを行うことは可能でしょうか？

A はい、Jam バイト・コード・ファイル (.jbc) または Jam ファイル (.jam) を使用することによって、同じ JTAG チェイン内で MAX デバイスのプログラムと FLEX デバイスのコンフィギュレーションの双方を実行することができます。DO_PROGRAM=1 と DO_CONFIGURE=1 の双方のイニシャライゼーション変数を Jam Player のバージョン 1.1 に受け渡すことによって、2 つの動作を実行することができます。

Q テスタのプラット・フォームで MAX 7000AE デバイスをプログラムするための SVF ファイルが MAX+PLUS II から生成されません。どうしてでしょうか？

A SVF を使用して MAX 7000AE デバイスをプログラムするためには、固定または一定のプログラミング・アルゴリズムをサポートしているデバイスを使用する必要があります。アルテラは MAX 7000AE デバイスに対する固定プログラミング・アルゴリズムをまだサポートしていません。このアルゴリズムがリリースされた時点で、MAX+PLUS II がアップデートされ、SVF ファイルの生成がサポートされる予定です。リリースの予定時期やその他の詳細については、日本アルテラまたは販売代理店へお問い合わせください。

Q 複数の FLEX デバイスで構成されているマルチ・デバイス FLEX チェインの一部のデバイスだけをコンフィギュレーションすることは可能でしょうか？

A いいえ、できません。FLEX チェインのすべてのデバイスをコンフィギュレーションする必要があり、JTAG チェインのように選択された一部のデバイスだけをコンフィギュレーションすることはできません。

Q Windows NT のワークステーション上で Jam Player を動作させたところ、" I/O error : cannot open device \\.\ALTLPT1. Check port number and device driver installation" のエラー・メッセージが表示されました。何故でしょうか？

A このエラー・メッセージが表示される原因のほとんどが、ByteBlaster™ ダウンロード・ケーブルのドライバがホスト・マシンにインストールされていないことです。ドライバのインストール方法の詳細については、アルテラの Web サイト、<http://www.altera.com> に提供されている Atlas Solutions のデータベースで "ByteBlaster" をサーチして確認してください。

アルテラの新規刊行資料

アルテラは新たに下記の資料を刊行しました。これらの新しい資料は、販売代理店またはアルテラのワールド・ワイド Web サイト、<http://www.altera.com> から入手できます。カッコ内の記号はドキュメント番号です。

- MasterBlaster Serial/USB Communications Cable Data Sheet (A-DS-MASTERBL-01) *
- MAX 3000A Programmable Logic Device Family Data Sheet (A-DS-M3000A-01)
- Quartus Programmable Logic Development System & Software Data Sheet (A-DS-QUARTUS-01)
- SignalTap Embedded Logic Analyzer Megafunction Data sheet (A-DS-SIGNALTAP-01) *
- AN 109: Using the HP 3070 Tester for In-System Programming (A-AN-109-01)
- AN 110: Gate Counting Methodology for APEX 20K Devices (A-AN-110-01) *
- AN 111: Embedded Programming Using the 8051 & Jam Byte-Code (A-AN-111-01)
- AN 112: Integrating Product-Term Logic in APEX 20K Devices (A-AN-112-01) *
- AN 115: Using the ClockLock & ClockBoost Features in APEX Devices (A-AN-115-01)
- AN 116: Configuring APEX 20K, FLEX 10K & FLEX 6000 Devices (A-AN-116-01)
- Component Selector Guide (M-SG-COMP-06) *
- Development Tools Selector Guide (M-SG-TOOLS-14) *

* 印のある資料は日本語版でも提供される予定です。

アルテラ・デバイスの プログラミング・サポート状況

アルテラ・デバイスのプログラミングが、アルテラおよびサード・パーティのベンダからサポートされています。

サード・パーティ・ベンダによるプログラミング・サポート

Data I/O 社と BP Microsystems 社は、アルテラのデバイスをサポートしたプログラミング・ハードウェアを供給しています。各デバイスのプログラミング・アルゴリズムが Data I/O 社の電子掲示板、「Keep Current Express-Bulletin Board Service」

(KCE-BBS)およびBP Microsystems社のBBSを通じて提供されています。アルテラのコンフィギュレーション・デバイス、MAX® 9000、MAX 7000 ファミリの各デバイスに対するサポート状況は下記の表 1 の通りです。なお、ここに示されている情報は変更されることがあります。

表 1 サード・パーティ・ベンダによるプログラミング・サポート

デバイス名	Data I/O (1)	BP Microsystems (2)
EPC1064	✓	✓
EPC1213	✓	✓
EPC1	✓	✓
EPC1441	✓	✓
EPM7032	✓	✓
EPM7032AE	(3)	(3)
EPM7032S	✓	✓
EPM7064	✓	✓
EPM7064AE	(3)	(3)
EPM7064S	✓	✓
EPM7096	✓	✓
EPM7128A	✓	✓
EPM7128S	✓	✓
EPM7128AE	(3)	(3)
EPM7128E	✓	✓
EPM7160E	✓	✓
EPM7192S	✓	✓
EPM7192E	✓	✓
EPM7256A	(3)	✓
EPM7256AE	(3)	(3)
EPM7256S	✓	✓
EPM7256E	✓	✓
EPM7512AE	(3)	(3)
EPM9320	✓	✓
EPM9320A	✓	✓
EPM9400	✓	✓
EPM9480	✓	✓
EPM9560	✓	✓
EPM9560A	✓	✓

表中の注：

- (1) これらのデバイスは、Data I/O 社の 3900 システムのバージョン 6.0、および UniSite のバージョン 6.0 のプログラムでサポートされています。
- (2) これらのデバイスは BP Microsystems 社のバージョン 3.40 のプログラムでサポートされています。
- (3) これらのデバイスに対する・プログラミング・サポートは、データ・アイオー社または BP Microsystems 社へお問い合わせください。Data I/O 社製品の詳細についてはデータ・アイオー・ジャパン(株)(TEL: 03-3779-2151)へ、BP Microsystems 社の製品については、同社の日本総代理店である丸紅ソリューション(株)(TEL: 03-5778-8665)へお問い合わせください。

アルテラのプログラミング・ハードウェアによるサポート

アルテラの各デバイスに対するプログラミング・アダプタの最新情報が以下の表に示されています。正しいプログラミングを行うためには、20ページに

示されている「現在のソフトウェア・バージョン」を使用する必要があります。表2には、各MAX 9000、MAX 7000、コンフィギュレーション・デバイスに対応するプログラミング・アダプタが示されています。

デバイス名	パッケージ(2)	アダプタ
EPC1064 (3) EPC1064V (3) EPC1441 (4)	DIP, J-lead TQFP	PLMJ1213 PLMT1064
EPC1 (4) EPC1213 (3)	DIP, J-lead	PLMJ1213
EPC2 (5)	J-lead TQFP	PLMJ1213 PLMT1064
EPM9320	J-lead (84-pin) RQFP (208-pin) PGA (280-pin)	PLMJ9320-84 PLMR9000-208 PLMG9000-280
EPM9320A	J-lead (84-pin) RQFP (208-pin)	PLMJ9320-84 PLMR9000-208NC (6)
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560	RQFP (208-pin) RQFP (240-pin) PGA (280-pin) RQFP (304-pin)	PLMR9000-208 PLMR9000-240 PLMG9000-280 PLMR9000-304
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC (6) PLMR9000-240NC (6)
EPM7032	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7032S EPM7032AE EPM7032V	J-lead (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMT7000-44
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7064AE	FBGA (100-pin)	PLMF7000-100
EPM7064S	J-lead (44-pin) J-lead (84-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMJ7000-84 PLMT7000-44 PLMT7000-100NC (6)
EPM7064AE	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMT7000-100NC (6)
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100

デバイス名	パッケージ(2)	アダプタ
EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7128A EPM7128AE	J-lead (84-pin) TQFP (100-pin) TQFP (144-pin) FBGA (100-pin) FBGA (256-pin)	PLMJ7000-84 PLMT7000-100NC (6) PLMT7000-144NC (6) PLMF7000-100 PLMF7000-256
EPM7128S	J-lead (84-pin) PQFP (100-pin) TQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (6) PLMT7000-100NC (6) PLMQ7128/7160-160NC (6)
EPM7160E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 LMQ7128/7160-160
EPM7160S	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (6) PLMQ7128/7160-160NC (6)
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/7256-160
EPM7192S	PQFP (160-pin)	PLMQ7192/7256-160NC (6)
EPM7256E	PQFP (160-pin) PGA (192-pin) PQFP (208-pin) RQFP (208-pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208 PLMR7256-208
EPM7256A	TQFP (100-pin) TQFP (144-pin) PQFP (208-pin) FBGA (256-pin)	PLMT7000-100NC PLMT7000-144NC PLMR7256-208NC PLMF7000-256
EPM7256A EPM7256S	PQFP (208-pin) RQFP (208-pin)	PLMR7256-208NC (6) PLMT7256-208NC (6)
EPM7256AE	TQFP (100-pin) FBGA (100-pin) TQFP (144-pin) FBGA (256-pin)	PLMT7000-100NC PLMF7000-100 PLMT7000-144NC PLMF7000-256
EPM7512AE	TQFP (144-pin) PQFP (208-pin) BGA (256-pin) FBGA (256-pin)	PLMT7000-144NC (6) PLMR7256-208NC (6) PLMB7000-256 PLMF7000-256

表2の注:

- (1) MAX 5000およびClassic™ デバイス用のアダプタについては、「Altera Programming Hardware」のデータシートでご確認ください。アルテラは、0.8ミクロン・プロセスのEPM5032、EPM5064、EPM5130用プログラミング・アダプタに対する交換プログラムを提供しております。
- (2) FBGA: FineLine BGA™ パッケージ
- (3) FLEX® 8000用コンフィギュレーション・デバイスです。
- (4) FLEX 10K、FLEX 8000、FLEX 6000用コンフィギュレーション・デバイスです。
- (5) APEX 20K、FLEX 10K、FLEX 6000用コンフィギュレーション・デバイスです。
- (6) これらのデバイスはキャリア付きで出荷されません。

ダウンロード・ケーブル

表3は、MasterBlaster™シリアル/USB(Universal Serial Bus)通信ケーブル、ByteBlasterMV™パラレル・ポート・ダウンロード・ケーブル、BitBlasterシリアル・ダウンロード・ケーブルでプログラミングまたはコンフィギュレーションできるアルテラのデバイス・ファミリを示したものです。(ByteBlaster™ダウンロード・ケーブルはByteBlasterMVケーブルで代替されています。)

表3 ダウンロード・ケーブルの対応表

デバイス名	BitBlaster	ByteBlasterMV	MasterBlaster
APEX 20K		✓ (1)	✓
APEX 20KE		✓ (1)	✓
FLEX 10K	✓	✓	✓
FLEX 10KA		✓	✓
FLEX 10KE		✓ (1)	✓
FLEX 8000	✓	✓	✓
FLEX 6000	✓ (2)	✓	✓
MAX 9000	✓	✓	✓
MAX 9000A	✓	✓	✓
MAX 7000S	✓	✓	✓
MAX 7000A		✓	✓

注:

- (1) これらのデバイスに対しては、ByteBlasterMVダウンロード・ケーブルが3.3Vで動作する必要があります。このため、VCCIOピンは3.3Vに接続してください。
- (2) このダウンロード・ケーブルは、EPF6016にのみ使用可能です。

アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドはアルテラの APEX™ 20K、FLEX® 10K、FLEX 8000、FLEX 6000、MAX® 9000、MAX 7000、MAX 3000A、コンフィギュレーション・デバイス・ファミリの各デバイスの概要をまとめたものです。他のアルテラ製品に関する情報は、「Component Selector Guide」(日本語版も提供)に掲載されています。

最新の情報については、アルテラの Web サイト、<http://www.altera.com>で確認してください。ここにリストされた製品の一部はまだ供給されておりません。各デバイスの現在の供給状況については販売代理店にお問い合わせください。

APEX 20K デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション (1)		電源電圧	ロジック・エレメント数	RAM ビット数	マクロセル数
EP20K100	100,000	144-Pin TQFP, 196-Pin FBGA ² , 208-Pin PQFP, 240-Pin PQFP, 324-Pin FBGA ² , 356-Pin BGA		2.5 V	4,160	53,248	416
EP20K100E	100,000	144-Pin TQFP, 196-Pin FBGA ² , 208-Pin PQFP, 240-Pin PQFP, 324-Pin FBGA ² , 356-Pin BGA		1.8 V	4,160	53,248	416
EP20K160E	160,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 400-Pin FBGA ²		1.8 V	6,400	81,920	640
EP20K200	200,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin FBGA ²		2.5 V	8,320	106,496	832
EP20K200E	200,000	208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin FBGA ² , 652-Pin BGA, 672-Pin FBGA ²		1.8 V	8,320	106,496	832
EP20K300E	300,000	208-Pin RQFP, 240-Pin RQFP, 652-Pin BGA, 672-Pin FBGA ²		1.8 V	11,520	147,456	1,152
EP20K400	400,000	652-Pin BGA, 655-Pin PGA, 672-Pin FBGA ²		2.5 V	16,640	212,992	1,664
EP20K400E	400,000	208-Pin RQFP, 240-Pin RQFP, 652-Pin BGA, 655-Pin PGA, 672-Pin FBGA ²		1.8 V	16,640	212,992	1,664
EP20K600E	600,000	652-Pin BGA, 655-Pin PGA, 672-Pin FBGA ² , 1020-Pin FBGA ²		1.8 V	24,320	311,296	2,432
EP20K1000E	1,000,000	652-Pin BGA, 672-Pin FBGA ² , 984-Pin PGA, 1020-Pin FBGA ²		1.8 V	42,240	540,672	4,224

注:

- (1) これらのデータはいずれも暫定仕様です。最新の情報については、日本アルテラの応用技術部へお問い合わせください
- (2) このパッケージは実装スペースを削減するFineLine BGA™ パッケージです。

FLEX 10K デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード	ロジック・エレメント数	RAM ビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	59, 102, 134	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin FBGA ¹	66, 102, 134, 150	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin RQFP	102, 147, 189	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	147, 189, 246	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin FBGA ¹ , 356-Pin BGA, 484-Pin FBGA ¹	102, 147, 189, 191, 246, 246	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin FBGA ¹ , 484-Pin FBGA ¹	142, 147, 176, 220	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	147, 189	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA, 403-Pin PGA	189, 274, 310	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin PQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin FBGA ¹	189, 189, 274, 291	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin FBGA ¹ , 356-Pin BGA, 484-Pin FBGA ¹	102, 147, 189, 191, 220, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K50S	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin FBGA ¹ , 356-Pin BGA, 484-Pin FBGA ¹	102, 147, 189, 191, 220, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	189, 358	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100	100,000	503-Pin PGA	406	5.0 V	-3, -4	4,992	24,576
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin FBGA ¹ , 600-Pin BGA	189, 274, 369, 406	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100B	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin FBGA ¹	147, 189, 191	2.5 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin FBGA ¹ , 356-Pin BGA, 484-Pin FBGA ¹	147, 189, 191, 274, 338	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 356-Pin BGA, 484-Pin FBGA ¹ , 600-Pin BGA, 672-Pin FBGA ¹	186, 274, 369, 424, 413	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	599-Pin PGA, 600-Pin BGA, 672-Pin FBGA ¹	470, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K200S	200,000	240-Pin RQFP, 356-Pin BGA, 484-Pin FBGA ¹ , 600-Pin BGA, 672-Pin FBGA ¹	182, 274, 369, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-1, -2, -3	12,160	40,960

FLEX 8000 デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード	フリップフロップ数	ロジック・エレメント数
EPF8282A	2,500	84-Pin PLCC, 100-Pin TQFP	68, 78	5.0 V	-2, -3, -4	282	208
EPF8282AV	2,500	100-Pin TQFP	78	3.3 V	-3, -4	282	208
EPF8452A	4,000	84-Pin PLCC, 100-Pin TQFP, 160-Pin PGA/PQFP	68, 68, 120	5.0 V	-2, -3, -4	452	336
EPF8636A	6,000	84-Pin PLCC, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP	68, 118, 136, 136	5.0 V	-2, -3, -4	636	504
EPF8820A	8,000	144-Pin TQFP, 160-Pin PQFP, 192-Pin PGA, 208-Pin PQFP, 225-Pin BGA	112, 120, 152, 152, 152	5.0 V	-2, -3, -4	820	672
EPF81188A	12,000	208-Pin PQFP, 232-Pin PGA, 240-Pin PQFP	148, 184, 184	5.0 V	-2, -3, -4	1,188	1,008
EPF81500A	16,000	240-Pin PQFP, 280-Pin PGA, 304-Pin RQFP	181, 208, 208	5.0 V	-2, -3, -4	1,500	1,296

FLEX 6000 デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード	フリップフロップ数	ロジック・エレメント数
EPF6010A	10,000	100-Pin TQFP, 144-Pin TQFP, 100-Pin FBGA ¹ , 256-Pin FBGA ¹	81, 117, 81 ² , 139 ²	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 100-Pin FBGA ¹ , 144-Pin TQFP, 208-Pin PQFP, 256-Pin FBGA ¹	81, 81, 117 ² , 171, 218 ²	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin FBGA ¹	117, 171, 199, 218, 218 ²	3.3 V	-1, -2, -3	1,960	1,960

注：

- (1) このパッケージは実装スペースを削減する FineLine BGA パッケージです。
- (2) このデータは暫定仕様です。最新の情報については、日本アルテラの応用技術部へお問い合わせください。

APEX & FLEX デバイス用コンフィギュレーション・デバイス			
デバイス名	ピン数/パッケージ・オプション	電源電圧	説明
EPC1064	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	5.0 V	FLEX 8000 デバイス用 64K ビット、シリアル・コンフィギュレーション・デバイス
EPC1064V	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3 V	FLEX 8000 デバイス用 64K ビット、シリアル・コンフィギュレーション・デバイス
EPC1213	8-Pin PDIP, 20-Pin PLCC	5.0 V	FLEX 8000 デバイス用 213K ビット、シリアル・コンフィギュレーション・デバイス
EPC1441 ¹	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	すべての FLEX デバイス用 441K ビット、シリアル・コンフィギュレーション・デバイス
EPC1 ¹	8-Pin PDIP, 20-Pin PLCC	3.3/5.0 V	すべての APEX および FLEX デバイス用 1M ビット、シリアル・コンフィギュレーション・デバイス
EPC2 ¹	20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	すべての APEX、FLEX 10K、FLEX 10KE、および FLEX 6000 デバイス用 2M ビット、シリアル・コンフィギュレーション・デバイス

注：

(1) このデバイスは、3.3V または 5.0V のいずれかで動作するようにプログラムできます。

MAX 9000 デバイス					
デバイス名	マクロセル数	ピン数/パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	5.0 V	-10
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	5.0 V	-15, -20
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	5.0 V	-15, -20
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-15, -20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-10
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-15, -20

MAX 7000 デバイス					
デバイス名	マクロセル数	ピン数/パッケージ・オプション	I/O ピン数	電源電圧	スピード・グレード
EPM7032AE	32	44-Pin PLCC/TQFP	36	3.3 V	-4, -7, -10
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-5, -6, -7, -10
EPM7032	32	44-Pin PLCC/TQFP/PQFP	36	5.0 V	-6, -7, -10, -12, -15
EPM7064AE	64	44-Pin PLCC/TQFP, 100-Pin TQFP, 100-Pin FBGA ¹	38, 68, 68	3.3 V	-4, -7, -10
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 68, 68	5.0 V	-5, -6, -7, -10
EPM7064	64	44-Pin PLCC/TQFP, 68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	36, 52, 68, 68	5.0 V	-6, -7, -10, -12, -15
EPM7096	96	68-Pin PLCC, 84-Pin PLCC, 100-Pin PQFP	52, 64, 76	5.0 V	-7, -10, -12, -15
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin FBGA ¹ , 144-Pin TQFP, 256-Pin FBGA ¹	68, 84, 84, 100, 100	3.3 V	-6, -7, -10, -12
EPM7128AE	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin FBGA ¹ , 144-Pin TQFP, 256-Pin FBGA ¹	68, 84, 84, 100, 100	3.3 V	-5, -7, -10
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128E	128	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-7, -10, -12, -15, -20
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-7, -10, -15
EPM7160E	160	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 104	5.0 V	-10, -12, -15, -20
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7192E	192	160-Pin PQFP/PGA	124	5.0 V	-12, -15, -20
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin FBGA ¹	84, 120, 164, 164	3.3 V	-7, -10, -12
EPM7256AE	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 100-Pin FBGA ¹ , 256-Pin FBGA ¹	84, 120, 164, 84, 164	3.3 V	-6, -7, -10
EPM7256S	256	208-Pin RQFP/PQFP	164	5.0 V	-7, -10, -15
EPM7256E	256	160-Pin PQFP, 192-Pin PGA, 208-Pin RQFP	132, 164, 164	5.0 V	-12, -15, -20
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin FBGA ¹ , 256-Pin BGA	120, 176, 212, 212	3.3 V	-7, -10, -12

注：

(1) このパッケージは、実装スペースを削減する FineLine BGA パッケージです。

MAX 3000A デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM3032A	32	44-pin PLCC, 44-pin TQFP	34, 34	3.3 V	-4, -7, -10
EPM3064A	64	44-pin PLCC, 44-pin TQFP, 100-pin PQFP	34, 34, 64	3.3 V	-4, -7, -10
EPM3128A	128	100-pin TQFP, 144-pin PQFP	80, 96	3.3 V	-5, -7, -10
EPM3256A	256	144-pin TQFP, 208-pin PQFP	116, 158	3.3 V	-6, -7, -10

アルテラへのコンタクト

アルテラからの情報やサービスの提供が従来よりも迅速に行えるようになっていきます。お問い合わせの内容やご要求されるサービスの種類に応じて下記へご連絡ください。

	情報提供元	連絡先
資料のご請求 (1)	日本アルテラ株式会社	☎ 03-3340-9480
	株式会社アルティマ	☎ 045-939-6113 ☎ 06-6307-7670
	株式会社パルテック	☎ 045-477-2009 ☎ 06-6390-0817
	World-Wide Web	英語 http://www.altera.com 日本語 http://www.altera.com/japan/
価格・納期等について	株式会社アルティマ	☎ 045-939-6113 ☎ 06-6307-7670
	株式会社パルテック	☎ 045-477-2009 ☎ 06-6390-0817
技術的なご質問	日本アルテラ株式会社	☎ 03-3340-9480
	株式会社アルティマ	☎ 045-939-6113 ☎ 06-6307-7670 ☎ 052-202-1024 ☎ 028-637-4488
	株式会社パルテック	☎ 045-477-2009 ☎ 06-6390-0817
	E-mail (日本アルテラ)	japan@altera.com
	FTP Site (US)	ftp.altera.com
製品案内	World-Wide Web	http://www.altera.com/japan/

注：

(1) MAX+PLUS II Getting Started Manual はアルテラの Web サイトから入手可能です。他の MAX+PLUS II のマニュアルについては、販売代理店または日本アルテラへお問い合わせください。

Try the new
64-bit/66-MHz
PCI megafunction solution!

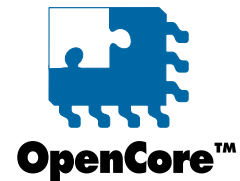
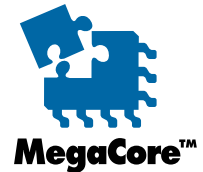
PCI および他のバス・インタフェース用メガファンクション

アルテラは、PCI (Peripheral Component Interconnect)、USB (Universal Serial Bus)、SDRAMコントローラを含むバス・インタフェース・ソリューションを提供しています。これらのソリューションを活用することによって、ユーザはローカル・バスとのインタフェースやカスタム・ロジックの作成などの、デザイン・エレメントの差別化に注力できるようになります。アルテラの提供するソリューションはシステム設計者に非常に大きな利点をもたらします。アルテラの高集積デバイスであるAPEX™ファミリとFLEX®ファミリの製品を採用することで、PCIインタフェースと特定用途のロジックの双方を含んだシングル・デバイス・ソリューションが実現できます。アルテラのPCIメガファンクションは標準仕様への準拠とデザインの最適化を実現しており、デザインの開発時間を大幅に短縮します。

メガファンクションは、あらかじめ作成、検証済みのIP (Intellectual Property) のブロックとなっており、ターゲットとなるデバイスのアーキテクチャが効率的に使用されるように最適化されています。メガファンクションを使用することで、設計者は、標準的な回路の再設計ではなく、システム・レベル製品の改善や差別化に時間とエネルギーを注ぐことができるようになります。アルテラのMegaCore™ ファンクションは、アルテラ Web サイトからダウンロードし、MAX+PLUS® II に組み込まれているOpenCore™ 機能を使用して、ライセンスの購入前に無償で評価することができます。また、AMPPSM (Altera Megafunction Partners Program) メガファンクションのほとんどの製品についても、アルテラのWeb サイトを通じて各メガファンクションのOpenCoreバージョンをE-mailで要求できるようになっています。アルテラのメガファンクションに関する最新情報は、アルテラのWebサイトで確認できます。メガファンクションに関するご質問がある場合は、日本アルテラの応用技術部または販売代理店へご連絡ください。

PCI メガファンクション	
メガファンクション名	供給者
64-Bit PCI Master/Target Function	Altera MegaCore Function
64-Bit PCI Bus Master/Target (EC240)	Eureka Technology
64-Bit PCI Bus Master/Target Interface	PLD Applications
64-Bit PCI Target	Eureka Technology
64-Bit PCI Bus Target Interface	PLD Applications
Parameterized 32-Bit PCI Master/Target	Altera MegaCore Function
32-Bit PCI Bus Target Interface	PLD Applications
32-Bit PCI Master/Target with Burst	Eureka Technology
32-Bit PCI Master/Target with Burst	PLD Applications
32-Bit PCI Master/Target with DMA Controller	Altera MegaCore Function
32-Bit PCI Target with Burst	Altera MegaCore Function
32-Bit PCI Target with Burst	Eureka Technology
PCI Hostbridge	Eureka Technology

他のバス・インタフェース・メガファンクション	
メガファンクション名	供給者
CAN Bus	Sican Microelectronics
IEEE 1284 Parallel Slave Interface	SIS
IEEE 1394-Compatible Link Layer Controller (LLC-1)	Phoenix Technologies
IEEE 1394A Function	SIS
IIC Master	Sican Microelectronics
IIC Slave	Sican Microelectronics
PowerPC Bus Arbiter (EP300)	Eureka Technology
PowerPC Bus Master (EP200)	Eureka Technology
PowerPC Bus Slave (EP100)	Eureka Technology
SDRAM Controller	Northwest Logic Design
SDRAM Controller	Stargate Solutions
Si-Enable USP-86: USB Host Controller	Simple Silicon
Si-Function: USB Function	Simple Silicon
Si-Function: USB Hub Controller	Simple Silicon
Si-Link: IEEE 1394 Link Layer Controller	Simple Silicon
USB Function Controller	Sapien Design
USB Host Controller	Sapien Design
USB Embedded Host Controller	VAutomation



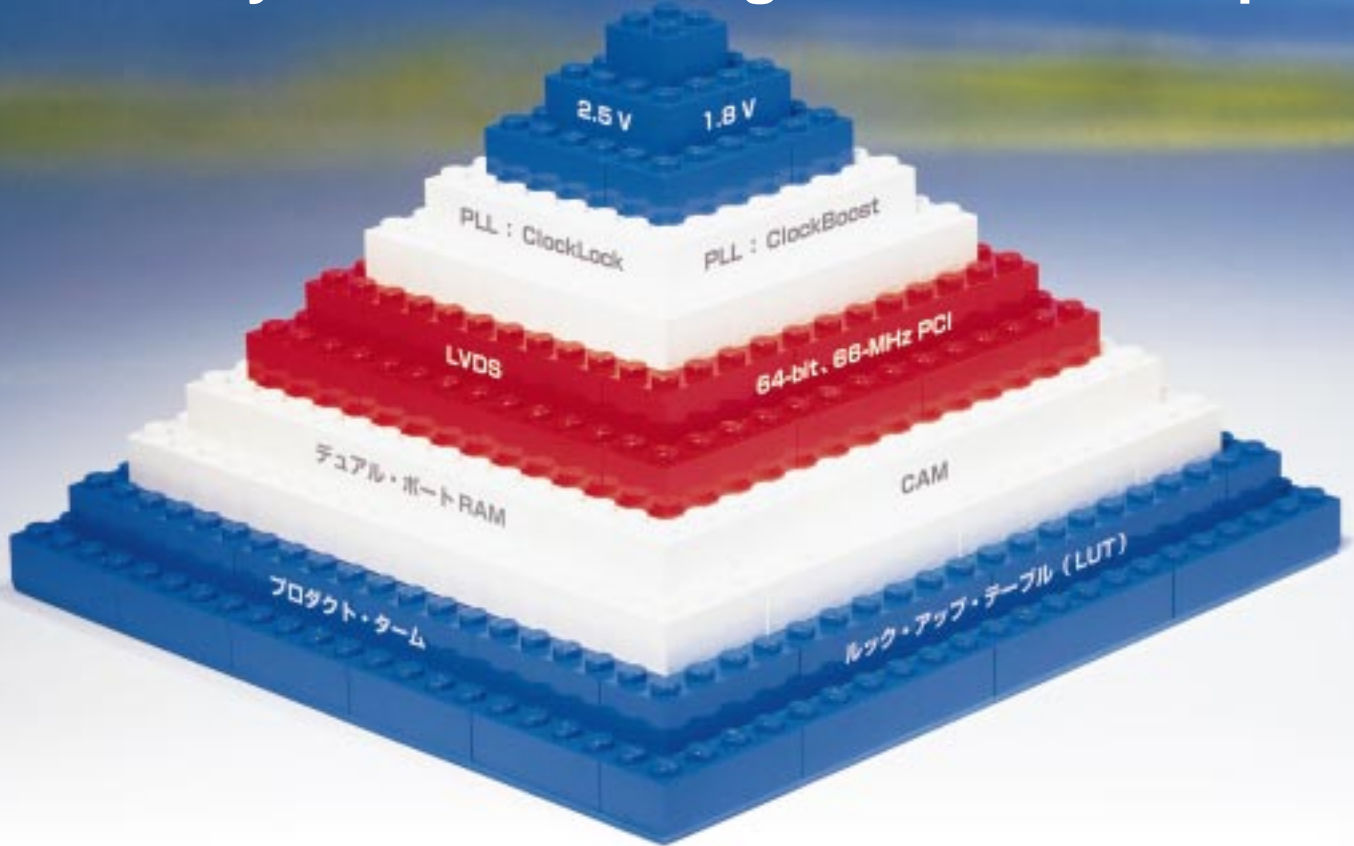
製造中止品最新情報

アルテラは、製造中止品に関する新しい発表を行っておりません。アルテラは製造中止品に関する情報が記載された製造中止通知 (PDN: Product Discontinuance Notices) およびアルテラ連絡通知 (ADV: Altera Distributes Advisories) を発行しています。特定デバイスのPDNまたはADVの入手を希望される場合は、日本アルテラまたは販売代理店へご連絡ください。なお、一部のPDNとADV、および全製造中止品のリストがアルテラのWebサイト、<http://www.altera.com>でも提供されています。

なお、各半導体メーカーの製造中止品を専門に供給している米国のロチェスタ・エレクトロニクス社は、多数のアルテラの製造中止品の供給を引き続きサポートする予定です。詳細についてはロチェスタ・エレクトロニクス社のWebサイト、<http://www.rocelec.com> をご覧になるか、同社の日本代理店である小松セミコン(株) (電話: 03-3573-6828) へお問い合わせください。

APEX

The System on a Programmable Chip.



System-on-a-Programmable-Chip デザインを築く



最大100万ゲート(システムゲート最大250万ゲート以上)迄の集積度と最高622MHzのクロック・レートを備えたアルテラ APEX™ プログラマブル・ロジック・ファミリは、高性能な System-on-a-Programmable-Chip™ アプリケーションをひとつのデバイス上に完全なシステム・レベルのインテグレーションで実現します。

より高集積、より効率的に築く

画期的な MultiCore™ アーキテクチャを土台にしてください。ルック・アップ・テーブル (LUT) ロジックとプロダクト・ターム・ロジックそしてエンベデッド・メモリをひとつのアーキテクチャに統合することにより複数のデバイスは不要になり、基板の省スペース化、デザインの最適化を可能にします。APEX デバイスは、622Mビット/秒のI/OをサポートするLVDSをはじめ、様々なI/Oインタフェースの規格に対応し、常に向上し続けるシステム性能や低電源電圧の要求に応えます。

Quartus で設計を築く

アルテラの Quartus™ 開発ソフトウェアは、生産性の向上や、設計期間を短縮する先進機能を提供し、設計者は数百万ゲートのデザインを処理することができます。APEX アーキテクチャに最適化された様々な MegaCore™ や AMPP™ のメガファンクションが設計開発の一層の合理化を提供します。

アルテラの APEX で築く

アルテラの APEX デバイスおよび Quartus ソフトウェアに関する最新情報は、アルテラのホームページ (<http://www.altera.com/build>) をご覧ください。ご希望の方には資料と T-シャツを無料にてさし上げてあります。今日からアルテラの System-on-a-Programmable-Chip の APEX ソリューションを築いてください。



Shipping now.

ALTERA®

The Programmable Solutions Company™

<http://www.altera.com/build>

ALTERA® 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>
E-mail: japan@altera.com

本社 **Altera Corporation**

101 Innovation Drive, San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

NEWS & VIEWS はユーザの皆様へアルテラの最新情報をお届けするため、年4回発行されております。ここに記載されている内容に起因した第三者の損害に対して当社は一切の責務を負うものではなく、また記載されている回路などの特許、特許使用権を許諾するものではありません。