

News & Views

1999 年秋季号

アルテラ・ユーザのためのニュース・レター

高性能アプリケーションに 最適なソリューションを提供する MAX 7000B

プロダクト・タームをベースにした MAX® 7000B デバイスは多くの機能を内蔵しており、3.5nsの伝搬遅延時間を実現すると共に、Gunning Transceiver Logic Plus (GTL+) のような最先端の標準 I/O 規格もサポートしています。これらの特長により、MAX 7000B はテレコミュニケーション・スイッチ、大容量ストレージ・システム、医用画像機器などの高性能アプリケーションに最適なデバイスとなっています。MAX 7000B デバイスは 32 マクロセルから 512 マクロセルの範囲の集積度をカバーしており、2.5V でのイン・システム・プログラマビリティ (ISP)、JEDEC 標準規格の JESD-71 となっている Jam™ STAPL (Standard Test and Programming Language) をサポートしています。MultiVolt™ I/O 動作をサポートしている MAX 7000B デバイスは、1.8V、2.5V、3.3V の各デバ

イスとのインタフェースを可能にします。表 1 は、MAX 7000 ファミリのデバイスの機能を比較したものです。

高性能

MAX 7000B デバイスは、最大 3.5ns までの伝搬遅延時間を実現しています。このような高速動作が可能な MAX 7000B には、200MHz を超える周波数で動作するカウンタを構成することができます。ファミリ内の全製品が PCI (Peripheral Component Interconnect) 互換の高性能を実現する MAX 7000B デバイスは、アドレス・デコーダから複雑なコントロール回路に至る広範囲の高速アプリケーションに対する理想的なソリューションとなっています。

(4 ページに続く)

表 1 性能の改善を続ける MAX 7000 ファミリ

機能	MAX 7000	MAX7000S	MAX 7000A	MAX 7000B
マクロセル数	32 ~ 256	32 ~ 256	32 ~ 512	32 ~ 512
電源電圧	5.0V	5.0V	3.3V	2.5V
最高バージョンの t _{pd}	7.5ns	5.0ns	4.5ns	3.5ns
MultiVolt I/O	✓	✓	✓	✓
ISP のサポート		✓	✓	✓
活線挿抜			✓	✓
FineLine BGA と 0.8mm ピッチの BGA パッケージ			✓	✓
最新の標準 I/O 規格				✓
発表年	1991	1995	1998	1999

Flexible

High Performance

Multi-Standard I/O Buffers



MAX
ON BOARD

64ビット、66MHz PCI マスタ/ターゲット・コア

- APEX™ 20K、FLEX® 10KEデバイスによる64ビット、66MHzのPCI (Peripheral Component Interconnect) 準拠ソリューション
- 最大528Mbytes/secのスループット
- 64ビット・アドレッシング
- 最大6個までのベース・アドレス・レジスタ (BAR)
- コンパクトPCIのホット・スワップ
- ホスト・ブリッジのサポート



PCI仕様に100%準拠したソリューション

MegaCoreソリューション		
メガファンクション名	機能	使用ロジック・エレメント数
PCI/C	64ビット、66MHzのPCI仕様に準拠したマスタ/ターゲット・インタフェース、最大528Mbytes/secのスループット、ゼロ・ウェイト・ステートのマスタとターゲット	1,200
PCI/B	32ビット、33MHzのマスタ/ターゲット・インタフェース、ホスト・ブリッジのアプリケーションをサポート、独立したマスタとターゲットの動作、最大132Mbytes/secのリードおよびライト動作	1,050
PCI/A	32ビット、33MHzのマスタ/ターゲット・インタフェース、DMA、EABバッファを内蔵、ゼロ・ウェイト・ステート	1,050
PCIT1	32ビット、33MHzのバースト・ターゲット・インタフェース、ゼロ・ウェイト・ステート、タイプ・ゼロのコンフィギュレーション・スペース	550

OpenCore™ 機能により、アルテラの web サイトを通じて購入前にメガファンクションのテスト・ドライブが可能

<http://www.altera.com/IPmegastore>



これらPCIメガファンクションの詳細については、日本アルテラまたは販売代理店へお問い合わせください。

Table of Contents

特集記事			
高性能アプリケーションに最適なソリューションを提供する MAX 7000B	1	Quartus ソフトウェアを出荷中	10
アルテラの PLD を採用して競合メーカーに打ち勝った GENICOM 社	23	Quartus がサポートするオペレーティング・システム	11
アルテラ・ニュース		Quartus が必要とするシステム構成	11
デザイン・オートメーション・カンファレンス (DAC) 1999 : 多くのデザイン・ツールと設計手法が登場	25	Quartus ソフトウェアの関連資料	11
		MAX+PLUS II のバージョン 9.3 が、コンパイル時間を短縮	11
		MAX+PLUS II BASELINE バージョン 9.3 がデバイス・サポートを拡大	12
		製造中止品最新情報	29
デバイス & ツール		技術論文	
EP20K100 と EP20K200 デバイスを出荷中	6	デザイン・サイクルを短縮する FIR コンパイラ ...	13
APEX ファミリの新製品	6	CAM を使用したプログラマブルなプロダクト・タームの実現方法	15
APEX デバイスの PLL	7	HP 3070 テスタによる高速プログラミング時間の実現	17
最先端 0.22 ミクロン・プロセスの FLEX 10KE デバイス	7	Quartus ソフトウェアで Tcl スクリプトを使用する方法	19
FLEX 10KE デバイスの供給状況	7	SmartModel を使用した PLD デザインの検証	21
FLEX 10K デバイスの新プロセスへの移行	8	Questions & Answers	25
FLEX 10KE の工業用温度範囲品	8		
FineLine BGA パッケージの FLEX 6000 デバイスに対するサポート	8	定期掲載情報	
MAX 7000B デバイス	9	現在のソフトウェア・バージョン	5
MAX 7000A デバイス	9	新規刊行資料	12
MAX 7000S デバイス	9	アルテラのプログラミング・サポート	26
MAX 3000A デバイス	9	アルテラへのコンタクト方法	28
EPC2 コンフィギュレーション・デバイスのサポートを拡大	10	アルテラ・デバイス・セレクション・ガイド	29
Quartus の 1999.06 バージョンを使用するためのライセンス・ファイルの入手方法	10		

Altera, APEX, APEX 20K, ACCESS, AMPP, BitBlaster, ByteBlaster, ByteBlasterMV, Classic, ClockBoost, ClockLock, ClockShift, CoreSyn, EPC2, FastTrack, FineLine BGA, FLEX, FLEX 10K, FLEX 10KE, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, Jam, MasterBlaster, MAX 9000, MAX 9000A, MAX 7000, MAX 7000E, MAX 7000S, MAX 7000A, MAX 7000AE, MAX 7000B, MAX 5000, MAX 3000, MAX 3000A, MAX, MAX+PLUS, MAX+PLUS II, MegaCore, MegaLAB, MegaWizard, MultiCore, MultiVolt, NativeLink, nSTEP, OpenCore, Quartus, SignalTap, System-on-a-Chip, and specific device designations are trademarks and/or service marks of Altera Corporation in the United States and other countries. Altera acknowledges the trademarks of other organizations for their respective products or services mentioned in this document, specifically: GENICOM Corporation and GENICOM are registered trademarks, and microLaser 320 is a trademark of GENICOM Corporation. Microsoft and Windows are registered trademarks of Microsoft Corporation. Rochester Electronics is a registered trademark of Rochester Electronics, Inc. Sun is a registered trademark, and Solaris is a trademark of Sun Microsystems, Inc. Synopsys and SmartModel are registered trademarks of Synopsys, Inc. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. The actual availability of Altera's products and features could differ from those projected in this publication and are provided solely as an estimate to the reader.

Copyright © 1999 Altera Corporation. All rights reserved.

ご質問、ご意見などがありましたら、お知らせください。

日本アルテラ株式会社
〒163-0436
東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱 261 号
電話 : 03-3340-9480
FAX : 03-3340-9487
E-mail : japan@altera.com



高性能アプリケーションに最適なソリューションを提供する MAX 7000B (1 ページからの続き)

最新の標準 I/O インタフェース規格をサポート

MAX 7000B デバイスには、高速グローバル・クロック、高速入力レジスタ、プログラマブルなスルー・レート・コントロールなどの機能も含まれています。

図 1 は MAX 7000B の I/O ブロックを示しています。2 個の I/O ブロックはそれぞれ個別にコンフィギュレーションすることができ、同一デバイス内で複数の標準 I/O 規格に対応させることができます。MAX 7000B は、下記の標準 I/O 規格をサポートしている業界唯一のプロダクト・ターム・ベースのデバイスです。

- GTL+
- 2.5V Stub Series Terminated Logic (SSTL-2) の Class I、II
- SSTL-3 の Class I、II

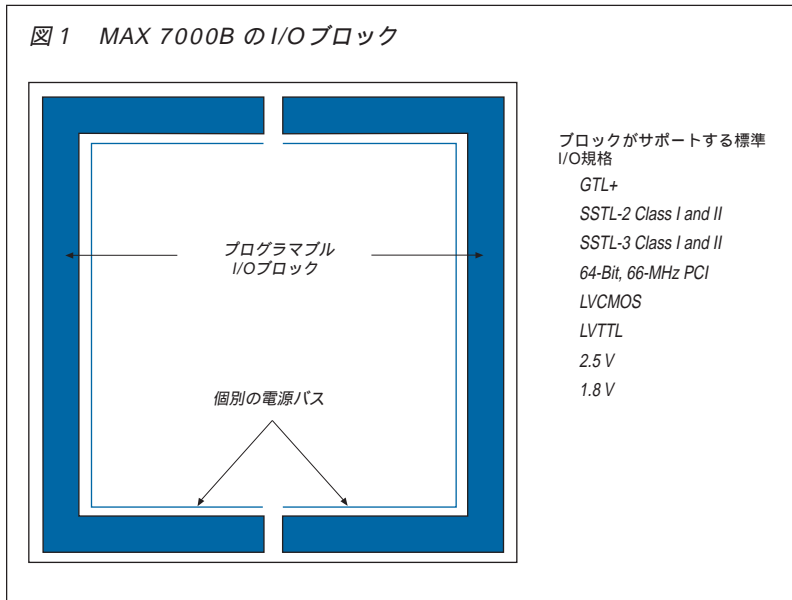
アルテラの MAX 7000B デバイスは、下記の I/O 規格もサポートしています。

- 64 ビット、66MHz の PCI アプリケーション
- LVTTTL (Low Voltage Transistor-to-Transistor Logic)
- LVCMOS (Low Voltage CMOS)

豊富な機能

アルテラの MAX 7000B デバイスは、ISP、JTAG (Joint Test Action Group) バウンダリ・スキャン・テスト (BST) 回路、JEDEC 認定の言語となったベンダに依存しない Jam STAPL などサポートしています。また、MAX 7000B デバイスには、同一パッケージで集積度の異なるデバイスに移行できるパスも提供されています。表 2 に、同一パッケージで集積度の異なるデバイスに移行できる MAX 7000B ファミリの製品が示されています。この表で同じ列 (パッケージ) にチェック・マークがあるデバイス間でデザインを移行させることができます。

図 1 MAX 7000B の I/O ブロック



MAX 7000B デバイスには、高速グローバル・クロック、高速入力レジスタ、プログラマブルなスルー・レート・コントロールなどの機能も含まれています。プログラマブルなパワー・セーブ機能により、各マクロセルあたりの消費電力を 50% 以上も低減させることができます。高速グローバル・クロック、3.5ns の伝搬遅延、高速セットアップ・タイムにより、デバイス間的高速通信を可能にする優れたシステム性能が実現されます。MAX 7000B デバイスの最新機能は、MAX+PLUS® II のバージョン 9.3 以降でサポートされています。表 3 は、MAX 7000B ファミリの各デバイスの特長をまとめたものです。

最先端のパッケージ・ソリューション

アルテラの MAX 7000B デバイスは、革新的な FineLine BGA™ パッケージと 0.8mm ピッチの BGA パッケージでも供給されています。これらの 1.0mm および 0.8mm ボール・ピッチのパッケージ

表 2 MAX 7000B デバイスでサポートされるピン・マイグレーション

デバイス名	パッケージ										
	44-Pin PLCC	44-Pin TQFP	48-Pin TQFP	49-Pin 0.8-mm BGA	100-Pin FineLine BGA	100-Pin TQFP	144-Pin TQFP	169-Pin 0.8-mm BGA	208-Pin PQFP	256-Pin FineLine BGA	256-Pin BGA
EPM7032B	✓	✓	✓								
EPM7064B	✓	✓	✓	✓	✓	✓					
EPM7128B	✓	✓	✓		✓	✓	✓	✓		✓	✓
EPM7256B						✓	✓		✓	✓	✓
EPM7512B						✓	✓		✓	✓	✓

は、実装スペースに制限があるデザインにとって理想的なソリューションとなります。FineLine BGA パッケージと 0.8mm の BGA パッケージでは、SameFrame™ ピン配置機能がサポートされており、ボール数の異なるパッケージ間でピン配置の互換性が実現されています。これにより、プリント基板のレイアウトを変更することなく、ある FineLine BGA パッケージからボール数の異なる他の FineLine BGA パッケージへ、あるいは、ある 0.8mm の BGA パッケージからボール数の異なる他の 0.8mm BGA パッケージへ簡単に移行することができます。

高性能アプリケーションのサポート

複数の標準 I/O 規格のサポートと高速タイミングを提供する MAX 7000B デバイスは、最小のボード・スペースで実現できる高性能なプロダクト・ターム・ベースのソリューションとなっています。ISP、ロー・パワー・モード、最先端パッケージなどの特長を備えているこれらの MAX デバイスは、多様なアプリケーションに対応することができます。

これらの 1.0mm および 0.8mm ボール・ピッチのパッケージは、実装スペースに制限があるデザインに理想的なソリューションとなります。

機能	EPM7032B	EPM7064B	EPM7128B	EPM7256B	EPM7512B
ユーザブル・ゲート数	600	1,250	2,500	5,000	10,000
マクロセル数	32	64	128	256	512
最大ユーザ I/O ピン数	36	68	100	164	212
t _{PD} (ns)	3.5	3.5	4.5	5.0	6.0
f _{CNT} (MHz)	200	200	192	178.6	147.1
パッケージ (1)	44-pin PLCC 44-pin TQFP 48-pin TQFP	44-pin PLCC 44-pin TQFP 48-pin TQFP 49-pin 0.8-mm BGA 100-pin TQFP 100-pin FineLine BGA	44-pin PLCC 44-pin TQFP 48-pin TQFP 49-pin 0.8-mm BGA 100-pin TQFP 100-pin FineLine BGA 144-pin TQFP 169-pin 0.8-mm BGA 256-pin FineLine BGA 256-pin BGA	100-pin TQFP 144-pin TQFP 208-pin PQFP 256-pin FineLine BGA 256-pin BGA	100-pin TQFP 144-pin TQFP 208-pin PQFP 256-pin FineLine BGA 256-pin BGA

注：

(1) PLCC : Plastic J-Lead Chip Carrier; PQFP: Plastic Quad Flat Pack; TQFP: Thin Quad Flat Pack.

現在のソフトウェア・バージョン

Quartus™ソフトウェアの1999.06バージョンが、Microsoft Windows 98、Windows NT 4.0、および Sun Solaris 2.6 の各オペレーティング・システム用の製品として供給されています。なお、Quartusソフトウェアの1999.06バージョンの HP-UX オペレーティング・システム用製品は、1999年の第4四半期に供給される予定です。

MAX+PLUS® II のバージョン 9.3 が次のオペレーティング・システムで現在入手可能となっています。

- Microsoft Windows 95 および Windows 98
- Microsoft Windows NT バージョン 3.51 以降
- Sun Solaris バージョン 2.5 以降
- HP-UX バージョン 10.20 以降、ただし、HP-UX バージョン 11.0 以降については現在未サポート
- AIX バージョン 4.1 以降

APEX



EP20K100 と EP20K200 デバイスを出荷中

APEX™ デバイスの新製品である 100,000ゲート (最大 263,000システム・ゲート) の EP20K100 と、200,000ゲート (最大 526,000システム・ゲート) の EP20K200 の両デバイスが、現在入手可能になっています。EP20K100 は、144ピン TQFP (薄型クワッド・フラット・パック)、208ピン PQFP (プラスチック・クワッド・フラット・パック) および 240ピン PQFP の各パッケージで供給されています。8,320個のロジック・エレメント (LE) と 106,496ビットのオンチップ RAM を内蔵している EP20K200 は、208ピンと 240ピンの RQFP (パワー・クワッド・フラット・パック) で現在入手可能です。また、EP20K100 と EP20K200 の両デバイスには、1.27mm ピッチの BGA (ボール・グリッド・アレイ) パッケージと SameFrame™ マイグレーション機能をサポートしている 1.0mm ピッチの FineLine BGA™ パッケージも提供されています。APEX デバイスに関する最新情報については、アルテラの web サイト、<http://www.altera.com> で確認してください。

表 1 と表 2 は、APEX 20K および APEX 20KE ファミリのデバイスとソフトウェア・サポートのスケジュールをまとめたものです。2.5V 動作の APEX 20K デバイスは、すべて入手可能となっています。1.8V で動作する最初の APEX 20KE デバイス、EP20K400E が 1999 年 10 月に入手可能となっており、それに続いて EP20K600E が 1999 年 11 月に出荷開始になる予定です。

デバイス名	パッケージ	ソフトウェア・サポート
EP20K100	144-pin TQFP	サポート中
	196-pin FineLine BGA	1999 年 10 月
	208-pin PQFP	サポート中
	240-pin PQFP	サポート中
	324-pin FineLine BGA	サポート中
EP20K200	356-pin BGA	1999 年 10 月
	208-pin RQFP	サポート中
	240-pin RQFP	サポート中
	484-pin FineLine BGA	サポート中
EP20K400	652-pin BGA	サポート中
	655-pin PGA	サポート中
	672-pin FineLine BGA	サポート中

APEX ファミリの新製品

APEX 20K ファミリーに、1,500,000ゲートの EP20K1500E と 60,000ゲートの EP20K60E の両デバイスが新たに追加されました。EP20K1500E は最大 2,524,416 システム・ゲートの集積度を実現し、54,720個の LE と 466,944ビットのオンチップ

デバイス名	パッケージ	ソフトウェア・サポート
EP20K60E	144-pin TQFP	1999 年 10 月
	196-pin FineLine BGA	1999 年 10 月
	208-pin PQFP	1999 年 10 月
	240-pin PQFP	1999 年 10 月
	324-pin FineLine BGA	1999 年 10 月
	356-pin BGA	1999 年 10 月
EP20K100E	144-pin TQFP	サポート中
	196-pin FineLine BGA	1999 年 10 月
	208-pin PQFP	サポート中
	240-pin PQFP	サポート中
	324-pin FineLine BGA	サポート中
EP20K160E	356-pin BGA	1999 年 10 月
	484-pin FineLine BGA	2000 年 2 月
	144-pin TQFP	2000 年 2 月
	208-pin PQFP	2000 年 2 月
	240-pin PQFP	2000 年 2 月
EP20K200E	356-pin BGA	2000 年 2 月
	484-pin FineLine BGA	2000 年 2 月
	652-pin BGA	2000 年 2 月
	672-pin FineLine BGA	2000 年 2 月
	208-pin RQFP	サポート中
	240-pin RQFP	サポート中
EP20K300E	356-pin BGA	1999 年 10 月
	484-pin FineLine BGA	1999 年 10 月
	652-pin BGA	1999 年 10 月
	672-pin FineLine BGA	1999 年 10 月
	672-pin FineLine BGA	1999 年 10 月
EP20K400E	652-pin BGA	サポート中
	672-pin FineLine BGA	サポート中
EP20K600E	652-pin BGA	サポート中
	672-pin FineLine BGA	サポート中
	1,020-pin FineLine BGA	1999 年 10 月
EP20K1000E	652-pin BGA	1999 年 10 月
	672-pin FineLine BGA	1999 年 10 月
	984-pin PGA	2000 年 2 月
	1,020-pin FineLine BGA	1999 年 10 月
EP20K1500E	652-pin BGA	2000 年 2 月
	984-pin PGA	2000 年 2 月
	1,020-pin FineLine BGA	2000 年 2 月
	1,020-pin FineLine BGA	2000 年 2 月

ブ RAM が内蔵されています。EP20K1500E は 2000年の第 2 四半期から出荷が開始される予定です。EP20K60E は 2,560 個の LE と 32,768 ビットの オンチップ RAM を内蔵しており、EP20K1500E と同時期に入手可能になる予定です。

APEX デバイスの PLL

オーダ・コードの末尾に "X" のサフィックスの付く APEX デバイスには、PLL (Phase-Locked Loop) 回路が内蔵されています (例: EP20K400BC652-1X)。すべての -1X および -2X スピード・グレードの APEX デバイスには、ClockLock™ と ClockBoost™ のオプションが内蔵されており、クロックの遅延とスキューを低減させることができ、また内部クロック周波数に対して 1x、2x、4x の通倍動作を行うこともできるため、ボードのデザインがさらに簡単になります。APEX 20KE デバイスには、最大 4 個までの PLL が内蔵されており、クロックの遅延と位相をプログラマブルに調整できる ClockShift™ の機能もサポートされています。APEX 20K デバイスの PLL オプションは Quartus ソフトウェアでサポートされています。

FLEX

最先端 0.22 ミクロン・プロセスの FLEX 10KE デバイス

最新の FLEX® 10KE デバイスは 0.22 ミクロンの 5 層メタル・プロセスで製造されており、多くの機能が実現されています。EPF10K30E、EPF10K50S、EPF10K100E、EPF10K130E、EPF10K200S を含むこれらのデバイスには、64 ビット、66MHz の PCI 仕様に準拠させるためのプログラマブル遅延コントロール機能、-1 および -2 スピード・グレード製品の PLL 回路など、FLEX 10KE のすべての機能が内蔵されています。

MAX+PLUS® II ソフトウェアのバージョン 9.3 は、PLL を含む FLEX 10KE デバイスのすべての機能をサポートしています。この MAX+PLUS II のバージョン 9.3 は、サブスクリプション・プログラムに登録されているすべてのユーザに配布されています。また、このソフトウェアのアップデートは、アルテラの web サイト、<http://www.altera.com> を通じて行うこともできます。

FLEX 10KE デバイスの供給状況

表 3 に示されているように、2.5V 動作の FLEX 10KE デバイスのすべてのパッケージに対して

MAX+PLUS II によるデザイン・サポートが提供されています。これらの FLEX 10KE デバイスには、ClockLock 機能を内蔵した -1 および -2 スピード・グレードの製品も含まれており、これらのデバイスのオーダ・コードの末尾には "X" のサフィックスが付加されます (例: EPF10K100EQC240-1X)。

表 3 FLEX 10KE デバイスと MAX+PLUS II のサポート状況

デバイス名	パッケージ / PLL	スピード・グレード	ソフトウェア・サポート
EPF10K30E	144-pin TQFP	-1, -2, -3	サポート済み
	208-pin PQFP	-1, -2, -3	サポート済み
	256-pin	-1, -2, -3	サポート済み
	FineLine BGA		
	484-pin	-1, -2, -3	サポート済み
EPF10K50S	FineLine BGA		
	PLL (すべてのパッケージ)	-1X, -2X	サポート済み
	144-pin TQFP	-1, -2, -3	サポート済み
	208-pin PQFP	-1, -2, -3	サポート済み
	240-pin PQFP	-1, -2, -3	サポート済み
EPF10K100E	256-pin	-1, -2, -3	サポート済み
	FineLine BGA		
	356-pin BGA	-1, -2, -3	サポート済み
	484-pin	-1, -2, -3	サポート済み
	FineLine BGA		
EPF10K130E	PLL (すべてのパッケージ)	-1X, -2X	サポート済み
	240-pin PQFP	-1, -2, -3	サポート済み
	356-pin BGA	-1, -2, -3	サポート済み
	484-pin	-1, -2, -3	サポート済み
	FineLine BGA		
EPF10K200S	600-pin BGA	-1, -2, -3	サポート済み
	672-pin	-1, -2, -3	サポート済み
	FineLine BGA		
	PLL (すべてのパッケージ)	-1X, -2X	サポート済み
	240-pin RQFP	-1, -2, -3	サポート済み
EPF10K200S	356-pin BGA	-1, -2, -3	サポート済み
	484-pin	-1, -2, -3	サポート済み
	FineLine BGA		
	600-pin BGA	-1, -2, -3	サポート済み
	672-pin	-1, -2, -3	サポート済み
EPF10K200S	FineLine BGA		
	PLL (すべてのパッケージ)	-1X, -2X	サポート済み

(8 ページに続く)

デバイス&ツール (7ページからの続き)

FLEX 10K デバイスの新プロセスへの移行

3.3Vで動作するFLEX 10KAデバイスの一部製品が0.35ミクロンから0.30ミクロンのプロセスへ、また5.0Vで動作するすべてのFLEX 10Kデバイスが0.50ミクロンから0.42ミクロンのプロセスに移行されています。またEPF10K50EとEPF10K200Eの両デバイスは、0.25ミクロンから0.22ミクロンのプロセスに移行されています。表4は、これらのプロセス変更の実施予定とこれに関連したアルテラの関係書類をまとめたものです。これらの関係書類

3.3Vで動作するFLEX 10KA デバイスの一部製品が、0.35ミクロンから0.30ミクロンのプロセスに移行されています。

デバイス名	コア電圧 (V)	移行予定	参照資料	移行後のプロセス (μm)
EPF10K10A	3.3	完了	PCN 9810	0.30
EPF10K30A	3.3	完了	PCN 9810	0.30
EPF10K50V	3.3	完了	PCN 9810	0.30
EPF10K100A	3.3	完了	PCN 9810	0.30
EPF10K10	5.0	1999年10月	PCN 9901 ADV 9909	0.42
EPF10K20	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K30	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K40	5.0	1999年10月	PCN 9901 ADV 9909	0.42
EPF10K50	5.0	完了	PCN 9901 ADV 9909	0.42
EPF10K70	5.0	1999年10月	PCN 9901 ADV 9909	0.42
EPF10K100	5.0	1999年10月	PCN 9901 ADV 9909	0.42
EPF10K50E	2.5	1999年Q4	PCN 9911	0.22
EPF10K200E	2.5	1999年Q4	PCN 9911	0.22

は、アルテラのwebサイト、<http://www.altera.com>にある`Customer Notification`のページからダウンロードすることができます。

FLEX 10KE の工業用温度範囲品

表5は、FLEX 10KE の工業用温度範囲品とMAX+PLUS IIのサポート状況をまとめたものです。

デバイス名	ソフトウェア・サポート
EPF10K50ET1144-2	サポート済み
EPF10K50EQI240-2	サポート済み
EPF10K50EFI256-2	サポート済み
EPF10K50SQI208-2	サポート済み
EPF10K50SBI356-2	サポート済み
EPF10K50SFI484-2	サポート済み
EPF10K100EQI208-2	サポート済み
EPF10K100EFI256-2	サポート済み
EPF10K100EFI484-2	サポート済み
EPF10K130EQI240-2	サポート済み
EPF10K130EBI356-2	サポート済み
EPF10K130EFI484-2	サポート済み
EPF10K200EBI600-2	サポート済み
EPF10K200SRI240-2	サポート済み
EPF10K200SBI356-2	サポート済み
EPF10K200SFI672-2	サポート済み

FineLine BGAパッケージのFLEX 6000デバイスに対するサポート

実装面積を削減するFineLine BGAパッケージのFLEX 6000 デバイスのデザインが、MAX+PLUS IIソフトウェアのバージョン9.3でサポートされています。特定のFLEX 6000 デバイスが、すでにFineLine BGAパッケージで入手可能となっています。表6は、現在供給されている各FLEX 6000 デバイスのパッケージを示したものです。

パッケージ	デバイス名			
	EPF6010A	EPF6016	EPF6016A	EPF6024A
100-pin TQFP	供給中		供給中	
100-pin FineLine BGA			供給中	
144-pin TQFP	供給中	供給中	供給中	供給中
208-pin PQFP		供給中	供給中	供給中
240-pin PQFP		供給中		供給中
256-pin BGA		供給中		供給中
256-pin FineLine BGA			供給中	供給中

供給中：デバイスが入手可能となっており、ソフトウェア・サポートが提供されていることを示す。

MAX

MAX 7000B デバイス

2.5V動作のMAX[®] 7000Bデバイスは32個から512個までのマクロセルを内蔵しており、3.5nsまでの伝搬遅延時間(t_{PD})の高速性能を実現しています。MAX 7000Bデバイスは、Gunning Transceiver Logic Plus (GTL+) 2.5VのStub Series Terminated Logic (SSTL-2) およびSSTL-3を含む最新の標準I/O規格をサポートしています。これらのデバイスは、さらに強化されたイン・システム・プログラマビリティ (ISP)、MultiVolt[™] I/Oピン、活線挿抜、業界標準となっているMAX 7000デバイスとのピン互換性なども実現しています。

MAX 7000A デバイス

MAX 7000Aファミリの全デバイスが現在入手可能になっています。3.3Vで動作するMAX 7000Aデバイスは4.5nsの高速伝搬遅延時間を実現しており、32個から512個までのマクロセルを内蔵しています。これらのデバイスは、さらに強化されたイン・システム・プログラマビリティ (ISP)、MultiVolt[™] I/Oピン、活線挿抜、業界標準のMAX 7000デバイスとのピン互換性などの機能も実現しています。MAX 7000Aファミリの全デバイスが、一般用および工業用の温度範囲の製品として供給されています。一般用温度範囲のMAX 7000AEデバイスに提供されているパッケージとスピード・グレードのオプションを表7に示します。

MAX 7000S デバイス

5.0Vで動作するMAX 7000Sデバイスの全製品が供給中となっています。これらのデバイスには5nsまでのスピード・グレードが提供されており、ISP、オープン・ドレイン出力オプションがサポートされています。また、128マクロセル以上のデバイスには、IEEE Std. 1149.1のJTAG (Joint Test Action Group)バウンダリ・スキャン・テスト (BST)回路が内蔵されています。MAX 7000Sファミリの全デバイスが一般用および工業用の温度グレードで供給されています。一般用温度グレードで供給されているMAX 7000Sデバイスのパッケージ・オプションとスピード・グレードが表8に示されています。

MAX 3000A デバイス

3.3V動作のMAX 3000Aデバイスは、大量生産される廉価なデザインをターゲットにした製品です。これらのデバイスは強化されたISP機能を実現しており、32個から256個までのマクロセルを内蔵しています (10ページの表9を参照)。4.5nsまでの伝搬遅延時間を提供するMAX 3000Aデバイスは、これ

までにない高い性能をアルテラのMAXデバイスの中でもっとも低いマクロセルあたりの価格で実現しています。

MAX[®]

表7 MAX 7000AE デバイスのパッケージとスピード・グレード

デバイス名	パッケージ	スピード・グレード
EPM7032AE	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
EPM7064AE	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
	49-pin 0.8-mm BGA	-4, -7, -10
	100-pin TQFP	-4, -7, -10
	100-pin FineLine BGA	-4, -7, -10
EPM7128AE	84-pin PLCC	-5, -7, -10
	100-pin TQFP	-5, -7, -10
	100-pin FineLine BGA	-5, -7, -10
	144-pin TQFP	-5, -7, -10
	169-pin 0.8-mm BGA	-5, -7, -10
	256-pin FineLine BGA	-5, -7, -10
EPM7256AE	100-pin TQFP	-5, -7, -10
	100-pin FineLine BGA	-5, -7, -10
	144-pin TQFP	-5, -7, -10
	208-pin PQFP	-5, -7, -10
	256-pin FineLine BGA	-5, -7, -10
EPM7512AE	144-pin TQFP	-7, -10, -12
	208-pin PQFP	-7, -10, -12
	256-pin BGA	-7, -10, -12
	256-pin FineLine BGA	-7, -10, -12

表8 MAX 7000S デバイス—一般用温度範囲の製品のパッケージとスピード・グレード

デバイス名	パッケージ	スピード・グレード
EPM7032S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
EPM7064S	44-pin PLCC	-5, -6, -7, -10
	44-pin TQFP	-5, -6, -7, -10
	84-pin PLCC	-5, -6, -7, -10
	100-pin TQFP	-5, -6, -7, -10
EPM7128S	84-pin PLCC	-6, -7, -10, -15
	100-pin TQFP	-6, -7, -10, -15
	100-pin PQFP	-6, -7, -10, -15
	160-pin PQFP	-6, -7, -10, -15
EPM7160S	84-pin PLCC	-6, -7, -10
	100-pin TQFP	-6, -7, -10
	160-pin PQFP	-6, -7, -10
EPM7192S	160-pin PQFP	-7, -10, -15
EPM7256S	208-pin PQFP	-7, -10, -15

(10ページに続く)

MAX 7000A デバイスは4.5nsの高速伝搬遅延時間を実現しており、32個から512個までのマクロセルを内蔵しています。

デバイス&ツール (9 ページからの続き)

デバイス名	パッケージ	スピード・グレード
EPM3032A	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
EPM3064A	44-pin PLCC	-4, -7, -10
	44-pin TQFP	-4, -7, -10
	100-pin TQFP	-4, -7, -10
EPM3128A	100-pin TQFP	-5, -7, -10
	144-pin PQFP	-5, -7, -10
EPM3256A	144-pin TQFP	-6, -7, -10
	208-pin PQFP	-6, -7, -10

CONFIGURATION

EPC2 コンフィギュレーション・デバイスのサポートを拡大

FLASH ベースの EPC2 コンフィギュレーション・デバイスの工業用温度範囲品が、32 ピン TQFP と 20 ピン PLCC のパッケージで供給されるようになりました。

TOOLS

Quartusの1999.06バージョンを使用するためのライセンス・ファイルの入手方法

Quartusソフトウェアの1999.06バージョンには、FEATUREの行にQuartusが記入されたライセンス・ファイルが必要です。このライセンス・ファイルは、アルテラのwebサイト、<http://www.altera.com>にあるwebベースのライセンス・ジェネレータを使用して要求することができます。このwebベースのライセンス・ジェネレータはQuartusソフトウェアの内部からもアクセスすることができます。

ライセンス・ファイル・ジェネレータにアクセスするときには、ソフトウェア・ガード番号、ホストID、またはNIC番号の他、アルテラIDが必要になります。アルテラIDは、納入されたソフトウェアに添付された書類に記入されていますが、アルテラのQuartus

サポートwebサイト、<https://websupport.altera.com>を通じて入手することもできます。FEATUREの行にQuartusが加えられているライセンス・ファイルを手に入れるためには、サブスクリプション契約が有効である必要があります。

Quartusソフトウェアを出荷中

Quartusソフトウェアの1999.06バージョンは、サブスクリプション・プログラムに登録されているすべてのユーザに出荷されています。SignalTap™ ロジック・アナライザやサード・パーティのEDAツールとのNativeLink™ インテグレーションのような革新的な機能が組み込まれているQuartusソフトウェアは、真のSystem-on-a-Programmable-Chip™ のデザインを実現します。

Quartusソフトウェアのバージョン1999.06は、下記の表10に示されているAPEX 20Kデバイスをサポートしています。

サポート内容	デバイス名	パッケージ	
コンパイルとプログラミングをサポート	EP20K100	144-pin TQFP	
		208-pin PQFP	
		240-pin PQFP	
コンパイルのみをサポート	EP20K200	208-pin RQFP	
		240-pin RQFP	
		EP20K400	652-pin BGA 655-pin PGA 672-pin FineLine BGA
コンパイルのみをサポート	EP20K100	324-pin FineLine BGA	
		EP20K100E (1)	144-pin TQFP
			208-pin PQFP
	240-pin PQFP		
	EP20K200	484-pin FineLine BGA	
		EP20K200E	208-pin RQFP
	240-pin RQFP		
	EP20K400	652-pin BGA (2)	
		672-pin FineLine BGA (2)	
EP20K400E (1)	652-pin BGA		
	672-pin FineLine BGA		
EP20K600E (1)	652-pin BGA		
	672-pin FineLine BGA		

注:

- (1) Quartusソフトウェアのバージョン1999.06は、これらのデバイスのスピードと集積度に関する機能のみをサポートしています。
- (2) ClockLock機能を内蔵しているデバイスは、これらのパッケージで供給されます。



Quartus がサポートするオペレーティング・システム

Quartus ソフトウェアの最初のリリースである、バージョン 1999.06 は表 11 に示されるオペレーティング・システムをサポートしています。

プラットフォーム	オペレーティング・システム
PC	Windows NT/ Windows 98
UNIX	Solaris (1)
	HP-UX (2)

注：

(1) バージョン 2.6

(2) HP-UX に対するサポートは 1999 年第 4 四半期に提供される予定です。

Quartus が必要とするシステム構成

表 12 は、Quartus ソフトウェアを PC または UNIX オペレーティング上で動作させるために必要な最小システム構成を示したものです。表 12 に示されているハードウェアに加え、ターゲットとなる APEX デバイスの集積度に応じた RAM 容量とハードディスクのスワップ・スペースが必要になります。表 13 は、各ターゲット・デバイスごとに要求される RAM の容量と必要なハードディスクのスワップ・スペースを示しています。

プラットフォーム	システム	最小ハードディスク・スペース (M バイト)
PC	400MHz のペンティアム	750
UNIX	300MHz の Ultra Sparc II	2,000

ターゲット・デバイス	最小メイン・メモリ (RAM) (M バイト)	ハードディスクの最小追加スワップ・スペース (M バイト)
EP20K100 EP20K100E EP20K200 EP20K200E	256	256
EP20K400 EP20K400E EP20K600E	512	512
EP20K1000E	1,024	1,024

Quartus ソフトウェアの関連資料

Quartus ソフトウェアには複数のマニュアルが添付されており、数百万ゲートのデザインをすぐに開始できるようになっています。Quartus ソフトウェアの理解に役立つアプリケーション・ノートやテクニカル・ブリーフなどの資料も発行されています。表 14 は、アルテラの web サイトまたは各販売代理店を通じて現在入手可能となっている資料を示したものです。アルテラは Quartus ソフトウェアで SignalTap ロジック・アナライザ、NativeLink のサポート、リビジョン・コントロール・ソフトウェアとの統合などを含む多くの新しい機能を実現させています。Quartus ソフトウェアの多くの機能について解説したこれらの資料をぜひご活用ください。なお、一部の資料については日本語版も刊行されています。

タイトル	内容
SignalTap Embedded Logic Analyzer Megafunction Data Sheet (A-DS-SIGNALTAP-01) *	Quartus ソフトウェアで実現される SignalTap メガファンクションについての解説
AN 118 : Scripting with Tcl in the Quartus Software (A-AN-118-01) *	Quartus ソフトウェアで広範囲の機能を実行させることができる Tcl スクリプトの作成および実行方法についての解説
TB 51 : Advantages of Quartus Internet Integration (M-TB-051-01)	Quartus のインターネットとの統合化機能についての概説
TB 52 : Increasing Performance using ATOM Netlist Files (M-TB-052-01)	サード・パーティのツールによりデザインを ATOM ネットリストに合成することで、結果がどのように改善されるかについて解説
TB 54 : Quartus Revision Control Software Support (M-TB-054-01)	Quartus ソフトウェアによる業界標準リビジョン・コントロール・ソフトウェア・パッケージとの統合化機能についての概説

* 印の資料は日本語版も発行済み、または発行予定となっています。

MAX+PLUS II のバージョン 9.3 が、コンパイル時間を短縮

MAX+PLUS II ソフトウェアのバージョン 9.3 のコンパイル・アルゴリズムが最適化され、タイミング・ドリプン・コンパイルの時間が短縮されています。70 種類のデザインに対するコンパイル時間のベンチマークが、MAX+PLUS II のバージョン 9.2 と 9.3 を使用して実施されました。ここで使用されたデザインは、集積度の異なる EPF10K20 から EPF10K250A までの FLEX 10K ファミリのデバイスにコンパイルされています。このベンチマークでは、バージョン 9.3 のコンパイル時間が平均でバージョン 9.2 の 3 分の 1 となる結果が得られました。両バージョン間でレジスタ性能が大きく変化することはありませんでした。

(12 ページに続く)

Quartus ソフトウェアの理解に役立つアプリケーション・ノートやテクニカル・ブリーフなどの資料も発行されています。



デバイス&ツール (11 ページからの続き)

「Clock-to-Output」遅延 (t_{CO}) とクロックのセットアップ・タイム (t_{SU}) を指定したタイミング・ドリブンのコンパイルが行われると、MAX+PLUS II のバージョン 9.3 は対応するレジスタをデバイス内の I/O セルに配置します。この機能によって、デザインの I/O 性能が大幅に改善されます。

MAX+PLUS II ソフトウェアのバージョン 9.3 では、Jam Composer と STAPL (Standard Test and Programmable Language) に対応した Jam Player、JEDEC 標準規格である JESD-71 フォーマット、2.5V の MAX 7000B や 0.22 ミクロン・プロセスの FLEX 10KE デバイスを含む 30 種類以上の新しいデバイス/パッケージの組み合わせに対するフル・コンパイル機能をサポートされています。

MAX+PLUS II BASELINE バージョン 9.3 がデバイス・サポートを拡大

MAX+PLUS II BASELINE のバージョン 9.3 に、EPF10K30、EPF10K30A、EPF10K30E、EPF6024A、MAX 7000B、MAX 3000A の各デバイスに対するコンパイル・サポートが新たに追加されました。MAX+PLUS II BASELINE ソフトウェアはアルテラのウェブサイト (<http://www.altera.com>) から無償でダウンロードすることができ、MAX+PLUS II のインストール CD-ROM からインストールすることもできます。このソフトウェアには、アルテラのウェブサイトを通じて 6 ヶ月間の使用ライセンスが提供されます。

新規刊行資料

アルテラから下記の新しい資料が刊行されています。これらの新しい資料は販売代理店またはアルテラのウェブサイト、<http://www.altera.com> から入手できます。なお、*印のある資料は日本語版でも提供されています。カッコ内の記号はアルテラのドキュメント番号です。

- *Altera Digital Library CD-ROM, version 6* (P-CD-ADL-06)
- *APEX 20K Programmable Logic Device Family Data Sheet* (A-DS-APEX20K-02.01) (A-DS-APEX20K-02.02/J) *
- *FIR Compiler MegaCore Function User Guide* (A-UG-FIRCOMPILER-01)
- *Quartus Installation & Licensing for PCs* (P25-04731-01)
- *SignalTap User's Guide* (P25-04733-00)
- *AN 100: In-System Programmability Guidelines* (A-AN-100-03) (A-AN-100-02) *
- *AN 107: Using Altera Devices in Multiple Voltage Systems* (A-AN-107-01)
- *AN 118: Scripting with Tcl in the Quartus Software* (A-AN-118-01) *
- *AN 119: Implementing High-Speed Search Applications with APEX CAM* (A-AN-119-01)
- *SB 39: I²C Master Interface Megafunction* (A-SB-039-01) *

- *SB 40: I²C Slave Interface Megafunction* (A-SB-040-01) *
- *SB 41: FIR Compiler MegaCore Function* (A-SB-041-01) *
- *SB 42: Interleaver/Deinterleaver MegaCore Function* (A-SB-042-01) *
- *SB 44: 64-Bit PCI Master/Target MegaCore Function* (A-SB-045-01) *
- *TB 51: Advantages of Quartus Internet Integration* (M-TB-051-01) *
- *TB 53: Comparison of Quartus Software with Xilinx Alliance Series Version 2.1i Software* (M-TB-053-01)

最新セレクト・ガイドと APEX 20K 製品カタログの日本語版

日本アルテラでは、下記のセレクト・ガイドと APEX 20K 製品カタログの日本語版を刊行しました。各セレクト・ガイドと製品カタログには、最新のデバイス、ソフトウェア、メガファンクション製品が掲載されています。これらの日本語版資料は日本アルテラのウェブサイト、<http://altera.com/japan> からダウンロードすることができます。

- コンポーネント・セレクト・ガイド
- 開発ツール・セレクト・ガイド
- メガファンクション・セレクト・ガイド
- APEX 20K 製品カタログ

デザイン・サイクルを短縮する FIR コンパイラ

多くの通信システムでは、 unnecessary ノイズの除去、通信チャネルに対するスペクトラムの整形、信号の検出や解析を行うときに、デジタルの信号処理が実行されます。FIR (Finite Impulse Response) フィルタは理論的に安定した構造になっており、リニア・フェーズの特性が要求される多くのシステムで使用されています。フィルタの代表的なアプリケーションには、信号のプリコンディショニング、帯域選択、ローパス・フィルタなどが含まれます。

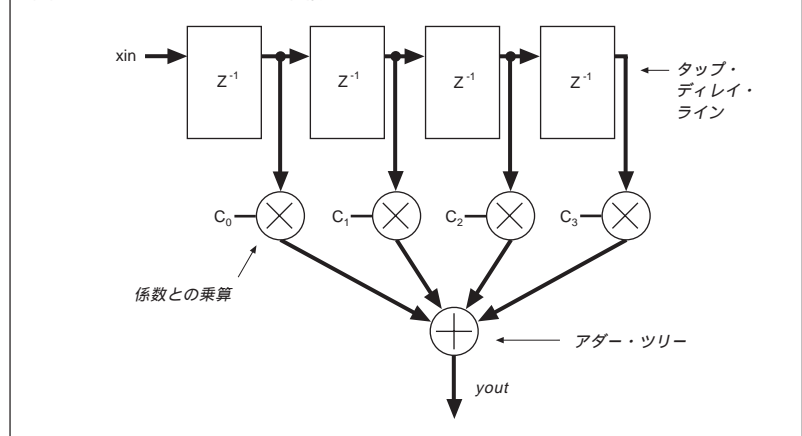
FIR コンパイラはプログラマブル・ロジック・デバイス (PLD) 業界初の完全なデジタル信号処理 (DSP) 開発ツールとなっており、高性能 FIR フィルタのデザイン・サイクルを強化することができます。この FIR コンパイラは、高度に最適化された FIR フィルタのメガファンクションだけでなく、システム・レベルの解析ツール (例: MATLAB Simulink) 用のサイクル・アキュレート・シミュレーション・モデル、およびシミュレーション用 (VHDL、Verilog HDL) のハードウェア記述言語 (HDL) も生成します。

FIR フィルタの概要

フィルタの設計プロセスには、各システムに対して規定された周波数応答に一致させるための係数を決定する作業が含まれます。これらの係数は、フィルタの特性を決定します。係数の値を変更または追加することによって、フィルタを通過する信号の周波数帯域を変更することができます。図 1 は FIR フィルタのブロック図を示したものです。

FIR フィルタのデザイン・サイクルは、システム・レベルの仕様の決定と実際のハードウェアを実現する 2 段階に分けられます。フィルタのタップ数 (N) と係数の値は、サンプリング周波数、フィルタのタイプ、カット・オフ周波数、ストップ・バンドの信号除去特性、パス・バンドのリプル特性などのシステム側の要求仕様を基準に決定されます。パスの精度を規定した後、フィルタを実現するデバイスを選択します。この FIR コンパイラでは、ユーザが浮動小数点係数の入力や、浮動小数点から固定少数点への変換をすべてこのツール内で行うことができます。また、各デザインごとに最適となるフィルタのアーキテクチャを選択することもできます。この FIR コンパイラは前述の 2 段階のデザイン・ステップを完全に統合化した開発ツールとなっています。

図 1 FIR フィルタの基本構成



ユーザはこの FIR コンパイラ内のパラメータの値を調整することによって、デザインをスピードまたはエリアのいずれかに最適化することができます。

高性能 FIR フィルタ

従来の DSP プロセッサで FIR フィルタを実現する場合、フィルタのデータ・スループットは下記の式で決定されます。

$$\text{スループット} = \frac{\text{プロセッサのクロック}}{N}$$

したがって、多くのタップ数が必要となる高性能フィルタの実現は、DSP が処理できるデータ・レートですぐに制限を受けることになります。これに対して、PLD で実現されたフィルタでは、フィルタの長さを増加させた場合でもスループットへの影響が最小となります。

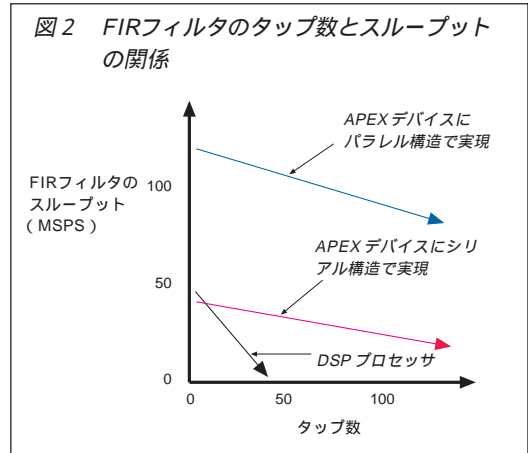
全パラレルのパイプライン化された FIR フィルタを 1 個のプログラマブル・ロジック・デバイス (PLD) に実現し、100 メガサンプル / 秒 (MSPS) を超えるデータ・レートで動作させることができるため、PLD は高速フィルタのアプリケーションにも理想的なデバイスとなります。この FIR コンパイラはパラレルまたはシリアル構成など複数のアーキテクチャをサポートしており、要求される性能に応じて使用されるリソースの量をユーザが選択できるようになっています。また、ユーザはその優先度に応じて、

(14 ページに続く)

デザイン・サイクルを短縮する FIR コンパイラ
(13 ページからの続き)

デザインを高速に動作させるか、リソースの使用効率を高くするかを選択することができます。図2は、異なるハードウェア・アーキテクチャ間での性能の違いを示したものです。

FIR コンパイラはAPEXデバイスが実現したMultiCoreアーキテクチャの特長をフルに活用して、高いスループットを維持しながら、使用されるリソースを最小に抑えます。

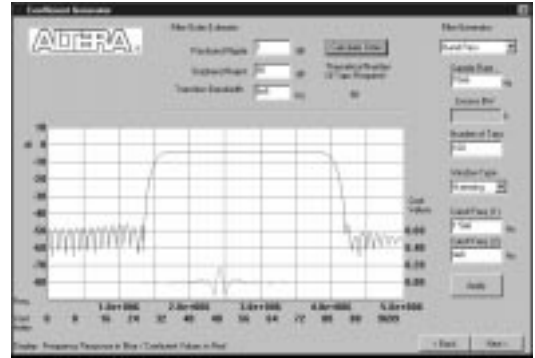


このFIRコンパイラは、70MHzから140MHzで動作するFIRフィルタを生成します。オプションの選択に応じて、これらのフィルタの構成には数百個から数千個のロジック・セルが使用されます。このFIRコンパイラはAPEX™デバイスが実現したMultiCore™アーキテクチャの特長をフルに活用して、高いスループットを維持しながら、使用されるリソースを最小に抑えます。例えば、FIRフィルタのタップ・ディレイ・ラインはESBにマッピングされ、フィルタの乗算と加算の機能(部分積と加算器のツリー)はルック・アップ・テーブル(LUT)にマッピングされます。

デザインの入力

FIRコンパイラはMATLAB、SPW、またはCOSSAPなどサード・パーティのDSPツールから係数の値を浮動小数点または固定少数点のフォーマットで取り込むことができます。また、図3に示されているように、このFIRコンパイラのMegaWizard™ Plug-Inを使用して、係数の浮動小数点値を計算することもできます。この係数ジェネレータは、ハイ・パス、ロー・パス、バンド・パス、バンド・リジェクト、ライズド・コサイン、ルート・ライズド・コサインの各フィルタ、および直交、Hamming、Hanning、Blackmanの各ウィンドウ関数をサポートしています。この係数ジェネレータ

図3 係数ジェネレータの画面



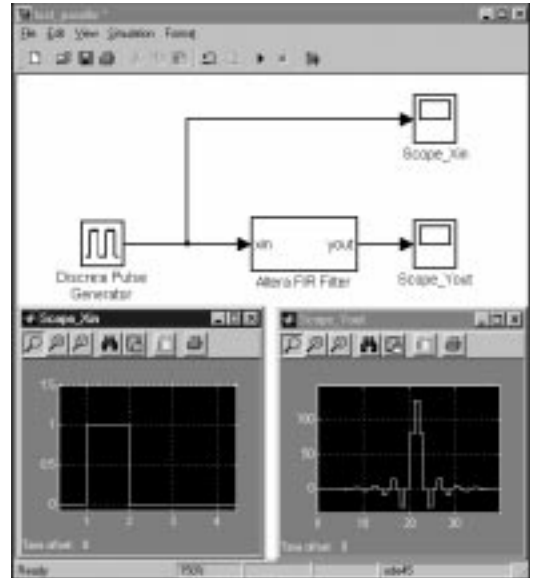
は各パラメータの設定に応じたフィルタの周波数特性を表示します。

また、このFIRコンパイラは、MATLAB Simulink(図4)用のシステム・レベル・シミュレーション・モデル、VHDLおよびVerilog HDLシミュレータ用のHDLモデルも生成します。

まとめ

FIRコンパイラはアルテラのデバイス・アーキテクチャに対する高度な最適化を実現し、パラレルまたはシリアル演算アーキテクチャをサポートしています。MegaWizard Plug-Inを使用することによって、フィルタのデザインが簡単になり、MATLAB Simulink、VHDL、およびVerilog HDL用のシミュレーション・モデルも生成されます。

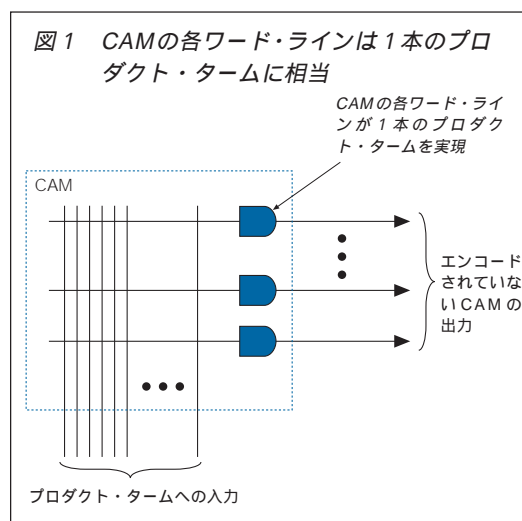
図4 MATLAB Simulink の画面



CAMを使用したプログラマブルな プロダクト・タームの実現方法

CAM (Content Addressable Memory) は、アドレスではなく、データによってアクセスされるメモリです。CAMは必要な情報をあらかじめストアされたデータの全リストと同時に比較するサーチ動作を行うため、バイナリまたはツリー形式のサーチやルック・アサイド形式のタグ・バッファのサーチ・アルゴリズムよりもすぐれた性能を発揮します。このため、CAMを使用することで、結果的にサーチ時間が大幅に短縮されることが多くなります。CAMの高速サーチ機能の利点を活用したアプリケーションのひとつに、プログラマブルなプロダクト・タームがあります。

APEX™ 20KE デバイスの各エンベデッド・システム・ブロック (ESB) には、32ワード×32ビットのCAMを構成することができます。ESBでは、CAMの各ワードが1本のプロダクト・タームに相当します (図1を参照)。CAMの内容はコンフィギュレーション時またはシステムの動作中に再書き込みできるようになっているため、各CAMのラインにリンクしたプロダクト・タームを再プログラムして異なる機能を実行させることができます。CAMの出力がCAMのワード・ラインに対して1本のみとなるようにするため、CAMの出力はエンコードされないフォーマットとなっている必要があります。エンコードされない出力から、ルック・アップ・テーブル (LUT) を使用して組み合わせロジックを構成することができます。



CAMを使用したマルチ・フォーマット対応ビデオ・デコーダのアプリケーション

CAMのプログラマブルなプロダクト・タームは、多機能のビデオ・デコーディングにも使用できます。ほとんどの放送用ビデオ・アプリケーションでは、各デバイスやシステムの動作をコントロールするためにマスタ・ラインやピクセル・カウンタからの信号に多数のデコーダが必要になります。これまで、この機能は多数のコンパレータとマルチプレクサを使用して実現されてきました。ただし、非常に多数のデコーディングが必要となるシステムでは、問題が発生します。例えば、必要となるコンパレータの数が非常に多くなると、これが性能のボトルネックの原因となってしまいます。特に、高品位テレビ (HDTV) のクロック・レートでは、この問題が重要になります。

システム内のデバイスが複数のフォーマットをサポートしている場合は、必要とされるデコーダの数がサポートされているフォーマットの倍数で増加し、この問題がさらに深刻になります。例えば、あるデバイスにラインおよびピクセル・カウンタにフォーマットあたり32個のデコーダが必要となる場合、3種類のフォーマットをサポートするためには96個のデコーダまたはコンパレータが必要になります。一方、あるフォーマットから他のフォーマットに切り換えるときに、デコード値をシステムのCPUからダウンロードするダイナミック・コンパレータを採用する方法もあります。ダイナミック・コンパレータの欠点は、多くのロジック・エレメント (LE) が必要になることです。

こうしたデコード動作を非常に高速で実行させる適切な解決策が、APEX 20KE デバイスのCAMを使用する方法です。この場合、CAMの各ワード・ラインが入力 (ラインおよびピクセル・カウンタ) に対するデコーダとなります。

エンコードされない出力がシステムまたはデバイスのデコード信号として動作し、残りのシステムまたはデバイスをコントロールします。エンコードされていない出力を使用するため、各ESBは2サイクルで16ビットの出力を読み出します。ここで各サイクルの16ビットがCAMブロックの32ワードを表します (1個のESBで32本の入力がサポートされていますが、エンコードされない出力のフォーマット

(16 ページに続く)



CAMを使用したプログラマブルなプロダクト・タームの実現方法 (15 ページからの続き)

トでは、データに31ビットの入力のみが使用され、1ビット分の入力が2個の16ビット・バンクのいずれかを出力するかを選択するラインとして使用されます。図2は、入力データのデコードと要求されているフォーマットの認識にCAMがいかに有効かを示したものです。

APEX CAM の利点

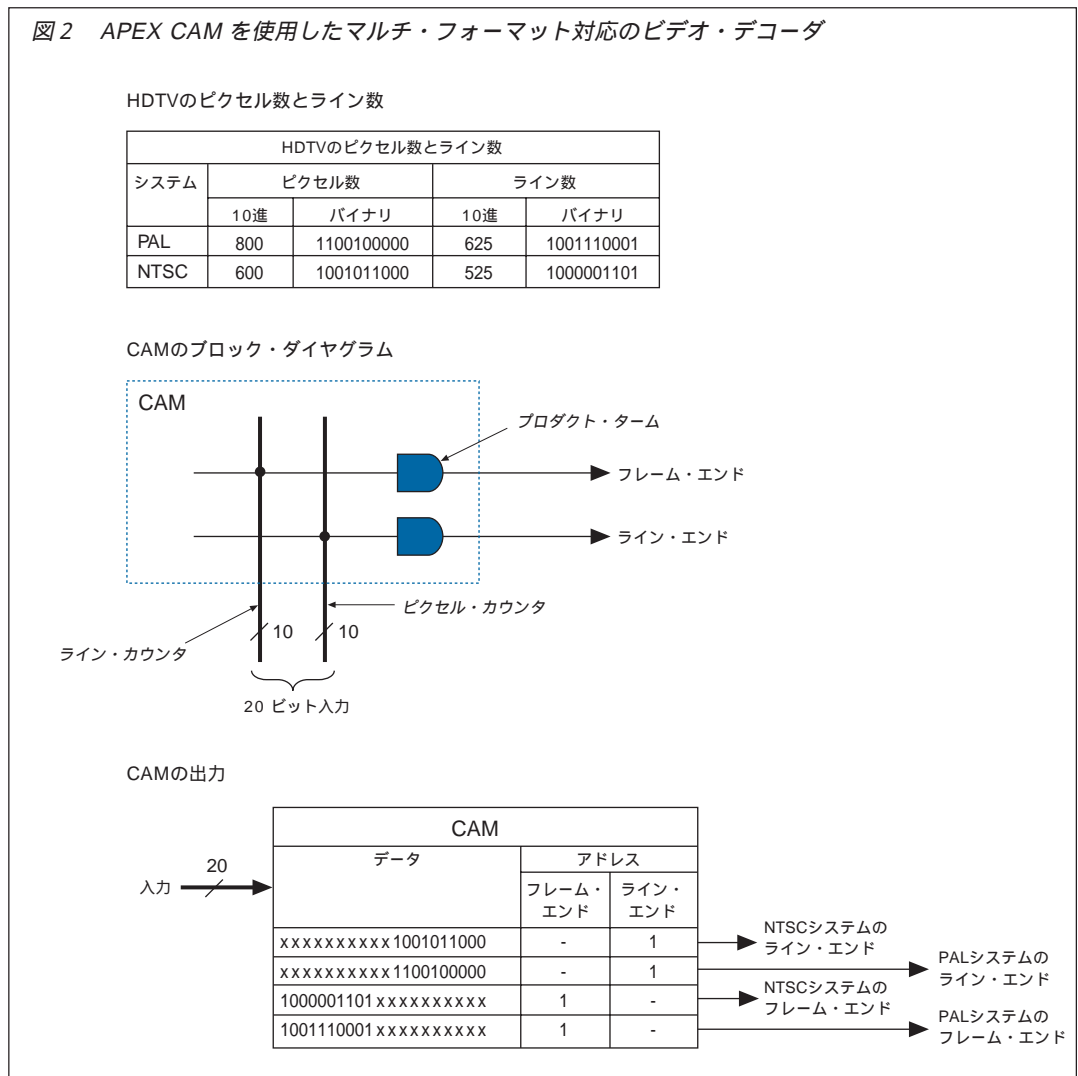
APEX CAM は他の利点も備えています。デザイン性能は改善され、CAMのアクセス・タイム (4ns) によってのみ制限されます。APEX デバイスのCAMを使用した場合のプリント基板 (PCB) の実

装スペースは、ダイナミック・デコーダに比較して小さくすることができます。また、CAMをシステムの電源投入時にデフォルトのフォーマットにコンフィギュレーションすることができます。

プログラマブルなプロダクト・タームは、比較的多数のデコードを必要とするあらゆるデザインにも採用することができます。特に、ダイナミックに変更されるデコーダが要求されるシステムには、CAMを使用する方法が有効です。CAMはストアされたデータを同時にサーチするため、プログラマブルなプロダクト・タームを実現することによって、デザインを効率的に改善することができます。APEX CAMの詳細については、AN 119(Implementing High-Speed Search Applications with APEX CAM)をご覧ください。

CAMのプログラマブルなプロダクト・タームは、多機能のビデオ・デコーディングにも使用できます。

図2 APEX CAMを使用したマルチ・フォーマット対応のビデオ・デコーダ



HP 3070 テスタによる高速プログラミング時間の実現

イントロダクション

イン・システム・プログラミングはプログラマブル・ロジック・デバイス(PLD)の主要な特長となってきました。この特長はPLDのプログラミングとボード・レベルのテストをひとつの工程に統合するため、システム設計者とテスト技術者に大きなコスト上の利点をもたらされます。これらの利点には、プログラムされたデバイスの在庫量の低減、低コスト化、取り扱いの際にデバイスへダメージを与える危険性の解消、設計変更への柔軟な対応なども含まれます。アルテラは、イン・システム・プログラマビリティ (ISP) を HP 3070 システムを使用した既存のテスト・フローに統合できるデバイスとソフトウェアを供給しています (ISP は「オン・ボード・プログラミング」と呼ばれることもあります)。この記事は、ISP をサポートしているアルテラのデバイスを HP 3070 テスタを使用して高速にプログラミングする方法について解説したものです。

デバイス・サポート

イン・システム・プログラミングは、アダプティブなアルゴリズム、または一定 (固定) のアルゴリズムのいずれかで実現されます。HP 3070 システムでプログラミングを行うときは、一定のアルゴリズムでテストされたアルテラのデバイスを使用する必要があります。これらのデバイスのオーダ・コードの末尾には "F" のサフィックスが付加され、デバイスの右下のコーナにはこの "F" が捺印されています。表 1 に HP 3070 システムによるプログラミングがサポートされているデバイスが示されています。

"F" コード付きのデバイスを使用することによって、プログラミング・ハードウェアがすべてのデバイスをあらかじめ規定されたベクタのセットでプログラムできるようになります。この手法を採用することで、HP 3070 のようなイン・サーキット・テストは、もっとも単純で高速となる方法でプログラミング・ベクタを与えることができるようになります。さらに、固定のアルゴリズムをサポートしたデバイスでは、「ビット・レート」(1分あたりにプログラムされるデバイスの数)が均一になるという利点もあります。これらのデバイスには同じアルゴリズムとベクタ・セットが使用されるため、各デバイスのプログラム時間が同一になります。この特長は、製造ラインをスムーズに稼働させるために一定で予測可能な「ビット・レート」が要求される生産ラインに最適です。

表 1 HP 3070 テスタ・システムによるプログラムをサポートしているデバイス

ファミリ名	サポートされているデバイス
MAX 7000S	"F" コード付きのデバイス
MAX 7000A	MAX 7000AE
MAX 7000AE	全オーダ・コードのデバイス
MAX 9000、MAX 9000A	"F" コード付きのデバイス

HP 3070 を使用した場合の開発フロー

HP 3070 テスタを使用してデバイスをプログラムするためには、いくつかの単純な工程が必要になります。これらの手順は、このオン・ボード・プログラミングのフローに固有なものではなく、規定されたベクタ・セットを必要とする他のテストにも基本的に同じフローが適用されます。18 ページの図 1 を参照してください。

MAX+PLUS® II ソフトウェア・ツールは、すべての JTAG (Joint Test Action Group) デバイス・チェーンに対する Serial Vector Format ファイル (.svf) の生成を簡単に行うことができます。SVF ファイルが生成されると SVF ファイルがアルテラの svf2pcf ユーティリティ・プログラムによって HP Pattern Capture Format ファイル (.pcf) に変換されます。このユーティリティは、アルテラの ftp サイト (ftp.altera.com) からダウンロードすることができ、Windows と HP-UX オペレーティング・システムをサポートしています。

プログラミング・ベクタを PCF に変換した後のフローは、他のテストを使用した場合と同じです。プリント基板 (PCB) のレイアウト方法、ソフトウェアのフロー、デバッグ方法の詳細については、アルテラのアプリケーション・ノート、AN 109 (Using the HP 3070 Tester for In-System Programming) を参照してください。

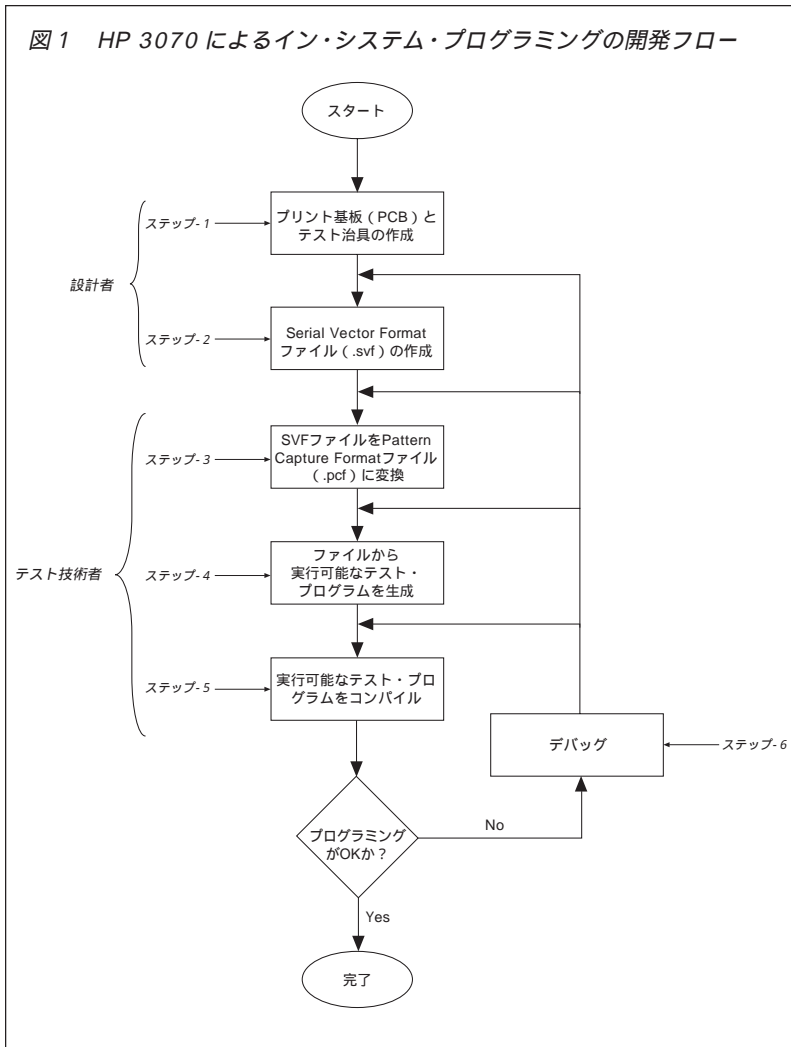
プログラミング時間

HP 3070 を使用したときのプログラミング時間は一定となり、プログラミング時間に影響を及ぼす変数は TCK の周波数のみとなります。より高速のクロックを使用することで、データをデバイスに転送する時間が短縮されます。イン・サーキット・テストを用いたときのプログラミング時間に関する詳細

(18 ページに続く)

MAX+PLUS II ソフトウェア・ツールは、すべての JTAG (Joint Test Action Group) デバイス・チェーンに対する Serial Vector Format ファイル (.svf) の生成を簡単に行うことができます。

HP 3070 テスタによる高速プログラミング時間の実現 (17 ページからの続き)



なデータが、アプリケーション・ノート、AN 85 (In-System Programming Times for MAX Devices) に記載されています。

以下の例では、ある条件でのプログラミング時間に関するデータが示されています。ここに示されているデータは、期待できる標準プログラミング時間、ファイル・サイズ、ホストとなるワークステーションで使用されるリソース・サイズとして参照できます。この例では、ひとつのチェーンに接続された4個のEPM7128SQC160-7FがHP 3070でプログラムされています。そして、これら4個のEPM7128S デバイスに対して1つのSVFファイルを生成し、PCFファイルを実行可能なベクタに変換するテスト・フローが採用されています。この結果が、表2と表3に示されています。

表 2 4 個の EPM7128SQC160-7F をプログラムしたときのデータ

項目	条件または結果
HP 3070 のソフトウェア・バージョン	B.02.54
コントローラのタイプ	725/100
作成された PCF ファイル数	15
ファイルあたりのベクタ数	約 700,000
実行されるトータル・ベクタ数	9,925,512
各 PCF ファイルのサイズ	5.4 Mbytes
PCF ファイルのストアに必要なディスク容量	78.7 Mbytes
オブジェクト・ファイルのトータル・サイズ (15 オブジェクト・ファイル)	1.5 Mbytes (ファイルあたり約 100,000 bytes)
デバッグ・オブジェクトのトータル・サイズ (15 オブジェクト)	430,901 (各 28,800 bytes に相当)
トータル・コンパイル時間	3 時間 17 分

表 3 4 個の EPM7128SQC160-7F に対するプログラム時間

項目	TCK=500kHz	TCK=2MHz
ベクタ・サイクル・タイム	1,000ns (1µs)	250ns
4 個全部をプログラムするのに要した時間 (1 回目の実行)	52 秒	41 秒
4 個全部をプログラムするのに要した時間 (2 回目以降)	23 秒	6 秒

アプリケーション・ノート、AN 85 (In-System Programming Times for MAX Devices) には、プログラム時間が TCK の周波数とプログラムされるデバイスを関数として記載されています。このアプリケーション・ノートに記載されているデータは、理論上の計算から得られたものになっています。ただし、上記のテスト結果に示されているように、HP 3070 テスタを使用した実際のプログラミング時間は 1 秒以内になっており、これらの数値が正確であることがわかります。ここで述べられているのは MAX[®] 7000S デバイスに対するプログラミング時間ですが、MAX 7000AE デバイスのプログラミング時間はさらに短縮されます (最大 50%)。

期待された通り、プログラミング時間は TCK のクロック・レートの関数となりました。この周波数範囲では、周波数とプログラミング時間が比例関係になります。さらに高い周波数では、プログラミング時間がアプリケーション・ノート、AN 85 で述べられている理論値に限りなく近くなります。さらに、このアプリケーション・ノートでは、4 個のデバイスにコンカレント・アルゴリズムを適用すると、プログラム時間が 1 個のみの EPM7128S デバイスをプログラムしたときの時間まで短縮される例も示されています。

まとめ

アルテラはHP 3070 テスト・システムを使用してISP対応デバイスをプログラムするための完全なソリューションを提供しています。これらのソリューションを使用してHP 3070の既存のテスト・フローに対応した高速のプログラミング時間を実現す

ることができます。アルテラは製造ラインにおいて一定した高速プログラミング時間が確保される"F"コード付きのデバイスを供給しています。ソフトウェアとデバイスの双方に対するサポートにより、HP 3070の各ユーザにはコストの低減と生産性の向上がもたらされます。

QuartusソフトウェアでTclスクリプトを使用する方法

イントロダクション

Quartus™ソフトウェアでは、Tcl (Tool command language)を使用したスクリプトを作成し、これを動作させることによって、単純な処理から複雑な処理までを幅広く実行させることができます(デザインに対するコンパイルの実行や、一般的な複数のタスクを自動化して実行させる手順を記述)。この記事は、Quartusソフトウェアで使用されるTclの作成方法を解説したものです。

Tclとは?

Tclは、多くのシェル・スクリプトやハイ・レベルなプログラミング言語に類似したポピュラーなスクリプト言語です。Tclは制御文、変数、ネットワーク・ソケット・アクセス、他のソフトウェアとの統合のためのAPI (Application Programming Interface)などをサポートするためのシンタックスが使用できる高いプログラマビリティを備えています。

C++のような言語と比較しても、Tclは理解しやすく、使いやすいものとなっています。Tclはインタプリタ・タイプの言語で、その開発は他の言語よりも簡単に短時間で行うことができます。要求される動作機能が提供されていない場合でも、Tclを利用して各ユーザ固有のコマンドや処理手順を作成することができます。TclはUNIXやWindows NTのような、ほとんどの開発環境のプラットフォーム上でシームレスに動作するため、Tclをマルチ・プラットフォームのプログラムとして使用することができます。

Tclの使用方法

QuartusのAPIは、複数の言語(TclやC++など)からコールできる複数のインタフェース・ファンクションによって構成されています。Tclをある程度理解しているユーザであれば、APIを使用して

Quartusソフトウェア内で複数のタスクを自動化するスクリプトを作成することができます。単独のスクリプトでデザイン・プロジェクトをコントロールしたり、コンパイルのスタートとストップの指定、アサインメントの指定、シミュレーションの実行などを行うことができます。

Tclコマンドの基本的なシンタックスは、下記のようになります。

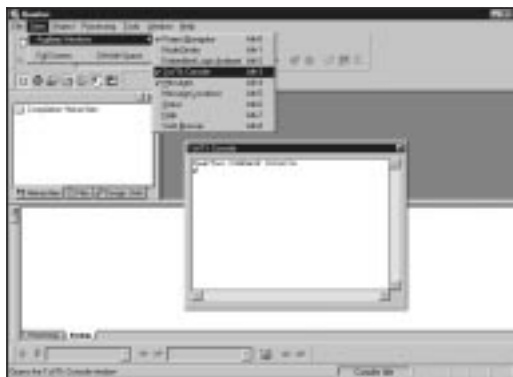
<コマンド>[<引数1> <引数2> <引数3> ...]

ここで、コマンドのシンタックスは、組み込まれているコマンド名か手順のいずれか、または複数のコマンドのセットになります。各コマンドと引数はスペースで分離され、改行またはセミicolonによってコマンドが終了します。コマンドに対する引数はストリングとして受け渡されます。

Tclスクリプトをインタラクティブに動作させる方法

Tclのコマンドは、QuartusのTcl/Tk Consoleのウィンドウからダイレクトに入力することができます。Tcl/Tk Consoleのウィンドウを開くときは、図1に示すように、Auxiliary Windowsの中からTcl/Tk Consoleを選択します(Viewメニュー)。図1を参照してください。

図1 Tcl/Tk Consoleの画面



(20 ページに続く)

要求される動作機能が提供されていない場合でも、Tclを利用して各ユーザ固有のコマンドや処理手順を作成することができます。



Quartus ソフトウェアで Tcl スクリプトを使用する方法 (20 ページからの続き)

Tcl/Tk Console のウィンドウは履歴をサポートしていますが、コマンドを複数のラインに拡張させることはできません。Tcl のメッセージは、Message ウィンドウの System タブに現れます。

Tcl をバッチ・モードで実行する方法

Tcl スクリプト・ファイル (.tcl) の作成が完了したら、Tcl/Tk Console のウィンドウに下記のコマンドを入力して、この Tcl を実行させます。

```
source <スクリプト・ファイル名> ←
```

また、Run Script (Tools メニュー) を選択して、実行させることもできます。

DOS または UNIX から Tcl スクリプトを実行する方法

Quartus ソフトウェアは "-f <スクリプト・ファイル名>" の形式によるコマンド・ライン上での引数の指定もサポートしています。このコマンドは、Run Script (Tools メニュー) を選択したときと同

じ動作を実行します。DOS または UNIX のプロンプトからこのコマンドを実行させるときは、下記のシンタックスを使用します。

```
quartus_cmd -f <スクリプト・ファイル名> ←
```

Tcl コマンドの詳細については、Quartus のヘルプ機能で「Tcl Script API」の項目をサーチして確認してください。

Tcl ファイルの例

図 2 は、プロジェクトの作成、アサインメントの指定、および単純なコンパイルを実行する Tcl のサンプル・ファイルを示したものです。

アルテラは、Quartus ソフトウェアによるデザインをサポートするための広範囲な資料を提供しています。技術的なサポートが必要な場合は、日本アルテラまたは販売代理店へご連絡ください。また、Quartus ソフトウェアから Quartus Web Support のウェブサイト にダイレクトに接続することもできます。Quartus ソフトウェアは、Scriptics Corporation (<http://www.scriptics.com>) から供給されている Tcl のバージョン 8.03 をサポートしています。

図 2 Tcl で単純なコンパイルを実行させる例

```
# Change to the working directory
cd E:/Tcl
# Create a project called myproject
project create myproject
# Open the project
project open myproject
# Add a source file to the Project
project add_assignment "" "" "" "" SOURCE_FILE my_design.v
# Create compilation settings
project create_cmp my_design_entity
# Make this setting the active compiler setting
project set_active_cmp my_design_entity
# Assign a device
cmp add_assignment my_design_entity "" "" DEVICE AUTO
# Start compilation
cmp start
while { [cmp is_running] } {
    after 10
    FlushEventQueue
}
cmp stop
```

SmartModelを使用したPLDデザインの検証

複雑なシステムやプリント基板 (PCB)、プログラマブル・ロジック・デバイス (PLD) の効果的な検証には、ターゲット・システム内で使用されるデバイスの正確なシミュレーション・モデルが必要になります。設計者自身がこれらのモデルを作成してメンテナンスすることも可能ですが、これは主要な設計業務の効率を落とすこととなります。これに替わる適切な方法が、シノプシス社から供給されている Logic Modeling の SmartModel を使用することです。

シノプシスの SmartModel ライブラリに含まれているすべての PLD モデルには SmartCircuit と呼ばれる機能が提供されており、最新の検証機能およびデバッグ機能を活用して PLD のデザインを短時間でスムーズに検証することができます。SmartCircuit 機能付きのモデルは基本的にコンフィギュレーションされていないデバイスのテンプレートとなっており、デザインのネットリストが EDIF フォーマットのモデルにロードされるようになっています。

SmartModel の概要

SmartCircuit の機能を利用することで、設計者はシミュレーションに関連した細々とした作業ではなく、本来の設計とシステム検証に集中できるようになります。SmartModel をターゲットにした EDIF の出力ファイル (.edo) をアルテラの Quartus™ または MAX+PLUS® II のコンパイラから生成するときは、EDIF Netlist Writer Settings (Interface メニュー) を選択します。そして、Vendor のドロップ・ダウン・リストから Synopsys を選択し、EDIF のバージョンとして EDIF 3.00 を選択します。

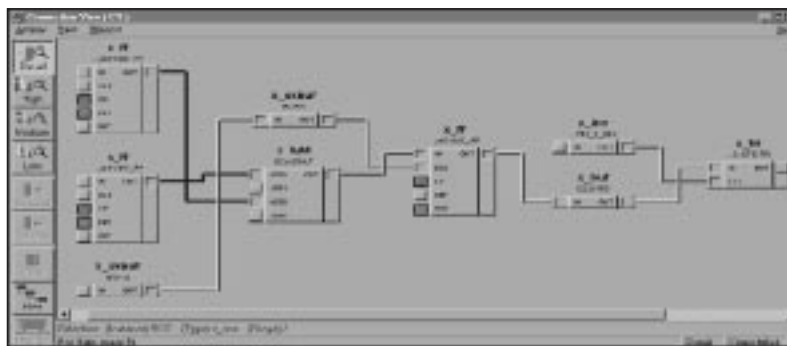
SmartModel は、デバイスの特性とタイミングを完全に表しているビヘイビア・シミュレーション・モデルです。各モデルには、デザイン解析能力が正確にモデルに反映されるようにしたユニークな自動エラー・チェック機能が含まれており、各コンポーネントが適切に使用されるようになっています。SmartModel は、サード・パーティのほとんどの VHDL および Verilog HDL シミュレータやボード・レベルのシミュレータとの互換性があります。

最新のデバッグ方法

デザインの検証を成功させるために重要になるのが、ファンクションとタイミングのエラーをデバッグできる能力です。デバッグを開始する上で好都合なのが、デザインの回路図です。PLD SmartModel のモ

デルに含まれているツール、Visual SmartBrowser (VSB) はオン・デマンドの表示テクニックを使用して PLD のネットリストを表示することができます。ユーザは必要とされるレベルに応じてデザインの表示を拡大したり、縮小することができます。アルテラの FLEX® 10KE デバイスのデザインのような最近の大規模で複雑なデザインでは、多くの設計者が 1 回でネットリストのごく一部分だけを集中的にデバッグします。この VSB を使用すると、設計者は注目した部分だけに集中してデバッグを行うことができます。図 1 は VSB によって表示された配線図を示したものです。

図 1 VSB で表示された接続図



Causal Tracing

SmartModel に提供されている causal tracing ツールを使用して、ロジック・イベントやタイミングのエラーの発生原因をトレースして発見することができます。この causal tracing 機能がない場合は、設計者がロジックやタイミング・エラーの発生原因となっている可能性のある数百にも及ぶ多数のパスを手作業で解析しなければなりません。22 ページの図 2 は、causal tracing の機能を示したものです。

シミュレーションの実行時に、ファンクションまたはタイミング上のエラーが確認された場合は、エラーの発生原因となっている個所までイベントをトレース・バックする必要が生じます。大規模なデザインでは、この作業が非常に複雑なものとなってしまいます。causal tracing 機能には自動的に履歴をたどるメカニズムが採用されており、シミュレーション性能を大幅に低下させることはありません。さらに、この causal tracing 機能は、ユーザ指定のトリガ・ポイントから次の動作を実行することができます。

(22 ページに続く)

SYNOPTYS®

SmartCircuit の機能を利用することで、設計者は細かなシミュレーションではなく、本来の設計とシステム検証の業務に集中できるようになります。

SmartModel を使用した PLD デザインの検証
(21 ページからの続き)

- あらゆるロジック・イベント・エラーの発生原因となっている個所までのトレース・バック
- あらゆるロジック・イベント・エラーが及ぼす影響のトレース
- あらゆるタイミング・コンストレイント違反の発生原因の特定

causal tracing ツールによって、問題の発生原因に関連している PLD の内部イベントのレポートが生成されるため、ロジックまたはタイミングのエラーの発生原因となっている個所を迅速に特定することができます。この causal tracing ツールはテキスト形

式のレポートを生成しますが、これらのレポートを VSB にロードして問題のパスをグラフィック形式で表示させて検討することもできます。

ウィンドウズ機能

シミュレーションの実行時には、PLD デザインの内部を観測できる機能も非常に重要になります。デザイン全体のデバッグを行うときには、PLD 内部のネットやレジスタの状態をトレースできる機能が求められます。SmartCircuit の PLD モデルはウィンドウズ機能を使用して PLD デザイン内部の観測を可能にしており (図 3 を参照) シミュレーション時に PLD をブラック・ボックスとして扱う必要性を解消させています。このウィンドウズ機能を活用することによって、シミュレーション波形のウィンドウから、デザイン内部の任意のネット、ポート、ステートをトレースすることができます。ユーザは検証プロセスや以降のデバッグのプロセスが簡略化されるレベルで PLD デザインの内部をフルに観測することができます。図 3 は、このウィンドウズ機能を使用して内部信号の値をデバッグするときの様子を示したものです。

まとめ

シノプシス社の SmartModel に提供されている PLD モデルを使用することによって、大規模なデザインやシステム全体をソフトウェアでシミュレーションすることができます。このシミュレーションを実行することで、実際のデバイスにプログラムを行う前にデザインをデバッグすることができます。アルテラの PLD モデルおよび SmartModel に関連した資料や情報が、シノプシス社の web サイト、<http://www.synopsys.com> および日本シノプシスの web サイト、<http://www.synopsys.co.jp> で提供されています。

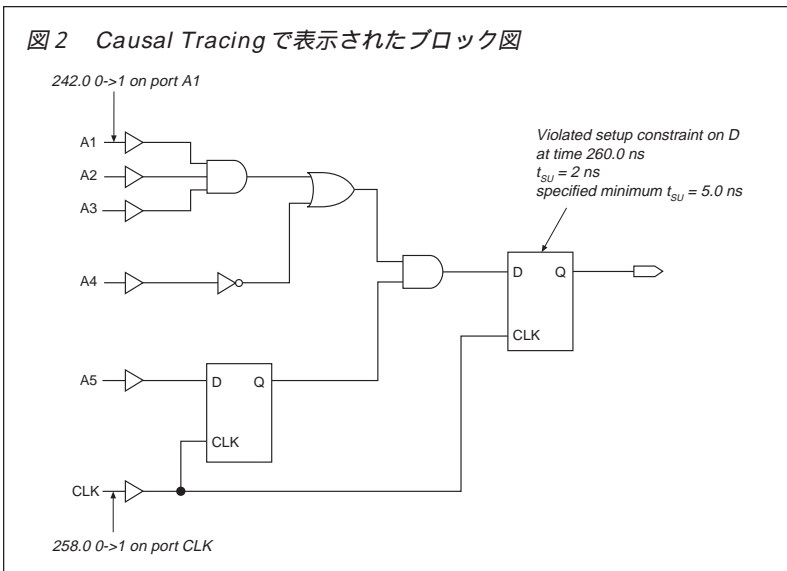
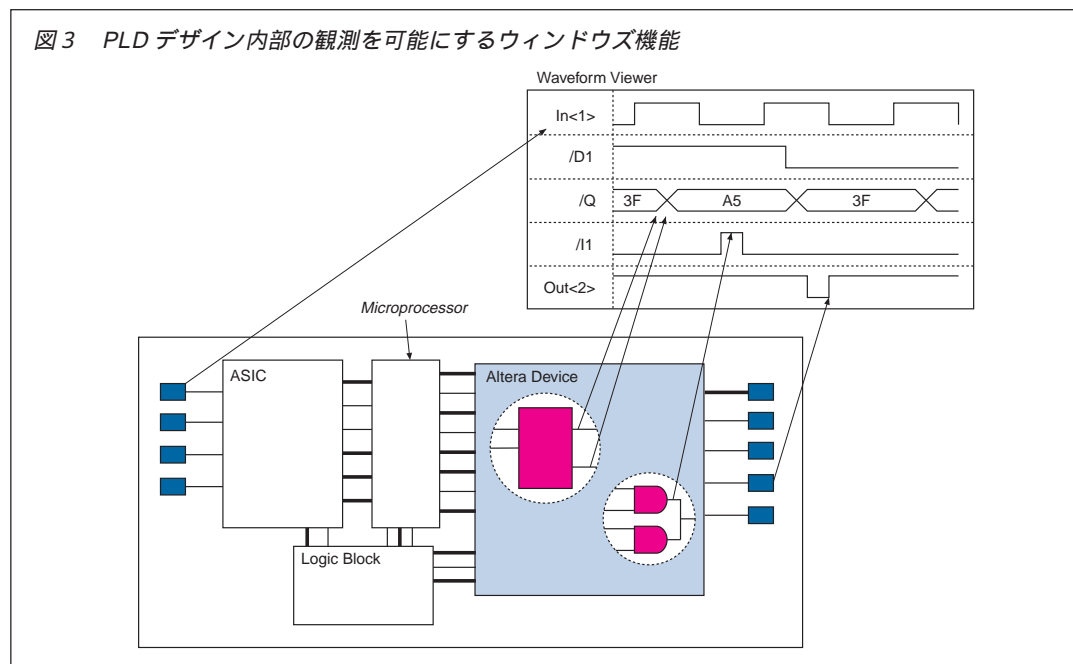


図 3 PLD デザイン内部の観測を可能にするウィンドウズ機能



アルテラの PLD を採用して競合メーカーに打ち勝った GENICOM 社

ミッド・レンジのクライアント・サーバ市場向け高性能プリンタのリーディング・サプライヤである GENICOM Corporation は、部門ごとで使用するネットワーク・プリンタの新製品、microLaser 320シリーズを設計していました(図1を参照)。この新製品の開発過程では、プリンタのコントロール・ブロックに使用するデバイスの決定が重要要素でした。競合メーカーは同様のコントローラにゲートアレイを使用していましたが、GENICOM社の技術者はこの新しいネットワーク・プリンタを市場へ早期に投入することができ、同じコントローラのアーキテクチャで多くの機能が実現可能で、さらにアップグレード料金が低くて済む柔軟性の高いソリューションを必要としていました。

microLaser 320シリーズは、幅広いオプション機能を備えた汎用性の高いネットワーク・プリンタとして設計されています。このプリンタはほとんどの標準的なオペレーティング・システムとネットワークを通じて接続でき、多様なメディア、最新のドキュメント制作システム、リモート・プリント・マネージメント・システムから高速で高解像度の印刷を行うことができます。

1分間で32ページの高速印字性能、1200×1200 DPI (Dots per Inch) 出力の高解像度を実現するため、microLaser 320シリーズには中央処理部分に166MHzのRISCプロセッサが使用されており、32MバイトのEDO RAM(96Mバイトまで拡張可能)と標準イーサネット・ネットワークとの接続機能も内蔵されています。このmicroLaser 320には、オプションの両面印刷機能、製本機能、大容量のシート・フィーダ、フォントおよびフォームのストアが可能な8MバイトのFLASHメモリなども提供されており、オフィスの生産性を向上させる理想的なプリンタとなっています。

microLaser 320の心臓部にはIntelliprintと呼ばれるコントローラ・アーキテクチャが採用されており、このアーキテクチャがアルテラのEPF6024AQC240-2で実現されています(24ページの図2を参照)。このコントローラは、各プリンタから独立した構造となっています。このため、GENICOM社は異なるプラットフォーム上で動作する多様な機種を生産することができ、新しいドキュメント制作技術への簡単かつ迅速な対応やユーザに

対するトラブル・フリーのアップ・グレードの提供により、ユーザの使用期間を延長させることができます。

FLEX 6000 の利点

GENICOM社の技術者は、多くの理由からmicroLaser 320シリーズのプリンタ・コントロール部にアルテラのFLEX® 6000プログラマブル・ロジック・デバイス(PLD)を採用しました。GENICOM社はmicroLaser 320シリーズのモデルごとにバリエーションを持たせる必要があったため、この新しいプリンタのシリーズにASICを使用するのは現実的でない判断しました。ASICを採用した場合には、シリーズ内のモデルごとで異なるASICが必要になったはずですが、また、ASICを使用した場合には、各モデルのライフ・サイクルが短くなることが予想されることやプリンタ技術の急速な進展などによって、GENICOM社がASICの余剰在庫を抱える危険性もありました。

同規模のゲートアレイのコストと比較しても、FLEX 6000 デバイスの単価はそれとほぼ同等でした。

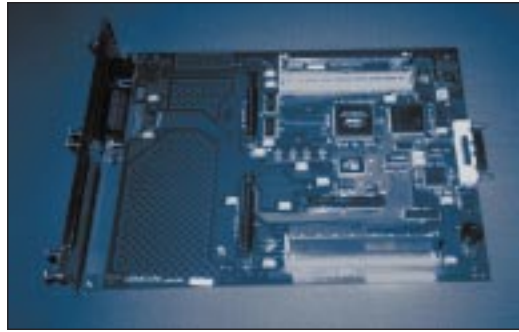
図1 microLaser 320 プリンタ



(24 ページに続く)

アルテラの PLD を採用して競合メーカに打ち勝った GENICOM 社 (23 ページからの続き)

図2 FLEX 6000 デバイスを使用した microLaser 320 のボード



プロジェクトを進めるにあたって、「Time-to-Market」の実現は、GENICOM 社のもっとも重要な課題でした。GENICOM 社ページ・プリンタ事業部の Eric Heineman マーケティング・マネージャは「開発期間が限られていたため、PLDのリプログラマビリティは大きな利点となった。」と述べています。GENICOM 社では、新しいテクノロジーに迅速に移行できる製品の実現だけでなく、ある大手コンピュータ OEM メーカへ数機種の製品を納入する必要に迫られていました。同社の Heineman マネージャは「この OEM メーカからの要求により、当社は製造工程でマイナな設計変更を実施する必要があったが、リプログラマブルな FLEX 6000 デバイスを使用していたために迅速な対応をとることができた。このデバイスの高い柔軟性は当社の時間と費用の双方を節減した。」と述べています。

GENICOM
Corporation
14800 Conference
Center Drive,
Suite 400,
Chantilly, VA 20151, USA
sales@genicom.com
http://www.genicom.com

GENICOM 社が FLEX 6000 デバイスを採用したもうひとつの重要な理由はコストでした。GENICOM 社にとって、FLEX 6000 デバイスの単価は同規模のゲートアレイのコストとほぼ同等でした。さらに、同社は FLEX 6000 デバイスを使用することで、ゲートアレイの開発費用である NRE (Non-Recurring Engineering) の負担や、ゲートアレイの開発でもっとも時間を消費するテスト・ベクタの生成も不要になりました。PLD を使用して短期間で試作を完了させたことで、デザイン・サイクルの初期段階からイン・システムでのテストが可能になり、製品の市場投入までの期間を短縮させることもできました。

GENICOM 社にとって、FLEX 6000 の OptiFLEX™ アーキテクチャも、採用を決定した要因のひとつでした。「FLEX 6000 の配線機能は評価したデバイスの中で最高だった。また、当社のデザインおよび「Time-to-Market」を実現する上で FLEX 6000 の予測可能なタイミング性能も重要な要素だった。要求されたすべての機能が比較的小規模なアルテラのデバイスにフィッティングした。」と Heineman 氏は説明しています。

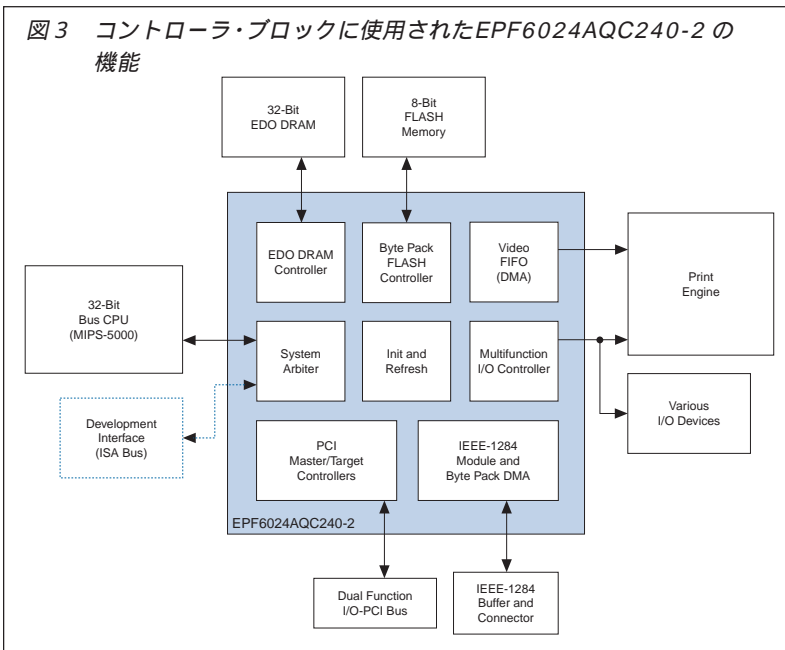
最先端のコントローラ・アーキテクチャ

microLaser 320 プリンタ内の CPU とプリンタ・エンジンとのインタフェースとコントロール・ブロックには、EPF6024AQC240-2 が使用されています。Heineman 氏は「このデザインは基本的にプリンタから独立した構造になっているため、当社ではこれを「GENICOM System Glue」と呼んでいる。」と話しています。PCI (Peripheral Component Interconnect) 互換の FLEX 6000 デバイスには PCI バス・インタフェースとユーザのカスタム・ロジック回路が実現され、このプリンタ・シリーズで多様なオプションが実現されるようになっていきます。図3は、このコントローラ・ブロックの内部をブロック図で示したものです。

まとめ

FLEX 6000 デバイスを採用することによって、GENICOM 社の技術者は革新的な microLaser 320 シリーズのプリンタ製品を短期間で市場に投入することができました。GENICOM 社は仕様の異なる多数の機種を供給しており、さらに FLEX 6000 をベースにしたコントローラで実現可能となった多様なユーザ・オプションも提供しています。また、同社は将来のアップグレードを低コストで実施できる機能も実現させました。柔軟性に富んだアルテラのソリューションを活用したことによって、同社のユーザおよび同社自身にとって有益となる広範囲にわたるオプションが実現されました。

図3 コントローラ・ブロックに使用された EPF6024AQC240-2 の機能



Q Quartus™ソフトウェアのバージョン1999.06は、どのリビジョン・コントロール用ソフトウェア・パッケージをサポートしていますか？

A Quartusソフトウェアのバージョン1999.06は、PVCS、RCS、SCCSをサポートしています。他のリビジョン・コントロール用ソフトウェア・パッケージを使用したい場合は、Tcl (Tool command language) スクリプトを使用して独自のインタフェースを作成することができます。詳細については、19ページの「 Quartus ソフトウェアでTcl スクリプトを使用する方法」を参照するか、QuartusのHelp機能を利用して確認してください。

Q Quartus ソフトウェアのバージョン 1999.06で、コンパイルの完了後にVWFから任意のノードを見つけることができません。どうしてでしょうか？

A デザイン・ファイルから新しいノードをVWFに生成するためには、シミュレーションをイニシャライズしてデザイン・データベースからノード名を抽出しておく必要があります。デザイン・データベースからノード名が抽出されていない場合は、QuartusのNode Finderが、ノード名が見えなかったことを示します(一致するノード名がないというメッセージを生成)。VWFの生成方法についての詳細は、QuartusのHelpの「Copying Node Names to a Waveform File with the Node Finder」の項目を参照してください。

Q Quartus ソフトウェアを動作させるときにObjectStoreソフトウェアは必要なのでしょうか？

A はい。ObjectStoreはQuartusソフトウェアと共に動作してプロジェクトのデザイン・データベースを管理します。ObjectStoreソフト

ウェアが不適切にインストールされていたり、動作していないと、Quartusソフトウェアはプロジェクトを作成したり、デザインをコンパイルすることができません。

アルテラはObjectStoreをデフォルトのディレクトリである、c:\odi\ostoreにインストールすることを推奨します。ObjectStoreを他のディレクトリにインストールするときは、ディレクトリのパスにスペースを入れないようにしてください。ObjectStoreはQuartusのインストール用CD-ROMに含まれており、別途購入する必要はありません。

Q MAX+PLUS® IIのソフトウェア・メンテナンス契約が有効になっていれば、Quartusソフトウェアが送付されてくるでしょうか？ まだ、サブスクリプション・プログラムには登録していませんが。

A アルテラは、サブスクリプション・プログラムに登録されているユーザに対してQuartusソフトウェアのバージョン1999.06をすでに出荷いたしました(サブスクリプション・プログラムの詳細は、日本アルテラのwebサイト、<http://www.altera.com/japan/html/tools>のページをご覧ください)。

従来のメンテナンス契約は、1998年11月1日に新たに提供されたサブスクリプション・プログラムに置き換えられています。この期日以降に新たにメンテナンス契約を購入または更新されたユーザはこのサブスクリプション・プログラムに登録されており、これらのユーザにはQuartusソフトウェアのバージョン1999.06が出荷されています。1998年11月1日以前にメンテナンス契約を更新したユーザの場合は、この古いメンテナンス契約のみが有効となり、これらのユーザにはQuartusソフトウェアは出荷されていません。

アルテラは、サブスクリプション・プログラムに登録されているユーザに対してQuartusソフトウェアのバージョン1999.06をすでに出荷いたしました。

デザイン・オートメーション・カンファレンス (DAC) 1999 : 多くのデザイン・ツールと設計手法が登場

今年のデザイン・オートメーション・カンファレンス(DAC)は6月21日から23日まで米国ルイジアナ州ニューオーリンズに会場を移して開催されました。今年のDACでアルテラはAPEX™ デバイス・ファミリやQuartusソフトウェアの特長を示す数々のデモンストレーションと、革命的なSystem-on-a-Programmable-Chip™ ソリューションに関するマルチメディア・プレゼンテーションを行いました。

アルテラのユーザである3COM、Lucent、Texas Instruments、東芝の各社からアルテラのデバイスを採用した25種類のボードが展示され、アルテラのプログラマブル・ロジックの高い汎用性が示されました。また、Altera Megafunction Partners Program(AMPPSM)のパートナー企業である、Integrated Silicon Systems、Lexra、Nova、Sapien Designの各社は、アルテラのプログラマブル・ロジック・デバイス(PLD)に最適化されたIP(Intellectual Property)のデモンストレーションを行いました。

アルテラのプログラミング・サポート

ダウンロード・ケーブル

表1は、アルテラの MasterBlaster™ シリアル / USB (Universal Serial Bus) 通信ケーブル、BitBlaster™ シリアル・ダウンロード・ケーブル、および ByteBlasterMV™ パラレル・ポートのダウンロード・ケーブルでプログラミングまたはコンフィギュレーションできるデバイス・ファミリを示したものです (ByteBlaster™ ダウンロード・ケーブルは ByteBlasterMV ケーブルで代替されています)

表1 ダウンロード・ケーブルの対応表

デバイス名	MasterBlaster (1)	ByteBlasterMV	BitBlaster (2)
APEX 20K	✓	✓ (3)	
APEX 20KE	✓	✓ (3)	
FLEX 10K	✓	✓	✓
FLEX 10KA	✓	✓	✓
FLEX 10KE	✓	✓	✓
FLEX 8000	✓	✓	✓
FLEX 6000	✓	✓	✓
MAX 9000	✓	✓	✓
MAX 9000A	✓	✓	✓
MAX 7000S	✓	✓	✓
MAX 7000A	✓	✓	✓
MAX 7000B	✓	✓ (3)	
MAX 3000	✓	✓	✓

注:

- (1) MasterBlaster 通信ケーブルを Quartus ソフトウェアと併用することによって、デバイスへのダウンロードと SignalTap™ によるロジック解析を実行することができます。また、MAX+PLUS II のバージョン 9.3 との併用により、デバイスへのダウンロードを行うことができます。
- (2) BitBlaster ダウンロード・ケーブルは 5.0V で動作させる必要があります。
- (3) これらのデバイスに対しては、ByteBlasterMV が 3.3V で動作する必要があります。このため、VCCIO ピンは 2.5V または 3.3V に接続してください。

サード・パーティ・ベンダによるプログラミング・サポート

Data I/O 社と BP Microsystems 社は、アルテラのデバイスをサポートしたプログラミング・ハードウェアを供給しています。各デバイスのプログラミング・アルゴリズムが Data I/O 社の「Keep Current Express-Bulletin Board Service (KCE-BBS)」および BP Microsystems 社の BBS を通じて提供されています。アルテラのコンフィギュレーション・デバイス、MAX® 3000、MAX 9000、MAX 7000 ファミリの各デバイスに対するサポート状況は、表2に示されている通りです。なお、ここに示されている情報は変更されることがあります。Data I/O 社および BP Microsystems 社のプログラミング・サポートについての詳細は、データ・アイオー・ジャパン (株) (電話: 03-3779-2151) または BP Microsystems 社の日本総代理店、丸紅ソリューション (株) (電話: 03-5778-8665) へお問い合わせください。

表2 サード・パーティ・ベンダによるプログラミング・サポート

デバイス名	Data I/O (1)	BP Microsystems (2)
EPC1064	✓	✓
EPC1213	✓	✓
EPC1	✓	✓
EPC1441	✓	✓
EPC2	(3)	✓
EPM3032A	(3)	(3)
EPM3064A	(3)	(3)
EPM3128A	(3)	(3)
EPM3256A	(3)	(3)
EPM7032	✓	✓
EPM7032AE	(3)	(3)
EPM7032S	✓	✓
EPM7064	✓	✓
EPM7064AE	(3)	✓
EPM7064S	✓	✓
EPM7096	✓	✓
EPM7128A	✓	✓
EPM7128S	✓	✓
EPM7128AE	(3)	(3)
EPM7128E	✓	✓
EPM7160E	✓	✓
EPM7192S	✓	✓
EPM7192E	✓	✓
EPM7256A	(3)	✓
EPM7256AE	(3)	(3)
EPM7256S	✓	✓
EPM7256E	✓	✓
EPM7512AE	(3)	✓ (4)
EPM9320	✓	✓
EPM9320A	✓	✓
EPM9400	✓	✓
EPM9480	✓	✓
EPM9560	✓	✓
EPM9560A	✓	✓

表中の注:

- (1) これらのデバイスは、Data I/O 社の 3900 システムのバージョン 6.0、および UniSite のバージョン 6.0 のプログラムでサポートされています。
- (2) これらのデバイスは BP Microsystems 社のバージョン 3.43 のプログラムでサポートされています。
- (3) これらのデバイスに対するサポートの予定については、それぞれのベンダにお問い合わせください。
- (4) 256 ピンの BGA (ボール・グリッド・アレイ) および FineLine BGA パッケージのサポート状況については、それぞれのベンダにお問い合わせください。

アルテラのプログラミング・ハードウェアのサポート状況

下記の表3には、アルテラの各デバイスに対するプログラミング・アダプタの最新情報が示されています。正しいプログラミングを行うためには、5ページに示されている「現在のソフトウェア・バージョン」を使用することが必要です。表3にはコンフィギュレーション・デバイス、MAX 9000、MAX 7000、MAX 3000Aファミリの各デバイスに対応したプログラミング・アダプタが示されています。

デバイス名	パッケージ	アダプタ
EPC1064 (2) EPC1064V (2) EPC1441 (3)	DIP, J-lead TQFP	PLMJ1213 PLMT1064
EPC1 (3) EPC1213 (2)	DIP, J-lead	PLMJ1213
EPC2 (4)	J-lead TQFP	PLMJ1213 PLMT1064
EPM9320	J-lead (84-pin) RQFP (208-pin) PGA (280-pin)	PLMJ9320-84 PLMR9000-208 PLMG9000-280
EPM9320A	J-lead (84-pin) RQFP (208-pin)	PLMJ9320-84 PLMR9000-208NC (5)
EPM9400	J-lead (84-pin) RQFP (208-pin) RQFP (240-pin)	PLMJ9400-84 PLMR9000-208 PLMR9000-240
EPM9480	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208 PLMR9000-240
EPM9560	RQFP (208-pin) RQFP (240-pin) PGA (280-pin) RQFP (304-pin)	PLMR9000-208 PLMR9000-240 PLMG9000-280 PLMR9000-304
EPM9560A	RQFP (208-pin) RQFP (240-pin)	PLMR9000-208NC (5) PLMR9000-240NC (5)
EPM7032	J-lead (44-pin) PQFP (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMQ7000-44 PLMT7000-44
EPM7032S EPM7032AE EPM7032B	J-lead (44-pin) TQFP (44-pin)	PLMJ7000-44 PLMT7000-44
EPM7064	J-lead (44-pin) TQFP (44-pin) J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-44 PLMT7000-44 PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7064S	J-lead (44-pin) J-lead (84-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ7000-44 PLMJ7000-84 PLMT7000-44 PLMT7000-100NC (5)

デバイス名	パッケージ	アダプタ
EPM7064AE EPM7064B	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin) FineLine BGA (100-pin)	PLMJ7000-44 PLMT7000-44 PLMT7000-100NC (5) PLMF7000-100
EPM7096	J-lead (68-pin) J-lead (84-pin) PQFP (100-pin)	PLMJ7000-68 PLMJ7000-84 PLMQ7000-100
EPM7128E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7128A EPM7128AE	J-lead (84-pin) TQFP (100-pin) TQFP (144-pin) FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMJ7000-84 PLMT7000-100NC (5) PLMT7000-144NC (5) PLMF7000-100 PLMF7000-256
EPM7128B	TQFP (100-pin) TQFP (144-pin) FineLine BGA (100-pin) FineLine BGA (256-pin)	PLMT7000-100NC (5) PLMT7000-144NC (5) PLMF7000-100 PLMF7000-256
EPM7128S	J-lead (84-pin) PQFP (100-pin) TQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (5) PLMT7000-100NC (5) PLMQ7128/7160-160NC (5)
EPM7160E	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100 PLMQ7128/7160-160
EPM7160S	J-lead (84-pin) PQFP (100-pin) PQFP (160-pin)	PLMJ7000-84 PLMQ7000-100NC (5) PLMQ7128/7160-160NC (5)
EPM7192E	PGA (160-pin) PQFP (160-pin)	PLMG7192-160 PLMQ7192/7256-160
EPM7192S	PQFP (160-pin)	PLMQ7192/7256-160NC (5)
EPM7256E	PQFP (160-pin) PGA (192-pin) PQFP (208-pin) RQFP (208-pin)	PLMQ7192/7256-160 PLMG7256-192 PLMR7256-208 PLMR7256-208
EPM7256A	TQFP (100-pin) TQFP (144-pin) PQFP (208-pin) FineLine BGA (256-pin)	PLMT7000-100NC (5) PLMT7000-144NC (5) PLMR7256-208NC (5) PLMF7000-256
EPM7256S	PQFP (208-pin) RQFP (208-pin)	PLMR7256-208NC (5) PLMT7256-208NC (5)

(28 ページに続く)

アルテラのプログラミング・ハードウェアのサポート
状況 (27 ページからの続き)

注:

- (1) MAX 5000 および Classic™ デバイス用のアダプタについては、「Altera Programming Hardware」のデータシートでご確認ください。アルテラは、0.8 ミクロン・プロセスの EPM5032、EPM5064、EPM5130 用プログラミング・アダプタに対する交換プログラムを提供しております。
- (2) FLEX® 8000 用のコンフィギュレーション・デバイスです。
- (3) FLEX 10K、FLEX 8000、FLEX 6000 用のコンフィギュレーション・デバイスです。
- (4) APEX™ 20K、FLEX 10K、FLEX 6000 用のコンフィギュレーション・デバイスです。
- (5) これらのデバイスはキャリア付きで出荷されません。

デバイス名	パッケージ	アダプタ
EPM7256AE EPM7256B	TQFP (100-pin) FineLine BGA (100-pin) TQFP (144-pin) FineLine BGA (256-pin)	PLMT7000-100NC (5) PLMF7000-100 PLMT7000-144NC (5) PLMF7000-256
EPM7512AE EPM7512B	TQFP (144-pin) PQFP (208-pin) BGA (256-pin) FineLine BGA (256-pin)	PLMT7000-144NC (5) PLMR7256-208NC (5) PLMB7000-256 PLMF7000-256
EPM3032A	J-lead (44-pin) TQFP (44-pin)	PLMJ3000-44 PLMT3000-44
EPM3064A	J-lead (44-pin) TQFP (44-pin) TQFP (100-pin)	PLMJ3000-44 PLMT3000-44 PLMT3000-100NC (5)
EPM3128A	TQFP (100-pin) TQFP (144-pin)	PLMT3000-100NC (5) PLMT3000-144NC (5)
EPM3256A	TQFP (144-pin) PQFP (208-pin)	PLMT3000-144NC (5) PLMR3256-208NC (5)

アルテラへのコンタクト方法

アルテラからの情報やサービスの提供が従来よりも迅速に行えるようになっています。お問い合わせの内容やご要求されるサービスの種類に応じて下記へご連絡ください。

	情報提供元	連絡先
資料のご請求 (1)	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-939-6113 06-6307-7670
	株式会社パルテック	045-477-2009 06-6390-0817
	World-Wide web	英語 http://www.altera.com 日本語 http://www.altera.com/japan
価格・納期等について	株式会社アルティマ	045-939-6113 06-6307-7670
	株式会社パルテック	045-477-2009 06-6390-0817
技術的なご質問	日本アルテラ株式会社	03-3340-9480
	株式会社アルティマ	045-939-6113 06-6307-7670 052-202-1024 028-637-4488
	株式会社パルテック	045-477-2009 06-6390-0817
	E-mail (日本アルテラ)	japan@altera.com
	FTP Site (US)	ftp.altera.com
製品案内	World-Wide web	http://www.altera.com/japan

(1) MAX+PLUS II Getting Started Manual、Quartus Tutorial Manual はアルテラの web サイトから入手可能です。MAX+PLUS II と Quartus™ のマニュアルについては、販売代理店または日本アルテラへお問い合わせください。

製造中止品最新情報

アルテラはEPM7032Vの製造を中止することを発表しました。アルテラが推奨する代替品が表1に示されています。これらの製造中止予定品の最終受注日は1999年12月23日、最終出荷日は2000年6月30日となっています。詳細については、関係資料、PDN 9907をご覧ください。

の供給を引き続きサポートする予定です。

詳細についてはロチェスタ・エレクトロニクス社のwebサイト、<http://www.rocelec.com> をご覧になるか、同社の日本代理店である小松セミコン(株)(電話：03-3573-6828)へお問い合わせください。

アルテラは製造中止品に関する情報が記載された製造中止通知書 (PDN: Product Discontinuance Notices) およびアルテラ連絡通知書 (ADV: Altera Distributes Advisories) を発行しています。特定デバイスのPDNまたはADVの入手を希望される場合は、日本アルテラまたは販売代理店へご連絡ください。なお、一部のPDNとADV、および全製造中止品のリストがアルテラのwebサイト、<http://www.altera.com>でも提供されています。なお、各半導体メーカーの製造中止品を専門に供給している米国のロチェスタ・エレクトロニクス社は、多数のアルテラの製造中止品

表1 EPM7032V に対する推奨代替デバイス

製造中止予定品のオーダ・コード	推奨代替デバイス
EPM7032VLC44-20	EPM7032AELC44-10
EPM7032VLC44-15	EPM7032AELC44-10
EPM7032VLC44-12	EPM7032AELC44-10
EPM7032VTC44-20	EPM7032AETC44-10
EPM7032VTC44-15	EPM7032AETC44-10
EPM7032VTC44-12	EPM7032AETC44-10
EPM7032VT144-20	EPM7032AETI44-7

アルテラ・デバイス・セレクション・ガイド

このセレクション・ガイドはアルテラのAPEX™ 20K、FLEX® 10K、FLEX 8000、FLEX 6000、MAX® 9000、MAX 7000、MAX 3000A、コンフィギュレーション・デバイス・ファミリの各製品の概要をまとめたものです。他のアルテラ製品に関する情報は、「コンポーネント・セレクト・ガイド」(日

本語版)に掲載されています。最新の情報については、アルテラのwebサイト、<http://www.altera.com> でご確認ください。なお、ここにリストされた製品の一部はまだ供給されておりません。各デバイスの現在の供給状況については、販売代理店にお問い合わせください。

APEX 20K デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション ²	I/Oピン数 ²	電源電圧	ロジック・エレメント数	RAMビット数	マクロセル数
EP20K60E	60,000	144-Pin TQFP, 196-Pin BGA ¹ , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ¹ , 356-Pin BGA	92, 143, 151, 183, 204, 204	1.8 V	2,560	32,768	256
EP20K100	100,000	144-Pin TQFP, 196-Pin BGA ¹ , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ¹ , 356-Pin BGA	101, 149, 159, 189, 252, 252	2.5 V	4,160	53,248	416
EP20K100E	100,000	144-Pin TQFP, 196-Pin BGA ¹ , 208-Pin PQFP, 240-Pin PQFP, 324-Pin BGA ¹ , 356-Pin BGA	92, 143, 151, 183, 246, 246	1.8 V	4,160	53,248	416
EP20K160E	160,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ¹	87, 143, 175, 273, 316	1.8 V	6,400	81,920	640
EP20K200	200,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ¹	144, 174, 279, 382	2.5 V	8,320	106,496	832
EP20K200E	200,000	208-Pin PQFP, 240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ¹ , 652-Pin BGA, 672-Pin BGA ¹	136, 168, 273, 376, 376, 376	1.8 V	8,320	106,496	832
EP20K300E	300,000	208-Pin RQFP, 240-Pin RQFP, 652-Pin BGA, 672-Pin BGA ¹	120, 152, 408, 408	1.8 V	11,520	147,456	1,152
EP20K400	400,000	652-Pin BGA, 655-Pin PGA, 672-Pin BGA ¹	502, 502, 502	2.5 V	16,640	212,992	1,664
EP20K400E	400,000	652-Pin BGA, 672-Pin BGA ¹	488, 488	1.8 V	16,640	212,992	1,664
EP20K600E	600,000	652-Pin BGA, 672-Pin BGA ¹ , 1,020-Pin BGA ¹	483, 508, 624	1.8 V	24,320	311,296	2,432
EP20K1000E	1,000,000	652-Pin BGA, 672-Pin BGA ¹ , 984-Pin PGA, 1,020-Pin BGA ¹	498, 508, 716, 716	1.8 V	38,400	327,680	2,560
EP20K1500E	1,500,000	652-Pin BGA, 984-Pin BGA ¹ , 1,020-Pin BGA ¹	483, 858, 858	1.8 V	54,720	466,944	3,648

注：

- (1) このパッケージは実装スペースを削減するFineLine BGA™パッケージです。
- (2) これらのデータはいずれも暫定仕様です。最新の情報については、日本アルテラへお問い合わせください。

FLEX 10K デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	ロジック・エレメント数	RAMビット数
EPF10K10	10,000	84-Pin PLCC, 144-Pin TQFP, 208-Pin PQFP	59, 102, 134	5.0 V	-3, -4	576	6,144
EPF10K10A	10,000	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	66, 102, 134, 150	3.3 V	-1, -2, -3	576	6,144
EPF10K20	20,000	144-Pin TQFP, 208-Pin RQFP, 240-Pin RQFP	102, 147, 189	5.0 V	-3, -4	1,152	12,288
EPF10K30	30,000	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	147, 189, 246	5.0 V	-3, -4	1,728	12,288
EPF10K30A	30,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 356-Pin BGA, 484-Pin BGA ¹	102, 147, 189, 191, 246, 246	3.3 V	-1, -2, -3	1,728	12,288
EPF10K30E	30,000	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹ , 484-Pin BGA ¹	102, 147, 176, 220	2.5 V	-1, -2, -3	1,728	24,576
EPF10K40	40,000	208-Pin RQFP, 240-Pin RQFP	147, 189	5.0 V	-3, -4	2,304	16,384
EPF10K50	50,000	240-Pin RQFP, 356-Pin BGA, 403-Pin PGA	189, 274, 310	5.0 V	-3, -4	2,880	20,480
EPF10K50V	50,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ¹	189, 274, 291	3.3 V	-1, -2, -3, -4	2,880	20,480
EPF10K50E	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 356-Pin BGA, 484-Pin BGA ¹	102, 147, 189, 191, 220, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K50S	50,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 356-Pin BGA, 484-Pin BGA ¹	102, 147, 189, 191, 220, 254	2.5 V	-1, -2, -3	2,880	40,960
EPF10K70	70,000	240-Pin RQFP, 503-Pin PGA	189, 358	5.0 V	-2, -3, -4	3,744	18,432
EPF10K100	100,000	503-Pin PGA	406	5.0 V	-3, -4	4,992	24,576
EPF10K100A	100,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ¹ , 600-Pin BGA	189, 274, 369, 406	3.3 V	-1, -2, -3	4,992	24,576
EPF10K100B	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹	147, 189, 191	2.5 V	-1, -2, -3	4,992	24,576
EPF10K100E	100,000	208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA ¹ , 356-Pin BGA, 484-Pin BGA ¹	147, 189, 191, 274, 338	2.5 V	-1, -2, -3	4,992	49,152
EPF10K130V	130,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-2, -3, -4	6,656	32,768
EPF10K130E	130,000	240-Pin PQFP, 356-Pin BGA, 484-Pin BGA ¹ , 600-Pin BGA, 672-Pin BGA ¹	186, 274, 369, 424, 413	2.5 V	-1, -2, -3	6,656	65,536
EPF10K200E	200,000	599-Pin PGA, 600-Pin BGA, 672-Pin BGA ¹	470, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K200S	200,000	240-Pin RQFP, 356-Pin BGA, 484-Pin BGA ¹ , 600-Pin BGA, 672-Pin BGA ¹	182, 274, 369, 470, 470	2.5 V	-1, -2, -3	9,984	98,304
EPF10K250A	250,000	599-Pin PGA, 600-Pin BGA	470, 470	3.3 V	-1, -2, -3	12,160	40,960

FLEX 6000 デバイス							
デバイス名	ゲート数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード	フリップフロップ数	ロジック・エレメント数
EPF6010A	10,000	100-Pin TQFP, 144-Pin TQFP	71, 102	3.3 V	-1, -2, -3	880	880
EPF6016	16,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA	117, 171, 199, 204	5.0 V	-2, -3	1,320	1,320
EPF6016A	16,000	100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	81, 81, 117, 171, 171	3.3 V	-1, -2, -3	1,320	1,320
EPF6024A	24,000	144-Pin TQFP, 208-Pin PQFP, 240-Pin PQFP, 256-Pin BGA, 256-Pin BGA ¹	117, 171, 199, 218, 218	3.3 V	-1, -2, -3	1,960	1,960

APEX、FLEX デバイス用コンフィギュレーション・デバイス			
デバイス名	ピン数 / パッケージ・オプション	電源電圧	説明
EPC1064	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	5.0 V	FLEX 8000用64Kビットシリアル・コンフィギュレーション・デバイス
EPC1064V	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3 V	FLEX 8000用64Kビットシリアル・コンフィギュレーション・デバイス
EPC1213	8-Pin PDIP, 20-Pin PLCC	5.0 V	FLEX 8000用213Kビットシリアル・コンフィギュレーション・デバイス
EPC1441 ²	8-Pin PDIP, 20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	すべてのFLEXデバイスに対応した441Kビットシリアル・コンフィギュレーション・デバイス
EPC1 ²	8-Pin PDIP, 20-Pin PLCC	3.3/5.0 V	すべてのAPEX、FLEXデバイスに対応した1Mビットシリアル・コンフィギュレーション・デバイス
EPC2 ²	20-Pin PLCC, 32-Pin TQFP	3.3/5.0 V	すべてのAPEX、FLEX 10K、FLEX 10KE、FLEX 6000デバイスに対応した2Mビットシリアル・コンフィギュレーション・デバイス

注：

- (1) このパッケージは実装スペースを削減するFineLine BGAパッケージです。
- (2) これらのデバイスは、3.3Vまたは5.0Vのいずれかで動作するようにプログラムできます。

MAX 9000 デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM9320A	320	84-Pin PLCC, 208-Pin RQFP, 356-Pin BGA	60, 132, 168	5.0 V	-10
EPM9320	320	84-Pin PLCC, 208-Pin RQFP, 280-Pin PGA, 356-Pin BGA	60, 132, 168	5.0 V	-15, -20
EPM9400	400	84-Pin PLCC, 208-Pin RQFP, 240-Pin RQFP	59, 139, 159	5.0 V	-15, -20
EPM9480	480	208-Pin RQFP, 240-Pin RQFP	146, 175	5.0 V	-15, -20
EPM9560A	560	208-Pin RQFP, 240-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-10
EPM9560	560	208-Pin RQFP, 240-Pin RQFP, 280-Pin PGA, 304-Pin RQFP, 356-Pin BGA	153, 191, 216	5.0 V	-15, -20

MAX 7000 デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM7032S	32	44-Pin PLCC/TQFP	36	5.0 V	-6, -7, -10
EPM7032AE	32	44-Pin PLCC/TQFP	36	3.3 V	-4, -7, -10
EPM7032B	32	44-Pin PLCC/TQFP, 48-Pin TQFP	36, 36	2.5 V	-3, -5, -7
EPM7064S	64	44-Pin PLCC/TQFP, 84-Pin PLCC, 100-Pin TQFP	36, 52, 68, 68	5.0 V	-6, -7, -10, -12, -15
EPM7064AE	64	44-Pin PLCC/TQFP, 49-Pin 0.8-mm BGA, 100-Pin TQFP, 100-Pin BGA ¹	38, 40, 40, 68	3.3 V	-4, -7, -10
EPM7064B	64	44-Pin PLCC/TQFP, 48-pin TQFP, 49-Pin 0.8-mm BGA, 100-Pin TQFP, 100-Pin BGA ¹	38, 40, 40, 68, 68	2.5 V	-3, -5, -7
EPM7128S	128	84-Pin PLCC, 100-Pin PQFP/TQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-6, -7, -10, -15
EPM7128E	128	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 100	5.0 V	-7, -10, -12, -15, -20
EPM7128A	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 256-Pin BGA ¹	68, 84, 84, 100, 100	3.3 V	-6, -7, -10, -12
EPM7128AE	128	84-Pin PLCC, 100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 169-Pin 0.8-mm BGA, 256-Pin BGA ¹	68, 84, 84, 100, 100, 100	3.3 V	-5, -7, -10
EPM7128B	128	44-Pin PLCC/TQFP, 48-pin TQFP, 100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 169-Pin 0.8-mm BGA, 256-Pin BGA ¹ , 256-Pin BGA	36, 40, 84, 84, 100, 100, 100, 100	2.5 V	-4, -7, -10
EPM7160S	160	84-Pin PLCC, 100-Pin TQFP, 160-Pin PQFP	64, 84, 104	5.0 V	-7, -10, -15
EPM7160E	160	84-Pin PLCC, 100-Pin PQFP, 160-Pin PQFP	68, 84, 104	5.0 V	-10, -12, -15, -20
EPM7192S	192	160-Pin PQFP	124	5.0 V	-7, -10, -15
EPM7192E	192	160-Pin PQFP/PGA	124	5.0 V	-12, -15, -20
EPM7256S	256	208-Pin RQFP/PQFP	164	5.0 V	-7, -10, -15
EPM7256E	256	160-Pin PQFP, 192-Pin PGA, 208-Pin RQFP	132, 164	5.0 V	-12, -15, -20
EPM7256A	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	84, 120, 164, 164	3.3 V	-7, -10, -12
EPM7256AE	256	100-Pin TQFP, 100-Pin BGA ¹ , 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹	84, 84, 120, 164, 164	3.3 V	-5, -7, -10
EPM7256B	256	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹ , 256-Pin BGA	84, 120, 164, 164, 164	2.5 V	-5, -7, -10
EPM7512AE	512	144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹ , 256-Pin BGA	120, 176, 212, 212	3.3 V	-7, -10, -12
EPM7512B	512	100-Pin TQFP, 144-Pin TQFP, 208-Pin PQFP, 256-Pin BGA ¹ , 256-Pin BGA	84, 120, 212, 212, 212	2.5 V	-6, -7, -10

注：

(1) 実装スペースを削減するFineLine BGAパッケージです。

MAX 3000A デバイス					
デバイス名	マクロセル数	ピン数 / パッケージ・オプション	I/Oピン数	電源電圧	スピード・グレード
EPM3032A	32	44-pin PLCC, 44-pin TQFP	34, 34	3.3 V	-4, -7, -10
EPM3064A	64	44-pin PLCC, 44-pin TQFP, 100-pin TQFP	34, 34, 66	3.3 V	-4, -7, -10
EPM3128A	128	100-pin TQFP, 144-pin PQFP	80, 96	3.3 V	-5, -7, -10
EPM3256A	256	144-pin TQFP, 208-pin PQFP	116, 158	3.3 V	-6, -7, -10

The IP MegaStore.



あらゆる設計ニーズにお応えできるIPのプロショップ

インターネット上のIP MegaStore™ (メガストア)のサイトにお越しください。現在入手可能なIP (Intellectual Property) メガファンクションを豊富にとり揃えたトータル・ショップです。

66-MHzのPCIソリューションやFIRフィルタ、マイクロプロセッサそしてギガ・ビット・イーサネット機能など120を超えるコアの中からお選びください。それぞれのメガファンクションは厳しいハードウェアテストの検証もすませておりますので、すぐにご使用いただけます。テストベンチと開発用ボードもご用意しています。

パラメータ化されたパーフェクト・フィットのコア

アルテラのMegaWizard™マネージャによって、個々の設計条件に合わせたコアのカスタマイズが可能になります。パラメータ化することによって、従来のように固定されたコアで我慢する必要はなくなります。ボタンをクリックするだけで、パス幅を設定したり、機能の追加や削除ができます。アルテラのMegaWizardマネージャは業界のすべての標準設計ツールとシームレスに連動しますので、ご使用中の設計フローにフィットします。

©1999 Altera Corporation, Altera, AMPP, IP MegaStore, MegaCore, MegaWizard, OpenCore, The Programmable Solutions Companyは米国Altera Corporationの米国およびその他の国における登録商標、商標またはサービスマークです。その他本誌に記載されている会社名、製品名は各社の登録商標または商標です。製品の仕様、パッケージ内容は予告なく変更されることがありますのでご了承ください。著作権所有。不許複製。

ALTERA® 日本アルテラ株式会社

〒163-0436 東京都新宿区西新宿 2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan>
E-mail: japan@altera.com

本社 Altera Corporation

101 Innovation Drive, San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

NEWS & VIEWS はユーザの皆様へアルテラの最新情報をお届けするため、年4回発行されております。ここに記載されている内容に起因した第三者の損害に対して当社は一切の責務を負うものではなく、また記載されている回路などの特許、特許使用権を許諾するものではありません。

IP MegaStoreへようこそ

インターネット上のIP MegaStoreサイトにおいていただき、コアを自由に試してみてください。アルテラのOpenCore™機能によってライセンスの購入前にメガファンクションをカスタマイズ、コンパイル、そしてシミュレーションし、サイズや性能を無償で評価する事ができます。さらに、サイトでアンケートにご記入頂ければ、Tシャツと資料を進呈いたします。IP MegaStoreサイト、それはあらゆる設計ニーズにお応えするトータル・ショップです。

ALTERA®

The Programmable Solutions Company™

<http://www.altera.com/ip>

日本アルテラ株式会社