

4단자 패키지를 채용한 SiC MOSFET

로옴은 SiC MOSFET의 새로운 시리즈로 SCT3xxx xR 시리즈를 개발하여, 제공하고 있다. SCT3xxx xR 시리즈는 최신 트렌치 게이트 구조를 채용하여, ON 저항을 한층 더 저감하였다. 또한, 게이트 드라이버용 소스 단자를 별도로 분리한 4단자 패키지를 채용함으로써 스위칭 특성을 개선하여, 스위칭 손실을 약 35% 삭감할 수 있다.

로옴 주식회사의 어플리케이션 엔지니어 인터뷰를 통해, SiC MOSFET에 4단자 패키지를 채용한 이유와 그 효과에 대해 알아보았다.

인터뷰/ROHM 테크 엔지니어

로옴은 SiC MOSFET의 새로운 시리즈로 SCT3xxx xR 시리즈를 개발하여, 제공하고 있다. SCT3xxx xR 시리즈는 최신 트렌치 게이트 구조를 채용하여, ON 저항을 한층 더 저감하였다. 또한, 게이트 드라이버용 소스 단자를 별도로 분리한 4단자 패키지를 채용함으로써 스위칭 특성을 개선하여, 스위칭 손실을 약 35% 삭감할 수 있다.

로옴 주식회사의 어플리케이션 엔지니어 인터뷰를 통해, SiC MOSFET에 4단자 패키지를 채용한 이유와 그 효과에 대해 알아보았다.

❓ 먼저, 4단자 패키지란 어떤 것이며, 채용하게 된 배경과 목적에 대해 설명해 주십시오.

먼저, 4단자 패키지는 SiC MOSFET의 스위칭 손실 개선을 목적으로 채용하였습니다. SiC MOSFET를 비롯하여, 파워 스위칭용 MOSFET나 IGBT는 다양한 전원 어플리케이션 및 전력 라인의 스위칭 소자로서 사용되고 있습니다. 이러한 스위칭 소자에서 발생하는 스위칭 손실 및 도통 손실은 가능한 작게 억제해야 하며, 어플리케이션에 따라 손실 저감을 위한 방법은 다양합니다. 그 방법 중 하나로, MOSFET의 소스, 드레인, 게이트의 3단자와 드라이버 소스 단자를 별도로 구성한 4단자 패키지가 최근 새롭게 사용되고 있습니다. 로옴은 최

신 트렌치 게이트 구조의 채용으로 저 ON 저항을 한층 더 실현하여 도통 손실을 저감한 SCT3xxx xR 시리즈에 4단자 패키지를 채용함으로써, SiC가 지닌 본래의 고속 스위칭 성능을 최대화하여, 스위칭 손실 삭감을 도모하였습니다.

❓ 드라이버 소스 단자란 어떤 것입니까?

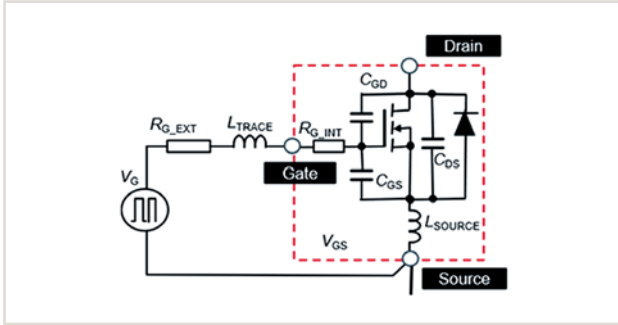
드라이버 소스 단자는 Kelvin 접속의 원리를 사용한 소스 단자입니다. Kelvin 접속은 저항 측정에서의 4단자 또는 4선식 측정 방식으로, 전류 경로에 전압 측정의 2가지 선을 배치함으로써, 극소 저항 측정 또는 대전류에서의 측정 시 무시할 수 없게 되는 케이블의 저항이나 접촉 저항의 영향을 최대한 배제하는 방법으로 잘 알려진 방법입니다. 이 4단자 패키지는 소스에만 해당되지만, 게이트 구동 회로의 리턴에 접속하기 위한 소스 전압 단자를, 대전류가 흐르는 파워 소스 단자와는 분리함으로써, 게이트 구동 회로에 대한 I_D 의 영향을 배제합니다.

❓ 기본적인 개념은 Kelvin 접속이군요.

그렇습니다. 실제의 패키지에 대한 설명에 앞서, 어떻게 드라이버 소스 단자가 스위칭 손실 삭감에 기여하는지에 대해 설명하겠습니다.

MOSFET는 일반적인 전압 구동으로, 게이트 단자의 전압

그림 1. MOSFET의 게이트 구동 회로 예



을 제어함으로써 MOSFET를 ON/OFF합니다. 그림 1은 기존 3단자 패키지(TO-247N) MOSFET의 일반적인 게이트 구동 회로 예입니다. 적색 점선은 MOSFET의 패키지 내부와 외부의 경계를 의미합니다.

통상적으로 구동 전원 V_G 와 MOSFET의 게이트 단자 사이에는 스위칭 속도를 제어하기 위한 외장 게이트 저항 R_{G_EXT} 가 삽입되어 있으며, 프린트 기관의 배선 인덕턴스 L_{TRACE} 도 포함되어 있습니다. 또한, 소스 단자와 MOSFET 칩 사이에는 패키지 인덕턴스 L_{SOURCE} 가 포함되어 있습니다.

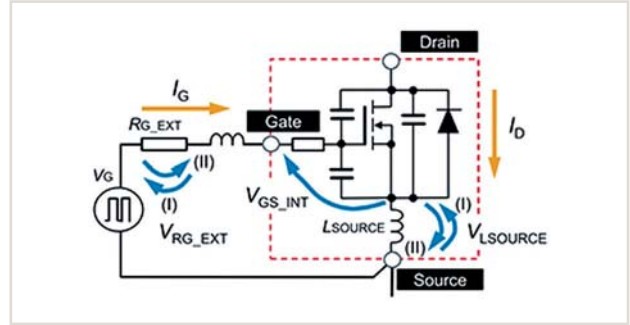
기생 성분 중, 게이트 단자의 패키지 인덕턴스는 L_{TRACE} 에 포함되어 있으며, 드레인 단자의 패키지 인덕턴스 L_{DRAIN} 은 게이트 구동 회로의 시스템에는 포함되어 있지 않으므로, 오른쪽 그림에서는 생략되어 있습니다.

❗ MOSFET 구동에서의 기본적인 게이트 저항 및 기생 성분에 대한 내용이군요.

그렇습니다. 단, 이것이 일반적인 IGBT의 스위칭 속도라면 큰 영향을 미치지 않겠지만, SiC MOSFET의 특징 중 하나인 고속 스위칭이라는 조건에 있어서는, 스위칭에 따른 드레인 - 소스 전류 I_D 의 변화와 L_{SOURCE} 에 의한 기전압 $V_{LSOURCE}$ 가 문제가 됩니다.

그림 2를 사용하여 조금 더 구체적으로 설명하겠습니다. 그림 2는 스위칭 동작 시 회로 내부의 전압이 어떻게 변하는지를 나타낸 것입니다. V_G 가 인가되어 MOSFET가 turn-on 하면 I_D 는 급격하게 증가하여, 그림과 같이 L_{SOURCE} 에 기전압 $V_{LSOURCE}$ (I)가 발생합니다. 게이트 단자에는 전류 I_G 가 유입되므로, R_{G_EXT} 에서 전압 강하 V_{RG_EXT} (I)가 발생합니다.

그림 2. 스위칭 동작 시의 전압



게이트 라인인 L_{TRACE} 에도 동일한 원리로 기전압이 발생하지만, 매우 작은 수치로 영향이 미미하므로 여기에서는 생략하겠습니다. 이러한 전압은 turn-on 시의 구동 회로망에 포함되어 있으므로, 실제로 내부의 칩에 인가되어 MOSFET의 turn-on을 위한 전압 V_{GS_INT} 가 감소하게 됩니다. V_{GS_INT} 의 감소에 대해서는 하기 식 (1)로 나타낼 수 있습니다.

$$V_{GS_INT} = V_G - I_G * R_{G_EXT} - L_{SOURCE} * \frac{dI_D}{dt} \quad (1)$$

❗ 실제로 내부의 칩에 인가되는 V_{GS_INT} 는 게이트 인가 전압 V_G 에서 외부 게이트 저항으로 인한 전압 강하와 소스 단자의 기생 인덕턴스로 인한 기전압을 뺀 값이 되는 것이네요.

그렇습니다. 이와 같이 V_{GS_INT} 가 감소하면 MOSFET가 turn-on하는 속도, 즉 스위칭이 느려집니다.

Turn-off 시에도 마찬가지로, 식 (1)을 적용할 수 있습니다. 단, I_G 와 dI_D/dt 가 마이너스 (-)가 되므로, R_{G_EXT} 와 L_{SOURCE} 에는 (II)로 표시한 전압 상승이 발생하여, 역으로 V_{GS_INT} 는 증가합니다. 이렇게 증가하게 되면 turn-off 속도가 저하됩니다.

❗ R_{G_EXT} 와 L_{SOURCE} 로 인해 스위칭 속도가 저하된다고 하셨는데, R_{G_EXT} 는 외장 게이트 저항이니까 저항치를 작게 하면 영향을 줄일 수 있지 않을까요?

말씀하신 대로, R_{G_EXT} 를 작게 하면 스위칭 속도는 빨라집니다. R_{G_EXT} 는 원래 스위칭 속도 조정용이므로, 여기에서는 R_{G_EXT} 가 필요 이상으로 커지면 불필요하게 스위칭 속도가 저하되어 스위칭 손실이 증가한다고 인식하여 주십시오.

반면에, L_{SOURCE} 는 패키지 내부의 기생 성분이므로 외부로부터의 조정은 불가능합니다. 이러한 점이 매우 중요한 포인트

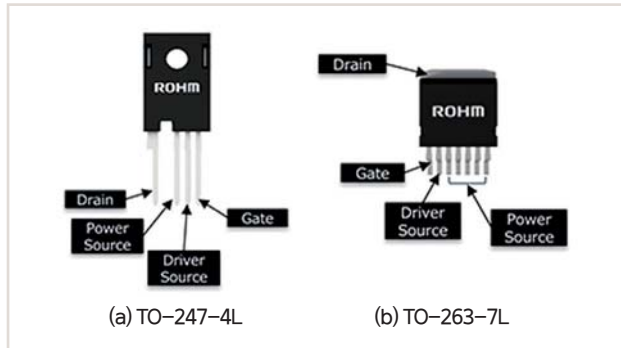
트입니다. 일반적으로 파워 스위칭 디바이스의 I_{SOURCE} 는 수 nH부터 십수 nH이며, di_D/dt 가 수 A/ns에 달하면 10V 이상의 기전압 $V_{LSOURCE}$ 가 발생하는 경우도 있어, 스위칭 동작에 큰 영향을 미치게 됩니다.

수식이 나와서 어렵게 느껴졌는데, 이제 조금 이해되었습니다.

이제 짐작이 가시겠지만, 이러한 $V_{LSOURCE}$ 의 영향을 배제하기 위해서는 패키지의 구조를 변경하여 대처할 필요가 있습니다. 이러한 이유에서, 파워 소스와 드라이버용 소스를 분리한 4단자 패키지를 채용하게 된 것입니다.

이제 본격적으로 4단자 패키지에 대해 설명하겠습니다. 우선 오른쪽 4단자 패키지의 예를 참조하여 주십시오. 현재 로움에서 제품화한 것은 (a)의 TO-247-4L과 (b)의 TO-263-7L입니다.

그림 3. 드라이버 소스 단자가 있는 패키지

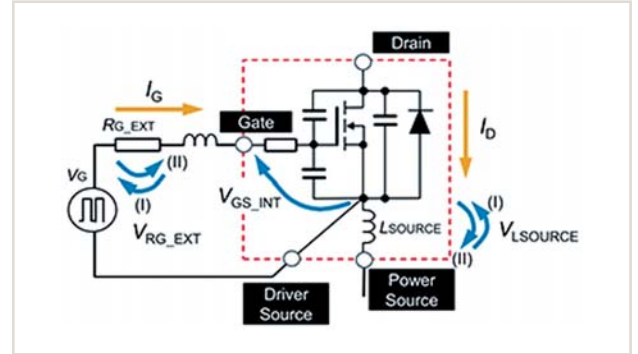


그럼, 드라이버 소스 단자로 어떻게 스위칭 손실을 줄일 수 있는지에 대해 알려주십시오. 먼저 드라이버 소스 단자를 이용한 회로와 동작부터 설명 부탁드립니다.

그림 4는 드라이버 소스 단자가 있는 MOSFET의 구동 회로에 예입니다. 기존의 구동 회로인 그림 2와의 차이점은 구동 회로의 리턴 선이 드라이버 소스 단자에 접속되어 있다는 점입니다.

회로도에서도 알 수 있듯이, V_G 를 포함하는 구동 회로에 L_{SOURCE} 가 포함되어 있지 않아, 스위칭 동작 시 I_D 의 변화로 인한 $V_{LSOURCE}$ 의 영향을 전혀 받지 않습니다.

그림 4. 드라이버 소스 단자가 있는 디바이스의 구동 회로



내부 칩에 인가되는 전압 V_{GS_INT} 는 식 (2)로 나타낼 수 있습니다. 산출 식에는 당연히 3단자 패키지의 식 (1)에 존재하는 L_{SOURCE} 에 관련된 항목이 없습니다. 따라서, 4단자 MOSFET의 V_{GS_INT} 는 R_{G_EXT} 와 I_G 에 의한 전압 강하 V_{RG_EXT} 의 영향을 받으며, R_{G_EXT} 는 외장 저항이므로 조정도 가능합니다. 비교를 위해 식 (1)도 함께 게재하였습니다.

$$V_{GS_INT} = V_G - I_G * R_{G_EXT} \quad (2) \dots 4\text{단자 패키지}$$

$$V_{GS_INT} = V_G - I_G * R_{G_EXT} - L_{SOURCE} * \frac{dI_D}{dt} \quad (1) \dots 3\text{단자 패키지}$$

비교 데이터 등을 예로 설명해 주십시오.

더블 펄스 시험의 비교 데이터가 있습니다. 기존품과 드라이버 소스 단자를 구비한 SiC MOSFET의 스위칭 동작을 비교하기 위해, 그림 5의 회로에서 Low Side (LS) MOSFET를 스위칭시키는 더블 펄스 시험을 실시한 결과입니다. High Side (HS)는 R_{G_EXT} 를 소스 단자 또는 드라이버 소스 단자에

그림 5. 더블 펄스 시험 회로

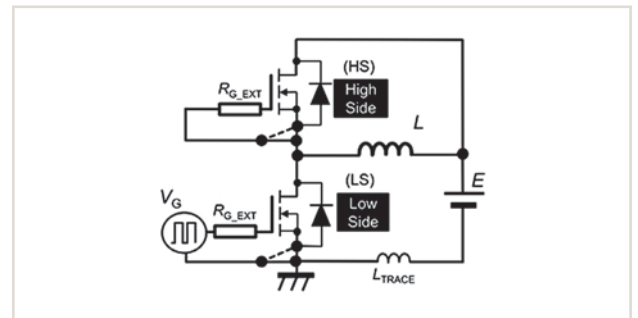


그림 6. Turn-on 스위칭 파형, V_{DS} , I_D 파형

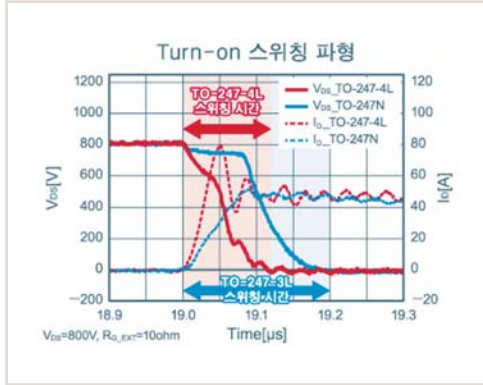
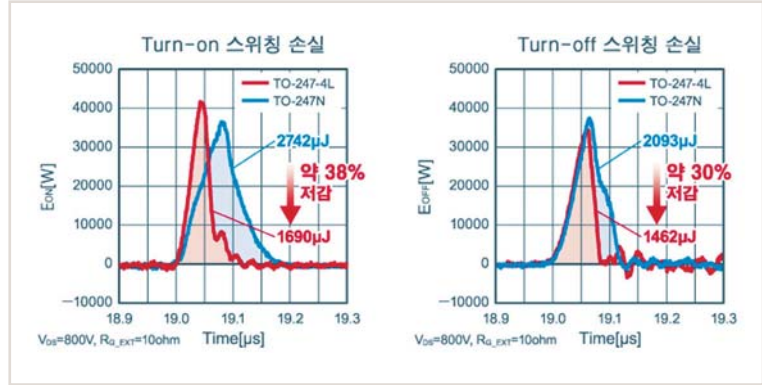


그림 7. E_{on} , E_{off} 비교



접속하여, 보디 다이오드를 통한 환류 동작만으로 사용한 회로입니다.

그림 6은 turn-on 시의 드레인-소스 전압 V_{DS} 와 드레인 전류 I_D 의 파형입니다. 구동 조건은 $R_{G_EXT} = 10\Omega$, $V_{DS} = 800V$ 이며, I_D 가 약 50A일 때의 파형입니다. 적색 TO-247-4L이 4단자 패키지, 청색 TO-247N이 기존의 3단자 패키지이며, 내부의 SiC MOSFET 칩은 동일합니다.

먼저 점선의 I_D 파형을 비교하면, 청색의 3단자 패키지 제품의 파형에 비해 적색의 4단자 패키지의 I_D 는 turn-on이 급격하여, 50A에 도달할 때까지의 시간도 짧습니다.

V_{DS} 는 turn-off 시간 자체에는 큰 차이가 없지만, 게이트 신호가 입력된 후의 스위칭이 확실히 빨라졌습니다.

앞서 설명하신 두 패키지의 차이점으로는 4단자 패키지의 경우 드라이버 소스 단자를 구비함으로써 L_{SOURCE} 의 영향이 배제된 것이라고 하셨습니다. 그러면, 이러한 스위칭 특성의 차이는 L_{SOURCE} 의 유무로 인한 것이라고 인식해도 될까요?

기본적으로는 그렇습니다. 물론 세밀히 고찰해야 할 부분은 있지만, 게이트 구동 회로에서 L_{SOURCE} 의 영향을 배제하면 그림 4에서 설명한 원리에 따라 스위칭이 빨라집니다. Turn-off 역시 turn-on보다 현저하지는 않지만 빨라집니다.

그런 이유에서 스위칭 손실이 대폭 개선되는 거군요.

하기는 turn-on, turn-off에 관한 스위칭 손실 비교 데이터입니다.

Turn-on의 경우 2,742 μ J이었던 스위칭 손실이 1,690 μ J로 줄어, 손실은 약 38% 저감되었습니다. Turn-off 역시 2,039 μ J에서 1,462 μ J로 줄어, 손실은 약 30% 저감되었습니다.

그럼, 최종적으로 정리를 부탁드립니다.

SiC MOSFET는 매우 낮은 ON 저항과 고속 스위칭이라는 특징을 지니고 있으며, 회로의 소형화, 동일 사이즈로 고전력화, 그리고 손실 저감에 따른 고효율화 및 발열 저감이 가능하다는 메리트가 있습니다.

그러나, 대전력 스위칭 회로에서의 파워 디바이스 실장 시, 기생 인덕턴스 등 기생 성분의 영향을 필수적으로 고려해야 합니다. 이러한 기생 성분의 영향은 스위칭 전류가 커지고 고속화되면 더욱 커지게 됩니다. 이는 실장 기관 레벨에 한정된 것이 아니며, 디바이스 패키지 레벨에서도 동일한 과제입니다. 최신 세대 SiC MOSFET에 4단자 패키지를 채용한 것은 이러한 배경 때문이며, SiC 파워 디바이스를 사용한 어플리케이션에서의 한차원 높은 저손실 실현을 목적으로 한 것입니다.

한가지 주의해야 할 것은 4단자 패키지 제품을 효과적으로 사용하기 위한 검토 사항입니다. 여기에서는 패키지 인덕턴스인 L_{SOURCE} 의 영향을 배제함으로써 스위칭 속도가 향상되고, 스위칭 손실을 대폭 개선할 수 있다고 설명했습니다. 그러나, 안전성 및 회로 동작 전체를 고려하는 경우, 스위칭의 고속화에 따라 발생하는 검토 사항이 몇 가지 있습니다. 트레이드 오프 관계를 고려하여 회로에서 우선시해야 하는 사항을 실현할 수 있도록 최적화해야 합니다. **SN**