

버퍼 앰프에서 고속 시리얼 전송선로까지

6 비디오 응용회로의 배선 실례 모음

三田 博久

TV 방식의 주역이 표준 TV에서 하이비전, 디지털 TV로 발전함에 따라 비디오 신호를 다루는 프린트 기판의 패턴 설계는 고속화·고정밀도화への 대응이 더욱 필요해졌다. 여기서는 비디오 회로 패턴 설계 시의 기본적인 주의사항에 대해 알아보고 기판이 완성된 다음에 성능이 나오지 않는 상황, 노이즈 등에 대해 고민하지 않도록 하기 위한 일반적인 노하우를 소개한다.

MHz)회로인 경우, 회로도를 그릴 때부터 신호의 흐름이나 부품의 위치 등을 표현해두는 것이 중요하다. 예를 들어 신호는 회로도의 좌측에서 우측으로 흐르도록 그리거나 바이패스 콘덴서를 단자 바로 옆에 그리기도 한다. 선배들의 회로도에는 대체로 이와 같이 그려져 있을 것이다.

대역이 수십MHz인 비디오 앰프의 패턴닝

아날로그 회로, 특히 비디오 신호와 같은 광대역(0~수십

1. 회로의 개요

전류귀환형 비디오용 OP 앰프 HA-5020(인터실)을 사용한 비디오 앰프 회로를 그림 1에 나타낸다. 예전에는 전압귀환형을 사용했지만, 게인을 크게 하면 대역이 내려가 버린다는 결점이 있었다. 전류귀환형에서는 원리적으로 귀환저항값만으로 대역이 결정되기 때문에 게인의 영향을 받지 않고 광대역을 얻을 수 있다. 그림 1의 왼쪽에서 입력한 비디오 신호를 IC₂₃(HA-5020)으로 구성된 앰프 회로에서 2배하여 오른쪽으로 출력하고 있다.

2. 배선 요령

(1) 배선의 영향을 억제하기 위해 비디오 신호를 최단으로 연결한다

그림 2에 패턴을 나타낸다. 주파수가 비디오 대역으로 되면 기판설계의 상태가 회로 특성에 직접 영향을 미친다. 항상 최단 거리로 접속해야 한다는 것을 유의하면서 회로도의 흐름에 따라 패턴을 끌어간다. 그림 2와 그림 1을 비교해 보면, 신호가 흐르는 방식이나 부품의 배치가 회로도와 같이 되어 있다는 것을 알

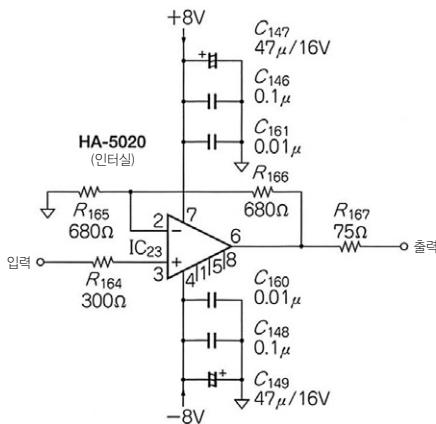


그림 1. 대역이 수십MHz인 비디오 앰프 회로

수 있다. 부품은 가급적 칩 부품을 사용하기를 권장한다. 리드 부품을 사용하면 리드의 저항성분이나 인덕턴스 성분이 회로 특성에 영향을 준다.

(2) 전원과 그라운드 사이에는 바이패스 콘덴서를 넣는다

IC에 공급하는 전원과 그라운드 사이에는 바이패스 콘덴서를 넣는다. 그림 1, 그림 2에서는 47 μ F의 전해 콘덴서와 0.1 μ F 및 0.01 μ F의 세라믹 콘덴서를 병렬로 넣고 있다. IC의 전원 핀 바로 옆에 배치하여 굵고 짧은 패턴으로 접속한다. 그림 2에서는 부품 실장 스페이스의 제약에 의해 C₁₄₆, C₁₄₇, C₁₄₈, C₁₄₉, C₁₆₁을 기판의 반대쪽 면에 실장하고 있다.

1) 바이패스 콘덴서는 전원공급원과 IC 사이에 넣는다

바이패스 콘덴서는 그림 3(a)와 같이 전원공급원과 IC 사이에 넣는다. 가끔 그림 3(b)와 같이 IC의 바깥쪽에 넣는 경우를 볼 수 있는데, 그러면 바이패스 콘덴서의 역할을 해내지 못한다.

D-A 컨버터 주변의 아날로그-디지털계 분리 테크닉

지상 디지털 방송을 대표로 TV국 내의 기기는 디지털화가 진행되고 있다. 가정용으로도 슬림형 TV가 침투하여 디지털화의 물결이 거세지고 있다. 그러나 2011년, 지상 디지털 방송으로 완전히 이행될 때까지는 아직 기간이 남아있으며 선진국 이외의

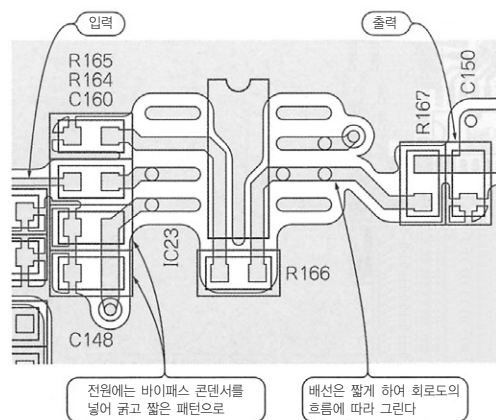


그림 2. 대역이 수십MHz인 비디오 앰프 회로의 패턴

지역에서는 아날로그 비디오 인터페이스가 없어지지 않을 것이라 예상된다. 당분간 비디오 기기의 내부는 디지털 동작이고, 외부와의 인터페이스는 디지털과 아날로그가 함께 존재하는 상태가 계속될 것이다. 여기서 소개하는 D-A 컨버터나 나중에 나오는 디지털 비디오 인코더는 아날로그 인터페이스 출력이 반드시 필요한 LSI이지만, 기판 상에 디지털 신호와 아날로그 신호가 혼재하므로 패턴 설계를 실행할 때 다소의 노하우가 필요하다.

1. 회로의 개요

분해능 8비트, 40MSPS의 고속 D-A 컨버터 CXD1171M(소니)을 예로 들어 설명한다. 그림 4에 CXD1171M을 사용한 회로도를, 그림 5에 아날로그 컴포넌트 Y/Pb/Pr 출력용으로 CXD1171M을 3개 사용한 패턴도를 나타낸다.

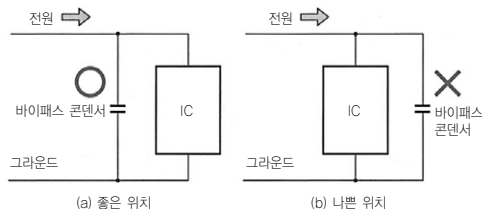


그림 3. 바이패스 콘덴서는 전원공급원과 IC 사이에 넣는다

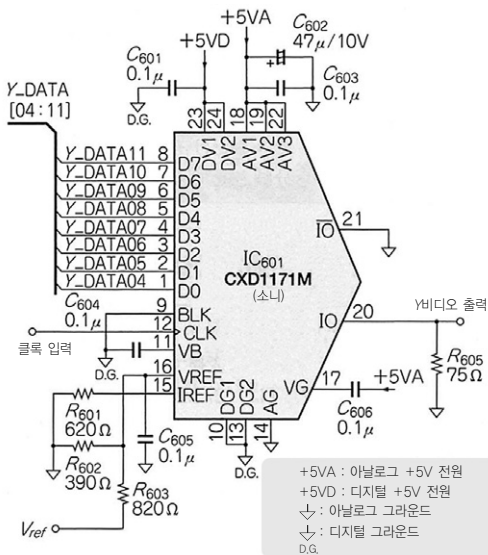


그림 4. 40Msps 고속 D-A 컨버터의 회로

2 배선 요령

(1) 부품과 배선의 양을 고려하여 아날로그/디지털 블록의 크기와 위치를 결정한다

디지털 회로와 아날로그회로가 혼재하는 기판의 패턴 설계 시, 주의해야 할 점은 아날로그 회로와 디지털 회로의 아이슬레이션이다. 아이슬레이션이 불완전하면 크로스토크가 발생하고 아날로그 신호에 디지털계의 노이즈가 중첩된다.

설계 초기, 부품과 배선의 양을 고려하여 아날로그 블록과 디지털 블록의 크기 및 위치를 결정한다(그림 6). 부품은 각각의 블록 내에 배치한다.

(2) 그라운드 패턴에서 아날로그/디지털 신호를 분리한다

다음에 패턴 배선을 실행한다. 아날로그 신호 패턴에 디지털 신호 패턴이 근접하거나 평행하게 되지 않도록 한다. 기판 제약 상 아무래도 근접하게 될 경우에는 패턴 사이에 그라운드 패턴을 넣어 신호를 분리한다(그림 7).

이것은 기판의 층 사이에서도 마찬가지이다. 양면기판인 경

우, 디지털 패턴과 아날로그 패턴이 겹치거나 교차되지 않는지 체크해야 한다. 가급적 패턴층 사이에 그라운드층을 넣어 실드할 수 있는 4층 이상의 다층기판 사용을 권장한다.

(3) 전원은 커넥터부에서 분류한다

아날로그 전원과 디지털 전원을 기판 상의 같은 전원에서 공급하는 경우, 가급적 임피던스가 낮은 전원 커넥터부에서 분기시키기 바란다.

아날로그 신호 정밀도를 확보한 디지털 비디오 인코더의 패턴링

전술한 바와 같이, 디지털 비디오 인코더는 기기 내부의 디지털 신호와 외부 아날로그 인터페이스의 중개 역할을 하는 중요한 LSI이다.

1. 회로의 개요

그림 8에 디지털 비디오 인코더 ADV7194(아날로그 디바이스즈)와 주변의 회로도, 그림 9에 그 패턴도를 나타낸다. 디지털



그림 6. 아날로그 블록과 디지털 블록의 배치 예

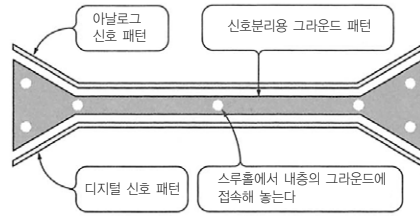


그림 7. 아날로그 신호 패턴과 디지털 신호 패턴의 분리

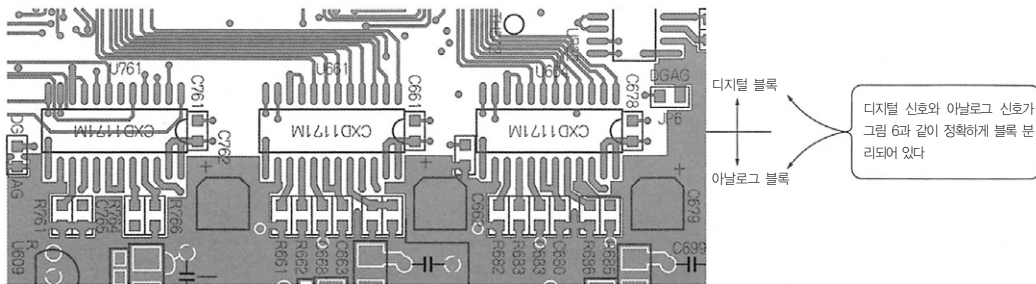


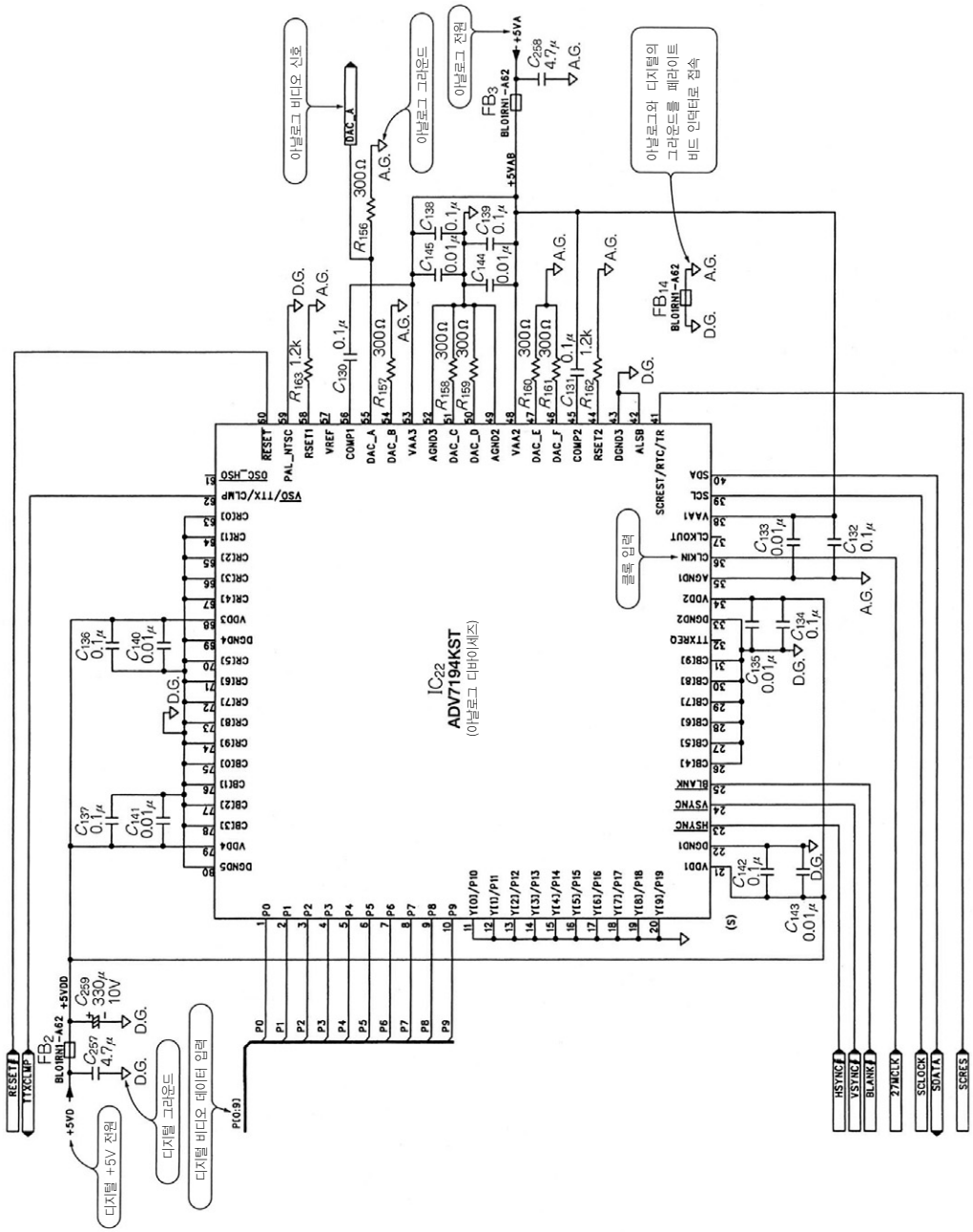
그림 5. 비디오용 D-A 컨버터 주변의 패턴

비디오 인코더는 디지털 비디오 데이터를 콤포지트 신호나 Y/C 신호 등의 아날로그 비디오 신호로 변환하는 IC이다. 그림 8의 회로에서 ADV7194는 27MHz의 고속 클록에서 입력한 디지털 데이터에 대해 디지털 인코더 처리를 실행하고, 고정밀도 10비트 D-A 컨버터에서 아날로그 비디오 신호로 하여 출력하고 있다.

2. 배선 요령

(1) 아날로그와 디지털 그라운드와의 접속에 페라이트 비드를 사용한다

일반적으로 비디오 인코더 등의 D-A 변환 또는 A-D 변환회로에서는 노이즈를 감소시키기 위해 디지털과 아날로그의 그라



온도를 분리한다. 그 때, 양 그라운드들의 전위를 일치시키기 위해 IC에서 가급적 가까운 1점에서 접속한다.

이 회로에서는 1점에서 직접 접속하지 않고 페라이트 비드에서 접속함으로써 디지털 그라운드의 노이즈가 아날로그 그라운드로 유입되는 것을 방지하고 있다.

(2) 양면 기판인 경우, 가급적 한쪽 면에 부품을 실장하고 반대쪽 면을 솔리드 그라운드로 한다

그림 9에 나타난 ADV7194 좌편의 44~58핀이 아날로그 신호, 다른 3편이 디지털 신호로 되어 있다. 양쪽 신호가 평행하게 되거나 교차되지 않도록 주의한다. 또 아날로그 신호계를 솔리드

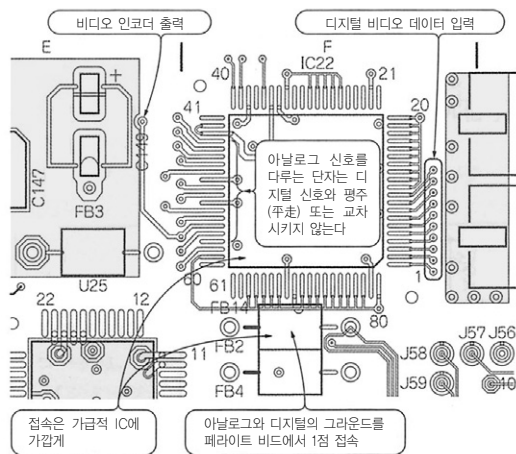


그림 9. 디지털 비디오 인코더와 그 주변회로의 패턴

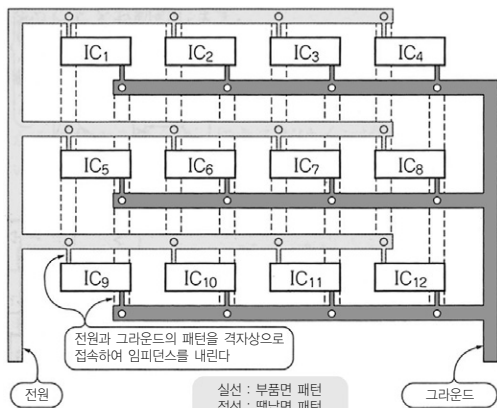


그림 10. 부품밀도가 높은 양면기판에서 복수의 IC에 전원과 그라운드를 공급할 때의 배선 (솔리드 그라운드가 만들어지지 않을 때는 전원과 그라운드의 패턴을 격자상으로 접속한다)

드 그라운드로 하고 있다. ADV7194의 출력에서 왼쪽 부분이 솔리드 그라운드이다. 내층도 솔리드 그라운드이다.

그라운드의 임피던스는 고주파로 될수록 높아지므로 디지털 회로의 신호가 고속으로 될수록 노이즈 발생량이 많아진다. 아날로그 신호의 미소한 변화는 노이즈에 묻혀버리기 때문에 정밀도가 잡히지 않게 된다.

ADV7194와 같은 고속·고정밀도 IC의 성능을 100% 발휘시키려면 그라운드의 임피던스를 내려 노이즈의 발생을 억제해야 한다. 임피던스를 내리기 위해 솔리드 그라운드를 사용한다. 양면 기판인 경우에는 가급적 한쪽 면에 부품을 실장하고 반대쪽 면을 솔리드 그라운드로 한다.

1) 솔리드 그라운드가 만들어지지 않으면 격자 모양으로 전원 그라운드를 접속한다

부품 실장밀도가 높아 솔리드 그라운드가 만들어지지 않는 경우, 가급적 굵은 패턴에서 격자 모양으로 접속(그림 10)하여 임피던스를 내리지만 노이즈 때문에 힘들어질 가능성이 높아진다.

(3) 성능을 구한다면 다층기판을 권장한다

코스트 면에 문제가 없다면 다층기판 사용을 권장한다. 내층에 전원층, 그라운드층이 들어가므로 전원, 그라운드의 임피던스를 함께 내릴 수 있다. 표면층만으로는 배선이 되지 않아 내층에도 배선 패턴을 통과시키는 경우나 복수의 전원전압에 의해 전원층이 미세하게 절단돼버리는 경우에는 층 수를 더욱 늘려야 한다. 그림 9의 경우 6층 기판을 사용하고 있다.

(4) 클록은 같은 패턴으로

각 디지털 IC의 클록 입력단자는 반사파의 영향을 적게 하기 위해 그림 11과 같이 같은 패턴으로 접속한다. 부품배치는 미리 클록 신호 패턴을 일치시키기 쉽도록 고려해 둔다.

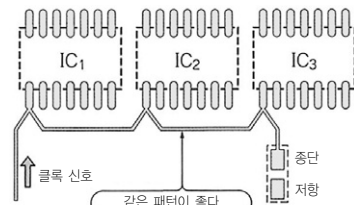


그림 11. 클록 신호의 배선

25M~165Mp/s를 확실하게 전송하는 차동 인터페이스의 패터닝

DVI(Digital Visual Interface)는 DDWG(Digital Display Working Group)에 의해 1999년에 규격화되었다. 주로 PC와 디스플레이간 영상전송에 사용된다.

최근에는 DVI와 같은 영상 전송방식을 사용하는 HDMI(High Definition Multimedia Interface)가 규격화되어 가전기기용 디지털 인터페이스로 사용되고 있다. 어떤 것에든 디지털 콘텐츠를 보호하는 HDCP(High-bandwidth Digital Content Protection) 규격이 담겨 있다. DVI의 영상전송은 실리콘 이미지사에서 개발한 TMDS (Transition Minimized Differential Signaling) 링크라는 기술을 사용하고 있다. TMDS에는 싱글 링크와 듀얼 링크의 2종류가 있다.

1. 회로의 개요

1화소 분의 데이터 24비트(8비트×R, G, B)에 동기신호 2비트, 컨트롤 데이터 4비트를 더하여 30비트로 하고 인코드 처리 후, 3채널의 10비트 시리얼 디지털 신호로 변환한다. 3채널 신호는 픽셀 클럭과 함께 4페어의 차동 신호로 전송한다. 이것을 싱글 링크(그림 12)라고 한다.

싱글 링크 전송은 UXGA(162Mp/s) 정도가 한계이다(p/s는 픽

셀/초를 나타낸다). 이 이상 빠른 픽셀 레이트로 영상을 전송할 경우에는 듀얼 링크를 사용한다. 듀얼 링크는 6채널을 사용하여 2화소 분의 데이터 48비트(8비트×R, G, B×2화소)와 동기신호 2비트, 컨트롤 데이터 10비트를 픽셀 클럭과 함께 전송한다.

그림 13에 TMDS 트랜스미터 LSI SiI164(미국 Silicom Image)를 사용한 DVI 송신회로를 나타낸다. TMDS 싱글 링크의 DVI-I 출력사양이다.

2. 배선 요령

(1) 차동 신호 페어는 가급적 가깝게 배선한다

DVI 송신회로 패턴 설계 시 주의해야 할 점은 트랜스미터 출력의 배선 패턴(그림 14)이다. 트랜스미터의 각 출력 채널은 차동 신호 페어로 되어 있다. 차동 신호 페어는 노이즈의 영향을 거의 받지 않으므로 노이즈 방출이 적다는 등의 특징이 있다. 배

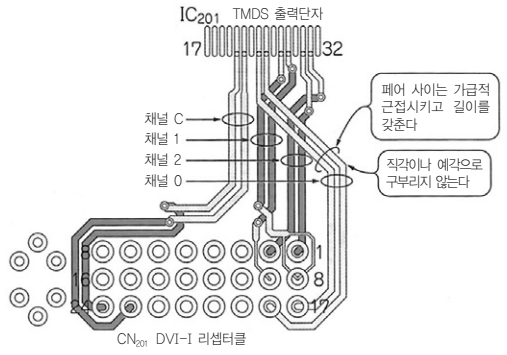


그림 14. 트랜스미터 출력의 배선 패턴

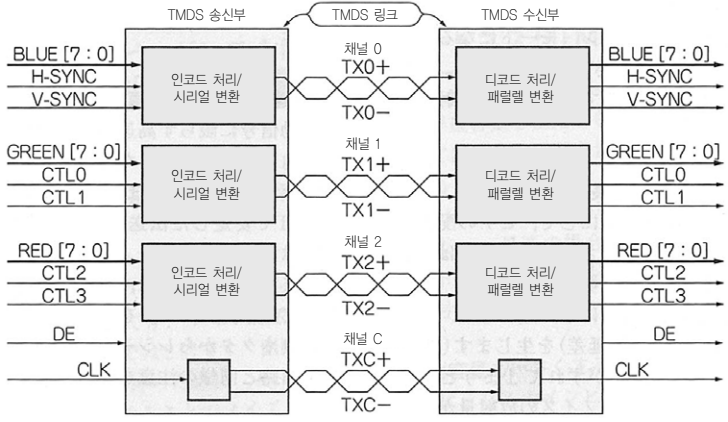


그림 12. TMDS 링크의 싱글 링크 전송

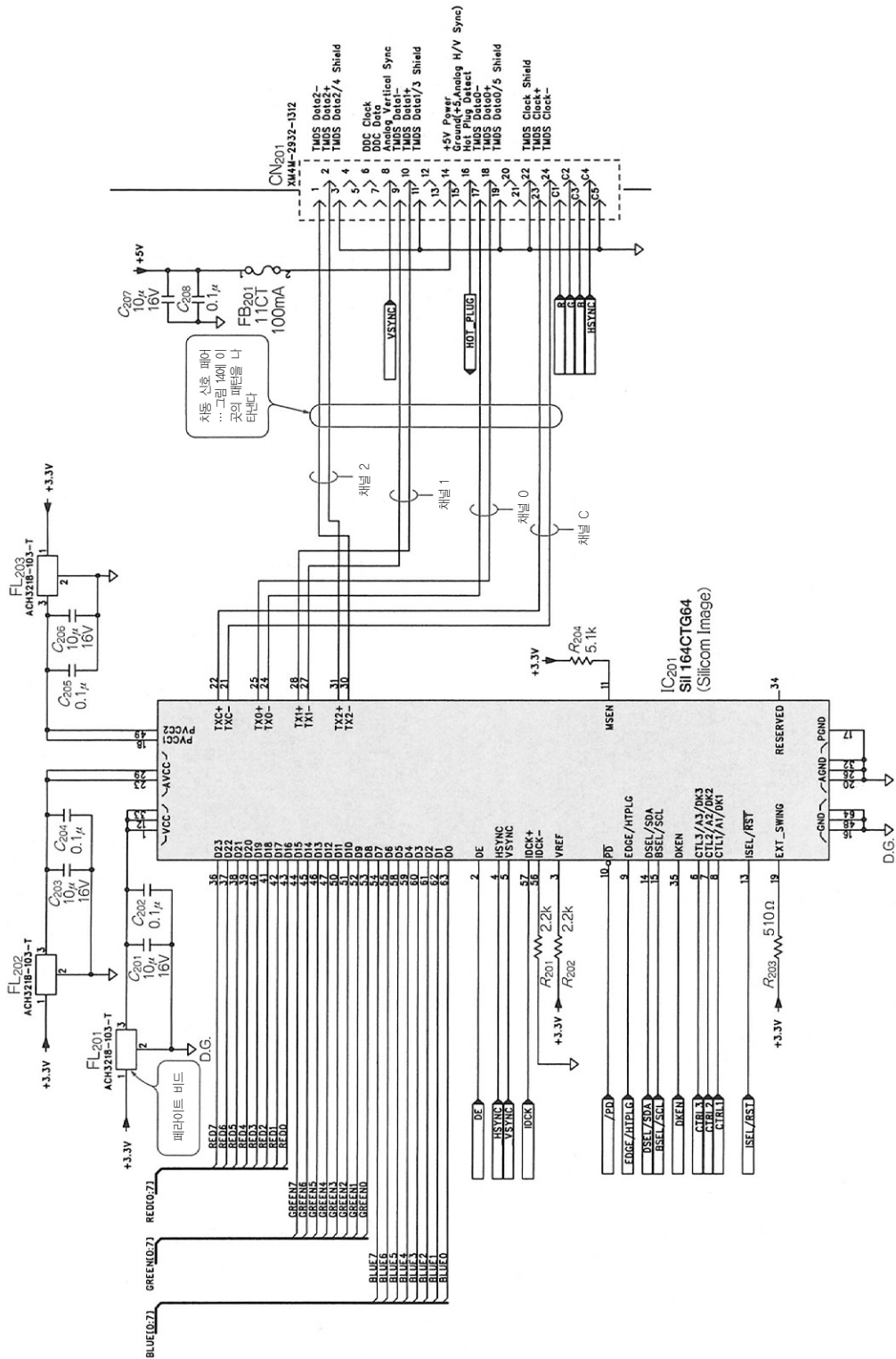


그림 13. TMDS 트랜스미터 LS를 사용한 DVI 송신회로

선 패턴이 나쁘면 이러한 특징을 발휘할 수 없다.

차동 신호 페어는 가급적 가깝게 배선하기 바란다. 노이즈가 중첩해도 코먼 모드로 되기 때문에 리시버로 제거할 수 있다(그림 15). 또한 자계를 제거하는 방향으로 되기 때문에 노이즈의 방사를 억제할 수 있다.

(2) 차동 페어의 신호간 거리와 길이를 일치시킨다

차동 신호 페어간 거리를 일정하게 하여 비어의 배치나 배선의 구부러짐 위치를 일치시킨다. 차동 전송은 페어간의 밸런스를 유지하는 것이 중요하다. 또 차동 신호 페어의 배선 길이를 같게 하기 바란다. 배선 길이가 달라지면 스쿠(전송지연차)가 발생한다(그림 16). 스쿠가 발생하여 위상이 엇갈리면 자계를 제거할 수 없으므로 노이즈의 방사량이 증가한다.

(3) 고속신호의 배선은 직각이나 예각으로 구부러지 않는다

차동 신호뿐만 아니라 고속신호의 배선 패턴은 직각이나 예각으로 구부러지 않도록 한다. 임피던스의 변화를 적게 하기 위해 45° 또는 곡선으로 배선한다.

DVI에서 안정적인 전송을 실행하려면 송신회로 뿐만 아니라

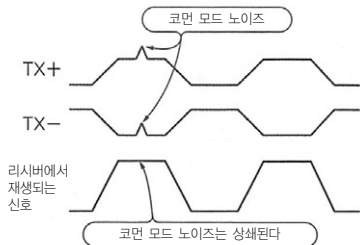


그림 15. 차동 전송선에 나타나는 코먼 모드 노이즈는 리시버로 제거된다

케이블, 수신회로도 배려해야 한다. 케이블은 트위스트 페어, 동축 2심 등의 평형 케이블을 사용하기 바란다. 수신회로의 입력 커넥터에서 리시버 LS까지의 배선 패턴은 송신회로와 마찬가지로 주의하여 설계해야 한다.

동축케이블에 의한 1.485Gbps 전송로의 패턴링

SDI(Serial Digital Interface)란, 비디오 신호를 시리얼 디지털 신호로 변환하여 전송하는 인터페이스이다. 전송 레이트는 4 : 2 : 2 컴포넌트인 경우 270Mbps, HDTV에서는 1.485Gbps가 된다.

SDI를 사용함으로써 TV 스튜디오 내에 이미 설치된 동축케이블을 이용하여 고해상도의 영상 데이터를 전송할 수 있다. 영상 데이터 이외에도 언실러라 불리는 영상 데이터의 극간(隙間) 영역에 오디오 데이터나 극간 정보, 자막 데이터 등을 중첩하

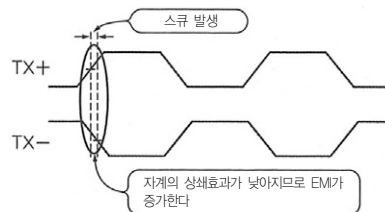
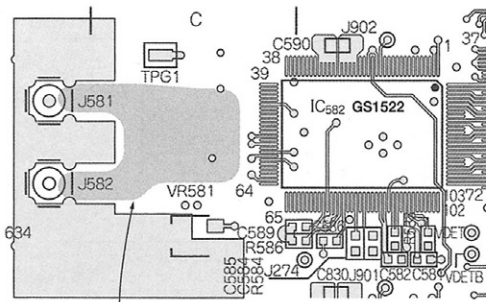
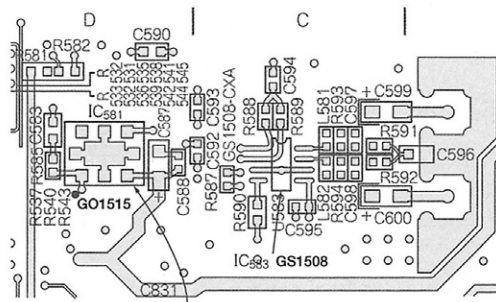


그림 16. 차동 신호의 배선은 페어거리 같은 길이로 하지 않을 경우 전파지연차가 발생한다



(a) 표면



(b) 뒷면

그림 18. SDI 송신부의 패턴

여 전송할 수 있다.

HDTV의 시리얼 디지털 인터페이스는 SMPTE 292M 규격으로 규정되어 있다. 동축케이블 인터페이스와 광섬유 인터페이스가 있는데, 여기서는 제남사의 IC를 사용한 송신회로를 예로 들어 동축케이블을 사용한 인터페이스를 설명한다.

1. 회로의 개요와 배선 요령

제남사의 HDTV 시리얼 디지털 시리얼라이저 GS1522, VCO GO1515 및 HDTV 케이블 드라이버 GS1508을 사용한 SDI 송신회로의 회로도를 그림 17에 나타낸다. 그림 18은 기판 패턴도

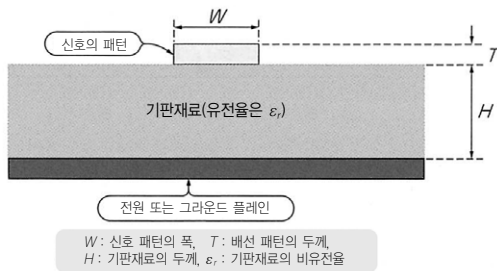


그림 19. 마이크로스트립 라인의 구조

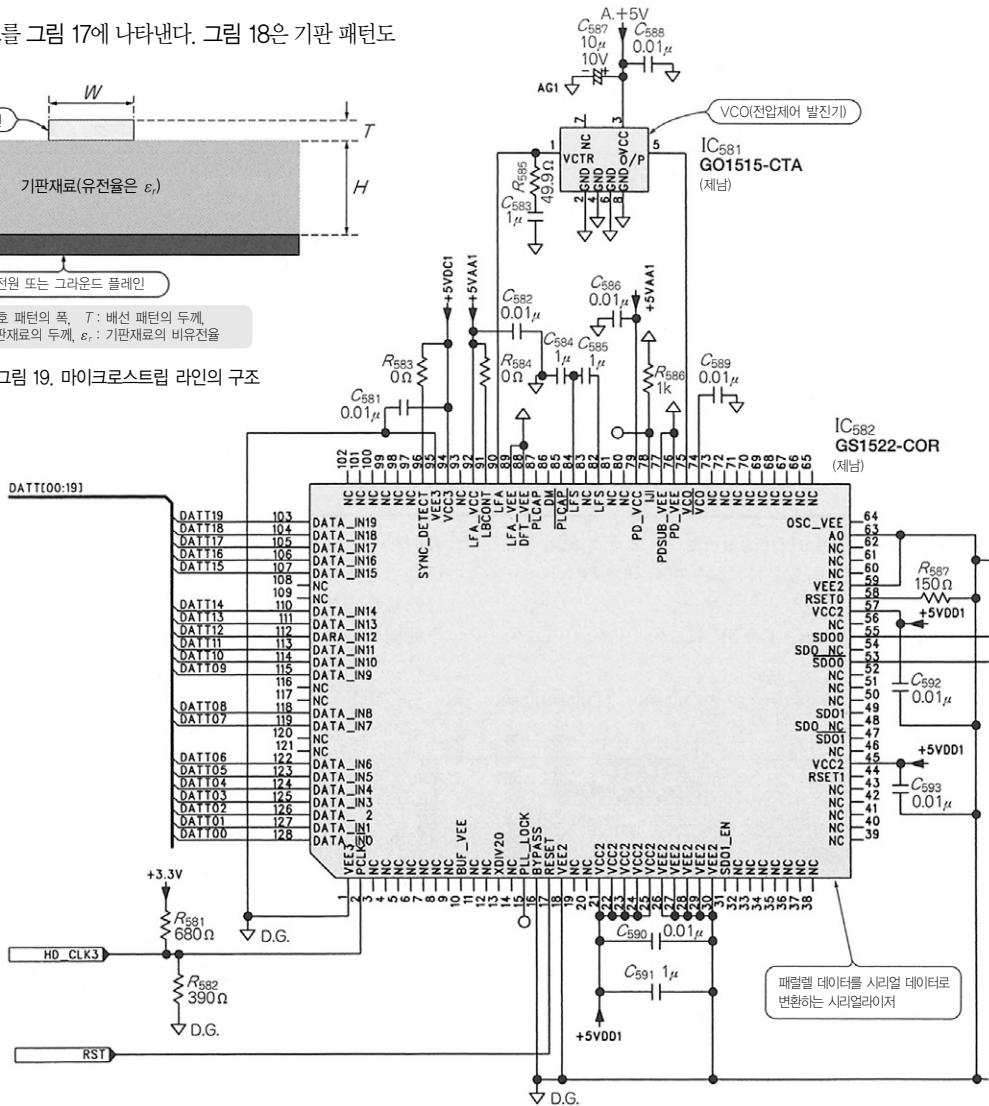


그림 17. SDI 송신부의 회로도

이다.

GS1522는 SMPTE 274M, SMPTE 260M의 패럴렐 디지털 데이터를 SMPTE 292M의 시리얼 디지털 신호로 변환하는 IC이다. 1.485Gbps 및 1.485/1.001Gbps에 대응하고 있다.

GO1515는 제남사의 시리얼라이저나 리시버와 조합하여 사용하는 VCO(전압제어 발진기)이다. GS1522에서 제어전압을 받아 1.485GHz 또는 1.485/1.001GHz의 기준 클럭을 GS1522에 부여한다. 기판 상에서는 GS1522 뒤쪽에 실장하여 배선 길이를 짧게

하고 있다. GS1508은 제남사의 IC와 직접 연결하여 사용할 수 있는 케이블 드라이버이다. 범용 드라이버로도 사용할 수 있다. 75Ω의 동축케이블을 2개 드라이브할 수 있다.

SDI 출력은 1.485Gbps의 고속전송로이다. 이 기판에서는 기생 용량을 적게 하기 위해 출력부품 및 배선 패턴 아래의 그라운드를 제거하고 있다.

2. 패턴 형상을 조정하여 임피던스 정합

만약 배선 패턴 길이가 1cm를 넘을 경우, 마이크로스트립 라인 등을 사용하여 특성 임피던스의 정합을 잡아야 한다.

1.485Gbps의 고속전송으로 되면 부품이나 기판은 일반적으로 다루기 어려워진다. 부품의 기생용량이나 기생 인덕턴스도 하나의 부품으로 취급해야 한다. 마찬가지로 배선 패턴도 저항, 콘덴서, 인덕턴스가 분산하여 배치된 부품으로 취급해야 한다. 이와 같이, 배선 패턴을 부품으로 취급하는 회로를 분포 상수회로라 한다.

마이크로스트립 라인은 분포 상수회로 속에서 가장 많이 사용되는 회로이다. 그림 19에 그 구조를 나타낸다. 마이크로스트립

라인의 특성 임피던스와 회로의 정합을 취함으로써 로스가 적은 전송이 가능해진다.

(1) 특성 임피던스 계산

특성 임피던스는 배선 패턴의 폭 W , 배선 패턴의 두께 T , 기판 재료의 두께 H 및 기판재료의 비유전율 ϵ_r 로 결정된다. 특성 임피던스를 구하는 계산식은 책에 따라 다르다. 자세히 알고 싶다면 고주파 관련 서적에 나와있으므로 참조하기 바란다. 인터넷 상에도 파라미터를 입력하면 자동적으로 계산해주는 소프트웨어나 홈페이지가 있다. 여기서는 간단하게 자주 사용되는 식을 소개한다. 특성 임피던스 Z_0 은,

$$Z_0 = \frac{87.0}{(\epsilon_r + 1.41)^{1/2}} \ln \left(\frac{5.98 H}{0.8 W + T} \right) \dots\dots\dots(1)$$

여기서, W : 패턴의 폭 [mm], T : 패턴의 두께 [mm], H : 기판재료의 두께 [mm], ϵ_r : 기판재료의 비유전율

(2) 리턴 로스는 기판설계 시 시뮬레이션으로 확인해준다

SDI의 출력회로 설계 시 주의해야 할 점이 리턴 로스이다. SMPTE 292M 규격이나 ARIB BTA-S-004B 규격에도 내용에 약간의 차이는 있지만 한도값이 결정되어 있다.

리턴 로스는 임피던스의 부정합이 있는 경우에 발생하는 반사파의 정도를 나타내는 값이다. 값이 클수록 반사가 적어 특성이 양호해진다.

실제로는 기판 또는 기기가 장착된 후에 네트워크 애널라이저 등을 사용하여 리턴 로스를 측정한다. 거기서 좋지 않은 결과가 나와도 그림 17에 있는 C_{597} , C_{598} , L_{581} , L_{582} 의 값을 바꿔보는 정도밖에 할 수 없어, 결국 기판을 다시 만들게 된다.

가능한 한 기판설계 시 시뮬레이션을 실행하여 확인해 둘 것을 권장한다.

