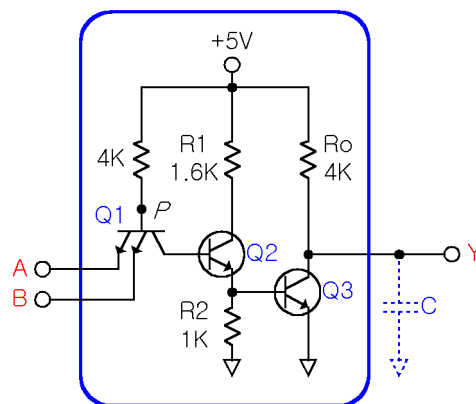


## 【 기술 노트 2 】

## TTL 출력단에서 토렘폴 회로의 동작

일반적으로 표준 TTL의 출력단 회로는 콤플리멘터리(complementary) 회로와 매우 유사한 토렘폴(totem pole) 회로를 사용한다. 그러나, 콤플리멘터리 회로가 위쪽에는 PNP형의 트랜지스터를 사용하고 아래쪽에는 NPN형의 트랜지스터를 사용하는데 비하여, 토렘폴 회로는 아래위에 모두 NPN형의 트랜지스터를 사용하고 중간에 다이오드가 있다는 점에서 구조가 전혀 다르다. 콤플리멘터리 회로와 토렘폴 회로는 모두 하나의 트랜지스터가 ON되면 나머지 다른 하나는 반드시 OFF하는 상보형 동작을 하는 점에서는 유사하다.

출력단의 토렘폴 회로는 입력단의 멀티에미터 트랜지스터(multiple-emitter transistor) 회로와 함께 표준 TTL을 대표하는 특성이다. 따라서, TTL의 동작을 이해하려면 이 토렘폴 회로의 동작을 정확히 이해하는 것이 중요하다.



<그림 1> 가상적인 TTL NAND 게이트

<그림 1>은 2입력 NAND 기능을 수행하는 가상적인 TTL 회로이다. 이 회로에서 입력 A, B중에 적어도 1개가 L상태(0.2[V]라고 가정)이면 P점의 전위는

$$V_p = 0.2 + 0.7 = 0.9 \text{ [V]}$$

가 된다. 그러나, Q1의 컬렉터 정선(collector junction)이 순방향으로 바이어스되고 Q2 및 Q3가 ON되려면  $V_p$ 는 최소한

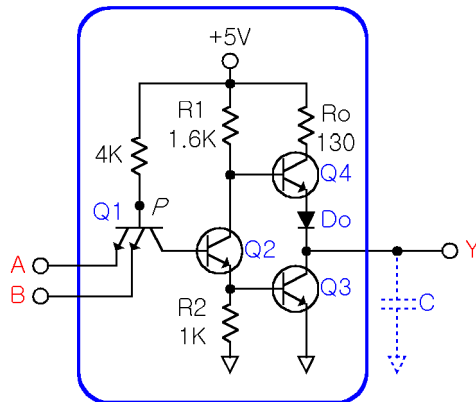
$$V_p = 0.7 + V_{be2} + V_{be3} = 0.7 + 0.7 + 0.7 = 2.1 \text{ [V]}$$

이상으로 되어야 한다. 따라서, 이때 Q2, Q3는 OFF되며 출력 Y의 전압은 저항  $R_o$ 를 통하여 5[V], 즉 H상태로 된다.

한편, 입력신호 A, B가 모두 H상태(2.4[V]라고 가정)이면 Q1의 에미터 정션(emitter junction)이 역방향으로 바이어스되고  $V_p$ 의 전위는 4[K $\Omega$ ] 저항을 통하여 5V에 이르게 되므로 즉시 Q2 및 Q3를 ON시킨다. 이렇게 되면 출력 전압은

$$V_y = V_{ce3,sat} = 0.2 \text{ [V]}$$

로 되어 L상태가 된다.



<그림 2> 실제의 TTL NAND 게이트(7400)

TTL 회로의 출력단에는 용량성 부하나 표유 용량에 의한 등가 커패시턴스 C가 존재하는데, 이것 때문에 출력단 전압이 L상태에서 H상태로 전환될 때 상승시간의 지연이 발생된다. 이는 <그림 1>과 같이 출력단에 콜렉터 저항  $R_o$ 를 사용(이를 “passive pull-up”이라고 한다.)함으로써 콘덴서에 충전되는 전압은 시정수  $R_o C$ 에 의하여 상승되기 때문이다. 이러한 시간지연을 감소시키려면 저항값  $R_o$ 를 작게하여야 한다. 그러나, 그렇게 하면 출력전압이 L상태일 때 이 저항에  $5V - V_{ce3,sat}$  전압이 걸리므로 큰 전력손실이 발생한다.

이러한 상반된 문제를 해결하는 것이 <그림 2>와 같은 토템폴 회로이다. 이 회로의 출력단은 트랜지스터 Q4가 Q3의 위에 앉아있기 때문에 토템폴(totem-pole) 증폭기라고 불린다. 여기서 트랜지스터 Q4는 <그림 1>의 출력단 콜렉터 저항  $R_o$ 를 대신하여 “active pull-up” 회로를 구성한다. 즉, 출력단이 H상태가 되려면 이것이 ON되어 풀업 회로의 역할을 수행하고, 출력단이 L상태가 되면 이것이 OFF되어 풀업 회로에서의 전력손실을 방지한다.

<그림 2>는 전형적인 표준 TTL 회로이다. 입력단의 멀티 에미터에서 베이스 저항은 대

부분 4[KΩ]으로 되어 있으며, 출력단 active pull-up 회로의 저항은 대부분 130[Ω]으로 되어 있음에 주목하라. 여기서 트랜지스터 Q2는 위상 분배기(phase splitter)로 동작한다. Q2의 베이스 전류가 증가하면 에미터 전압은 증가하고 콜렉터 전압은 감소하여 콜렉터와 에미터 신호의 위상이 반전되기 때문이다.

Q2와 Q3가 ON상태로 포화되면 출력단은 L상태로 되며, 이때 Q4는 OFF되어야 한다. 그러나, 과연 그럴까? 이때 GND 포인트에 대한 Q2의 콜렉터 전압을 계산해 보면

$$V_{cn2} = V_{ce2,sat} + V_{be3,sat} = 0.2 + 0.8 = 1.0 \text{ [V]}$$

가 된다. 따라서, 이때 만약 출력단 다이오드 Do가 없다면 Q4의 베이스-에미터 전압은

$$V_{be4} = V_{bn4} - V_{ce3,sat} = V_{cn2} - V_{ce3,sat} = 1.0 - 0.2 = 0.8 \text{ [V]}$$

로 되어 트랜지스터 Q4도 ON되어 버린다. 만약 이렇게 된다면 Q2, Q3, Q4가 모두 ON되므로 출력단 저항 Ro에는

$$(5V - V_{ce4,sat} - V_{ce3,sat}) / 130 = (5 - 0.2 - 0.2) / 130 = 35 \text{ [mA]}$$

의 과도한 전류가 흘러 전력소모가 커진다. 그러나, 출력단에 다이오드 Do를 삽입함으로써 트랜지스터 Q2, Q3가 ON되어 출력이 L상태일 때 위쪽의 트랜지스터 Q4가 ON되는 것을 막아줌으로써 이러한 모든 문제를 해결할 수 있게 된다. 다이오드를 삽입하였을 때 Q4가 ON되려면 전압  $V_{cn2}$ 는

$$V_{be4,sat} + V_d + V_{ce3,sat} = 0.8 + 0.7 + 0.2 = 1.7 \text{ [V]}$$

이상이 되어야 하기 때문이다. 이렇게 출력이 L상태일 경우에는 외부에서 출력단으로 흘러 들어온 전류(sink current)가 Q3를 통하여 GND로 흡수된다.

한편, 출력전압이 H상태로 되기 위하여 Q2, Q3가 OFF되면 C의 전압은 급변하지 않고 잠시동안 0.2[V]로 유지되기 때문에 Q4가 ON되고 다이오드 Do가 도통되면서

$$V_{bn4} = V_{be4,sat} + V_d + V_y = 0.8 + 0.7 + 0.2 = 1.7 \text{ [V]}$$

가 되고, 이로부터 Q4의 베이스 전류 및 콜렉터 전류를 계산하면

$$I_{b4} = (5V - V_{bn4}) / 1.6K = (5 - 1.7) / 1.6K = 2.0625 \text{ [mA]}$$

$$I_{c4} = (5V - V_{ce4,sat} - V_d - V_Y) / 130 = (5 - 0.2 - 0.7 - 0.2) / 130 = 30 \text{ [mA]}$$

로 된다. 이는 Q4의 Hfe가  $I_{c4}/I_{b4} = 30/2.0625 = 14.5$  이상이라면 Q4가 포화된다는 것을 의미하므로 Q4는 즉시 ON된다.

이처럼 TTL에서의 토템폴 출력단 회로는 상태가 H에서 L로 또는 반대로 L에서 H로 전환될 때 턴온 시간보다 턴오프 시간이 길고 또한 C에 충전되어 있는 전압이 급변하지 않으므로 아주 짧은 시간동안 아래 위의 트랜지스터가 동시에 ON되어 있는 결과가 된다. 이것은 전원에 순간적인 전류 스파이크(current spike)를 일으키는데, 이러한 현상은 디지털 회로의 고유한 특성이다. 토템폴 회로에서는 2개의 트랜지스터 Q3, Q4에 직렬로 연결된 출력단 저항  $R_o$ 가 이러한 현상을 완화시켜 준다. 그러나, 이것만으로는 전류 스파이크를 막을 수 없으므로 이에 의한 전원전압의 불안정을 방지하기 위하여 TTL 소자의 주변에 약 0.01 ~ 0.1[uF]의 바이패스(bypass) 콘덴서를 달아준다.

74LS 시리즈에서도 출력단 회로의 기본 동작은 토템폴 회로와 매우 유사하지만, 여기서는 일반 바이폴라 트랜지스터와 포화 특성이 다른 쇼트키(Schottky) 트랜지스터 회로를 사용하여 출력단 회로에서 다이오드  $D_o$ 를 제거하였으며, 출력저항  $R_o$ 의 값을 120[Ω]으로 사용한다.