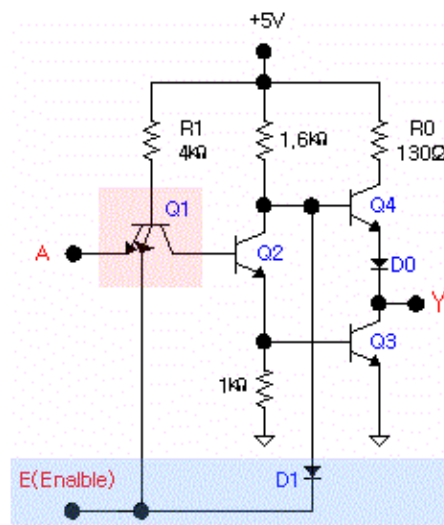


【 기술 노트 6 】

TTL에서 3스테이트 버퍼란 무엇인가?

우리는 앞에서 이미 TTL 출력단 토렘폴 회로의 동작과 오픈 콜렉터, 오픈 드레인 방식의 회로에 대해서 배웠습니다. 그리고, 나중에 나올 “[기술 노트 9] 오픈 콜렉터와 오픈 드레인 회로” 중에서 후반부에 3상태 회로와 하이 임피던스 상태에 대해 잠깐 소개되기도 하죠. 그렇다면 3스테이트와 하이 임피던스가 구체적으로 어떤 것이며 어떻게 동작하는지 자세히 살펴보기로 하겠습니다.

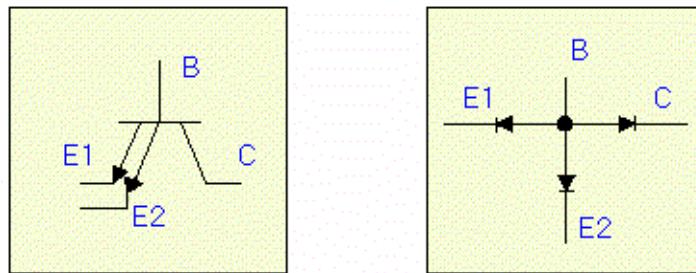
3상태(tri-state)란 말 그대로 3가지의 출력 상태를 의미합니다. 하나는 High, 다른 하나는 Low 마지막 하나는 High-Impedance !!!. 그럼 이 3상태 회로는 어디에 유용할까요? 이는 [기술 노트 9]에서 설명하는 바와 같이 출력단이 공통으로 묶여 있는 경우에 사용됩니다. 여러 개의 출력을 하나로 묶을 때에는 각 출력단의 상태에 따라 단락 회로가 될 수 있기 때문에 소자에 치명적인 손상이 발생할 수 있다는 것입니다. 따라서 이런 현상을 방지하기 위해 3상태 회로를 사용하는데... 그럼 3상태 회로가 어떻게 동작하는지 그 원리를 살펴보기로 하죠.



<그림 1> 3상태 출력형의 TTL 인버터

<그림 1>은 표준 TTL 소자의 전형적인 구조에 Enable(E) 단자를 추가하여 수정한 회로입니다. 입력이 2개인 보통의 TTL 회로에 Q4의 베이스단에 다이오드를 연결하는 방법으로 약간의 수정을 한 것이라고 볼 수 있죠. 그런데, 이 회로의 입력단에 멀티 에미터(multi-emitter)가 있습니다. 멀티 에미터라...? 처음 보신다구요?

표준 TTL 소자에서 중요한 특징중의 하나인 입력단의 멀티 에미터 회로의 동작에 대해 잘 모르는 분들을 위해 간단히 설명하면... <그림 2>는 멀티 에미터 회로의 구조를 표현한 것인데, 여기서 (a)는 트랜지스터 회로 구조이고 (b)는 이를 등가적으로 표현한 것입니다. (b)에서 보면 멀티 에미터를 3개의 다이오드로 구성한 것을 알 수 있습니다. 설마 다이오드의 동작에 대해서도 모르시는 분들이 계신가요? 만약, 이에 대해서도 모르는 분들이 있다면 전자회로나 다른 관련 서적을 우선 읽고 기초 지식을 습득하실 것을 당부 드릴게요...

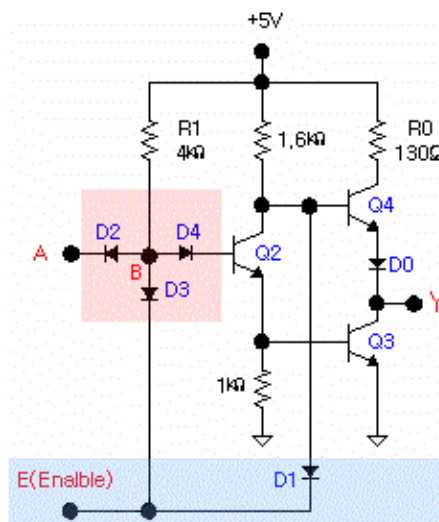


(a) 트랜지스터의 구조

(b) 다이오드 등가회로

<그림 2> 멀티 에미터 입력단 회로의 구조

그렇다면 이제 <그림 1>을 이러한 멀티 에미터 회로의 등가회로를 사용하여 다시 표현하면 <그림 3>과 같이 표현할 수 있겠습니다. 좀 보기 쉬워졌죠? 그러면, 이제 본격적으로 3상태 인버터의 동작에 대해 살펴보기로 하겠습니다.



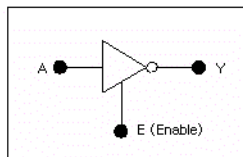
<그림 3> 입력단 등가회로로 나타낸 3상태 출력형의 TTL 인버터

우선 Enable(E) 단자에 High가 인가되면 어떻게 될까요? 이는 TTL 소자의 정상적인 동작에 아무런 영향을 미치지 못합니다. 다이오드 D1과 D3가 역방향으로 바이어스되므로 A의 입력이 반전되어 출력에 나타나는 정상적인 동작이 이루어지게 됩니다.

동작을 한번 살펴볼까요? A 단자에 Low(0.2V) 입력이 들어오면 B점의 전위는

$$V_B = 0.2 + 0.7 = 0.9 \text{ V}$$

가 됩니다. 따라서, 이는 Q2와 Q3가 턴온되기 위한 조건 2.1V(이것은 이미 “[기술 노트 2] TTL 출력단에서 토템폴 회로의 동작”에서 모두 설명하였으므로 자세한 언급은 하지 않겠습니다.)보다 낮으므로 Q2, Q3가 턴오프되고, 이에 따라 Q4는 턴온되어 출력은 High가 나오게 됩니다. 반대로 A가 High이면 Q2, Q3가 턴온되어 출력은 Low가 출력되고, 결국 인버터는 정상적으로 동작을 합니다.(지금까지 E = High였음을 잊지말 것 !!!)



(a) 기호

E(Enable)	A	Y
High	Low	High
	High	Low
Low	Low	High-Impedance
	High	

(b) 동작 진리표

<그림 4> 3상태 인버터의 기호 및 동작

이제 E = Low(0.2V)일 경우를 설명합니다. E가 Low가 되면 D1, D3가 모두 정방향으로 바이어스되고, 따라서 이것들이 모두 턴온됩니다. 그렇다면 B점의 전위는 A의 입력에 상관없이 $0.9\text{V}(= 0.2\text{V}+0.7\text{V})$ 가 되고, 따라서 Q2와 Q3는 턴오프가 됩니다. 그럼 Q4는 어떻게 될까요? D1이 턴온되었으므로 Q4의 베이스단 전압은 역시 0.9V가 되고 이는 Q4가 턴온되기 위한 최소 전압

$$V_{be4,sat} + V_{d0} + V_{ce3,sat} = 0.8 + 0.7 + 0.2 = 1.7\text{V}(\text{자세한 것은 [기술 노트 2] 참조})$$

보다 낮으므로 역시 Q4도 턴오프되지요. 결국 E = Low일 때에는 Q3, Q4가 모두 턴오프되므로 출력단은 개방 회로(open circuit)가 되고, 이는 입력에 상관없이 출력단은 Vcc나 GND에 대해 매우 큰 임피던스(수 MΩ)를 갖습니다.

<그림 4>에 3상태 인버터(tri-state inverter)의 기호와 제어신호 E의 값에 따른 동작 진리표를 보였습니다. 결국 E단자에 어떠한 값을 인가하느냐에 따라 출력이 결정되게 됩니다.

이와 같이 출력단은 3개의 상태를 가지게 되고, 이를 사용하면 여러개의 출력이 하나로

무이게 되었을 때 Enable 단자의 값에 따라 출력단의 값을 조절할 수 있게 되기 때문에 단락회로의 문제를 해결할 수 있게 됩니다.

3상태 회로... 어떤가요, 이렇게 공부해보니 별거 아니죠?