

【 기술 노트 10 】

풀업 저항과 풀다운 저항

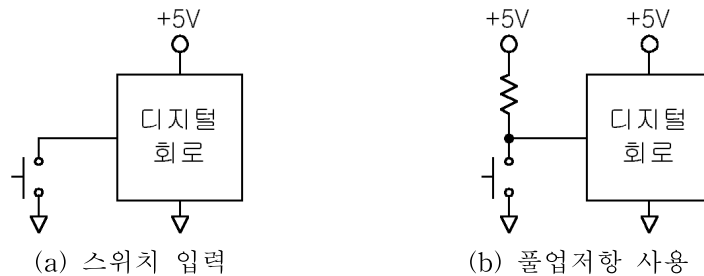
디지털 회로에서 논리적으로 H레벨 상태를 유지하기 위하여 신호의 입력 또는 출력단자와 +Vcc 전원 단자 사이에 접속하는 저항을 풀업 저항(pullup resistor)이라고 하며, 마찬가지로 논리적으로 L레벨 상태를 유지하기 위하여 신호의 입력 또는 출력단자와 접지 단자 사이에 접속하는 저항을 풀다운 저항(pulldown resistor)이라고 한다.

여기서는 각종 디지털 회로에서 이러한 저항을 사용하는 목적이나 이유는 무엇이며, 이들 각각의 경우에 저항값은 어떻게 결정해야 하는지에 대하여 설명한다.

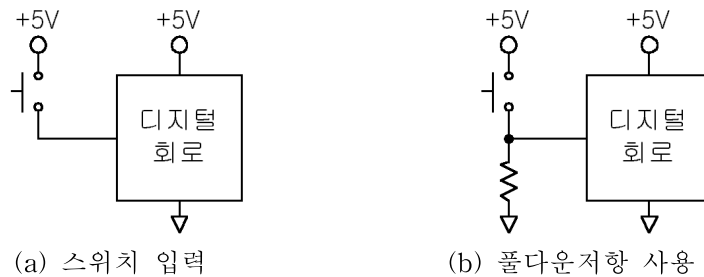
1. 입력단 회로에서의 풀업/풀다운 저항

(1) 입력 논리값을 H, L로 올바르게 인가하려는 경우

예를 들어 <그림 1>의 (a)와 같이 TTL 소자를 사용한 디지털 회로에서 푸시버튼 스위치를 이용하여 입력신호를 L상태로 인가하고자 하는 경우 스위치를 눌렀을 때는 L(low) 상태의 논리값이 입력된다. 그러나, 스위치를 누르지 않았을 때는 입력신호가 플로팅(floating)되어 H(high)도 아니고 L도 아닌 불확실한 상태가 된다. TTL과 같은 논리소자는 구조적으로 입력신호가 플로팅되면 H상태와 같이 동작하도록 되어 있기는 하지만, 실제로 회로를 이렇게 사용하면 잡음에 매우 취약해지는 등의 부작용으로 시스템이 불안정해진다.



<그림 1> L상태 스위치 입력을 위한 풀업 저항



<그림 2> H상태 스위치 입력을 위한 풀다운 저항

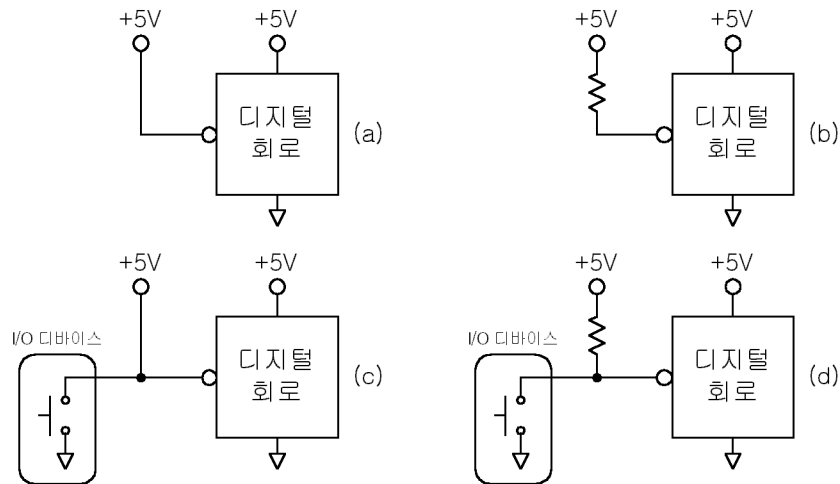
이러한 문제를 해결하려면 그림의 (b)처럼 입력신호를 저항으로 풀업시키면 된다. 이렇게 풀업 저항을 사용하면 스위치를 눌렀을 때는 정상적으로 L상태가 입력되며, 스위치가 떨어져 있을 경우에는 저항을 통하여 디지털 회로에 확실하게 H상태의 논리값이 입력된다.

이와는 반대로 스위치를 이용하여 H상태의 입력신호를 인가하려는 디지털 회로에서는 <그림 2>에서와 같이 풀다운 저항을 사용하면 된다.

이러한 스위치 입력회로에서 만약 풀업 저항이나 풀다운 저항을 사용하지 않고 직접 +5V 또는 GND 단자에 스위치를 접속하면 스위치를 눌렀을 때 +5V와 GND 단자 사이가 그대로 단락되어 과전류가 흐르게 된다. 따라서, 이러한 목적으로 사용하는 저항의 크기는 입력신호와 관련되기 보다는 스위치를 눌러서 +5V 전원과 GND 사이에 폐회로가 구성됨으로써 흐르는 전류의 크기를 감안하여 결정한다. 대부분의 경우에는 이 전류가 수 mA 이내로 되도록 하며, 따라서 보통 수 KΩ 이상의 저항을 사용한다.

(2) 현재는 입력신호를 사용하지 않으나 나중에 사용할지도 모르는 경우

앞에서도 설명한 바와 같이 일반적으로 디지털 회로에서 사용하지 않는 입력 단자는 개방(open)시켜 두지 말고 적절한 논리상태로 유지시키는 것이 바람직하다. 즉, 사용하지 않는 로우 액티브(low active) 신호는 H상태가 되도록 +5V 단자에 접속하고, 사용하지 않는 하이 액티브(high active) 신호는 L상태가 되도록 GND 단자에 접속한다.



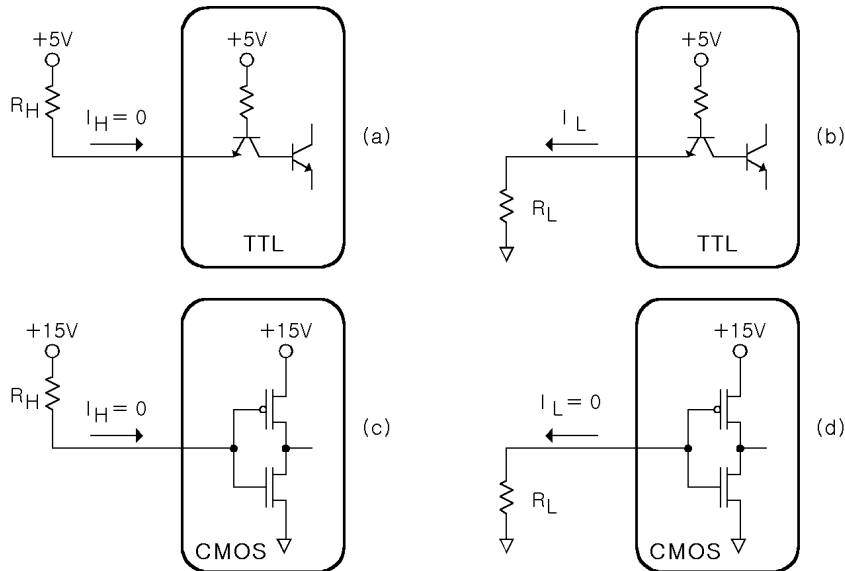
<그림 3> 나중에 입력신호가 사용될 것을 고려한 풀업저항 처리

그러나, 이 경우에 이들 신호 단자를 직접 +5V 또는 GND 단자에 접속하게 되면 나중에 이 입력신호를 사용하게 될 경우 문제가 발생할 수 있다. 예를 들어 <그림 3>의 (a)에서처럼 로우 액티브인 인터럽트 입력단자를 사용하지 않는 경우에는 이를 +5V에 접속하게 되는

데, 나중에 이 인터럽트 신호를 사용하게 될 경우를 가정하면 이는 (b)처럼 풀업 저항을 사용하여 +5V 단자에 접속하는 것이 좋다. 왜냐하면 나중에 인터럽트를 사용하게 되어 이 인터럽트 신호가 L상태로 입력되는 경우를 회로적으로 살펴보면 이렇게 인터럽트 신호가 L상태로 입력된다는 것은 등가적으로 I/O 디바이스에서 출력단자와 접지 사이에 스위치가 닫히게 되는 것으로 간주할 수 있으며, 이렇게 되면 풀업 저항을 사용하지 않은 경우는 그림 (c)와 같이 +5V와 접지가 단락상태로 되지만, 풀업 저항을 사용한 경우는 그림 (d)와 같이 풀업저항에 관계없이 L상태로 입력되는 회로가 정상적으로 잘 동작한다.

여기서는 로우 액티브 입력신호에 대하여 풀업 저항을 사용하는 예를 들었지만, 이를 반대의 상황에 적용하면 하이 액티브 신호에 대하여는 풀다운 저항이 마찬가지로의 역할을 수행하게 된다.

이와 같이 입력단 회로에서 풀업 및 풀다운 저항을 사용하는 것은 현재는 사용하지 않아서 디스에이블(disable 또는 inactive) 상태로 유지하고자 하지만, 나중에 이 입력신호를 사용하게 되더라도 하드웨어적으로 회로의 변경이 필요없이 그대로 신호를 입력하면 되도록 시스템을 설계하는 가장 좋은 방법이다. 여기서도 풀업 저항이나 풀다운 저항의 크기는 앞의 <그림 1>과 <그림 2>의 경우에서와 같은 원리로 결정한다.



<그림 4> 풀업 및 풀다운 저항에 의한 입력 전류

그런데, 혹자는 이와 같이 입력단에서 H상태 입력을 풀업 저항으로 인가하거나 또는 L상태 입력을 풀다운 저항으로 인가하면 소자 내부에서 소비전력이 커지는 것을 방지하고 입력 전압의 크기를 낮추어 디지털 소자에 좋은 영향을 준다고 주장하는 경우를 본다. 하지만, 필자가 볼 때 이는 회로적으로 전혀 근거가 없는 이야기이다. <그림 4>의 (a)에서 보듯이

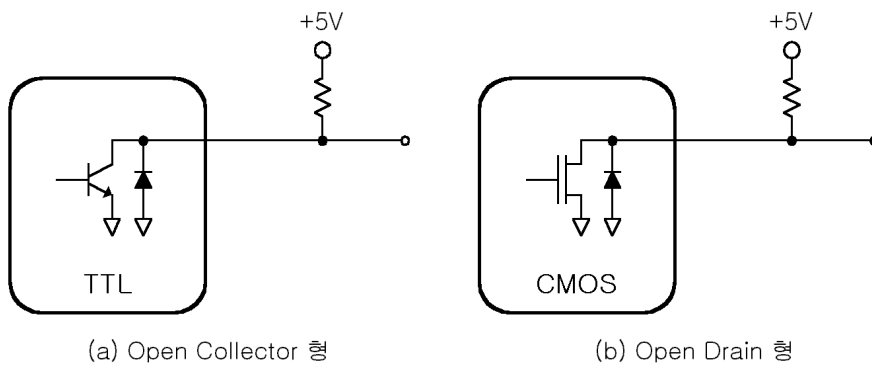
TTL 회로의 경우 입력단에 H상태가 입력될 때는 풀업 저항 R_H 에 상관없이 입력전류가 거의 흐르지 않으므로 소자 내부의 소비전력에 영향이 없으며, (b)의 경우처럼 입력단에 L상태가 입력될 때는 풀다운 저항 R_L 을 사용하면 입력전류가 다소 감소하지만 이에 의한 소비전력 감소는 거의 미미하여 고려의 대상이 되지 못한다. 또한, (c)와 (d)에서 보듯이 CMOS 회로의 경우에는 MOSFET 트랜지스터가 전압구동 소자이므로 풀업 또는 풀다운 저항의 여부에 관계없이 게이트 전류가 거의 흐르지 않으므로 이것들이 소자의 내부 동작에 미치는 영향은 거의 없다.

여기서, 한가지 참고로 알아둘 것은 TTL 회로의 입력단에서는 풀업 저항에 비하여 풀다운 저항의 값을 결정할 때 신중한 고려가 필요하다는 것이다. 풀업 저항은 <그림 4>의 (a)에서 보듯이 그 저항값에 별로 관계없이 입력신호의 전압레벨을 H상태로 만들어주므로 비교적 선택의 범위가 넓다. 그러나, 풀다운 저항을 사용할 때는 TTL 내부에 있는 입력단 트랜지스터의 베이스 저항을 통하여 입력전류가 흘러나오게 되므로, 이 내부 저항과 입력단에 접속된 풀다운 저항의 분압비에 의하여 입력신호의 전압레벨이 결정된다. 따라서, 풀다운 저항의 저항값이 너무 크면 입력 전압이 L상태를 유지하지 못하는 수준으로 커지게 되어 풀다운 저항의 기능을 올바르게 수행하지 못하게 될 수가 있다는 것이다. 이러한 점에서 볼 때 TTL 입력단에서 풀다운 저항의 값은 TTL 입력단의 내부 구조에 따라 다소 달라지기는 하지만 일반적으로 수 $K\Omega$ 이하로 작게 사용하는 것이 좋다.

2. 출력단 회로에서의 풀업/풀다운 저항

(1) 오픈 콜렉터 또는 오픈 드레인 회로의 경우

디지털 회로의 출력단이 오픈 콜렉터로 되어 있는 TTL이나 오픈 드레인으로 되어 있는 CMOS 소자에서는 L상태의 출력만 가능하므로 H상태의 출력을 위하여 풀업 저항을 사용하게 된다. 이에 관해서는 이미 [기술 노트 9]에서도 설명한 바 있다.



<그림 5> 오픈 콜렉터 및 오픈 드레인 회로에서의 풀업 저항

이를 도시하면 <그림 5>와 같다. TTL에서든 CMOS에서든 항상 출력단의 트랜지스터가 ON되면 이 트랜지스터를 통하여 싱크 전류(sink current)가 흘러들어오면서 L상태의 논리값이 출력되며, 트랜지스터가 OFF되는 경우에는 풀업 저항을 통하여 부하측으로 소스 전류(source current)가 흘러나가면서 출력단 신호가 플로팅되지 않고 H상태의 논리값을 출력하게 된다.

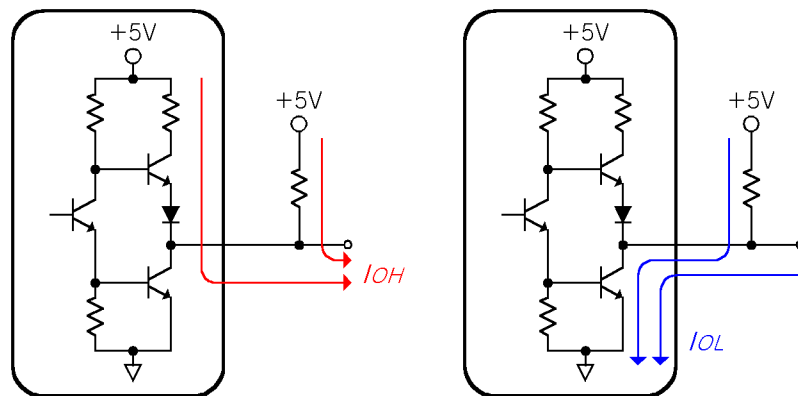
이 경우 풀업 저항의 저항값은 L상태 출력시 출력단 트랜지스터가 싱크 전류를 흘릴 수 있는 전류 용량 및 H상태 출력시 부하단에서 요구하는 소스 전류의 크기를 고려하여 결정하며, 이 경우에도 특별한 사정이 없다면 보통 수 KΩ 정도를 사용한다.

(2) 출력 전류를 증대시키려는 경우

디지털 회로의 출력단이 많은 부하를 구동하여 출력 전류를 증대시키거나 팬아웃을 늘리기 위하여 풀업 저항을 사용하기도 한다. 이러한 방법은 마이크로프로세서의 어드레스 버스나 데이터 버스에서 흔히 사용한다.

TTL이나 CMOS와 같은 디지털 회로의 출력단은 구조적으로 보통 상위 트랜지스터보다 하위 트랜지스터가 전류 용량이 커서 소스 전류보다는 싱크 전류의 허용치가 훨씬 크다. 출력 회로의 팬아웃은 주로 H상태의 출력전류에 영향을 받는다. 이 때문에 출력단의 전류 용량을 늘리려는 목적으로는 주로 <그림 6>과 같이 풀업 저항을 사용한다.

이 그림에서 보듯이 풀업 저항이 작을수록 H상태일 때의 출력전류가 커지므로 풀업의 효과가 좋아지지만, 풀업 저항을 너무 작게 하면 출력이 L상태일 때 허용되는 싱크 전류의 용량을 초과할 수 있게 되므로 적절한 값을 선택해야 한다. 이러한 경우에도 풀업 저항은 보통 수 KΩ 정도를 사용한다. 이와 같이 출력단 회로에서는 원리적으로 풀다운 저항을 사용하는 경우는 매우 드물고 주로 풀업 저항을 사용하게 된다.



(a) H상태 출력시의 동작

(b) L상태 출력시의 동작

<그림 6> 출력전류 증대를 위한 풀업 저항

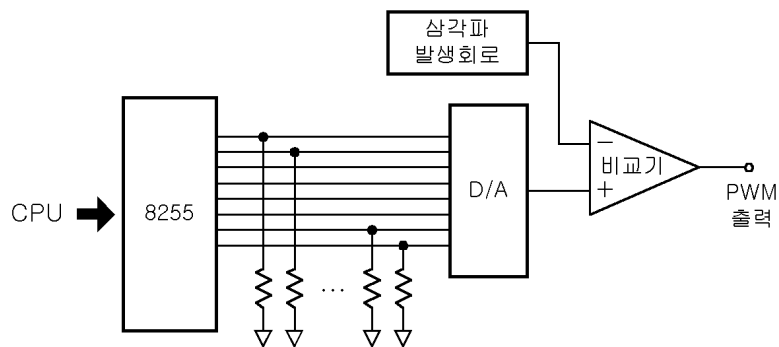
오늘날의 마이크로컨트롤러에는 대부분 병렬 I/O 포트의 모든 핀에 풀업 저항과 풀다운 저항을 포함하고 있으며, 소프트웨어로 이 내부 저항들의 사용 여부를 설정할 수 있게 되어 있다. AVR 시리즈처럼 어떤 MCU에서는 병렬 I/O 포트를 입력 핀으로 설정할 경우에만 내부의 풀업 저항을 사용할 수 있으며, ARM Cortex-M 계열 MCU에서는 디지털 입력 모드와 디지털 출력 모드에서 모두 풀업 저항이나 풀다운 저항을 사용할 수 있다.

3. 초기값을 정확하게 부여하기 위한 풀업/풀다운 저항

앞에서는 입력단 회로나 출력단 회로에서 사용되는 풀업 또는 풀다운 저항의 기능과 용도에 대하여 설명하였는데, 이러한 풀업/풀다운 저항의 중요한 용도에는 불확실한 초기값을 확실하게 지정하여 주기 위한 방법도 있다.

디지털 회로에서 전원 투입 직후에 초기상태의 논리값이 불확실한 경우는 2가지를 생각할 수 있다. 첫째는, 플립플롭과 같이 데이터를 저장하는 성격의 회로에서 초기에 디폴트(default)로 저장되는 데이터를 알 수 없는 경우인데, 이 경우는 리셋 단자나 프리세트 단자에 파워 온 리셋 신호를 접속함으로써 불확실성을 제거하고 처음부터 출력값이 명확하게 알 수 있는 상태로 동작하도록 한다.

둘째는, 마이크로프로세서의 주변장치인 8255나 마이크로컨트롤러의 병렬 I/O 포트와 같이 CPU에 의하여 초기화가 필요한 소자에 출력회로가 접속되어 있는 경우이다. 이들 회로는 올바르게 초기화가 되어야만 지정된 출력 동작을 수행하므로 전원이 투입되고 나서 리셋 기간이 끝나고 CPU의 프로그램에 의하여 초기화가 수행되기 전까지는 원하는 출력 동작을 보장할 수 없는 플로팅(floating) 상태에 있게 된다.



<그림 7> 8255의 초기 출력 신호를 모두 0으로 지정(0x00)하기 위한 풀다운 저항

예를 들어서 <그림 7>과 같이 8255의 포트 A를 출력 포트로서 사용하여 여기에 8비트 D/A 컨버터를 접속하고, 이것에 의한 아날로그 출력전압과 이와는 별도로 발생된 삼각파를 비교하는 방법으로 PWM 제어신호를 발생시키는 회로가 있다고 하자. 이때 D/A 컨버터의

출력전압을 비교기의 비반전 입력단자에 접속하였으므로 D/A 컨버터의 출력전압이 증가할수록 PWM 신호의 듀티비는 증가한다. 그런데, 여기서 8255는 리셋 직후에 디폴트로 입력 모드에 있게 되므로 8255의 포트 A와 D/A 컨버터의 8비트 디지털 입력은 모두 입력단자가 되므로 이들 8비트 신호선은 플로팅 상태가 된다. 이렇게 되면 결국 D/A 컨버터는 디지털 입력단자에 0xFF가 입력된 것으로 동작하여 아날로그 출력전압은 최대값이 출력되게 되고, 결국 이는 PWM 제어신호의 듀티비가 100%가 되도록 동작한다. 시스템의 전원을 투입하는 순간에 갑작스럽게 이러한 최대값이 출력되는 상황이 발생하면 시스템에 큰 문제를 일으키는 경우가 많다.

전원이 투입되고 나서 리셋이 해제되고 CPU의 프로그램이 동작하기 시작하여 8255를 초기화하기까지의 시간은 경우에 따라 상당히 긴 시간일 수도 있다. 만약, 이 회로가 대용량 직류 전동기의 회전속도를 제어하는 시스템이라면 이러한 초기 상태에서 PWM 제어신호의 듀티비가 100%로 됨으로써 전동기에 기동시 최대전압이 인가되어 구동회로의 전력용 스위칭 소자가 과전류로 소손되는 사고가 나기 쉽다. 필자는 이러한 문제로 오래 고생하는 사람을 많이 보았다.

이러한 위험한 상황을 방지하려면 초기에 8비트의 디지털 신호가 플로팅 상태로 되는 것을 절대로 피해야 한다. 즉, 그림에서처럼 8비트 각각의 신호선을 적절한 저항으로 풀다운시킴으로써 초기값이 0x00가 되도록 하면 된다. 그러나, 만약 비교기의 2입력 단자를 바꾸어 사용한 경우라면 반대로 초기값을 0xFF로 해주어야만 안전하므로 이 8비트 신호를 모두 저항으로 풀업시켜야 한다. 여기에 사용되는 것은 조그만 9핀짜리 SIP형의 어레이 저항인데, 이 간단한 소자가 시스템의 위험한 초기 오동작을 방지하는 실로 엄청난 기능을 수행하는 것이다.