

# Fundamentos de Diseño Digital con FPGAs

## Implementación en Xilinx FPGAs

### Primer Día

---

#### Introducción a Dispositivos Lógicos Programables (PLDs)

- Breve historia de PLDs
- Complex PLDs (CPLDs)
- FPGAs: Arquitectura
- Xilinx FPGAs, Spartan y Virtex: Arquitectura

#### Componentes de un FPGA

- LUTs, CLBs, Slices
- Ruteo, matriz de conexiones. Ruteo de reloj
- DLLs/PLLs. Modos de funcionamiento
- Bloques de Memoria. Tipos de memoria
- Bloques DSP. Usos
- Primitivas. Usos
- Bloques E/S. DDR FFs
- Configuración de un FPGA

#### Técnicas de Diseño

- Duplicación de Flip-Flops
- Pipelining
- Flip-Flops E/S
- Circuitos de sincronización
- Evitando sesgo del Reloj (Clock Skew)
- Diseño con relojes de distintas frecuencias

#### Introducción a VHDL

- Conceptos básicos
- Instrucciones Concurrentes
- Instrucciones Secuenciales
- Instanciación de componentes
- Introducción al entorno ISE/Web Pack
- Introducción a Simulación
- Lab: diseño de un comparador de contenido de memorias.

### Segundo Día

---

#### Técnicas de Síntesis

- Concejos de codificación
- Instanciación de primitivas del Spartan/Virtex
- Opciones de Síntesis. Inferencia de Memorias
- Inferencia de componentes específicos
- Introducción a Synplify Pro Software
- Laboratorio: Diseño de Lógica Combinacional

#### CORE Generator

- Introducción
- Uso del CORE Generator System
- Flujo de Diseño del CORE Generator
- Laboratorio: Lectura/Escritura en una memoria de doble puerta

#### Constraints

- Constraints de tiempo (Timing Constraints)
- Asignación de pines de E/S
- Constraints de locación (RLOC)
- User Constraint File (.ucf)
- Editor de Constraints (Constraints Editor)
- .ucf: Archivo de texto
- Laboratorio: Uso de constraints

### Tercer Día

---

#### Análisis de los Reportes de la Implementación

- Reporte del Mapeo
- Reporte de frecuencia de trabajo
- Interpretación de la información de tiempo
- Reporte de Place & Route
- Laboratorio: Lectura y comprensión de la información presentada en los reportes

#### Otras Herramientas del ISE

- Demostración del Floorplanner
- Demostración del FPGA Editor
- Demostración del ChipScope

#### Temas Específicos

- Rutas falsas (False Paths)
- Rutas multi-ciclos (Multi-cycle Paths)
- Opciones avanzadas de Place & Route
- Opciones avanzadas de Timing Constraints
- Use de Scripts
- Laboratorio: Implementación de un diseño complejo en un FPGA