# Como agregar el XUPV5 board para Co-Simulación en Hardware con System Generator/Simulink

Nota Técnica 5

Cristian Sisterna

# **Descripción:**

Co-Simulación en Hardware (Hardware Co\_Simulation) es una poderosa herramienta en el ambiente de desarrollo Simulink-System Generator. Permite al diseñador simular en 'paralelo' en real-hardware, lo mismo que se simula en software usando los bloques de SysGen.

Cando uno instala la versión full de ISE, al instalar System Generator por defecto se instalan lo que se llaman 'plug-in' de los boards DSP de Xilinx. Sin embargo, dado que el XUPV5 board no es considerado un 'board DSP' no aparece en la lista de opciones de los boards para llevar a cabo co-simulation. Si aparece el ML505 board, que CASI igual que el XUPV5, pero con una 'pequeña' diferencia: el ML505 tiene un Virtex 5 XC5VLX50T, mientras que el XUPV5 tiene un XC5VLX110T. Pequeña gran diferencia que hace que NO se pueda usar el plug-in del board ML505 para el board XUPV5. Entonces... cuál es la salida/solución si uno tiene el XUPV5 y quiere hacer Co-Simulación?????

# Agregando el XUPV5 a la Lista de Boards de Co-Simulación

#### Paso 1:

Una vez abierto Simulink y abriendo colocado el bloque 'System Generator' en un diseño cualquiera, abrir el bloque 'System Generator' (doble click sobre el bloque). La ventana de configuración del bloque 'SysGen' aparecerá. Seleccione en 'Compilation' la opción 'Hardware Co-Simulation', y luego en el menú siguiente seleccione 'New Compilation Target'.

System Generator: test
System Generator: test
System Generator: test 📃 🗖 🎽
Compilation Options
Compilation :
HDL Netlist
Pert NGC Netlist
Bitstream
EDK Export Tool
Tarc Hardware Co-Simulation  ML402
Jne Timing and Power Analysis ML506
Synthesis tool : ML506 JTAG NMM
XST ML605
S3ESK NMM Ports
Create testbench SP601
Clocking Options
FPGA clock period (ns) : Spartan-3A DSP 3400A Development Platform
10 Spartan 3E Starter Kit
Multirate implementation XtremeDSP Development Kit
Clock Enables Vew Compilation Target

~

Help

#### Paso 2:

La ventana 'System Generator Board Description Builder' se abrirá.

🛃 System Generator: test Compilation Options Compilation :  $\geq$ 

Block icon display:

Provide clock enable clear pin Override with doubles :

Simulink system period (sec) :

Generate OK

Part

😣 System Ge	nerator Boar	d Description	Builder	
Target Board	Information-			
Board N	lame			
-System Clock	ć			
Frequency (N	/Hz)	Pin Locatio	n 📃 🗖	Differential
JTAG Option	s			
Boundary So	an Position	IR Lengths		Detect
Targetable D	evices			
Family	Part	Speed	Package	Add >
				Delete
Non-Memory	-Mapped Port	s		
Port Name	Directi	on V	Vidth	Add
				Edit
4				Delete
Help	Load	Save Zip	Install	Exit

According to Block Settings

Cancel

1

Default

Apply

En esta ventana hay varios elementos a configurar. Se analizarán los mismos a continuación.

#### Paso 3:

'Target Board Identification': Board Name: puede usarse cualquier nombre. Convenientemente use uno que facilite la identificación del board. Por ejemplo, XUPV5.

#### Paso 4:

'System Clock': 1- Frequency(MHZ): escribir la frecuencia del reloj del board que se usará normalmente como fuente de reloj para el FPGA. El oscilador de entrada al LX110T es de 100MHz. 2- Pin Location: el pin de E/S por el cual entra el oscilador al FPGA: AH15.

#### Paso 5:

'JTAG Options': por defecto la comunicación entre el board y el PC se hará usando JTAG. Hay otra opción que es la de usar Ethernet, pero como la configuración es más complicada explicare ahora la de JTAG, después, de acuerdo a los pedidos, puedo explicar la de Ethernet. Las opciones de la configuración JTAG son: 1- Boundary Scan Position: esta es la posición del FPGA en la cadena JTAG de dispositivos en el board. El valor a introducir acá es 5, es decir es el quinto dispositivo de la cadena. Usando iMPACT es posible 'ver' la cadena y deducir la posición del FPGA. 2- IR Length: este es un parámetro necesario para la comunicación a través de JTAG. Si está el board conectado a su PC/Laptop por medio del cable JTAG, presione 'Detect' para que automáticamente se invoque iMPACT y llene los datos requeridos. Si no tiene el board conectado directamente escriba: 16,16,8,8,10.



#### Paso 6:

'Targetable Devices': en esta sección se debe introducir el FPGA que usa el board XUPV5. Click 'Add' y seleccione: Virtex 5, XC5VLX110T, Speed -1, package ff1136. Click OK.

Hasta acá la configuración de esta ventana debería ser similar a la mostrada a continuación:

😝 System G	ienerator Boar	d Descriptio	n Builder	
-Target Boa	rd Information—			
Board	Name XUPV5			
System Clo	ck			
Frequency	(MHz) 100	Pin Loca	tion AH15 Di	fferential
JTAG Optio	ns			
Boundary S	Scan Position 5	IR Lengt	hs 16, 16, 8, 8, 1	Detect
Targetable	Devices	-		,
Family	Part	Speed	Package	Add >
qvirtex5	xq5vlx110t	-1	ef1136	Delete
				Belete
Non-Memor	y-Mapped Ports	;		
Port Name	Directio	n	Width	Add
				Edit
				Delete
Help	Load	Save Zip	Install	Exit

#### Paso 7:

En la sección 'Non-Memory Mapped Ports' click el botón 'Add' para agregar algunos puertos de E/S del FPGA que considere necesarios. La ventana 'Configure a Port' aparecerá. Introduzca el nombre del puerto de E/S, seleccione la dirección del mismo, y la ubicación (Location). Opcionalmente puede también seleccionar si el puerto deber ser configurado con el resistor de Pullup o Pulldown. Una vez terminado con estas configuraciones, Click 'Add Pin'. El puerto de E/S configurado sera ahora mostrado en la parte llamada 'Pin List'. Para introducir otro puerto seleccione 'Save and Starte New'. Se pueden introducir tantos puertos como hagan falta. Una vez concluida esta tarea, presione 'Save and Close'.

	Port Name	AudioOut		) Input 💿	) Output
New Pin- Pir			UP DPUL	LDOWN (	Add Pin
Pin List-					
Index	Pin LOC	PULLUP	PULLD	FAST	Move Up
0	AG16				Move Do
					Delete Pin

Nota importante: Se aclara que este paso es totalmente OPCIONAL para la Co-Simulación.

#### Paso 8:

Una vez completados los pasos anteriores, la siguiente figura debería ser similar a la que tienes en tu computadora (excepto por los 'Non-Memory Mapped Ports', que pueden no estar o pueden ser otros).

😫 System Ge	nerator Board	Descriptio	n Builder	
-Target Board	Information—		and the second second	
Board N	lame XUPV5 JT	AG		
System Clock	le			
Frequency (M	1Hz) 100	Pin Locat	ion AH15 D	ifferential
JTAG Options	-			
Boundary Sc	an Position 5	IR Length	ns 16, 16, 8, 8, 1	Detect
-Targetable D	evices			
Family	Part	Speed	Package	Add >
qvirtex5	xq5vlx110t	-1	ef1136	Delete
				Locot
-Non-Memory	-Mapped Ports-			
Port Name	Direction	า 🗌	Width	Add
AudioIn	in	1	000	Edit
AudioOut	out	1		
AudioSync	in	1		Delete
Help	Load	Save 7in	Instal	Exit

## Paso 9:

Presionar 'Install' para instalar la configuracion del XUPV board en el directorio de plug-in de SysGen.

😝 System Gen	erator Board De	scription Builder	
Target Board 1	nformation		
Board Na	me XUPV5		
-System Clock-			
Frequency (MH	tz) 100 F	Pin Location AH15	]Differential
JTAG Options			
Boundary Sca	n Position 5 I	R Lengths 16, 16, 8, 8	1 Detect
-Targetable De	Install	×	
Family	i) Installati	ion complete	Add >
qvirtex5			Delete
		Aceptar	
-Non-Memory-N	/lapped Ports		
Port Name	Direction	Width	Add
AudioIn AudioOut	in	1	Edit
AudioBitClk	in	1	Delete
AudioSync	in	1	
Help	Load S	ave Zip Instal	l Exit

Navegue hasta el directorio:

../Xilinx/<versión>/ISE\_DS/ISE/sysgen/plugins/compilation/Hardware Co-Simulation

En ese directorio debería ahora aparecer el directorio XUPV5 JTAG, tal como muestra la siguiente figura:



## **Paso 10:**

Finalizada la instalación una ventana de Simulink aparecerá con los puertos de E/S configurados.



Grabe la librería de los puertos de E/S. Estos puertos pueden ahora usarse en cualquier sistema con System Generator.

#### **Paso 11:**

Para probar que todo está instalado correctamente. Cierre Matlab y luego ábralo nuevamente. En cualquier sistema de Simulink con el bloque System Generator, abra el bloque System Generator, y seleccione en 'Compilation', 'Hardware Co-Simulation'. Ahora debería aparecer en la lista XUPV5 JTAG, tal como se observa en la siguiente figura.

🐱 test			
File Edit	View Simulation Format Tools He	lp.	
🗅 🖾 🖬	<b>8 % 10 12</b>  0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	= 10.0 Normal -	
System Generator	System Generator: test Compilation Options Compilation : HDL Netlist Part NGC Netlist Bitstream Tarc EDK Export Tool		
Ready	Ine Hardware Co-Simulation Sym Timing and Power Analysis XST XUP Create testbench Clocking Options FPGA clock period (ns) : Clock	ML402 ML506 ML605 SP601 SP605 Spartan-3A DSP 1800A Starter Platform Spartan-3A DSP 3400A Development Platform	• • • • • • • • •
	10       Multirate implementation :       Clock Enables       I       Provide clock enable clear pin	XUPV5 JTAG XtremeDSP Development Kit New Compilation Target	•
	Override with doubles :     According       Simulink system period (sec) :     1       Block icon display:     Default       Generate     OK     Apply	to Block Settings	

#### **Paso 12:**

Listo ! ... el XUPV5 puede ahora usarse para correr Co-Simulación en Hardware de su sistema Simulink.

C7 Technology	www.c7t-hdl.com
Copyright © 2012. All rights reserved.	

Este documente puede ser copiado y distribuido libremente. Si es copiado por favor mantenga el logo e información de la compañía. Si parte del documento es cortado y pegado, por favor mencione C7 Technology como fuente de información. Gracias.